

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第4区分  
 【発行日】平成22年5月27日(2010.5.27)

【公開番号】特開2010-80057(P2010-80057A)  
 【公開日】平成22年4月8日(2010.4.8)  
 【年通号数】公開・登録公報2010-014  
 【出願番号】特願2010-7240(P2010-7240)  
 【国際特許分類】

G 1 1 C 29/04 (2006.01)

【F I】

G 1 1 C 29/00 6 0 3 Z

【手続補正書】

【提出日】平成22年2月26日(2010.2.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリ回路内で冗長メモリを提供する方法であって、上記方法は、

a. 第1及び第2の主メモリアレイを含む複数の主メモリアレイを作製するステップを含み、上記主メモリアレイのそれぞれは主メモリセル群を含み、

b. 冗長メモリセル群をそれぞれ含む第1及び第2の冗長メモリアレイを作製するステップを含み、上記第1の冗長メモリアレイは上記第1の主メモリアレイに接続され、上記第2の冗長メモリアレイは上記第1及び第2の主メモリアレイに接続され、

c. 上記主メモリセル群の試験を行い、上記主メモリセル群のいずれかが欠陥メモリセルを含むか否かを決定するステップを含み、上記試験は、第1の冗長デコーダ及び第2の冗長デコーダを含むメモリシステムにおいて実行され、上記第1の冗長デコーダは、上記第1の冗長メモリアレイに接続され、上記第1の主メモリアレイ専用で動作し、上記第1の冗長デコーダは、上記第1の主メモリアレイ内の少なくとも1つの欠陥メモリセルを含むアドレスへアクセスする試みに応答して上記第1の冗長メモリアレイ内のアドレスをデコードし、上記第2の冗長デコーダは、上記第2の冗長メモリアレイに接続され、上記第1及び第2の主メモリアレイによって共用され、上記第2の冗長デコーダは、上記第1及び第2の主メモリアレイのいずれかにおける少なくとも1つの欠陥メモリセルを含むアドレスへアクセスする試みに応答して上記第2の冗長メモリアレイ内のアドレスをデコードし、

d. 上記主メモリセル群内で欠陥メモリセルが発見された場合、1以上の欠陥メモリセルを含む主メモリセル群の代わりに冗長メモリセル群を用いるステップを含む、メモリ回路内で冗長メモリを提供する方法。

【請求項2】

上記冗長メモリセル群は上記冗長メモリアレイ内の口ウであり、上記主メモリセル群は上記主メモリアレイ内の口ウである請求項1記載の方法。

【請求項3】

第1及び第2の主メモリアレイに接続され、複数のメモリセルを含むように構成された冗長メモリ回路であって、

上記複数のメモリセルは、上記第1及び第2の主メモリアレイ内の欠陥主メモリセル群の代わりに用いるための冗長メモリセル群として構成され、

上記冗長メモリセル群は、上記第1の主メモリアレイに接続された第1の冗長メモリアレイ内の第1の冗長メモリセル群と、上記第1及び第2の主メモリアレイに接続された第2の冗長メモリアレイ内の第2の冗長メモリセル群とを含み、

上記冗長メモリ回路は、第1の冗長アドレスデコーダ及び第2の冗長アドレスデコーダを備え、上記第1の冗長アドレスデコーダは、上記第1の冗長メモリアレイに接続され、上記第1の主メモリアレイ専用で動作し、上記第2の冗長アドレスデコーダは、上記第2の冗長メモリアレイに接続され、上記第1及び第2の主メモリアレイによって共用され、

上記第1の冗長アドレスデコーダは、上記第1の主メモリアレイ内の欠陥ロウアドレスを上記第1の冗長メモリアレイ内のロウアドレスにマッチさせるように構成され、上記第2の冗長アドレスデコーダは、上記第1及び第2の主メモリアレイのいずれかにおける欠陥ロウアドレスを上記第2の冗長メモリアレイ内のロウアドレスにマッチさせるように構成される冗長メモリ回路。

【請求項4】

上記冗長メモリセル群は上記冗長メモリ回路内のロウである請求項3記載の冗長メモリ回路。

【請求項5】

複数の主メモリアレイに冗長メモリを提供するための装置であって、上記装置は、

a. 第1及び第2の主メモリアレイを含む複数の主メモリアレイを備え、上記主メモリアレイのそれぞれは主メモリセル群を含み、

b. 冗長メモリセル群を含む複数の冗長メモリアレイを備え、上記複数の冗長メモリアレイは、上記第1の主メモリアレイに接続された第1の冗長メモリアレイと、上記第1及び第2の主メモリアレイに接続された第2の冗長メモリアレイとを含み、上記冗長メモリアレイのそれぞれは、1以上の欠陥メモリセルを含む主メモリセル群の代わりに上記冗長メモリセル群を用いるように構成され、

c. 上記第1の冗長メモリアレイに接続された第1の冗長デコーダを備え、上記第1の冗長デコーダは、上記第1の主メモリアレイ内の少なくとも1つの欠陥メモリセルを含むアドレスへアクセスする試みに応答して上記第1の冗長メモリアレイ内のアドレスをデコードするように構成され、上記第1の冗長デコーダは上記第1の主メモリアレイ専用で動作し、

d. 上記第2の冗長メモリアレイに接続された第2の冗長デコーダを備え、上記第2の冗長デコーダは、上記第1及び第2の主メモリアレイのうち1つ以上における少なくとも1つの欠陥メモリセルを含むアドレスへアクセスする試みに応答して上記第2の冗長メモリアレイ内のアドレスをデコードするように構成され、上記第2の冗長デコーダは上記第1及び第2の主メモリアレイによって共用される装置。

【請求項6】

上記冗長メモリセル群は上記複数の主メモリアレイ間で共有される冗長メモリアレイ内で形成される請求項5記載の冗長メモリを提供するための装置。

【請求項7】

上記冗長メモリセル群は上記冗長メモリアレイ内のロウであり、上記主メモリセル群は上記主メモリアレイ内のロウである請求項6記載の冗長メモリを提供するための装置。

【請求項8】

a. 複数の主ロウ及び複数の主カラムからなるマトリクスに配列された複数のメモリセルをそれぞれ含む複数の主メモリアレイと、

b. 上記主メモリアレイに接続され、複数の冗長ロウを含む共有冗長回路と、

c. 上記主メモリアレイ間に接続され、かつ上記共有冗長回路に接続され、欠陥メモリセルを有する主ロウの代わりに上記共有冗長回路内の冗長ロウのうち1つを用いるための、上記共有冗長回路をプログラムする手段とを備える、半導体メモリデバイスのための冗長メモリコンフィギュレーション。

【請求項9】

上記プログラムする手段は、メモリ読み出し/書き込み動作中に、上記複数の冗長ロウ

へのアクセスを制御する冗長ドライブ手段を含む請求項 8 記載の冗長メモリコンフィギュレーション。

**【請求項 10】**

欠陥メモリセルが発見されると、上記複数の冗長ロウ内のロウアドレスを、上記主メモリアレイのうちの 1 つにおける欠陥ロウアドレスとマッチさせる冗長アドレスデコーダをさらに備える請求項 8 記載の冗長メモリコンフィギュレーション。

**【請求項 11】**

上記プログラムする手段はプログラム可能なアレイを含む請求項 8 記載の冗長メモリコンフィギュレーション。

**【請求項 12】**

上記プログラム可能なアレイは、複数のプログラム可能な素子を含み、各プログラム可能な素子は、2 つの正規メモリアレイの各々におけるロウアドレスに接続され、さらに、各プログラム可能な素子は、欠陥セルが上記プログラム可能な素子が接続されているいずれかのロウ内で発見されるとプログラムされる請求項 11 記載の冗長メモリコンフィギュレーション。

**【請求項 13】**

a . 複数のロウ及び複数のカラムからなる第 1 のマトリクスに配列された第 1 の複数のメモリセルを含む第 1 の主メモリアレイと、

b . 上記第 1 の主メモリアレイに接続され、第 1 の冗長メモリセル群に配列された第 2 の複数のメモリセルを含む第 1 の専用冗長メモリアレイであって、上記第 1 の冗長メモリセル群は上記第 1 の主メモリアレイ内のメモリセルの代わりに用いられる第 1 の専用冗長メモリアレイと、

c . 複数のロウ及び複数のカラムからなる第 2 のマトリクスに配列された第 3 の複数のメモリセルを含む第 2 の主メモリアレイと、

d . 上記第 2 の主メモリアレイに接続され、第 2 の冗長メモリセル群に配列された第 4 の複数のメモリセルを含む第 2 の専用冗長メモリアレイと、

e . 上記第 1 及び第 2 の主メモリアレイの両方に接続された共有冗長メモリアレイであって、上記第 1 及び第 2 の両方の主メモリアレイの内のメモリセルの代わりに用いられる第 3 の冗長メモリセル群に配列された第 5 の複数のメモリセルを含む共有冗長メモリアレイと、

を含むメモリ回路。

**【請求項 14】**

上記共有冗長メモリに接続された共有冗長デコーダであって、上記第 1 及び第 2 のマトリクスのうちの選択的な 1 つにおける欠陥メモリセルを有するロウの代わりに、上記第 3 の冗長メモリセル群のうちの 1 つを用いるための共有冗長デコーダをさらに備える請求項 13 記載のメモリ回路。

**【請求項 15】**

上記共有冗長デコーダはプログラム可能なアレイを含む請求項 14 記載のメモリ回路。

**【請求項 16】**

上記共有冗長デコーダは、共有冗長メモリアレイに接続された冗長ドライブ手段であって、メモリ読み出し / 書き込み動作中に上記第 3 の冗長メモリセル群へのアクセスを制御する冗長ドライブ手段を含む請求項 14 記載のメモリ回路。