



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0058232

(43) 공개일자 2017년05월26일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>H01L 29/78</i> (2006.01) <i>H01L 21/8234</i> (2006.01)
 <i>H01L 29/423</i> (2006.01) <i>H01L 29/66</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>H01L 29/7831</i> (2013.01)
 <i>H01L 21/823431</i> (2013.01)</p> <p>(21) 출원번호 10-2016-0028321</p> <p>(22) 출원일자 2016년03월09일
 심사청구일자 없음</p> <p>(30) 우선권주장
 14/944,667 2015년11월18일 미국(US)</p> | <p>(71) 출원인
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자
 이용우
 경기도 안양시 동안구 달안로 40, 307동 1803호
 (비산동, 은하수신성아파트)</p> <p>(74) 대리인
 특허법인가산</p> |
|--|---|

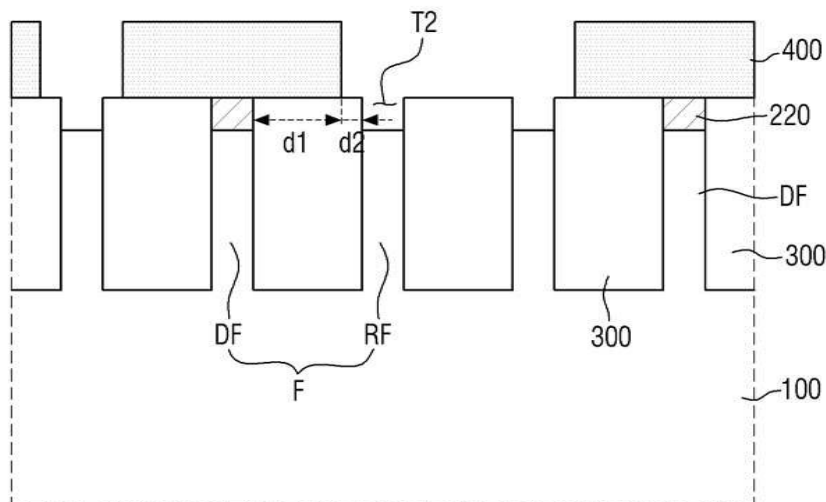
전체 청구항 수 : 총 20 항

- (54) 발명의 명칭 반도체 장치 제조 방법

(57) 요약

반도체 장치 제조 방법이 제공된다. 상기 반도체 장치 제조 방법은 기판 상에, 제1 핀형 패턴과 상기 제1 핀형 패턴 상의 제1 핀 마스크 패턴을 형성하고, 상기 기판 상에, 제2 핀형 패턴과 상기 제2 핀형 패턴 상의 제2 핀 마스크 패턴을 형성하고, 상기 제1 핀 마스크 패턴을 제거하여 제1 트렌치를 형성하고, 상기 제1 트렌치를 채우는 핀 컷 마스크 패턴을 형성하고, 상기 핀 컷 마스크 패턴을 마스크로 상기 제2 핀 마스크 패턴 및 상기 제2 핀형 패턴을 제거하는 것을 포함한다.

대표도 - 도6



(52) CPC특허분류

H01L 29/4236 (2013.01)

H01L 29/66583 (2013.01)

H01L 29/66795 (2013.01)

H01L 29/7843 (2013.01)

H01L 29/7846 (2013.01)

H01L 29/7849 (2013.01)

H01L 29/7855 (2013.01)

명세서

청구범위

청구항 1

기관 상에, 제1 핀형 패턴과 상기 제1 핀형 패턴 상의 제1 핀 마스크 패턴을 형성하고,
상기 기관 상에, 제2 핀형 패턴과 상기 제2 핀형 패턴 상의 제2 핀 마스크 패턴을 형성하고,
상기 제1 핀 마스크 패턴을 제거하여 제1 트렌치를 형성하고,
상기 제1 트렌치를 채우는 핀 컷 마스크 패턴을 형성하고,
상기 핀 컷 마스크 패턴을 마스크로 상기 제2 핀 마스크 패턴 및 상기 제2 핀형 패턴을 제거하는 것을 포함하는 반도체 장치 제조 방법.

청구항 2

제1 항에 있어서,
제1 핀형 패턴 및 제2 핀형 패턴을 형성하는 것은 상기 기관을 식각하여, 제1 핀형 패턴 및 제2 핀형 패턴을 정의하는 제2 트렌치를 형성하는 것을 더 포함하는 반도체 장치 제조 방법.

청구항 3

제2 항에 있어서,
상기 제2 트렌치를 채우는 제1 필드 절연막을 형성하는 것을 더 포함하는 반도체 장치 제조 방법.

청구항 4

제3 항에 있어서,
제1 필드 절연막은 상기 제1 및 제2 핀 마스크 패턴을 둘러싸는 반도체 장치 제조 방법.

청구항 5

제2 항에 있어서,
상기 제1 트렌치를 형성하는 것은
상기 제1 핀 마스크 패턴을 제거하여 상기 제1 필드 절연막에 의해 정의되는 리세스를 형성하고,
상기 제1 필드 절연막의 일부를 제거하여, 상기 리세스의 폭을 확장하는 것을 포함하는 반도체 장치 제조 방법.

청구항 6

제2 항에 있어서,
상기 제1 핀형 패턴은 제1 및 제2 측면을 포함하고,
상기 제2 트렌치는 상기 제1 측면에 접하고,
상기 제2 측면에 접하는 제2 필드 절연막을 형성하는 것을 더 포함하는 반도체 장치 제조 방법.

청구항 7

제6 항에 있어서,
상기 제1 트렌치를 형성하는 것은,
상기 제1 핀 마스크 패턴을 제거하여 상기 제1 필드 절연막에 의해 정의되는 리세스를 형성하고,

상기 제2 필드 절연막의 일부를 제거하여 상기 리세스의 폭을 확장하는 것을 포함하는 반도체 장치 제조 방법.

청구항 8

제1 항에 있어서,

상기 제1 핀 마스크 패턴을 제거하는 것은

상기 제1 핀 마스크 패턴을 노출시키는 마스크 막을 상기 제2 핀 마스크 패턴 상에 형성하고,

상기 마스크막을 이용하여 제1 핀 마스크 패턴을 제거하는 것을 포함하는 반도체 장치 제조 방법.

청구항 9

제8 항에 있어서,

제1 핀형 패턴 및 제2 핀형 패턴을 형성하는 것은 상기 기판을 식각하여, 제1 핀형 패턴 및 제2 핀형 패턴을 정의하는 제2 트렌치를 형성하고,

상기 제2 트렌치를 채우는 제1 필드 절연막을 형성하는 것을 더 포함하고,

상기 마스크막은 상기 제1 필드 절연막 상에 상기 제1 필드 절연막과 오버랩되는 반도체 장치 제조 방법.

청구항 10

제9 항에 있어서,

상기 마스크막은 상기 제1 필드 절연막의 일부와 오버랩되는 반도체 장치 제조 방법.

청구항 11

제1 항에 있어서,

상기 핀 컷 마스크 패턴을 형성하는 것은

상기 제1 트렌치를 채우고, 상기 제2 핀 마스크 패턴을 덮는 스톱퍼막을 형성하고,

상기 스톱퍼막의 일부를 제거하여, 상기 제2 핀 마스크 패턴의 상면을 노출시키는 것을 포함하는 반도체 장치 제조 방법.

청구항 12

제11 항에 있어서,

상기 제2 핀 마스크 패턴 및 상기 제2 핀형 패턴을 제거한 후에, 상기 핀 컷 마스크 패턴을 제거하여 상기 스톱퍼막을 노출시키는 것을 더 포함하는 반도체 장치 제조 방법.

청구항 13

제12 항에 있어서,

상기 핀 컷 마스크 패턴을 제거한 후에, 상기 제1 핀형 패턴 및 상기 스톱퍼막을 덮는 제3 필드 절연막을 형성하고,

상기 제3 필드 절연막의 일부 및 상기 스톱퍼막을 제거하여 상기 제1 핀형 패턴을 상기 제3 필드 절연막보다 돌출시키는 것을 더 포함하는 반도체 장치 제조 방법.

청구항 14

제13 항에 있어서,

상기 제1 핀형 패턴을 돌출시키는 것은,

상기 제3 필드 절연막의 일부를 평탄화 공정으로 제거하여 상기 스톱퍼 막을 노출시키는 것을 더 포함하는 반도체 장치 제조 방법.

청구항 15

제1 항에 있어서,

상기 핀 컷 마스크 패턴을 제거하는 것을 더 포함하는 반도체 장치 제조 방법.

청구항 16

제1 및 제2 핀형 패턴, 상기 제1 및 제2 핀형 패턴 사이의 트렌치, 상기 트렌치를 채우는 필드 절연막 및 상기 제1 및 제2 핀형 패턴 상에 각각 형성된 제1 및 제2 핀 마스크 패턴을 포함하는 핀형 구조체를 형성하고,

상기 핀형 구조체 상에 상기 제1 핀 마스크 패턴을 노출시키고, 상기 제2 핀 마스크 패턴을 덮는 제1 마스크 패턴을 형성하고,

상기 제1 마스크 패턴을 마스크로 상기 핀형 구조체를 식각하여 상기 제1 핀형 패턴을 노출시키는 제1 트렌치를 형성하고,

상기 제1 트렌치를 채우는 제2 마스크 패턴을 형성하고,

상기 제2 마스크 패턴을 마스크로 상기 제2 핀 마스크 패턴 및 상기 제2 핀형 패턴을 식각하여 제2 트렌치를 형성하는 것을 포함하는 반도체 장치 제조 방법.

청구항 17

제16 항에 있어서,

상기 핀형 구조체는 상면은 평탄화 공정에 의해서 동일한 평면을 이루는 반도체 장치 제조 방법.

청구항 18

제16 항에 있어서,

상기 제1 마스크 패턴은 포토 레지스트를 포함하는 반도체 장치 제조 방법.

청구항 19

제16 항에 있어서,

상기 제2 트렌치의 바닥면은 상기 필드 절연막의 하면보다 낮거나 같은 반도체 장치 제조 방법.

청구항 20

기판 상에 서로 이격된 제1 및 제2 핀 마스크 패턴을 형성하고,

상기 제1 핀 마스크 패턴을 이용하여 제1 핀형 패턴을 형성하고,

상기 제2 핀 마스크 패턴을 이용하여 제2 핀형 패턴을 형성하고,

상기 제1 및 제2 핀형 패턴 사이와, 상기 제1 및 제2 핀 마스크 패턴 사이에 필드 절연막을 형성하고,

상기 제1 핀 마스크 패턴을 노출시키는 마스크 막을 상기 제2 핀 마스크 패턴 상에 형성하고,

상기 제1 핀 마스크 패턴을 제거하여 상기 기판 상에 리세스를 형성하고,

상기 필드 절연막의 일부를 제거하여 상기 리세스의 폭을 확장하여 트렌치를 형성하고,

상기 트렌치를 채우는 핀 컷 마스크 패턴을 형성하고,

상기 핀 컷 마스크 패턴을 마스크로 상기 필드 절연막의 일부, 상기 제2 핀 마스크 패턴 및 상기 제2 핀형 패턴을 제거하고,

상기 핀 컷 마스크 패턴을 제거하여 상기 제1 핀형 패턴 및 상기 필드 절연막의 상면을 노출시키고,

상기 제1 핀형 패턴 및 상기 필드 절연막을 덮는 절연막을 형성하고,

상기 절연막의 일부 및 상기 필드 절연막의 일부를 제거하여 상기 제1 핀형 패턴을 돌출시키는 것을 포함하는

반도체 장치 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 장치의 밀도를 높이기 위한 스케일링(scaling) 기술 중 하나로써, 기판 상에 핀(fin) 형상의 실리콘 바디(body)를 형성하고 실리콘 바디의 표면 위에 게이트를 형성하는 멀티-게이트(multi-gate) 트랜지스터가 제안되었다.

[0003] 이러한 멀티 게이트 트랜지스터는 3차원의 채널을 이용하기 때문에, 스케일링하는 것이 용이하다. 또한, 멀티 게이트 트랜지스터의 게이트 길이를 증가시키지 않아도, 전류 제어 능력을 향상시킬 수 있다. 뿐만 아니라, 드레인 전압에 의해 채널 영역의 전위가 영향을 받는 SCE(short channel effect)를 효과적으로 억제할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하려는 과제는, 핀 컷 공정에서의 오버랩 마진(overlap margin)을 최대화할 수 있는 반도체 장치 제조 방법을 제공하는 것이다.

[0005] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 반도체 장치 제조 방법은, 기판 상에, 제1 핀형 패턴과 상기 제1 핀형 패턴 상의 제1 핀 마스크 패턴을 형성하고, 상기 기판 상에, 제2 핀형 패턴과 상기 제2 핀형 패턴 상의 제2 핀 마스크 패턴을 형성하고, 상기 제1 핀 마스크 패턴을 제거하여 제1 트렌치를 형성하고, 상기 제1 트렌치를 채우는 핀 컷 마스크 패턴을 형성하고, 상기 핀 컷 마스크 패턴을 마스크로 상기 제2 핀 마스크 패턴 및 상기 제2 핀형 패턴을 제거하는 것을 포함한다.

[0007] 여기서, 제1 핀형 패턴 및 제2 핀형 패턴을 형성하는 것은 상기 기판을 식각하여, 제1 핀형 패턴 및 제2 핀형 패턴을 정의하는 제2 트렌치를 형성하는 것을 더 포함할 수 있다.

[0008] 여기서, 상기 제2 트렌치를 채우는 제1 필드 절연막을 형성하는 것을 더 포함할 수 있다.

[0009] 제1 필드 절연막은 상기 제1 및 제2 핀 마스크 패턴을 둘러쌀 수 있다.

[0010] 상기 제1 트렌치를 형성하는 것은 상기 제1 핀 마스크 패턴을 제거하여 상기 제1 필드 절연막에 의해 정의되는 리세스를 형성하고, 상기 제1 필드 절연막의 일부를 제거하여, 상기 리세스의 폭을 확장하는 것을 포함할 수 있다.

[0011] 여기서, 상기 제1 핀형 패턴은 제1 및 제2 측면을 포함하고, 상기 제2 트렌치는 상기 제1 측면에 접하고, 상기 제2 측면에 접하는 제2 필드 절연막을 형성하는 것을 더 포함할 수 있다.

[0012] 상기 제1 트렌치를 형성하는 것은, 상기 제1 핀 마스크 패턴을 제거하여 상기 제1 필드 절연막에 의해 정의되는 리세스를 형성하고, 상기 제2 필드 절연막의 일부를 제거하여 상기 리세스의 폭을 확장하는 것을 포함할 수 있다.

[0013] 상기 제1 핀 마스크 패턴을 제거하는 것은 상기 제1 핀 마스크 패턴을 노출시키는 마스크 막을 상기 제2 핀 마스크 패턴 상에 형성하고, 상기 마스크막을 이용하여 제1 핀 마스크 패턴을 제거하는 것을 포함할 수 있다.

[0014] 제1 핀형 패턴 및 제2 핀형 패턴을 형성하는 것은 상기 기판을 식각하여, 제1 핀형 패턴 및 제2 핀형 패턴을 정의하는 제2 트렌치를 형성하고, 상기 제2 트렌치를 채우는 제1 필드 절연막을 형성하는 것을 더 포함하고, 상기

마스크막은 상기 제1 필드 절연막 상에 상기 제1 필드 절연막과 오버랩될 수 있다.

- [0015] 상기 마스크막은 상기 제1 필드 절연막의 일부와 오버랩될 수 있다.
- [0016] 상기 핀 컷 마스크 패턴을 형성하는 것은 상기 제1 트렌치를 채우고, 상기 제1 핀 마스크 패턴을 덮는 스톱퍼막을 형성하고, 상기 스톱퍼막의 일부를 제거하여, 상기 제1 핀 마스크 패턴의 상면을 노출시키는 것을 포함할 수 있다.
- [0017] 상기 제2 핀 마스크 패턴 및 상기 제2 핀형 패턴을 제거한 후에, 상기 핀 컷 마스크 패턴을 제거하는 것을 더 포함할 수 있다.
- [0018] 여기서, 상기 핀 컷 마스크 패턴을 제거한 후에, 상기 제1 핀형 패턴 및 상기 스톱퍼막을 덮는 제3 필드 절연막을 형성하고, 상기 제3 필드 절연막의 일부 및 상기 스톱퍼막을 제거하여 상기 제1 핀형 패턴을 상기 제3 필드 절연막보다 돌출시키는 것을 더 포함할 수 있다.
- [0019] 여기서, 상기 제1 핀형 패턴을 돌출시키는 것은, 상기 제3 필드 절연막의 일부를 평탄화 공정으로 제거하여 상기 스톱퍼 막을 노출시키는 것을 더 포함할 수 있다.
- [0020] 상기 스톱퍼 막은 SiN을 포함할 수 있다.
- [0021] 상기 핀 컷 마스크 패턴은 탄소, 포토 레지스트(photo resist) 및 산화물 중 적어도 하나를 포함할 수 있다.
- [0022] 여기서, 상기 핀 컷 마스크 패턴을 제거하는 것을 더 포함할 수 있다.
- [0023] 여기서, 상기 제1 핀형 패턴을 덮는 제3 필드 절연막을 형성하고, 상기 제3 필드 절연막을 일부 제거하여 상기 제1 핀형 패턴을 상기 제3 필드 절연막보다 돌출시키는 것을 더 포함할 수 있다.
- [0024] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법은 서로 이격된 제1 및 제2 스택핀과, 상기 제1 및 제2 스택핀 사이에 형성되는 제1 트렌치를 형성하고, 상기 제2 트렌치를 채우는 필드 절연막을 형성하고, 상기 제1 스택핀 상에 마스크 패턴을 형성하고, 상기 제2 스택핀의 일부를 식각하고, 식각된 상기 제2 스택핀 상에 마스크 패턴을 형성하고, 상기 마스크 패턴을 마스크로 상기 제1 스택핀을 제거하는 것을 포함한다.
- [0025] 상기 제1 스택핀은, 제1 핀형 패턴과, 상기 제1 핀형 패턴 상에 형성되는 제1 핀 마스크 패턴을 포함할 수 있다.
- [0026] 상기 제2 스택핀은, 제2 핀형 패턴과, 상기 제2 핀형 패턴 상에 형성되는 제2 핀 마스크 패턴을 포함할 수 있다.
- [0027] 상기 제1 핀형 패턴과 상기 제1 핀 마스크 패턴은 서로 다른 물질을 포함할 수 있다.
- [0028] 상기 제1 핀 마스크 패턴은 SiN을 포함할 수 있다.
- [0029] 상기 과제를 해결하기 위한 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법은 기판에서 돌출되고 서로 이격된 제1 내지 제3 필드 절연막과, 상기 제1 및 제2 필드 절연막의 상부에 접하는 제1 캡핑막과, 상기 제2 및 제3 필드 절연막의 상부에 접하는 제2 캡핑막과, 상기 제1 및 제2 캡핑막의 아래에 각각 제1 및 제2 핀형 패턴을 형성하고, 상기 제2 필드 절연막의 일부 및 상기 제1 및 제2 캡핑막을 제거하여 상기 기판 상에 트렌치를 형성하고, 상기 트렌치를 채우는 핀 컷 마스크 패턴을 형성하고, 상기 핀 컷 마스크 패턴을 마스크로 상기 제1 및 제3 필드 절연막의 일부를 식각하는 것을 포함한다.
- [0030] 상기 핀 컷 마스크 패턴을 형성하는 것은, 상기 제3 트렌치의 바닥면 및 측면을 따라 컨포말하게 형성되는 스톱퍼막을 형성하고, 상기 스톱퍼막 상에 상기 핀 컷 마스크 패턴을 형성하는 것을 포함할 수 있다.
- [0031] 상기 제1 및 제3 필드 절연막의 일부를 식각한 후에, 상기 핀 컷 마스크 패턴을 제거하고, 상기 스톱퍼 막, 상기 제1 및 제3 필드 절연막을 덮는 산화막을 형성하고, 상기 스톱퍼막이 노출되도록 상기 산화막을 평탄화하고, 상기 스톱퍼막, 상기 산화막 및 상기 제1 및 제3 필드 절연막을 식각하여 상기 제1 및 제2 핀형 패턴을 돌출시키는 것을 포함할 수 있다.
- [0032] 상기 제1 필드 절연막의 일부를 식각하는 것은, 상기 제1 필드 절연막의 하부의 폭이 상기 제1 필드 절연막의 상부의 폭보다 크게 식각하는 것을 포함할 수 있다.
- [0033] 상기 트렌치를 형성하는 것은, 상기 제1 캡핑막을 제거하여 제1 리세스를 형성하고, 상기 제2 캡핑막을 제거하

여 제2 리세스를 형성하고, 상기 제2 필드 절연막의 일부를 제거하여 상기 제1 및 제2 트렌치를 연결하는 것을 포함할 수 있다.

[0034] 상기 트렌치를 형성하는 것은, 상기 제1 캡핑막을 제거하여 제1 리세스를 형성하고, 상기 제1 필드 절연막의 일부를 제거하여, 상기 제1 리세스의 폭을 확장하는 것을 포함할 수 있다.

[0035] 상기 트렌치를 형성하는 것은, 상기 제2 캡핑막을 제거하여 제2 리세스를 형성하고, 상기 제3 필드 절연막의 일부를 제거하여, 상기 제2 리세스의 폭을 확장하는 것을 포함할 수 있다.

[0036] 상기 과제를 해결하기 위한 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법은 제1 및 제2 핀형 패턴, 상기 제1 및 제2 핀형 패턴 사이의 트렌치, 상기 트렌치를 채우는 필드 절연막 및 상기 제1 및 제2 핀형 패턴 상에 각각 형성된 제1 및 제2 핀 마스크 패턴을 포함하는 핀형 구조체를 형성하고, 상기 핀형 구조체 상에 상기 제1 핀 마스크 패턴을 노출시키고, 상기 제2 핀 마스크 패턴을 덮는 제1 마스크 패턴을 형성하고, 상기 제1 마스크 패턴을 마스크로 상기 핀형 구조체를 식각하여 상기 제1 핀형 패턴을 노출시키는 제1 트렌치를 형성하고, 상기 제1 트렌치를 채우는 제2 마스크 패턴을 형성하고, 상기 제2 마스크 패턴을 마스크로 상기 제2 핀 마스크 패턴 및 상기 제2 핀형 패턴을 식각하여 제2 트렌치를 형성하는 것을 포함한다.

[0037] 상기 핀형 구조체는 상면은 평탄화 공정에 의해서 동일한 평면을 이룰 수 있다.

[0038] 상기 제1 마스크 패턴은 포토 레지스트를 포함할 수 있다.

[0039] 상기 제2 트렌치의 바닥면은 상기 필드 절연막의 하면보다 낮거나 같을 수 있다.

[0040] 상기 과제를 해결하기 위한 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법은 제1 및 제2 영역을 포함하는 기판을 제공하고, 상기 제1 영역에 제1 핀형 패턴 및 상기 제1 핀형 패턴 상의 제1 핀 마스크 패턴을 형성하고, 상기 제2 영역에 제2 핀형 패턴 및 상기 제2 핀형 패턴 상의 제2 핀 마스크 패턴을 형성하고, 상기 제2 영역의 상기 제2 핀 마스크 패턴 상에 마스크 막을 형성하고, 상기 마스크 막을 이용하여, 상기 제1 영역에서 상기 제1 핀 마스크 패턴을 제거하고, 상기 제1 영역에서 상기 제1 핀형 패턴 상에 핀 컷 마스크 패턴을 형성하고, 상기 마스크 막을 제거한 후, 상기 제2 영역에서 상기 제2 핀형 패턴을 제거하는 것을 포함한다.

[0041] 상기 마스크 막을 형성하는 것은, 상기 제2 영역의 상기 제2 핀 마스크 패턴의 상면을 완전히 덮도록 상기 마스크 막을 형성하되, 상기 제1 영역의 상기 제1 핀 마스크 패턴의 상면의 적어도 일부는 노출되도록 상기 마스크 막을 형성하는 것을 포함할 수 있다.

[0042] 상기 핀 컷 마스크 패턴을 형성하는 것은, 상기 제1 영역에서 상기 제1 핀형 패턴 상에 스톱퍼 막을 형성하고, 상기 스톱퍼 막 상에 상기 핀 컷 마스크 패턴을 형성하는 것을 포함할 수 있다.

[0043] 여기서, 상기 마스크 막을 제거한 후, 상기 제2 핀 마스크 패턴을 제거하는 것을 더 포함할 수 있다.

[0044] 상기 다른 과제를 해결하기 위한 본 발명의 일 실시예에 따른 반도체 장치 제조 방법은 기판 상에 서로 이격된 제1 및 제2 핀 마스크 패턴을 형성하고, 상기 제1 핀 마스크 패턴을 이용하여 제1 핀형 패턴을 형성하고, 상기 제2 핀 마스크 패턴을 이용하여 제2 핀형 패턴을 형성하고, 상기 제1 및 제2 핀형 패턴 사이와, 상기 제1 및 제2 핀 마스크 패턴 사이에 필드 절연막을 형성하고, 상기 제1 핀 마스크 패턴을 노출시키는 마스크 막을 상기 제2 핀 마스크 패턴 상에 형성하고, 상기 제1 핀 마스크 패턴을 제거하여 상기 기판 상에 리세스를 형성하고, 상기 필드 절연막의 일부를 제거하여 상기 리세스의 폭을 확장하여 트렌치를 형성하고, 상기 트렌치를 채우는 핀 컷 마스크 패턴을 형성하고, 상기 핀 컷 마스크 패턴을 마스크로 상기 필드 절연막의 일부, 상기 제2 핀 마스크 패턴 및 상기 제2 핀형 패턴을 제거하고, 상기 핀 컷 마스크 패턴을 제거하여 상기 제1 핀형 패턴 및 상기 필드 절연막의 상면을 노출시키고, 상기 제1 핀형 패턴 및 상기 필드 절연막을 덮는 절연막을 형성하고, 상기 절연막의 일부 및 상기 필드 절연막의 일부를 제거하여 상기 제1 핀형 패턴을 돌출시키는 것을 포함한다.

도면의 간단한 설명

[0045] 도 1 내지 도 14는 본 발명의 일 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.

도 15 및 도 16은 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.

도 17 내지 도 23은 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.

도 24 및 도 25는 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.

도 26 내지 도 37은 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.

도 38 내지 도 42는 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.

도 43 및 도 44는 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.

도 45는 본 발명의 실시예들에 따른 반도체 장치 제조 방법에 따른 반도체 장치를 포함하는 SoC 시스템의 블록도이다.

도 46은 본 발명의 실시예들에 따른 반도체 장치 제조 방법에 따른 반도체 장치를 포함하는 전자 시스템의 블록도이다.

도 47 내지 도 49는 본 발명의 실시예들에 따른 반도체 장치 제조 방법에 따른 반도체 장치를 적용할 수 있는 예시적인 반도체 시스템들이다.

발명을 실시하기 위한 구체적인 내용

- [0046] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0047] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다.
- [0048] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0049] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0050] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.
- [0051] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0052] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0053] 이하에서, 도 1 내지 도 14를 참조하여, 본 발명의 일 실시예에 따른 반도체 장치 제조 방법에 대해서

설명한다.

- [0054] 도 1 내지 도 14는 본 발명의 일 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다. 구체적으로, 도 1은 본 발명의 일 실시예에 따른 반도체 장치 제조 방법의 중간 단계의 레이아웃을 나타낸 도면이고, 도 2 내지 도 14는 도 1의 A-A로 자른 단면에서의 본 발명의 일 실시예에 따른 반도체 장치 제조 방법의 중간 단계를 나타낸 도면들이다.
- [0055] 도 1 및 도 2를 참고하면, 본 발명의 제1 실시예에 따른 반도체 장치 제조 방법은 기판(100) 상에 핀 마스크 패턴(200)을 형성한다.
- [0056] 기판(100)은 예를 들어, 실리콘 기판, 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리, 기판(100)은 예를 들어, 게르마늄과 같은 원소 반도체, 또는 IV-IV족 화합물 반도체 또는 III-V족 화합물 반도체와 같은 화합물 반도체를 포함할 수 있다. 또는, 기판(100)은 베이스 기판 상에 에피층이 형성된 것일 수도 있다.
- [0057] IV-IV족 화합물 반도체를 예로 들면, 탄소(C), 규소(Si), 게르마늄(Ge), 주석(Sn) 중 적어도 2개 이상을 포함하는 이원계 화합물(binary compound), 삼원계 화합물(ternary compound) 또는 이들에 IV족 원소가 도핑된 화합물일 수 있다.
- [0058] III-V족 화합물 반도체를 예로 들면, III족 원소로 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중 적어도 하나와 V족 원소인 인(P), 비소(As) 및 안티모늄(Sb) 중 하나가 결합되어 형성되는 이원계 화합물, 삼원계 화합물 또는 사원계 화합물 중 하나일 수 있다.
- [0059] 핀 마스크 패턴(200)은 상기 기판(100) 상에 형성될 수 있다. 핀 마스크 패턴(200)은 상기 기판(100) 상에 제2 방향(Y)으로 연장되어 형성될 수 있다. 핀 마스크 패턴(200)은 복수일 수 있다. 핀 마스크 패턴(200)은 제1 방향(X)으로 서로 이격되어 나란하게 형성될 수 있다. 제1 방향(X)과 제2 방향(Y)은 서로 다른 방향 즉, 서로 교차하는 방향일 수 있다.
- [0060] 각각의 핀 마스크 패턴(200)의 제1 방향(X)의 폭은 일정할 수 있다. 핀 마스크 패턴(200)은 추후 공정에 의해 핀형 패턴(F)의 폭을 결정할 수 있고, 이에 따라, 핀형 패턴(F)의 제1 방향(X)의 폭도 일정할 수 있다. 각각의 핀 마스크 패턴(200) 사이의 제1 방향(X)의 간격도 일정할 수 있다. 이에 따라, 핀형 패턴(F)의 제1 방향(X) 사이의 간격도 일정할 수 있다. 단, 이에 제한되는 것은 아니다. 즉, 핀 마스크 패턴(200)의 각각의 제1 방향(X)의 폭은 서로 다를 수도 있고, 핀 마스크 패턴(200)의 제1 방향(X)의 간격 또한 서로 다를 수 있다. 이에 따라, 핀형 패턴(F)의 제1 방향(X)의 폭 및 간격도 서로 달라질 수 있다.
- [0061] 핀 마스크 패턴(200)은 기판(100)과 서로 선택 식각비를 가지는 물질을 포함할 수 있다. 핀 마스크 패턴(200)은 실리콘 질화물(Si₃N₄)을 포함할 수 있다. 또한, 핀 마스크 패턴(200)은 복수의 층으로 구성될 수 있다. 상기 복수의 층은 각각 실리콘 산화물(SiO₂), 실리콘 산질화물(SiON), 실리콘 질화물(Si₃N₄), TEOS(TetraEthylOrthoSilicate) 또는 다결정질 실리콘 등과 같은 실리콘 함유 물질, ACL(amorphous carbon layer) 또는 SOH(Spin-On Hardmask)와 같이 탄소 함유물질 또는 금속 중 적어도 하나로 이루어질 수도 있다. 상기 복수의 층은 아래층은 예를 들어, 실리콘 질화물층으로 이루어질 수 있고, 상기 아래층은 상기 실리콘 질화물의 하부에 얇은 실리콘 산화물을 더 포함할 수 있다. 중간층은 실리콘 산화물로 이루어질 수 있다. 위층은 다결정질 실리콘으로 이루어질 수 있다. 단, 이에 제한되는 것은 아니다.
- [0062] 도 3을 참고하면, 핀형 패턴(F) 및 제1 트렌치(T1)를 형성한다.
- [0063] 핀형 패턴(F)은 기판(100) 상에 돌출되게 형성될 수 있다. 핀형 패턴(F)은 기판(100) 상에 형성된 핀 마스크 패턴(200)을 마스크로 형성되므로 핀 마스크 패턴(200)의 형상과 유사한 형상을 가질 수 있다. 즉, 핀형 패턴(F)은 제2 방향(Y)으로 연장되고, 제1 방향(X)으로 서로 이격될 수 있다.
- [0064] 본 발명의 실시예들에 따른 반도체 장치에서, 핀형 패턴(F)은 실리콘을 포함하는 실리콘 핀형 액티브 패턴인 것으로 설명한다.
- [0065] 도 3에서, 핀형 패턴(F)은 직사각형 형태인 것으로 도시하였지만, 이에 한정되는 것은 아니다. 핀형 패턴(F)이 직사각형 형태인 경우, 장변(long side)과 단변(short side)을 포함할 수 있다.
- [0066] 핀형 패턴(F)은 제1 방향(X)으로 양측에 서로 대향되는 제1 측면 및 제2 측면을 포함할 수 있다. 상기 제1 측면 및 제2 측면에는 제1 트렌치(T1)가 각각 접할 수 있다. 따라서, 핀형 패턴(F)은 제1 트렌치(T1)에 의해서 정의

되고, 반대로 제1 트렌치(T1)는 핀형 패턴(F)에 의해서 정의될 수 있다.

- [0067] 도 4를 참고하면, 제1 트렌치(T1)를 채우는 제1 필드 절연막(300)을 형성한다.
- [0068] 제1 필드 절연막(300)은 기판(100) 상에 형성되고, 핀형 패턴(F) 주변에 배치될 수 있다. 제1 필드 절연막(300)은 핀형 패턴(F) 및 핀 마스크 패턴(200)을 둘러싸도록 형성될 수 있다.
- [0069] 제1 필드 절연막(300)은 예를 들어, 산화막, 질화막, 산질화막 또는 이들의 조합막일 수 있다. 또는, 제1 필드 절연막(300)은 예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 및 실리콘 산화물보다 유전율이 낮은 저유전율 물질 중 적어도 하나를 포함할 수 있다. 저유전율 물질은 예를 들어, FOX(Flowable Oxide), TOSZ(Torene SilaZene), USG(Undoped Silica Glass), BSG(Borosilica Glass), PSG(PhosphoSilica Glass), BPSG(BoroPhosphoSilica Glass), PETEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate), FSG(Fluoride Silicate Glass), CDO(Carbon Doped silicon Oxide), Xerogel, Aerogel, Amorphous Fluorinated Carbon, OSG(Organo Silicate Glass), Parylene, BCB(bis-benzocyclobutenes), SiLK, polyimide, porous polymeric material 또는 이들의 조합을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0070] 제1 필드 절연막(300)의 상면은 핀 마스크 패턴(200)의 상면과 동일한 평면을 이룰 수 있다. 즉, 제1 필드 절연막(300)은 제1 트렌치(T1)를 채우면서 핀 마스크 패턴(200)을 덮도록 형성된 후에, 평탄화 공정을 통해서 각각의 제1 트렌치(T1)내부로 분리될 수 있다. 제1 필드 절연막(300)의 측면의 하부는 핀형 패턴(F)과 접할 수 있고, 제1 필드 절연막(300)의 측면의 상부는 핀 마스크 패턴(200)과 접할 수 있다.
- [0071] 도 5를 참고하면, 제2 핀 마스크 패턴(220) 상에 마스크 막(400)을 형성한다.
- [0072] 마스크 막(400)은 제1 핀 마스크 패턴(210) 상에는 형성되지 않을 수 있다. 즉, 제1 핀 마스크 패턴(210)의 상면은 노출될 수 있다. 마스크 막(400)은 제1 필드 절연막(300)의 일부와 오버랩될 수 있다.
- [0073] 핀형 패턴(F)은 더미 핀형 패턴(DF)과 리얼 핀형 패턴(RF)을 포함할 수 있다. 더미 핀형 패턴(DF)은 제2 핀 마스크 패턴(220)의 아래에 위치하는 핀형 패턴(F)일 수 있다. 반대로 리얼 핀형 패턴(RF)은 제1 핀 마스크 패턴(210)의 아래에 위치하는 핀형 패턴(F)일 수 있다. 따라서, 더미 핀형 패턴(DF)은 마스크 막(400)과 오버랩될 수 있고, 리얼 핀형 패턴(RF)은 마스크 막(400)과 오버랩되지 않을 수 있다.
- [0074] 마스크 막(400)은 포토 레지스트(photo-resist, PR), ACL(amorphous carbon layer) 또는 SOH(Spin-On Hardmask)일 수 있다. 마스크 막(400)은 제1 핀 마스크 패턴(210)과 식각 선택비를 가지는 물질을 포함할 수 있다. 마스크 막(400)은 포토 리소그래피(photo-lithography)를 통해 패터닝될 수 있다. 단, 이에 제한되는 것은 아니다.
- [0075] 도 6을 참고하면, 제1 핀 마스크 패턴(210)을 제거한다. 제1 핀 마스크 패턴(210)은 마스크 막(400)에 의해서 덮이지 않고 노출된 상태에서 제거될 수 있다. 제1 핀 마스크 패턴(210)은 습식 식각(wet etch) 또는 건식 식각(dry etch)에 의해서 제거될 수 있다.
- [0076] 이에 반해, 제2 핀 마스크 패턴(220)은 마스크 막(400)에 의해서 완전히 덮힌 상태에서 제거되지 않을 수 있다. 즉, 제2 핀 마스크 패턴(220)의 상면은 외부로 노출되지 않으므로, 제2 핀 마스크 패턴(220)은 제1 핀 마스크 패턴(210)과 달리 제거되지 않을 수 있다.
- [0077] 즉, 마스크 막(400)은 제1 핀 마스크 패턴(210) 및 제2 핀 마스크 패턴(220) 중 제1 핀 마스크 패턴(210)을 선택적으로 제거하기 위해서 패터닝될 수 있다.
- [0078] 제1 핀 마스크 패턴(210)이 제거됨에 따라 제1 핀형 패턴(F)의 상면이 노출될 수 있다. 또한, 제1 필드 절연막(300)과 제1 핀형 패턴(F)에 의해서 제2 트렌치(T2)가 형성될 수 있다. 제2 트렌치(T2)는 제1 핀형 패턴(F)의 상면을 바닥면으로 하고, 제1 필드 절연막(300)의 측면을 측면으로 할 수 있다.
- [0079] 제1 필드 절연막(300)의 상면은 마스크 막(400)과 제1 필드 절연막(300)이 오버랩되는 부분(d1)과, 마스크 막(400)과 제1 필드 절연막(300)이 오버랩되지 않는 부분(d2)을 포함할 수 있다.
- [0080] 도 7을 참고하면, 제3 트렌치(T3)를 형성한다.
- [0081] 제3 트렌치(T3)는 제2 트렌치(T2)의 폭을 확장하여 형성될 수 있다. 제2 트렌치(T2)의 측면은 제1 필드 절연막(300)으로 형성되어 있는바, 제2 트렌치(T2)의 측벽을 이루는 제1 필드 절연막(300)을 일부 제거하여 제2 트렌치(T2)의 제1 방향(X) 폭을 확장할 수 있다.

- [0082] 제2 트렌치(T2)를 제3 트렌치(T3)으로 확장하는 것은 마스크 막(400)을 마스크로 이용할 수 있다. 즉, 마스크 막(400)과 오버랩되지 않은 부분을 제거하여 제2 트렌치(T2)를 제3 트렌치(T3)로 확장할 수 있다.
- [0083] 이 때, 제3 트렌치(T3)의 바닥면은 더미 핀형 패턴(DF)의 상면과 실질적으로 동일한 평면을 이룰 수 있다. 즉, 제3 트렌치(T3)는 제2 트렌치(T2)의 깊이와 실질적으로 동일한 깊이만큼 제1 필드 절연막(300)이 제거되어서 형성될 수 있다.
- [0084] 제1 필드 절연막(300) 중 제2 핀 마스크 패턴(220)과 접하지 않는 제1 필드 절연막(300)의 경우, 즉, 복수의 제2 트렌치(T2)의 사이에서 복수의 제2 트렌치(T2)와 접하는 제1 필드 절연막(300)의 경우, 복수의 제2 트렌치(T2)가 서로 연결되도록 일부가 제거될 수 있다. 즉, 제2 트렌치(T2)의 깊이와 동일한 깊이를 가지도록 제1 필드 절연막(300)의 일부가 제거될 수 있다. 이에 따라, 복수의 제2 트렌치(T2)가 서로 연결되어 하나의 제3 트렌치(T3)를 형성할 수 있다.
- [0085] 도 8을 참고하면, 마스크 막(400)을 제거한다.
- [0086] 마스크 막(400)이 제거됨에 따라서, 제2 핀 마스크 패턴(220)의 상면이 노출될 수 있다. 또한, 마스크 막(400)이 제거됨에 따라서, 제1 필드 절연막(300)의 상면의 일부가 노출될 수 있다. 이 때, 마스크 막(400)은 완전히 제거되어 제2 핀 마스크 패턴(220)의 상면 및 제1 필드 절연막(300)의 상면이 완전히 노출될 수 있다.
- [0087] 마스크 막(400)은 건식 식각 또는 습식 식각에 의해서 제거될 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0088] 도 6 내지 도 8에서는, 마스크 막(400)을 이용하여 제2 트렌치(T2)를 제3 트렌치(T3)으로 확장하고 마스크 막(400)을 제거하는 것으로 나타나 있지만, 이에 제한되는 것은 아니다. 본 발명의 다른 실시예에서는 마스크 막(400)을 먼저 제거하고, 제2 트렌치(T2)를 제3 트렌치(T3)로 확장하는 것도 가능하다.
- [0089] 이 때, 상기 제2 트렌치(T2)를 확장하는 것은 습식 식각에 의할 수 있다. 이 때, 상기 습식 식각은 HF를 이용하여 제1 필드 절연막(300)을 제거할 수 있다.
- [0090] 도 9를 참고하면, 핀 컷 마스크 패턴(500)을 형성한다.
- [0091] 핀 컷 마스크 패턴(500)은 제3 트렌치(T3)를 채울 수 있다. 핀 컷 마스크 패턴(500)은 제3 트렌치(T3)의 바닥면을 이루는 리얼 핀형 패턴(RF) 및 제1 필드 절연막(300)의 일부를 덮을 수 있다. 핀 컷 마스크 패턴(500)의 측면은 제2 핀 마스크 패턴(220)과 접하는 제1 필드 절연막(300)과 접할 수 있다.
- [0092] 핀 컷 마스크 패턴(500)은 탄소계열의 무기물, 포토 레지스트(photo resisit)와 같은 유기물 및 산화물(Oxide) 중 적어도 하나를 포함할 수 있다.
- [0093] 핀 컷 마스크 패턴(500)은 제2 핀 마스크 패턴(220)의 상면 및 제1 필드 절연막(300)의 상면의 최상부와 동일한 평면을 이룰 수 있다. 이 때, "동일"이란 미세한 단차를 포함하는 개념이다. 즉, 핀 컷 마스크 패턴(500)과 제2 핀 마스크 패턴(220) 및 제1 필드 절연막(300)이 평탄화 공정을 통해 동일한 평면을 가질 수 있다. 단, 이에 제한되는 것은 아니다.
- [0094] 도 10a를 참고하면, 제4 트렌치(T4)를 형성한다.
- [0095] 제4 트렌치(T4)는 핀 컷 마스크 패턴(500)을 마스크로 제1 필드 절연막(300) 및 더미 핀형 패턴(DF)을 식각하여 형성될 수 있다. 제4 트렌치(T4)의 바닥면은 제1 필드 절연막(300)의 하면과 같은 높이일 수 있다. 단, 이에 제한되는 것은 아니고, 제4 트렌치(T4)의 바닥면이 더 낮을 수도 더 높을 수도 있다. 제4 트렌치(T4)의 측벽은 제1 필드 절연막(300)일 수 있다. 제4 트렌치(T4)의 측벽은 경사가 존재할 수 있다. 즉, 제4 트렌치(T4)의 폭이 깊이 방향으로 점점 좁아질 수 있다. 이는, 제4 트렌치(T4)를 형성하는 식각 공정의 특징에 기인할 수 있다.
- [0096] 제4 트렌치(T4)의 바닥면은 기판(100)의 상면일 수 있다. 즉, 제4 트렌치(T4)가 형성됨에 따라 기판(100)의 상면이 노출될 수 있다.
- [0097] 도 10b를 참고하면, 본 발명의 다른 실시예에 따르면, 제4 트렌치(T4)는 기판(100)을 식각하여 형성될 수 있다. 즉, 제4 트렌치(T4)의 바닥면은 제1 필드 절연막(300)의 하면보다 낮게 형성될 수 있다. 즉, 제4 트렌치(T4)의 바닥면은 도 3의 제1 트렌치(T1)의 바닥면 보다 낮게 형성될 수 있다. 단, 이에 제한되는 것은 아니다.
- [0098] 본원 발명의 일 실시예에 따른 반도체 장치 제조 방법은 핀 컷 마스크 패턴(500)의 형성 위치를 정확히 지정할 수 있다. 이에 따라, 제4 트렌치(T4)의 측벽이 제1 필드 절연막(300)으로 형성될 수 있다. 따라서, 더미 핀형 패턴(DF)의 하부가 식각 공정에서 일부 잔존하여 뾰족한 형태의 스파이크(Spike)를 이루는 것을 방지할 수

있고, 이에 따라, 반도체 장치의 신뢰성 및 성능을 더욱 향상시킬 수 있다.

- [0099] 리얼 핀형 패턴(RF)은 핀 컷 마스크 패턴(500)에 의해서 제거되지 않을 수 있다. 리얼 핀형 패턴(RF)은 추후에 트랜지스터의 채널 영역 등으로 사용될 수 있다. 즉, 더미 핀형 패턴(DF)을 제거함에 따라, 리얼 핀형 패턴(RF) 사이의 간격을 조절하여 반도체 장치를 제조할 수 있다.
- [0100] 도 11을 참조하면, 핀 컷 마스크 패턴(500)을 제거한다.
- [0101] 핀 컷 마스크 패턴(500)이 제거됨에 따라, 리얼 핀형 패턴(RF)의 상면이 노출될 수 있다. 제1 필드 절연막(300)의 상면도 핀 컷 마스크 패턴(500)이 제거됨에 따라 노출될 수 있다.
- [0102] 이 때, 제1 필드 절연막(300)의 상면의 최상부와 리얼 핀형 패턴(RF)의 상면은 동일한 평면을 이룰 수 있다. 이 때, "동일"이란 미세한 단차를 포함하는 개념일 수 있다. 즉, 제1 필드 절연막(300)의 상면의 최상부 및 리얼 핀형 패턴(RF)의 상면은 제3 트랜치(T3)의 바닥면이었으므로 동일한 평면일 수 있다. 단, 이에 제한되는 것은 아니다.
- [0103] 도 12를 참조하면, 제1 필드 절연막(300)을 제거할 수 있다.
- [0104] 제1 필드 절연막(300)을 제거함에 따라, 리얼 핀형 패턴(RF)의 측면도 노출될 수 있다. 제1 제1 필드 절연막(300)이 제거되는 것은 습식 또는 건식 식각 공정을 포함할 수 있다. 단, 이에 제한되는 것은 아니다.
- [0105] 제1 필드 절연막(300)이 제거됨에 따라, 기판(100)의 상면이 노출될 수 있다. 즉, 제4 트랜치(T4)가 형성됨에 따라 일부가 노출되었던 기판(100)의 상면이 제1 필드 절연막(300)이 제거됨에 따라 더 노출될 수 있다.
- [0106] 리얼 핀형 패턴(RF) 사이에 있었던, 더미 핀형 패턴(DF)이 제거됨에 따라 리얼 핀형 패턴(RF)의 간격이 조절될 수 있다. 즉, 리얼 핀형 패턴(RF) 및 더미 핀형 패턴(DF)은 모두 동일한 간격으로 형성된 핀형 패턴(F)으로 형성되고, 더미 핀형 패턴(DF)이 제거됨에 따라 리얼 핀형 패턴(RF) 사이의 간격이 조절될 수 있다.
- [0107] 도 13을 참고하면, 제2 필드 절연막(600)을 형성한다.
- [0108] 제2 필드 절연막(600)은 기판(100) 및 리얼 핀형 패턴(RF)을 덮도록 형성된다. 구체적으로, 제2 필드 절연막(600)은 기판(100)의 상면, 리얼 핀형 패턴(RF)의 상면 및 리얼 핀형 패턴(RF)의 측면을 덮도록 형성될 수 있다. 따라서, 제2 필드 절연막(600)의 상면은 리얼 핀형 패턴(RF)의 상면보다 높을 수 있다.
- [0109] 이 때, 제2 필드 절연막(600)은 예를 들어, 산화막, 질화막, 산질화막 또는 이들의 조합막일 수 있다. 또는, 제 1 필드 절연막(300)은 예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 및 실리콘 산화물보다 유전율이 낮은 저유전율 물질 중 적어도 하나를 포함할 수 있다. 저유전율 물질은 예를 들어, FOX(Flowable Oxide), TOSZ(Torene SilaZene), USG(Undoped Silica Glass), BSG(Borosilica Glass), PSG(PhosphoSilica Glass), BPSG(BoroPhosphoSilica Glass), PETEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate), FSG(Fluoride Silicate Glass), CDO(Carbon Doped silicon Oxide), Xerogel, Aerogel, Amorphous Fluorinated Carbon, OSG(Organo Silicate Glass), Parylene, BCB(bis-benzocyclobutenes), SiLK, polyimide, porous polymeric material 또는 이들의 조합을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0110] 제2 필드 절연막(600)은 제1 필드 절연막(300)과 동일한 물질일 수 있다. 단, 이에 제한되는 것은 아니다. 제2 필드 절연막(600)은 제1 필드 절연막(300)과 서로 다른 물질일 수도 있다.
- [0111] 도 14를 참고하면, 리얼 핀형 패턴(RF)을 돌출시킬 수 있다.
- [0112] 리얼 핀형 패턴(RF)은 제2 필드 절연막(600)의 일부를 제거함에 따라, 제2 필드 절연막(600)의 상면보다 돌출될 수 있다. 즉, 리얼 핀형 패턴(RF)의 측벽은 일부는 노출되고, 일부는 제2 필드 절연막(600)과 접할 수 있다.
- [0113] 리얼 핀형 패턴(RF)의 측면의 하부는 제2 필드 절연막(600)에 의해 덮힐 수 있고, 리얼 핀형 패턴(RF)의 측면의 상부는 노출될 수 있다.
- [0114] 본 발명의 일 실시예에 따른 반도체 장치 제조 방법은, 핀 컷 즉, 더미 핀형 패턴(DF)을 제거하는 공정상에서, 식각 공정의 특성상 더미 핀형 패턴(DF)의 하부가 뾰족하게 스파이크 형태로 남는 것을 방지할 수 있다. 즉, 마스크 막(400)의 패터닝이 잘못 되는 경우와 상관 없이 핀 컷 마스크 패턴(500)이 정해진 위치에 형성될 수 있기 때문에 항상 일정한 형상의 제4 트랜치(T4)를 형성하여 핀 컷 공정을 수행할 수 있다.
- [0115] 상기 공정을 통해서 형성된 리얼 핀형 패턴() 및 제2 필드 절연막() 상에 게이트 전극이 형성될 수 있다. 게이트 전극은 도 1의 제1 방향()으로 연장될 수 있다. 게이트 전극은 리얼 핀형 패턴()의 측면의 일부 및 상면을

감싸도록 형성될 수 있다.

- [0116] 게이트 전극의 제2 방향()의 양 측면에는 소오스/드레인이 형성될 수 있다. 상기 소오스/드레인은 리얼 핀형 패턴() 상에 형성될 수 있다. 소오스/드레인은 에피 공정에 의해 형성된 에피층을 포함할 수 있다. 소오스/드레인은 예를 들어, 상승된 소오스/드레인일 수 있다. 에피층의 외주면은 다양한 형상일 수 있다. 예를 들어, 에피층의 외주면은 다이아몬드 형상, 원 형상 및 직사각형 형상 중 적어도 하나일 수 있다.
- [0117] 상기 게이트 전극, 소오스/드레인에 의해 형성되는 반도체 장치가 PMOS 트랜지스터인 경우, 에피층은 압축 스트레스 물질을 포함할 수 있다. 예를 들어, 압축 스트레스 물질은 Si에 비해서 격자상수가 큰 물질일 수 있고, 예를 들어 SiGe일 수 있다. 예를 들어, 압축 스트레스 물질은 리얼 핀형 패턴에 압축 스트레스를 가하여 채널 영역의 캐리어의 이동도(mobility)를 향상시킬 수 있다.
- [0118] 이와는 달리, 상기 게이트 전극, 소오스/드레인에 의해 형성되는 반도체 장치가 NMOS 트랜지스터인 경우, 에피층은 인장 스트레스 물질을 포함할 수 있다. 예를 들어, 리얼 핀형 패턴()이 실리콘일 때, 에피층은 실리콘보다 격자 상수가 작은 물질(예를 들어, SiC)일 수 있다. 예를 들어, 인장 스트레스 물질은 리얼 핀형 패턴()에 인장 스트레스를 가하여 채널 영역의 캐리어의 이동도를 향상시킬 수 있다.
- [0119] 이하, 도 1 내지 도 11, 도 15 및 도 16을 참고하여, 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법을 설명한다. 상술한 반도체 장치 제조 방법과 중복되는 부분은 간략히 하거나 생략하고, 다른점을 위주로 설명한다.
- [0120] 도 15 및 도 16은 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.
- [0121] 도 1 내지 도 11까지의 공정은 상술한 실시예와 동일하므로 도 15 및 도 16의 공정에 대해서 설명한다.
- [0122] 도 15를 참조하면, 제1 필드 절연막(300) 및 리얼 핀형 패턴(RF) 상에 제2 필드 절연막(600)을 형성한다.
- [0123] 제2 필드 절연막(600)은 제4 트렌치(T4)를 완전히 채우고, 제1 필드 절연막(300)의 상면과 리얼 핀형 패턴(RF)의 상면을 덮을 수 있다. 제2 필드 절연막(600)의 상면은 제1 필드 절연막(300)의 상면 및 리얼 핀형 패턴(RF)의 상면보다 높게 형성될 수 있다.
- [0124] 이 때, 제2 필드 절연막(600)은 예를 들어, 산화막, 질화막, 산질화막 또는 이들의 조합막일 수 있다. 또는, 제1 필드 절연막(300)은 예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 및 실리콘 산화물보다 유전율이 낮은 저유전율 물질 중 적어도 하나를 포함할 수 있다. 저유전율 물질은 예를 들어, FOX(Flowable Oxide), TOSZ(Torene SilaZene), USG(Undoped Silica Glass), BSG(Borosilica Glass), PSG(PhosphoSilica Glass), BPSG(BoroPhosphoSilica Glass), PETEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate), FSG(Fluoride Silicate Glass), CDO(Carbon Doped silicon Oxide), Xerogel, Aerogel, Amorphous Fluorinated Carbon, OSG(Organo Silicate Glass), Parylene, BCB(bis-benzocyclobutenes), SiLK, polyimide, porous polymeric material 또는 이들의 조합을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0125] 도 16을 참조하면, 제1 필드 절연막(300) 및 제2 필드 절연막(600)을 식각하여 리얼 핀형 패턴(RF)을 돌출시킨다.
- [0126] 리얼 핀형 패턴(RF)은 제1 필드 절연막(300) 및 제2 필드 절연막(600)의 일부를 제거함에 따라, 제1 필드 절연막(300) 및 제2 필드 절연막(600)의 상면보다 돌출될 수 있다. 즉, 리얼 핀형 패턴(RF)의 측면은 일부는 노출되고, 일부는 제1 필드 절연막(300)과 접할 수 있다.
- [0127] 리얼 핀형 패턴(RF)의 측면의 하부는 제1 필드 절연막(300)에 의해 덮힐 수 있고, 리얼 핀형 패턴(RF)의 측면의 상부는 노출될 수 있다.
- [0128] 제2 필드 절연막(600)은 제1 필드 절연막(300)과 동일한 물질일 수 있다. 제2 필드 절연막(600)과 제1 필드 절연막(300)이 동일한 물질이면 굳이 제1 필드 절연막(300)을 제거하지 않아도 되므로 공정의 낭비를 줄일 수 있다. 즉, 제1 필드 절연막(300)을 제거하고, 그 자리에 제2 필드 절연막(600)을 새로이 형성할 필요없이 제1 필드 절연막(300) 상에 제2 필드 절연막(600)을 형성할 수 있다.
- [0129] 이하, 도 1 내지 도 8, 도 17 내지 도 23을 참고하여, 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법을 설명한다. 상술한 반도체 장치 제조 방법과 중복되는 부분은 간략히 하거나 생략하고, 다른점을 위주로 설명한다.

- [0130] 도 17 내지 도 23은 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.
- [0131] 도 1 내지 도 8까지의 공정은 상술한 실시예와 동일하므로 도 17 내지 도 23의 공정에 대해서 설명한다.
- [0132] 도 17을 참조하면, 스톱퍼 막(510)을 형성한다.
- [0133] 스톱퍼 막(510)은 제1 필드 절연막(300), 제2 핀 마스크 패턴(220) 및 리얼 핀형 패턴(RF)의 상에 형성될 수 있다. 스톱퍼 막(510)은 제1 필드 절연막(300)의 상면, 제2 핀 마스크 패턴(220)의 상면 및 리얼 핀형 패턴(RF)의 상면에 컨포말하게 형성될 수 있다. 즉, 제3 트렌치(T3)의 측면 및 바닥면을 따라 형성될 수 있다.
- [0134] 스톱퍼 막(510)에 의해서 제1 필드 절연막(300)의 상면, 제2 핀 마스크 패턴(220)의 상면 및 리얼 핀형 패턴(RF)의 상면은 덮힐 수 있다. 스톱퍼 막(510)은 상대적으로 제3 트렌치(T3)의 일부를 채울 수 있다.
- [0135] 스톱퍼 막(510)은 이에 제한되는 것은 아니지만, SiN을 포함할 수 있다. 스톱퍼 막(510)은 추후에 형성되는 제2 필드 절연막(600)과 같이 평탄화 공정을 수행할 때 정지막의 역할을 할 수 있다.
- [0136] 도 18을 참고하면, 핀 컷 마스크 패턴(500)을 형성한다.
- [0137] 핀 컷 마스크 패턴(500)은 제3 트렌치(T3)를 완전히 채울 수 있다. 핀 컷 마스크 패턴(500)은 스톱퍼 막(510) 상에 형성될 수 있다.
- [0138] 스톱퍼 막(510)과 핀 컷 마스크 패턴(500)은 제3 트렌치(T3) 내에 형성될 수 있다. 스톱퍼 막(510)과 핀 컷 마스크 패턴(500)은 평탄화 공정을 통해 동일한 평면의 노출된 상면을 포함할 수 있다. 이 때, 동일이란 미세한 단차를 포함하는 개념이다.
- [0139] 핀 컷 마스크 패턴(500)과 스톱퍼 막(510)은 같이 평탄화 될 수 있다. 즉, 도 17과 같이 스톱퍼 막(510)이 형성되고, 그 위에 핀 컷 마스크 막이 형성될 수 있다. 이때, 핀 컷 마스크 막은 스톱퍼 막(510) 상에 컨포말하게 형성될 수 있다. 이 때의 스톱퍼 막(510) 및 핀 컷 마스크 막은 제3 트렌치(T3) 내부뿐만 아니라 외부에도 형성될 수 있다.
- [0140] 이어서 평탄화 공정을 통해서, 스톱퍼 막(510)은 제3 트렌치(T3)의 내부를 제외하고 제거되고, 핀 컷 마스크 막도 일부가 제거되면서 핀 컷 마스크 패턴(500)을 형성할 수 있다.
- [0141] 단, 공정의 순서가 이에 제한되는 것은 아니다. 예를 들어, 스톱퍼 막(510)이 먼저 제3 트렌치(T3)의 내부를 제외한 부분이 제거되고, 추후에 핀 컷 마스크 패턴(500)이 형성될 수도 있다.
- [0142] 이 때, 스톱퍼 막(510)은 도시된 바와 같이 제3 트렌치(T3)의 측면과 바닥면에 형성될 수 있지만, 이와 달리 제3 트렌치(T3)의 바닥면에 형성되고, 측면에 형성되지 않을 수도 있다.
- [0143] 도 19를 참고하면, 제4 트렌치(T4)를 형성한다.
- [0144] 제4 트렌치(T4)는 핀 컷 마스크 패턴(500)을 마스크로 제1 필드 절연막(300), 더미 핀형 패턴(DP) 및 스톱퍼 막(510)을 식각하여 형성될 수 있다. 제4 트렌치(T4)의 바닥면은 제1 필드 절연막(300)의 하면과 같은 높이일 수 있다. 단, 이에 제한되는 것은 아니고, 제4 트렌치(T4)의 바닥면이 더 낮을 수도 더 높을 수도 있다. 제4 트렌치(T4)의 측벽은 제1 필드 절연막(300)일 수 있다. 제4 트렌치(T4)의 측벽은 경사가 존재할 수 있다. 즉, 제4 트렌치(T4)의 폭이 깊이 방향으로 점점 좁아질 수 있다. 이는, 제4 트렌치(T4)를 형성하는 식각 공정의 특징에 기인할 수 있다.
- [0145] 제4 트렌치(T4)의 바닥면은 기판(100)의 상면일 수 있다. 즉, 제4 트렌치(T4)가 형성됨에 따라 기판(100)의 상면이 노출될 수 있다.
- [0146] 스톱퍼 막(510)은 제1 필드 절연막(300) 및 리얼 핀형 패턴(RF)의 상면에 형성되고, 핀 컷 마스크 패턴(500)의 아래에 형성될 수 있다. 스톱퍼 막(510)은 핀 컷 마스크 패턴(500)의 하면과 접할 수 있다. 스톱퍼 막(510)은 리얼 핀형 패턴(RF)의 상면 및 제1 필드 절연막(300)의 상면의 최상부를 덮을 수 있다.
- [0147] 도 20을 참고하면, 핀 컷 마스크 패턴(500)을 제거한다.
- [0148] 핀 컷 마스크 패턴(500)이 제거됨에 따라, 스톱퍼 막(510)의 상면이 노출될 수 있다. 제1 필드 절연막(300)의 상면의 최상부 및 리얼 핀형 패턴(RF)의 상면은 스톱퍼 막(510)에 의해 덮혀 있을 수 있다. 스톱퍼 막(510)은 제4 트렌치(T4)의 외부에 위치할 수 있다. 즉, 제4 트렌치(T4)의 측벽은 제1 필드 절연막(300)이고, 바닥면은

기관(100)의 상면일 수 있다.

- [0149] 핀 컷 마스크 패턴(500)은 포함하는 물질에 따라 습식 식각, 건식 식각 및 애싱 등으로 제거될 수 있다. 핀 컷 마스크 패턴(500)은 완전히 제거될 수 있다. 즉, 핀 컷 마스크 패턴(500)은 잔여물을 남기지 않고 제거될 수 있다.
- [0150] 도 21을 참고하면, 제1 필드 절연막(300) 및 스톱퍼 막(510) 상에 제2 필드 절연막(600)을 형성한다.
- [0151] 제2 필드 절연막(600)은 제4 트렌치(T4)를 완전히 채우고, 제1 필드 절연막(300)의 상면과 스톱퍼 막(510)의 상면을 덮을 수 있다. 제2 필드 절연막(600)의 상면은 제1 필드 절연막(300)의 상면 및 스톱퍼 막(510)의 상면보다 높게 형성될 수 있다.
- [0152] 이 때, 제2 필드 절연막(600)은 예를 들어, 산화막, 질화막, 산질화막 또는 이들의 조합막일 수 있다. 또는, 제1 필드 절연막(300)은 예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 및 실리콘 산화물보다 유전율이 낮은 저유전율 물질 중 적어도 하나를 포함할 수 있다. 저유전율 물질은 예를 들어, FOX(Flowable Oxide), TOSZ(Torene SilaZene), USG(Undoped Silica Glass), BSG(Borosilica Glass), PSG(PhosphoSilica Glass), BPSG(BoroPhosphoSilica Glass), PETEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate), FSG(Fluoride Silicate Glass), CDO(Carbon Doped silicon Oxide), Xerogel, Aerogel, Amorphous Fluorinated Carbon, OSG(Organo Silicate Glass), Parylene, BCB(bis-benzocyclobutenes), SiLK, polyimide, porous polymeric material 또는 이들의 조합을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0153] 도 22를 참고하면, 평탄화 공정을 통해 스톱퍼 막(510)을 노출시킨다.
- [0154] 평탄화 공정은 화학적 기계적 평탄화(chemical mechanical polish, CMP)를 포함할 수 있다. 스톱퍼 막(510)은 상기 평탄화 공정에서 정지막 역할을 할 수 있다. 즉, 평탄화 공정을 통해서, 제2 필드 절연막(600)의 일부가 제거될 수 있고, 스톱퍼 막(510)이 노출될 때까지 제2 필드 절연막(600)의 상면이 낮아질 수 있다. 스톱퍼 막(510)은 제2 필드 절연막(600)과 서로 다른 물질을 포함하므로, 평탄화 공정시에 제2 필드 절연막(600)이 제거되는 기준 높이를 제공할 수 있다.
- [0155] 따라서, 상기 평탄화 공정을 수행함에 의해서 스톱퍼 막(510)의 상면이 노출되고, 이에 따라 제2 필드 절연막(600)의 상면도 스톱퍼 막(510)의 노출된 상면과 동일 평면 상에 위치할 수 있다. 이 때, 동일이란 미세한 단차를 포함하는 개념이다.
- [0156] 도 23을 참고하면, 스톱퍼 막(510), 제1 필드 절연막(300)의 일부 및 제2 필드 절연막(600)의 일부를 제거하여 리얼 핀형 패턴(RF)을 돌출시킨다.
- [0157] 스톱퍼 막(510)은 제거될 수 있다. 이어서, 제1 필드 절연막(300) 및 제2 필드 절연막(600)도 일부가 제거될 수 있다. 리얼 핀형 패턴(RF)은 제1 필드 절연막(300) 및 제2 필드 절연막(600)의 일부를 제거함에 따라, 제1 필드 절연막(300) 및 제2 필드 절연막(600)의 상면보다 돌출될 수 있다. 즉, 리얼 핀형 패턴(RF)의 측벽은 일부는 노출되고, 일부는 제1 필드 절연막(300)과 접할 수 있다.
- [0158] 리얼 핀형 패턴(RF)의 측면의 하부는 제1 필드 절연막(300)에 의해 덮힐 수 있고, 리얼 핀형 패턴(RF)의 측면의 상부는 노출될 수 있다.
- [0159] 제2 필드 절연막(600)은 제1 필드 절연막(300)과 동일한 물질일 수 있다. 제2 필드 절연막(600)과 제1 필드 절연막(300)이 동일한 물질이면 굳이 제1 필드 절연막(300)을 제거하지 않아도 되므로 공정의 낭비를 줄일 수 있다. 즉, 제1 필드 절연막(300)을 제거하고, 그 자리에 제2 필드 절연막(600)을 새로이 형성할 필요없이 제1 필드 절연막(300) 상에 제2 필드 절연막(600)을 형성할 수 있다.
- [0160] 이하, 도 1 내지 도 4, 도 7 내지 도 14, 도 24 및 도 25를 참고하여, 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법을 설명한다. 상술한 반도체 장치 제조 방법과 중복되는 부분은 간략히 하거나 생략하고, 다른점을 위주로 설명한다.
- [0161] 도 24 및 도 25는 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.
- [0162] 도 1 내지 도 4까지의 공정은 상술한 실시예와 동일하므로 도 24 및 도 25의 공정에 대해서 설명한다.
- [0163] 도 24를 참조하면, 마스크 막(400)을 제2 핀 마스크 패턴(220)을 덮되, 제1 핀 마스크 패턴(210)을 노출시키도

록 형성한다.

- [0164] 마스크 막(400)은 노광에 의해서 패터닝되거나 식각에 의해서 패터닝될 수 있다. 이 때, 미스 얼라인에 의해서 마스크 막(400)이 정렬되지 않고 패터닝될 수 있다. 즉, 마스크 막(400)의 일부가 제1 핀 마스크 패턴(210)과 오버랩될 수 있다. 다만, 마스크 막(400)은 제1 핀 마스크 패턴(210)의 전부를 덮지는 않을 수 있다.
- [0165] 만일 마스크 막(400)을 마스크로 핀형 패턴(F) 중 일부를 식각하는 핀 컷 공정을 수행하는 경우, 이러한 미스 얼라인에 의해서 제거되어야 하는 핀의 일부가 스파이크 형태로 남아서 반도체 장치의 성능의 저하를 가져올 수 있다.
- [0166] 그러나, 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법은 도 24와 같이 제1 핀 마스크 패턴(210)과 마스크 막(400)의 일부(d3)가 오버랩되어도 추후 공정에서 스파이크가 발생되지 않을 수 있다. 이를 추후에 설명한다.
- [0167] 도 25를 참고하면, 제1 핀 마스크 패턴(210)을 제거한다.
- [0168] 제1 핀 마스크 패턴(210)은 마스크 막(400)과 오버랩되지 않은 노출된 부분을 통해서 제거될 수 있다. 이 때, 제1 핀 마스크 패턴(210)은 습식 식각 또는 등방성 건식 식각을 통해서 제거될 수 있다.
- [0169] 본 실시예의 반도체 장치 제조 방법은 마스크 막(400)의 미스 얼라인에도 불구하고, 제1 핀 마스크 패턴(210)의 일부가 노출됨에 따라 제1 핀 마스크 패턴(210)만 선택적으로 제거할 수 있다. 따라서, 결론적으로 마스크 막(400)의 오버랩 마진(overlap margin)이 넓어질 수 있다.
- [0170] 이하, 도 26 내지 도 37을 참고하여, 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법을 설명한다. 상술한 반도체 장치 제조 방법과 중복되는 부분은 간략히 하거나 생략하고, 다른점을 위주로 설명한다.
- [0171] 도 26 내지 도 37은 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.
- [0172] 도 26을 참조하면, 기판(100)의 제1 영역(I) 상에 제1 핀 마스크 패턴(210)을 형성하고, 제2 영역(II) 상에 제2 핀 마스크 패턴(220)을 형성한다.
- [0173] 기판(100)은 제1 영역(I) 및 제2 영역(II)을 포함한다. 제1 영역(I) 및 제2 영역(II)은 서로 인접한 영역일 수도 있고 서로 분리된 영역일 수도 있다.
- [0174] 제1 핀 마스크 패턴(210)은 기판(100)의 제1 영역(I) 상에 형성될 수 있다. 제2 핀 마스크 패턴(220)은 기판(100)의 제2 영역(II) 상에 형성될 수 있다. 제1 핀 마스크 패턴(210) 및 제2 핀 마스크 패턴(220)은 서로 동일한 물질을 포함할 수 있다. 제1 핀 마스크 패턴(210)과 제2 핀 마스크 패턴(220)은 형성되는 위치만 서로 다를 뿐 서로 동일한 물질을 포함하고, 서로 동일한 형상일 수 있다. 단, 이에 제한되는 것은 아니다.
- [0175] 제1 핀 마스크 패턴(210) 및 제2 핀 마스크 패턴(220)은 직사각형 모양으로 도시되었으나 이에 제한되는 것은 아니다. 제1 핀 마스크 패턴(210)과 제2 핀 마스크 패턴(220)은 다른 형상일 수 있다.
- [0176] 도 27을 참조하면, 제1 핀 마스크 패턴(210)을 마스크로 기판(100)의 제1 영역(I)을 식각하고, 제2 핀 마스크 패턴(220)을 마스크로 기판(100)의 제2 영역(II)을 식각한다.
- [0177] 기판(100)의 제1 영역(I)이 식각됨에 따라, 제1 영역(I)에 리얼 핀형 패턴(RF)이 형성될 수 있다. 리얼 핀형 패턴(RF)은 기판(100)의 상면에서 돌출될 수 있다. 리얼 핀형 패턴(RF)은 제1 측면과 제2 측면을 포함할 수 있고, 상면은 제1 핀 마스크 패턴과 접할 수 있다.
- [0178] 기판(100)의 제1 영역(I)이 식각됨에 따라 제1 영역(I)의 리얼 핀형 패턴(RF)의 제1 및 제2 측면에 셀로우 트렌치(ST)가 형성될 수 있다. 셀로우 트렌치(ST)는 리얼 핀형 패턴(RF)의 제1 및 제2 측면에 접할 수 있다.
- [0179] 기판(100)의 제2 영역(II)이 식각됨에 따라, 제2 영역(II)에 더미 핀형 패턴(DF)이 형성될 수 있다. 더미 핀형 패턴(DF)은 기판(100)의 상면에서 돌출될 수 있다. 더미 핀형 패턴(DF)은 제1 측면과 제2 측면을 포함할 수 있고, 상면은 제2 핀 마스크 패턴과 접할 수 있다.
- [0180] 기판(100)의 제2 영역(II)이 식각됨에 따라 제2 영역(II)의 더미 핀형 패턴(DF)의 제1 및 제2 측면에 셀로우 트렌치(ST)가 형성될 수 있다. 셀로우 트렌치(ST)는 더미 핀형 패턴(DF)의 제1 및 제2 측면에 접할 수 있다.
- [0181] 도 28을 참조하면, 셀로우 트렌치(ST) 내에 제1 필드 절연막(300)을 형성한다.

- [0182] 제1 필드 절연막(300)은 셀로우 트랜치(ST)를 채울 수 있다. 제1 필드 절연막(300)의 상면은 제1 핀 마스크 패턴(210)의 상면 및 제2 핀 마스크 패턴(220)의 상면과 동일한 평면을 이룰 수 있다. 즉, 제1 필드 절연막(300)에 제1 핀 마스크 패턴(210) 및 제2 핀 마스크 패턴(220)과 같이 평탄화 공정을 수행될 수 있다.
- [0183] 제1 영역(I)에서 제1 필드 절연막(300)의 측면은 리얼 핀형 패턴(RF)과 제1 핀 마스크 패턴(210)이 접하고, 제2 영역(II)에서 제1 필드 절연막(300)의 측면은 더미 핀형 패턴(DF)과 제2 핀 마스크 패턴(220)이 접할 수 있다.
- [0184] 도 29를 참조하면, 제1 영역(I)에서는 제1 핀 마스크 패턴(210)을 노출시키되, 제2 영역(II)에서는 제2 핀 마스크 패턴(220)을 덮도록 마스크 막(400)을 형성한다.
- [0185] 즉, 마스크 막(400)에 의해서 제2 영역(II)의 제2 핀 마스크 패턴(220)의 상면은 완전히 덮힐 수 있다. 이에 반해, 제1 영역(I)의 제1 핀 마스크 패턴(210)의 상면은 완전히 노출될 수 있다.
- [0186] 도 30을 참조하면, 제1 핀 마스크 패턴(210)을 제거한다.
- [0187] 제1 핀 마스크 패턴(210)이 제거되면서 제1 영역(I)에는 리세스가 형성될 수 있다. 상기 리세스는 제1 폭(W1)을 가질 수 있다. 이에 반해, 제2 영역(II)에는 마스크 막(400)에 의해서 제2 핀 마스크 패턴(220)은 제거되지 않을 수 있다.
- [0188] 따라서, 리얼 핀형 패턴(RF)의 상면은 노출되고, 더미 핀형 패턴(DF)의 상면은 노출되지 않을 수 있다. 즉, 더미 핀형 패턴(DF)의 상면은 여전히 제2 핀 마스크 패턴(220)에 의해서 덮힐 수 있다.
- [0189] 도 31을 참고하면, 제1 영역(I)에서 리세스의 폭을 확장한다.
- [0190] 리세스의 제1 폭(W1)은 제2 폭(W2)으로 확장될 수 있다. 리세스는 제1 영역(I)에 형성되어 있으므로, 제1 영역(I)의 제1 필드 절연막(300)의 일부가 제거되어 상기 리세스의 폭을 확장할 수 있다. 이 때, 리세스의 확장은 마스크 막(400)을 이용할 수 있다. 즉, 마스크 막(400)을 마스크로 마스크 막(400)과 오버랩되지 않는 제1 필드 절연막(300)의 일부를 제거할 수 있다.
- [0191] 따라서, 리세스의 제2 폭(W2)은 리얼 핀형 패턴(RF)의 폭보다 클 수 있다.
- [0192] 도 32를 참조하면, 마스크 막(400)을 제거한다.
- [0193] 제2 영역(II)에서는 마스크 막(400)이 제거됨에 따라 제2 핀 마스크 패턴(220)의 상면이 노출된다. 제1 영역(I)에서는 제1 핀 마스크 패턴(210)이 제거됨에 따라 형성된 리세스의 제1 폭(W1)은 리얼 핀형 패턴(RF)의 폭과 동일할 수 있다. 단, 이에 제한되는 것은 아니다.
- [0194] 도 33을 참고하면, 제1 영역(I)의 리세스에 핀 컷 마스크 패턴(500)을 형성한다.
- [0195] 핀 컷 마스크 패턴(500)은 리세스를 완전히 채울 수 있다. 핀 컷 마스크 패턴(500)은 제1 영역(I)에만 형성될 수 있다. 핀 컷 마스크 패턴(500)은 리얼 핀형 패턴(RF)의 상면을 완전히 덮도록 형성될 수 있다. 핀 컷 마스크 패턴(500)은 제1 영역(I)의 제1 필드 절연막(300)의 상면과 오버랩될 수 있다.
- [0196] 도 34를 참고하면, 제2 핀 마스크 패턴(220) 및 더미 핀형 패턴(DF)을 제거한다.
- [0197] 제2 영역(II)에서 제2 핀 마스크 패턴(220) 및 더미 핀형 패턴(DF)을 제거할 수 있다. 제1 영역(I)에서 핀 컷 마스크 패턴(500)을 마스크로 제1 필드 절연막(300)을 식각할 수 있다. 제1 영역(I)에서의 제1 필드 절연막(300)은 경사를 가지도록 식각될 수 있다. 구체적으로, 제1 필드 절연막의 폭은 높이가 높을수록 점차로 줄어들 수 있다. 단, 이에 제한되는 것은 아니다.
- [0198] 도 35를 참고하면, 핀 컷 마스크 패턴(500)을 제거한다.
- [0199] 핀 컷 마스크 패턴(500)은 제1 영역(I)에 위치한다. 제1 영역(I)에서 핀 컷 마스크 패턴(500)이 제거됨에 따라, 리얼 핀형 패턴(RF)의 상면이 노출될 수 있다. 더불어, 제1 필드 절연막(300)의 상면의 최상부도 핀 컷 마스크 패턴(500)이 제거됨에 따라 노출될 수 있다.
- [0200] 도 36을 참조하면, 제2 필드 절연막(600)을 형성한다.
- [0201] 제2 필드 절연막(600)은 제1 영역(I)에서 리얼 핀형 패턴(RF) 및 제1 필드 절연막(300) 상에 형성될 수 있다. 제2 필드 절연막(600)은 제2 영역(II)에서 기판(100) 상에 형성될 수 있다. 제2 필드 절연막(600)은 제1 영역

(Ⅰ)과 제2 영역(Ⅱ)에 같은 높이로 형성될 수 있다. 단, 이에 제한되는 것은 아니다.

- [0202] 제2 필드 절연막(600)은 제1 필드 절연막(300)과 동일한 물질일 수 있다. 단, 이에 제한되는 것은 아니다.
- [0203] 도 37을 참조하면, 리얼 핀형 패턴(RF)을 돌출시킨다.
- [0204] 리얼 핀형 패턴(RF)은 제1 영역(Ⅰ)에서 제1 필드 절연막(300)의 일부 및 제2 필드 절연막(600)의 일부를 제거하여 돌출될 수 있다. 즉, 리얼 핀형 패턴(RF)의 상부는 노출되고, 리얼 핀형 패턴(RF)의 하부는 제1 필드 절연막(300)과 접할 수 있다. 이 때, 제1 필드 절연막(300)과 제2 필드 절연막(600)의 상면은 동일한 평면일 수 있다.
- [0205] 제2 영역(Ⅱ)에서는 제2 필드 절연막(600)이 제1 영역(Ⅰ)의 제2 필드 절연막(600)의 상면과 동일한 높이를 가지도록 일부가 제거될 수 있다.
- [0206] 이하, 도 26 내지 도 32 및 도 38 내지 도 42를 참고하여, 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법을 설명한다. 상술한 반도체 장치 제조 방법과 중복되는 부분은 간략히 하거나 생략하고, 다른점을 위주로 설명한다.
- [0207] 도 37, 도 38 내지 도 42는 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.
- [0208] 도 26 내지 도 32까지의 공정은 상술한 실시예와 동일하므로 도 38 내지 도 42의 공정에 대해서 설명한다.
- [0209] 도 38을 참조하면, 제1 영역(Ⅰ)의 리세스에 스톱퍼 막(510) 및 핀 컷 마스크 패턴(500)을 형성한다.
- [0210] 스톱퍼 막(510)은 상기 리세스의 바닥면 및 측면을 따라 컨포말하게 형성될 수 있다. 스톱퍼 막(510)은 리세스를 완전히 채우지는 못한다. 핀 컷 마스크 패턴(500)은 스톱퍼 막(510) 상에 형성될 수 있다. 핀 컷 마스크 패턴(500)은 스톱퍼 막(510) 상에서 상기 리세스를 완전히 채울 수 있다. 스톱퍼 막(510)과 핀 컷 마스크 패턴(500)은 평탄화 공정을 통해서 각각의 상면의 최상부가 동일한 평면을 가질 수 있다.
- [0211] 도 39를 참고하면, 제2 핀 마스크 패턴(220) 및 더미 핀형 패턴(DF)을 제거한다.
- [0212] 제2 영역(Ⅱ)에서 제2 핀 마스크 패턴(220) 및 더미 핀형 패턴(DF)을 제거할 수 있다. 제1 영역(Ⅰ)에서 핀 컷 마스크 패턴(500)을 마스크로 스톱퍼 막(510)의 일부 및 제1 필드 절연막(300)의 일부를 식각할 수 있다. 제1 영역(Ⅰ)에서의 제1 필드 절연막(300)은 경사를 가지도록 식각될 수 있다. 구체적으로, 제1 필드 절연막의 폭은 높이가 높을수록 점차로 줄어들 수 있다. 단, 이에 제한되는 것은 아니다.
- [0213] 스톱퍼 막(510)의 단부는 핀 컷 마스크 패턴(500)의 단부와 연속적인 프로파일을 가질 수 있다. 상기 연속적인 프로파일의 의미는 서로 단차가 형성되지 않게 형성된다는 의미이다.
- [0214] 도 40을 참고하면, 핀 컷 마스크 패턴(500)을 제거한다.
- [0215] 핀 컷 마스크 패턴(500)은 제1 영역(Ⅰ)에 위치한다. 제1 영역(Ⅰ)에서 핀 컷 마스크 패턴(500)이 제거됨에 따라, 스톱퍼 막(510)의 상면이 노출될 수 있다. 스톱퍼 막(510)은 리얼 핀형 패턴(RF)의 상면 및 제1 필드 절연막(300)의 상면의 최상부를 여전히 덮을 수 있다.
- [0216] 도 41을 참조하면, 제2 필드 절연막(600)을 형성한다.
- [0217] 제2 필드 절연막(600)은 제1 영역(Ⅰ)에서 스톱퍼 막(510) 및 제1 필드 절연막(300) 상에 형성될 수 있다. 제2 필드 절연막(600)은 제2 영역(Ⅱ)에서 기판(100) 상에 형성될 수 있다. 제2 필드 절연막(600)은 제1 영역(Ⅰ)과 제2 영역(Ⅱ)에 같은 높이로 형성될 수 있다. 단, 이에 제한되는 것은 아니다.
- [0218] 제2 필드 절연막(600)은 제1 필드 절연막(300)과 동일한 물질일 수 있다. 단, 이에 제한되는 것은 아니다.
- [0219] 도 42를 참조하면, 평탄화 공정을 이용하여 스톱퍼 막(510)을 노출시킨다.
- [0220] 평탄화 공정은 화학적 기계적 평탄화(chemical mechanical polish, CMP)를 포함할 수 있다. 스톱퍼 막(510)은 상기 평탄화 공정에서 정지막 역할을 할 수 있다. 즉, 제1 영역(Ⅰ)에서는 평탄화 공정을 통해서, 제2 필드 절연막(600)의 일부가 제거될 수 있고, 스톱퍼 막(510)이 노출될 때까지 제2 필드 절연막(600)의 상면이 낮아질 수 있다. 스톱퍼 막(510)은 제2 필드 절연막(600)과 서로 다른 물질을 포함하므로, 평탄화 공정시에 제2 필드 절연막(600)이 제거되는 기준 높이를 제공할 수 있다.

- [0221] 따라서, 상기 평탄화 공정을 수행함에 의해서 스토퍼 막(510)의 상면이 노출되고, 이에 따라 제2 필드 절연막(600)의 상면도 스토퍼 막(510)의 노출된 상면과 동일 평면 상에 위치할 수 있다. 이 때, 동일이란 미세한 단차를 포함하는 개념이다.
- [0222] 제2 영역에서는 스토퍼 막(510)이 존재하지 않는다. 다만, 제2 필드 절연막(600)은 제1 영역(I)과 제2 영역(II)에 같은 높이로 형성될 수 있다. 단, 이에 제한되는 것은 아니다.
- [0223] 다시, 도 37을 참조하면, 리얼 핀형 패턴(RF)을 돌출시킨다.
- [0224] 먼저, 스토퍼 막(510)을 제거할 수 있다. 스토퍼 막(510)이 제거됨에 따라 리얼 핀형 패턴(RF)의 상면 및 제1 필드 절연막(300)의 일부가 노출될 수 있다.
- [0225] 이어서, 리얼 핀형 패턴(RF)은 제1 영역(I)에서 제1 필드 절연막(300)의 일부 및 제2 필드 절연막(600)의 일부를 제거하여 돌출될 수 있다. 즉, 리얼 핀형 패턴(RF)의 상부는 노출되고, 리얼 핀형 패턴(RF)의 하부는 제1 필드 절연막(300)과 접할 수 있다. 이 때, 제1 필드 절연막(300)과 제2 필드 절연막(600)의 상면은 동일한 평면일 수 있다.
- [0226] 제2 영역(II)에서는 제2 필드 절연막(600)이 제1 영역(I)의 제2 필드 절연막(600)의 상면과 동일한 높이를 가지도록 일부가 제거될 수 있다.
- [0227] 이하, 도 26 내지 도 28, 도 31 내지 도 37, 도 43 및 도 44를 참고하여, 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법을 설명한다. 상술한 반도체 장치 제조 방법과 중복되는 부분은 간략히 하거나 생략하고, 다른 점을 위주로 설명한다.
- [0228] 도 43 및 도 44는 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.
- [0229] 도 26 내지 도 28까지의 공정은 상술한 실시예와 동일하므로 도 43 및 도 44의 공정에 대해서 설명한다.
- [0230] 도 43을 참조하면, 제1 핀 마스크 패턴(210)을 노출시키는 마스크 막(400)을 제2 핀 마스크 패턴(220)을 덮도록 형성한다.
- [0231] 제1 영역(I)에서 마스크 막(400)이 제1 핀 마스크 패턴(210)과 오버랩되도록 형성될 수 있다. 단, 제1 영역(I)에서 제1 핀 마스크 패턴(210)의 상면의 적어도 일부는 노출될 수 있다. 이에 따라, 추후에 제1 핀 마스크 패턴(210)이 제거될 수 있다. 제1 영역(I)에서 마스크 막(400)은 제1 필드 절연막(300)의 일부와 오버랩될 수 있다.
- [0232] 제2 영역(II)에서 마스크 막(400)은 제2 핀 마스크 패턴(220)을 완전히 덮을 수 있다. 즉, 제2 영역(II)에서 마스크 막(400)은 제2 핀 마스크 패턴(220)의 상면을 노출시키지 않을 수 있다. 제2 영역(II)에서 마스크 막(400)은 제1 필드 절연막(300)과 오버랩될 수 있다.
- [0233] 도 44를 참조하면, 제1 핀 마스크 패턴(210)을 제거한다.
- [0234] 제1 영역(I)에서, 제1 핀 마스크 패턴(210)은 마스크 막(400)과 오버랩되지 않은 노출된 부분을 통해서 제거될 수 있다. 이 때, 제1 핀 마스크 패턴(210)은 습식 식각 또는 등방성 건식 식각을 통해서 제거될 수 있다.
- [0235] 본 실시예의 반도체 장치 제조 방법은 마스크 막(400)의 미스 얼라인에도 불구하고, 제1 핀 마스크 패턴(210)의 일부가 노출됨에 따라 제1 핀 마스크 패턴(210)만 선택적으로 제거할 수 있다. 즉, 제1 영역(I)에서 마스크 막(400)이 미스 얼라인 되었더라도 제1 핀 마스크 패턴(210)의 적어도 일부를 노출시킬 수 있다면, 추후 공정에서 아무런 문제가 발생하지 않는다. 따라서, 결론적으로 마스크 막(400)의 오버랩 마진이 넓어질 수 있다.
- [0236] 이어서, 도 31 내지 도 37의 공정은 상술한 실시예와 동일하므로 생략한다.
- [0237] 도 45는 본 발명의 실시예들에 따른 반도체 장치 제조방법에 따른 반도체 장치를 포함하는 SoC 시스템의 블록도이다.
- [0238] 도 45를 참조하면, SoC 시스템(1000)은 어플리케이션 프로세서(1001)와, DRAM(1060)을 포함한다.
- [0239] 어플리케이션 프로세서(1001)는 중앙처리부(1010), 멀티미디어 시스템(1020), 버스(1030), 메모리 시스템(1040), 주변 회로(1050)를 포함할 수 있다.
- [0240] 중앙처리부(1010)는 SoC 시스템(1000)의 구동에 필요한 연산을 수행할 수 있다. 본 발명의 몇몇 실시예에서, 중

양처리부(1010)는 복수의 코어를 포함하는 멀티 코어 환경으로 구성될 수 있다.

- [0241] 멀티미디어 시스템(1020)은, SoC시스템(1000)에서 각종 멀티미디어 기능을 수행하는데 이용될 수 있다. 이러한 멀티미디어 시스템(1020)은 3D 엔진(3D engine) 모듈, 비디오 코덱(video codec), 디스플레이 시스템(display system), 카메라 시스템(camera system), 포스트-프로세서(post -processor) 등을 포함할 수 있다.
- [0242] 버스(1030)는, 중앙처리부(1010), 멀티미디어 시스템(1020), 메모리 시스템(1040), 및 주변 회로(1050)가 서로 데이터 통신을 하는데 이용될 수 있다. 본 발명의 몇몇 실시예에서, 이러한 버스(1030)는 다층 구조를 가질 수 있다. 구체적으로, 이러한 버스(1030)의 예로는 다층 AHB(multi-layer Advanced High-performance Bus), 또는 다층 AXI(multi-layer Advanced eXtensible Interface)가 이용될 수 있으나, 본 발명이 이에 제한되는 것은 아니다.
- [0243] 메모리 시스템(1040)은, 어플리케이션 프로세서(1001)가 외부 메모리(예를 들어, DRAM(1060))에 연결되어 고속 동작하는데 필요한 환경을 제공할 수 있다. 본 발명의 몇몇 실시예에서, 메모리 시스템(1040)은 외부 메모리(예를 들어, DRAM(1060))를 컨트롤하기 위한 별도의 컨트롤러(예를 들어, DRAM 컨트롤러)를 포함할 수도 있다.
- [0244] 주변 회로(1050)는, SoC시스템(1000)이 외부 장치(예를 들어, 메인 보드)와 원활하게 접속되는데 필요한 환경을 제공할 수 있다. 이에 따라, 주변 회로(1050)는 SoC시스템(1000)에 접속되는 외부 장치가 호환 가능하도록 하는 다양한 인터페이스를 구비할 수 있다.
- [0245] DRAM(1060)은 어플리케이션 프로세서(1001)가 동작하는데 필요한 동작 메모리로 기능할 수 있다. 본 발명의 몇몇 실시예에서, DRAM(1060)은, 도시된 것과 같이 어플리케이션 프로세서(1001)의 외부에 배치될 수 있다. 구체적으로, DRAM(1060)은 어플리케이션 프로세서(1001)와 PoP(Package on Package) 형태로 패키징될 수 있다.
- [0246] 이러한 SoC 시스템(1000)의 구성 요소 중 적어도 하나는 앞서 설명한 본 발명의 실시예들에 따른 반도체 장치 중 적어도 하나를 포함할 수 있다.
- [0247] 도 46은 본 발명의 실시예들에 따른 반도체 장치 제조 방법에 따른 반도체 장치를 포함하는 전자 시스템의 블록도이다.
- [0248] 도 46을 참조하면, 본 발명의 실시예에 따른 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다. 컨트롤러(1110), 입출력 장치(1120), 기억 장치(1130) 및/또는 인터페이스(1140)는 버스(1150)를 통하여 서로 결합될 수 있다. 버스(1150)는 데이터들이 이동되는 통로(path)에 해당한다.
- [0249] 컨트롤러(1110)는 마이크로프로세서, 디지털 신호 프로세스, 마이크로 컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 입출력 장치(1120)는 키패드(keypad), 키보드 및 디스플레이 장치 등을 포함할 수 있다. 기억 장치(1130)는 데이터 및/또는 명령어 등을 저장할 수 있다. 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 인터페이스(1140)는 유선 또는 무선 형태일 수 있다. 예컨대, 인터페이스(1140)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다.
- [0250] 도시하지 않았지만, 전자 시스템(1100)은 컨트롤러(1110)의 동작을 향상시키기 위한 동작 메모리로서, 고속의 디램 및/또는 에스램 등을 더 포함할 수도 있다.
- [0251] 앞서 설명한 본 발명의 실시예들에 따른 반도체 장치는, 기억 장치(1130) 내에 제공되거나, 컨트롤러(1110), 입출력 장치(1120, I/O) 등의 일부로 제공될 수 있다.
- [0252] 전자 시스템(1100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.
- [0253] 도 47 내지 도 49는 본 발명의 실시예들에 따른 반도체 장치 제조 방법에 따른 반도체 장치를 적용할 수 있는 예시적인 반도체 시스템들이다.
- [0254] 도 47은 태블릿 PC(1200)을 도시한 도면이고, 도 48는 노트북(1300)을 도시한 도면이며, 도 49는 스마트폰(1400)을 도시한 것이다. 앞서 설명한 본 발명의 실시예들에 따른 반도체 장치는, 이러한 태블릿 PC(1200), 노트북(1300), 스마트폰(1400) 등에 사용될 수 있다.

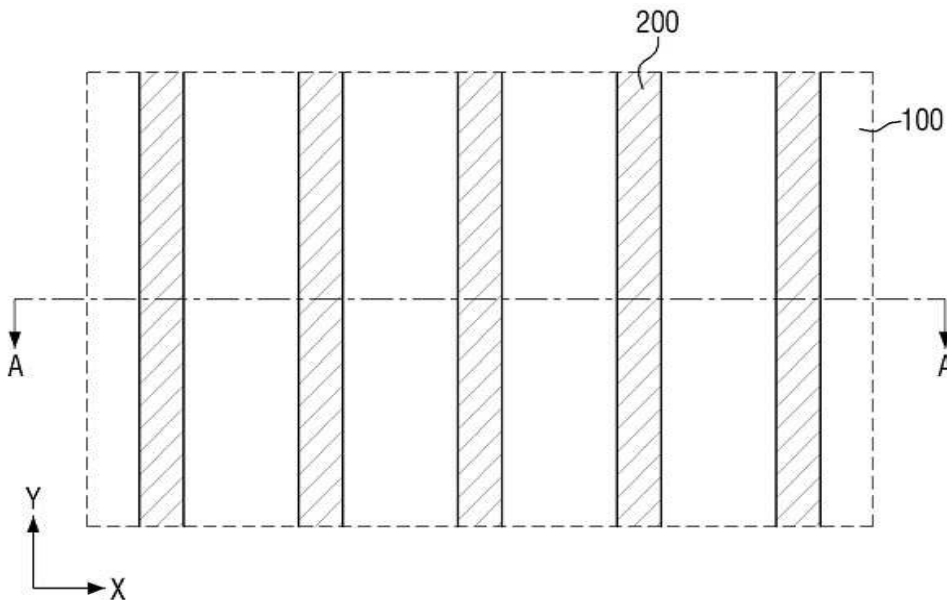
- [0255] 또한, 앞서 설명한 본 발명의 실시예들에 따른 반도체 장치는, 예시하지 않는 다른 집적 회로 장치에도 적용될 수 있음은 당업자에게 자명하다.
- [0256] 즉, 이상에서는 본 실시예에 따른 반도체 시스템의 예로, 태블릿 PC(1200), 노트북(1300), 및 스마트폰(1400)만을 들었으나, 본 실시예에 따른 반도체 시스템의 예가 이에 제한되는 것은 아니다.
- [0257] 본 발명의 몇몇 실시예에서, 반도체 시스템은, 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴퓨터, 무선 전화기(wireless phone), 모바일 폰(mobile phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), 3차원 수상기(3-dimensional television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player) 등으로 구현될 수도 있다.
- [0258] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

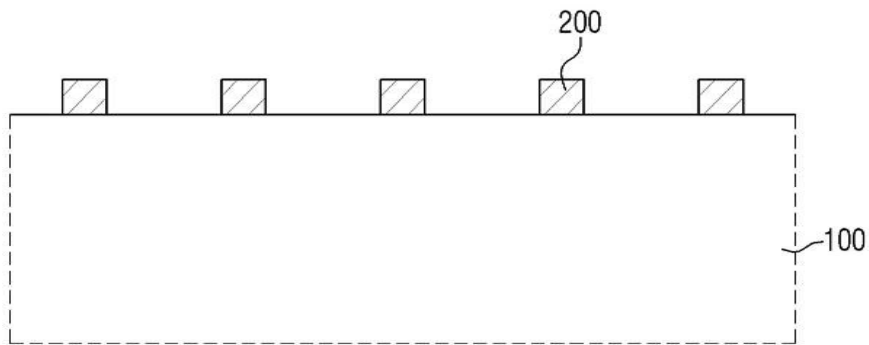
- [0259] 100: 기판 200: 핀 마스크 패턴
300: 제1 필드 절연막 400: 마스크 막
500: 핀 컷 마스크 패턴

도면

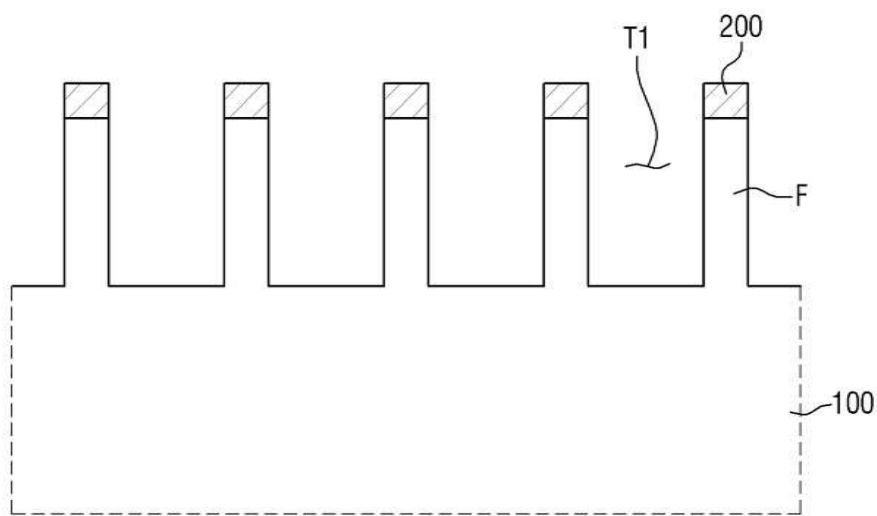
도면1



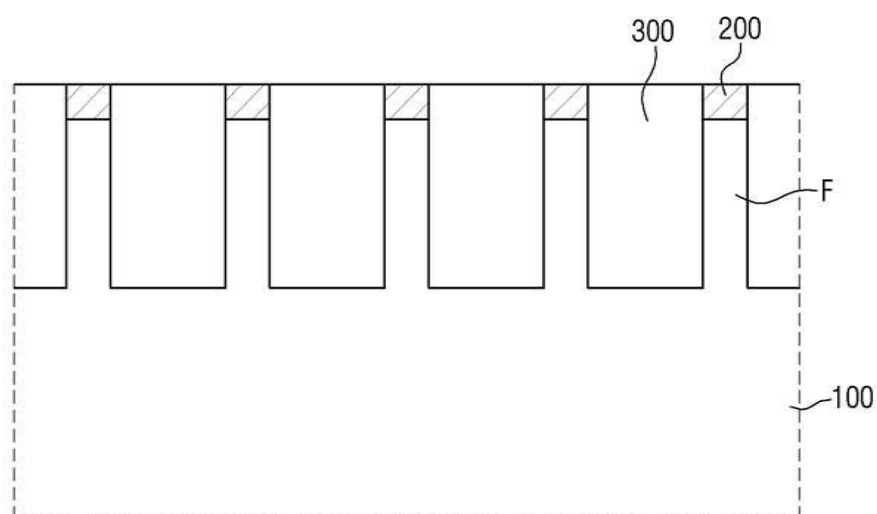
도면2



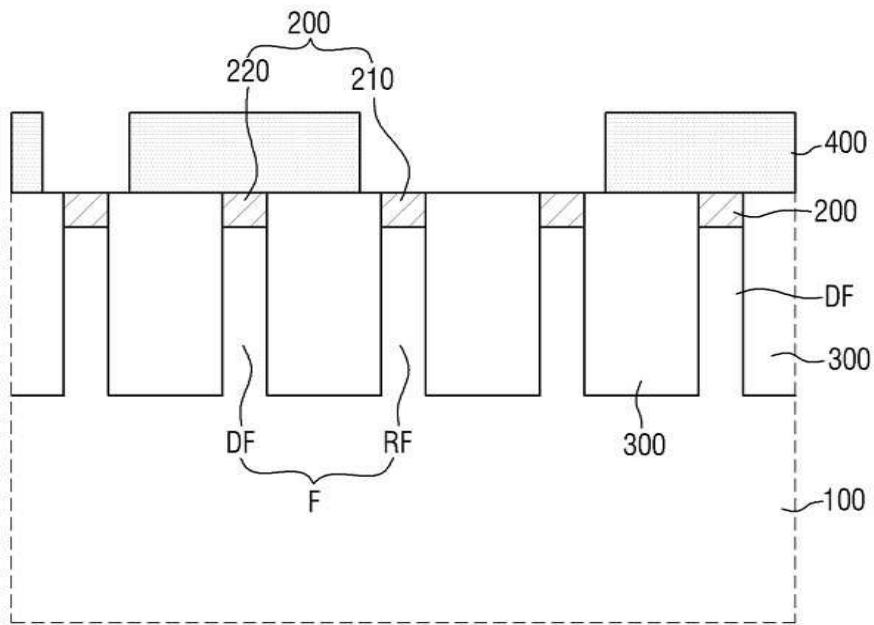
도면3



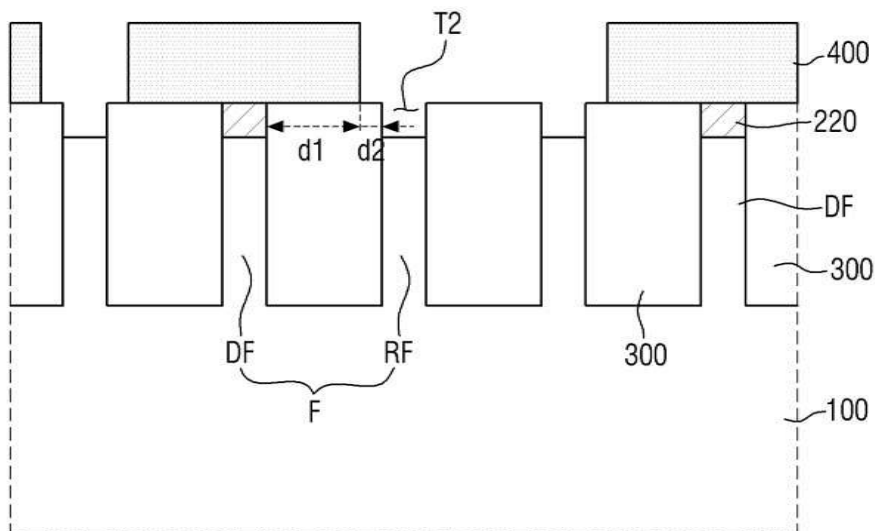
도면4



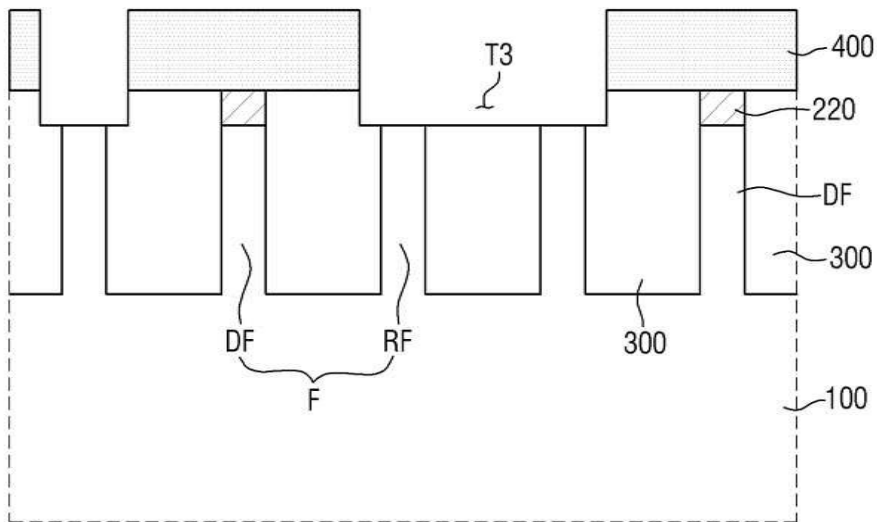
도면5



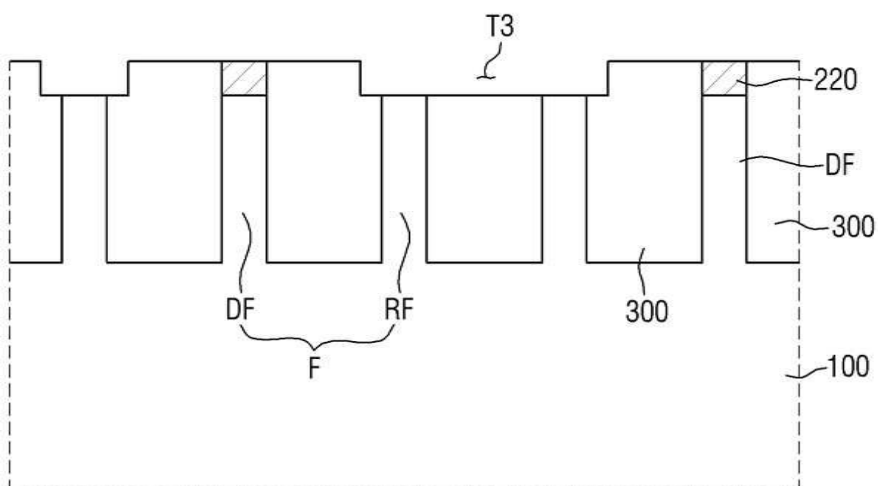
도면6



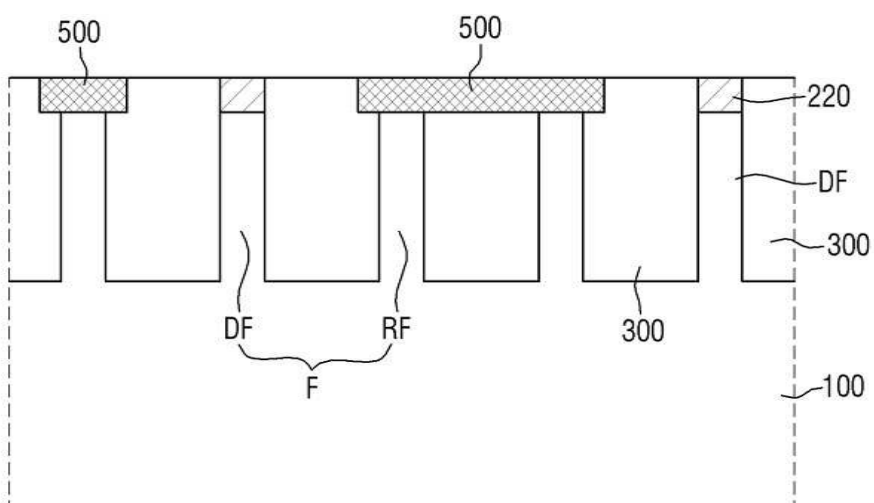
도면7



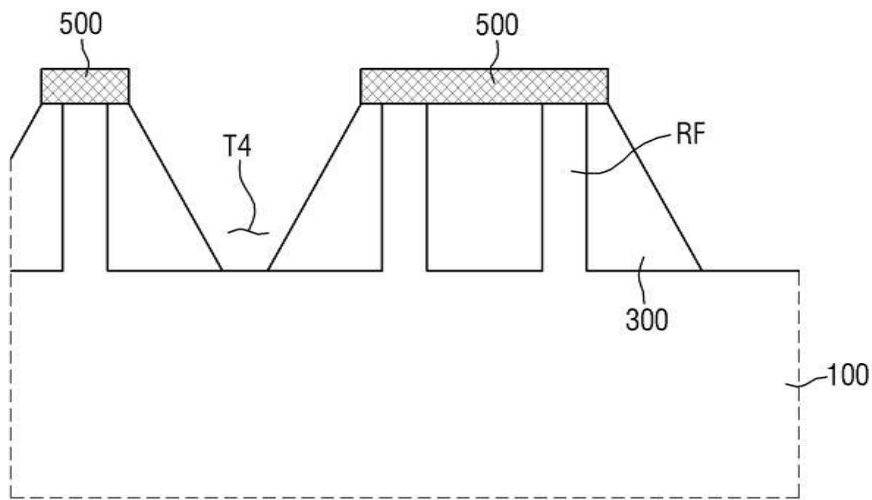
도면8



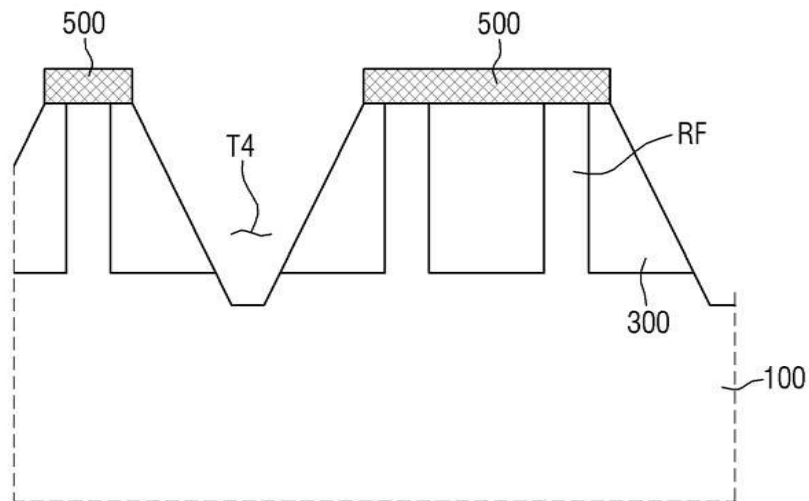
도면9



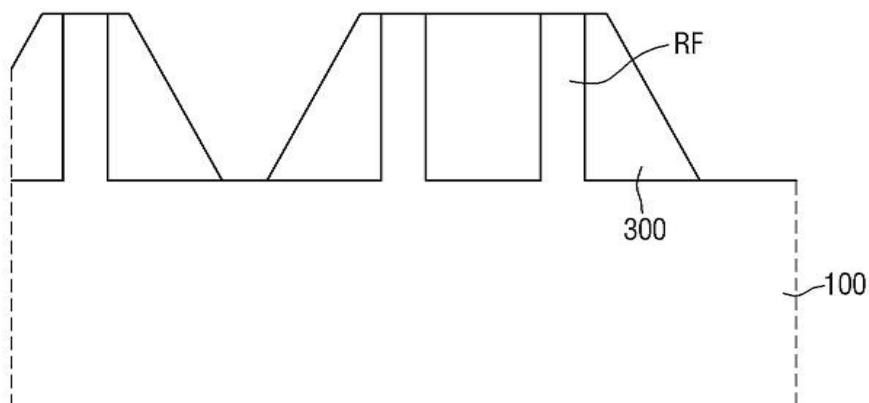
도면10a



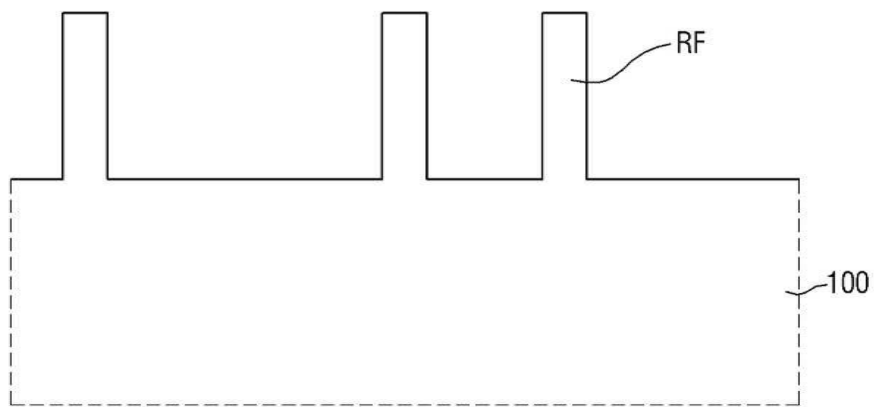
도면10b



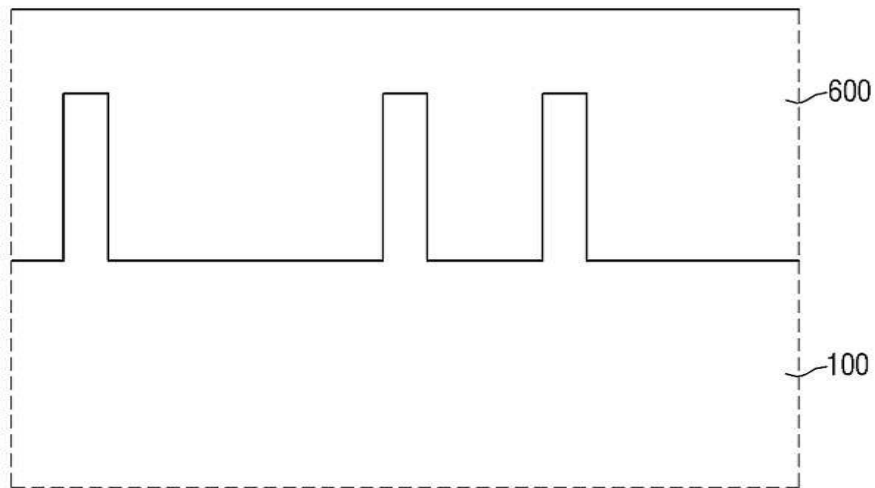
도면11



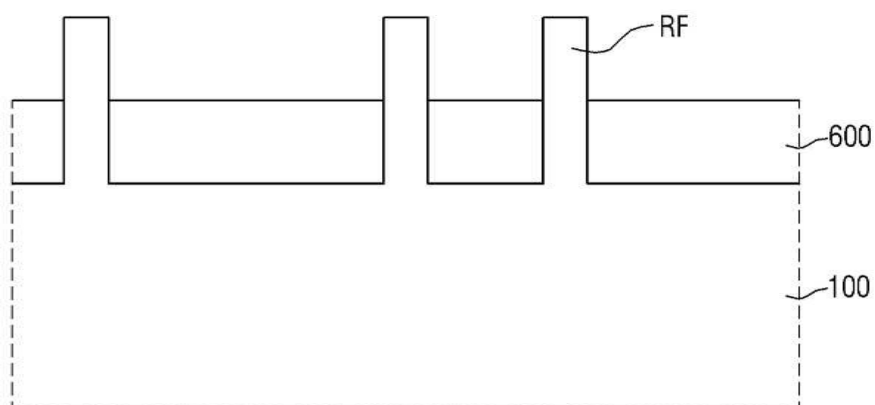
도면12



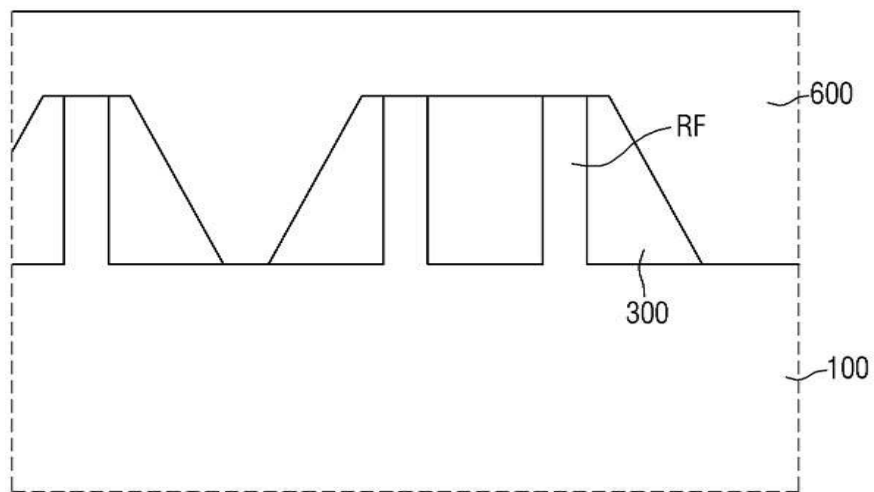
도면13



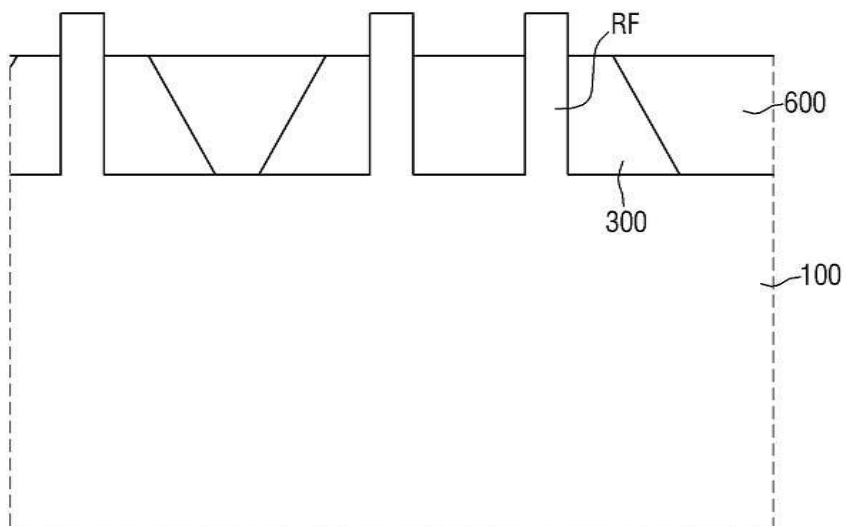
도면14



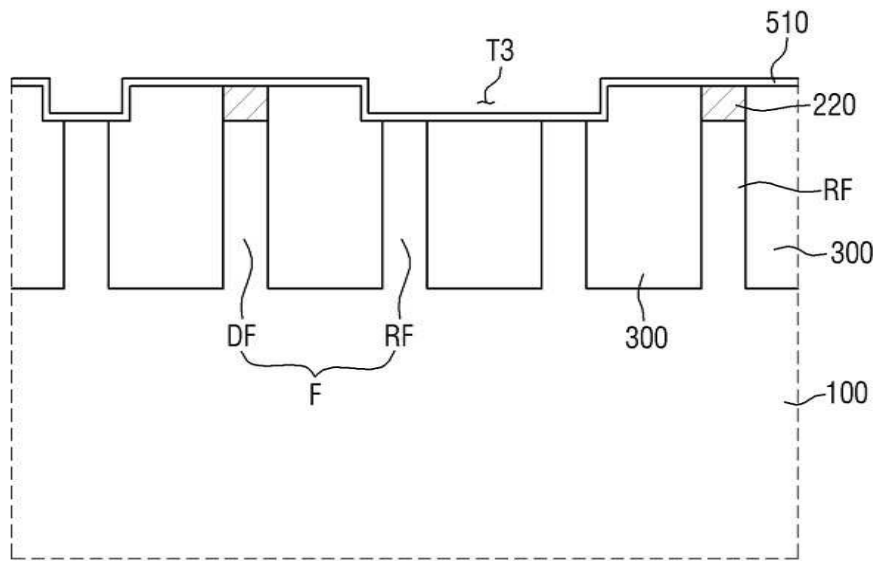
도면15



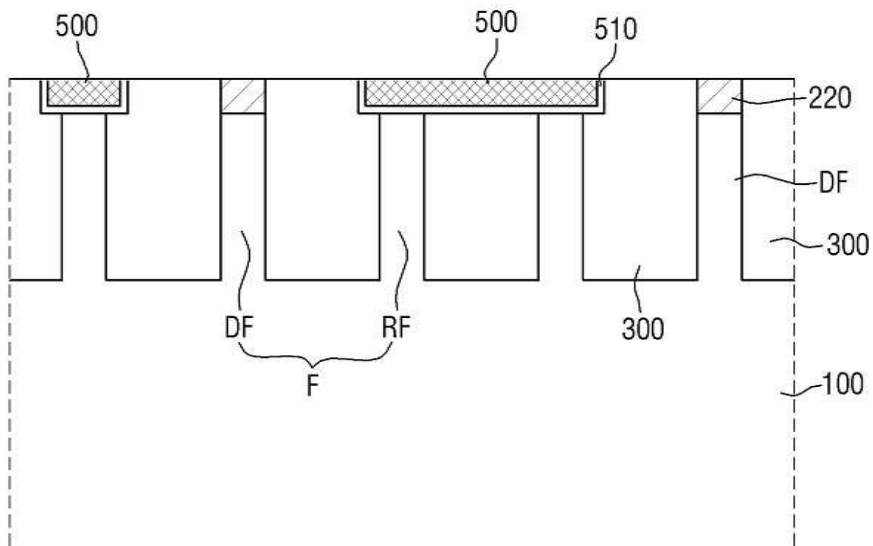
도면16



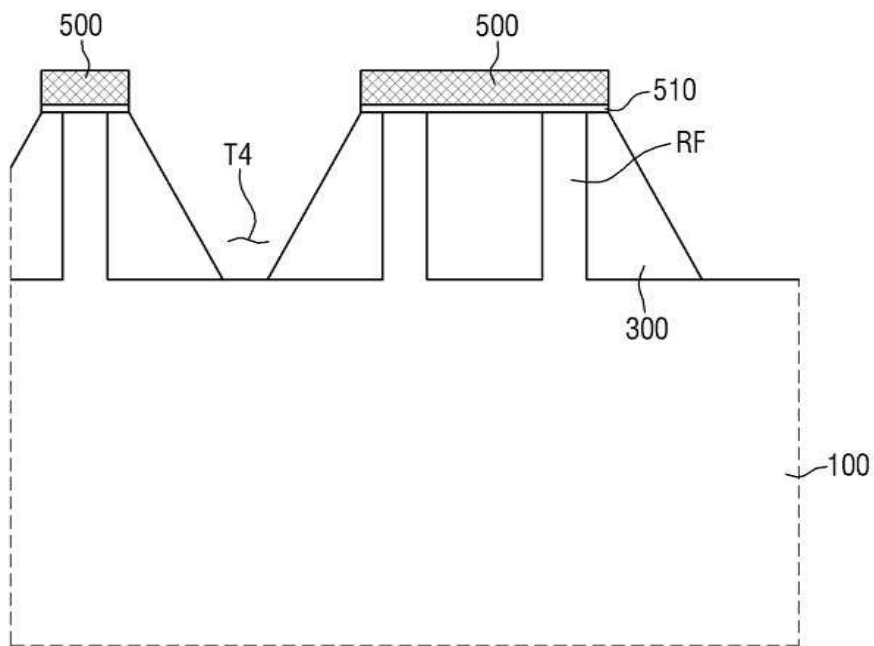
도면17



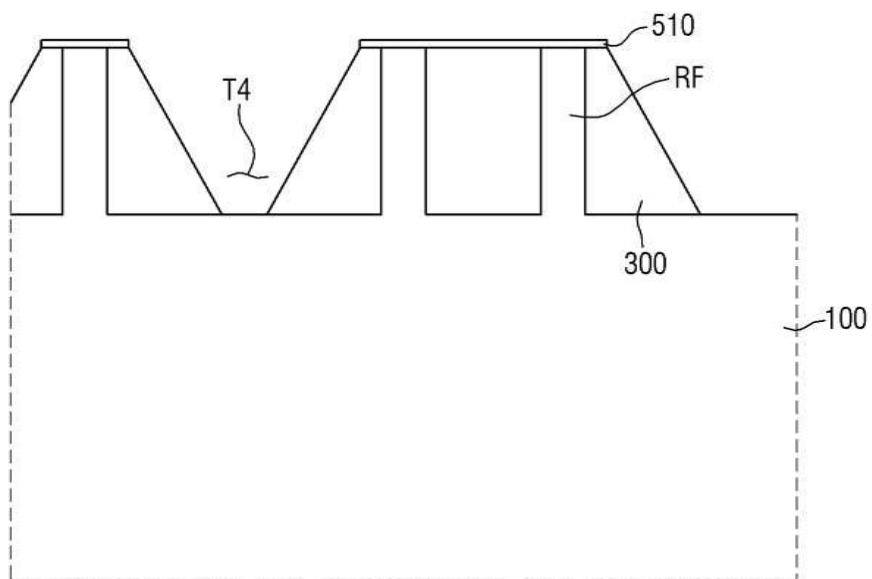
도면18



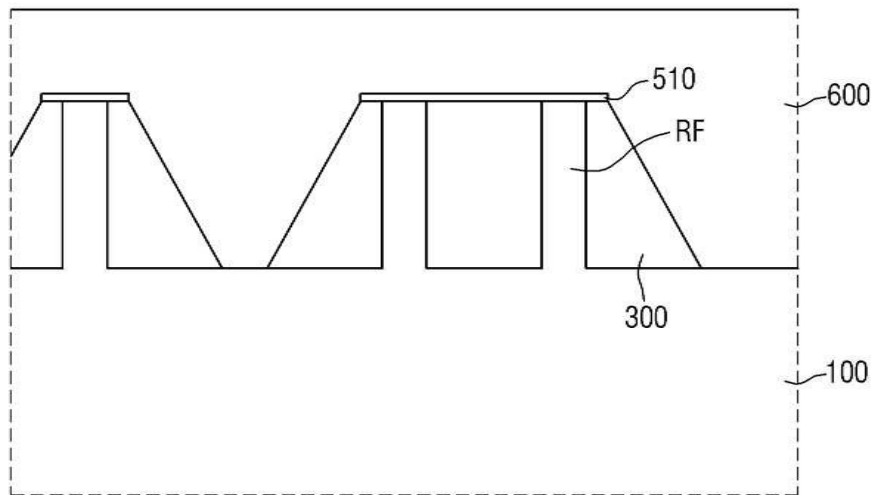
도면19



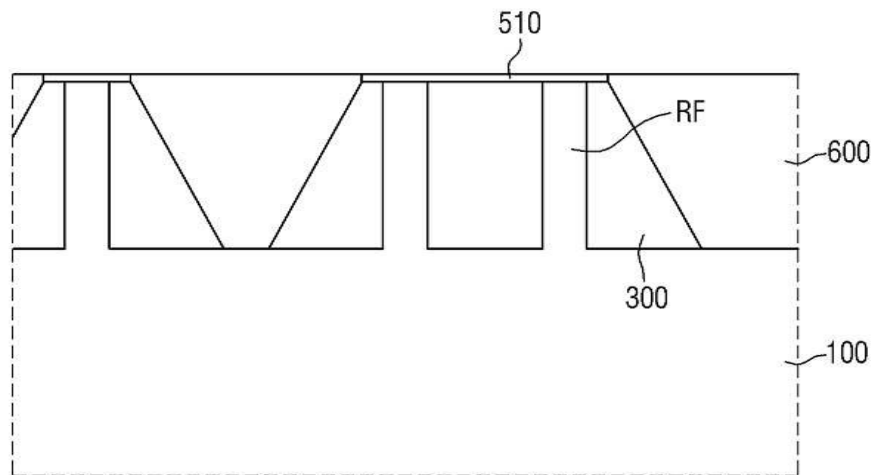
도면20



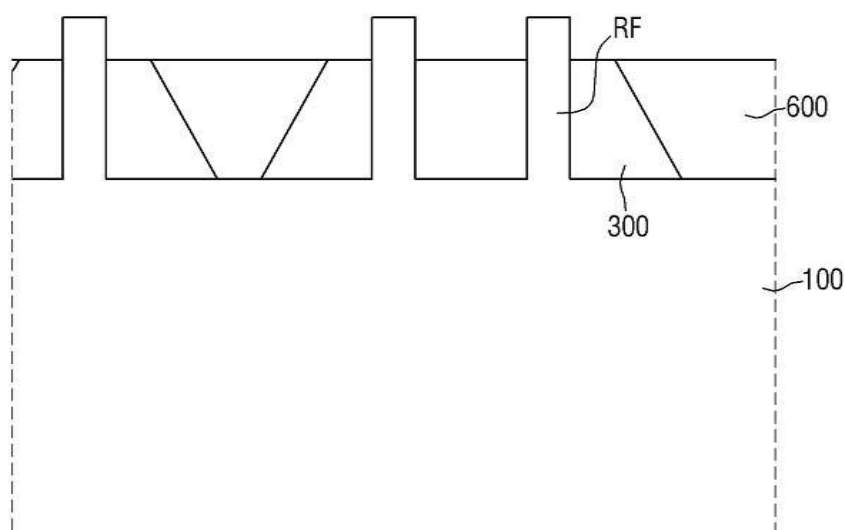
도면21



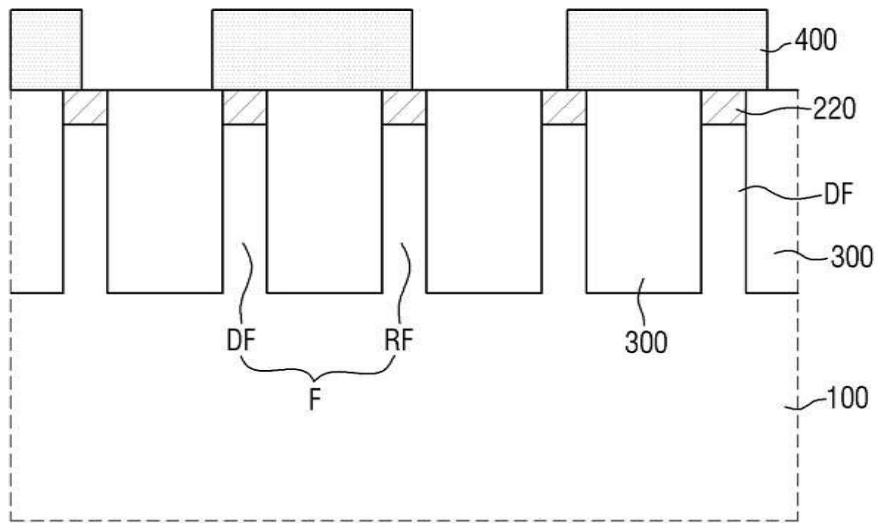
도면22



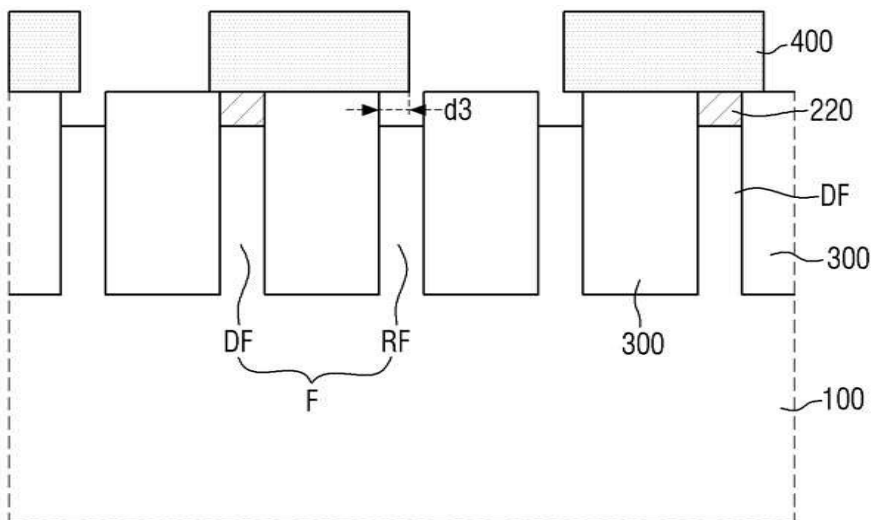
도면23



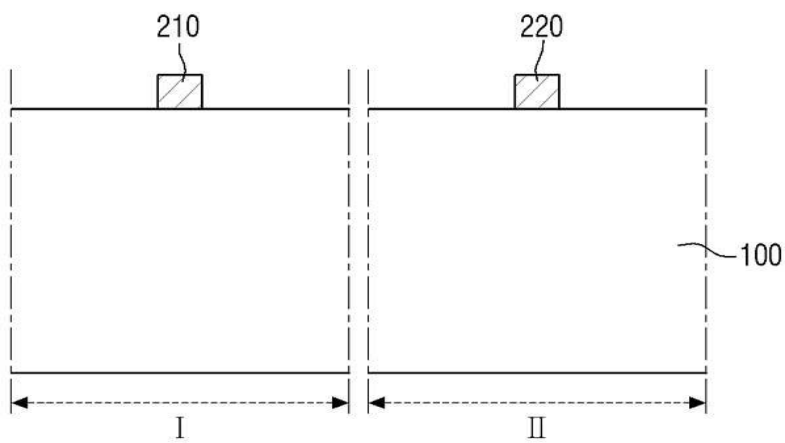
도면24



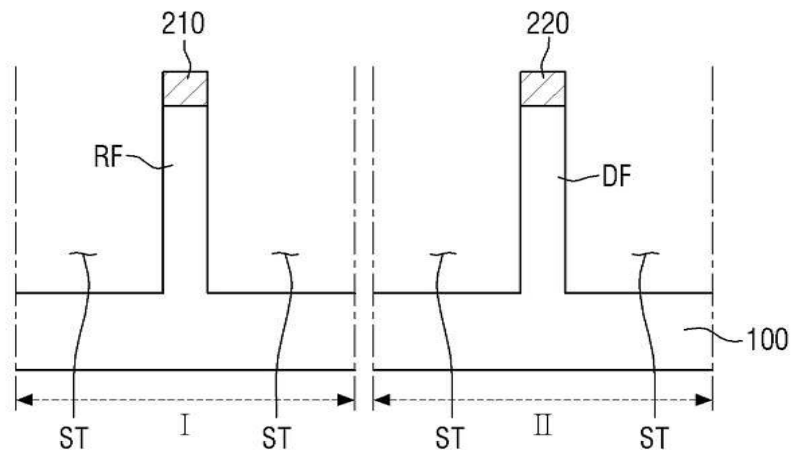
도면25



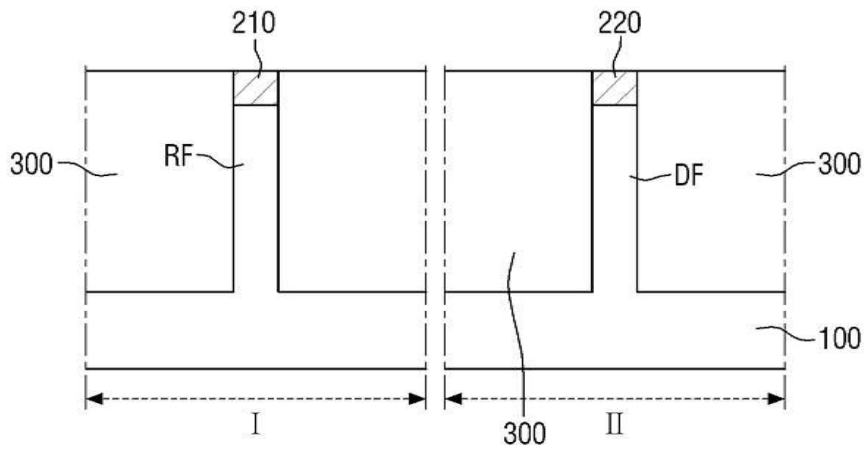
도면26



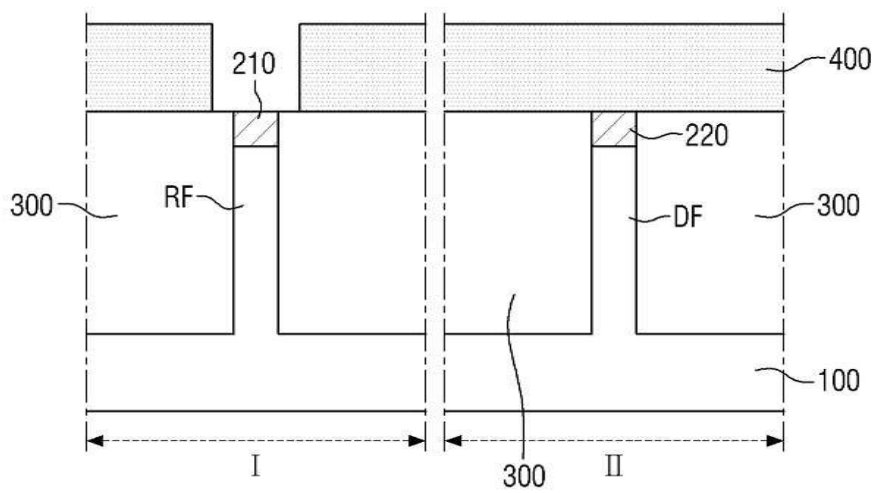
도면27



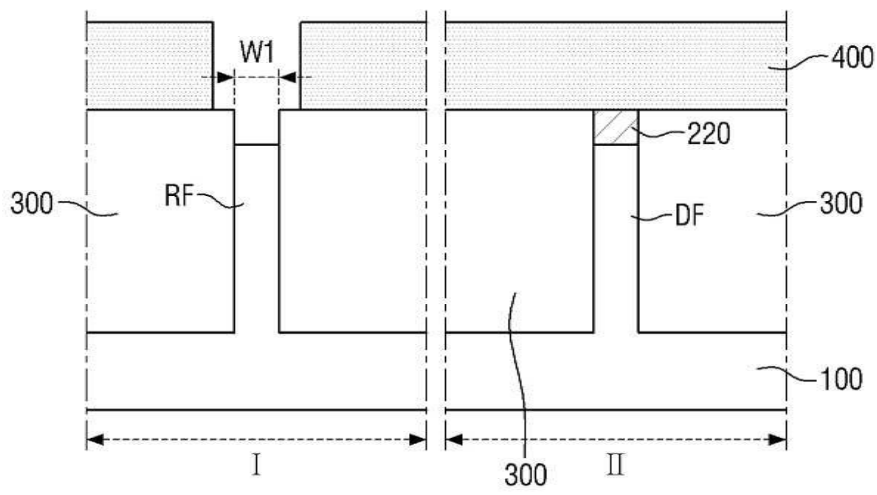
도면28



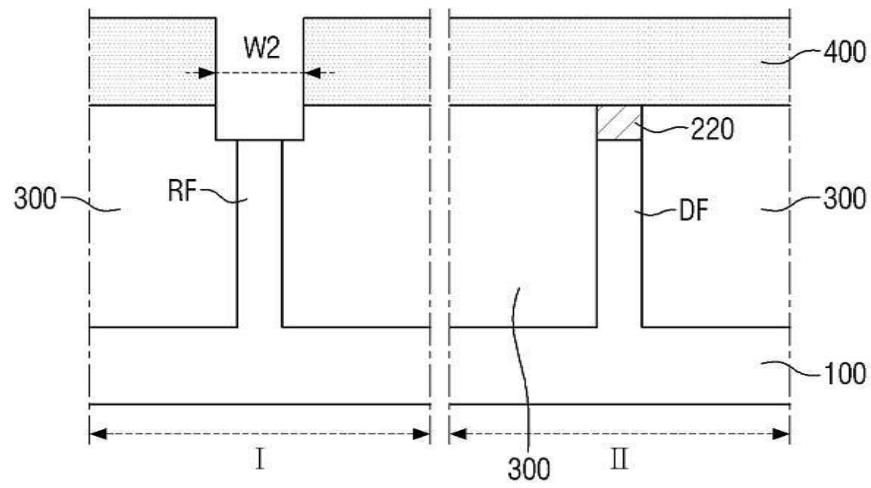
도면29



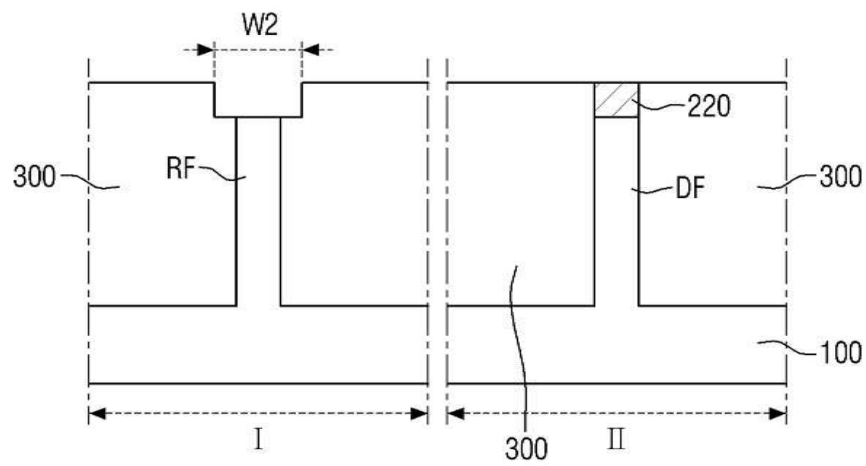
도면30



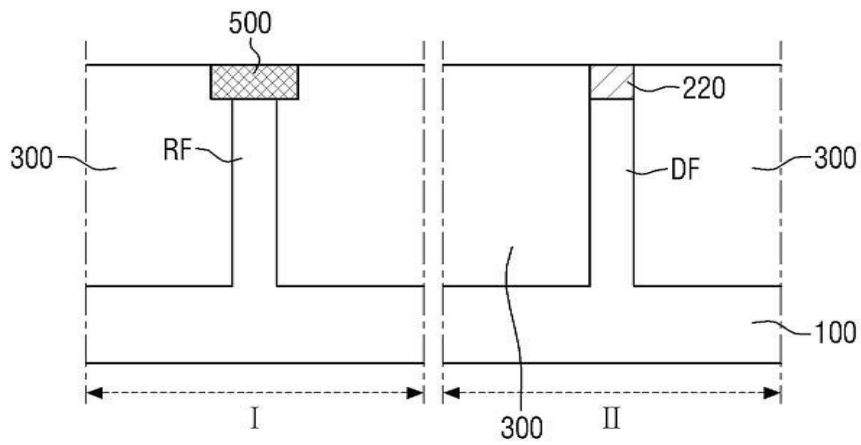
도면31



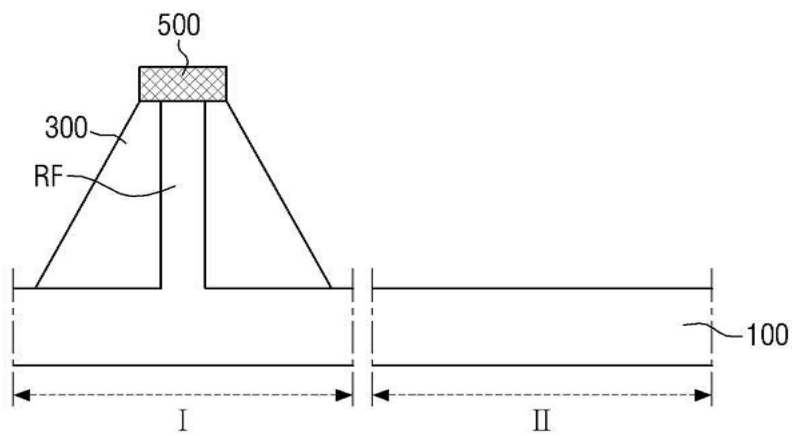
도면32



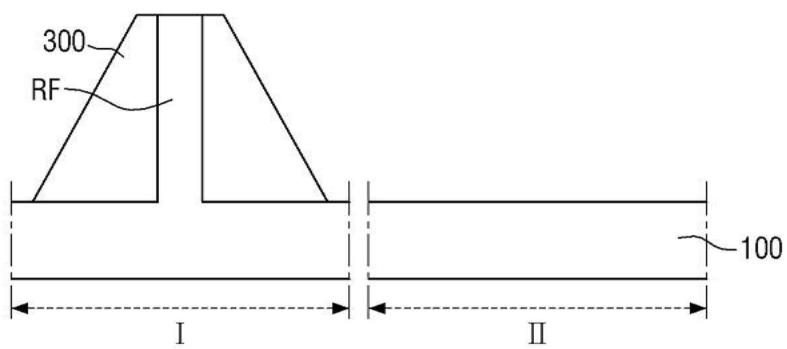
도면33



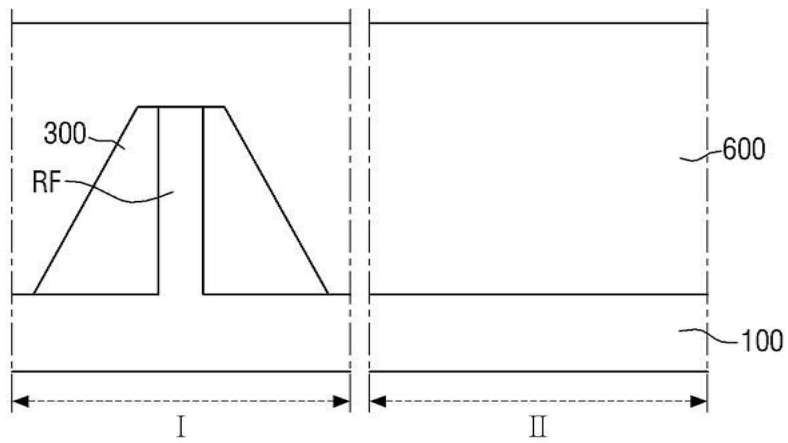
도면34



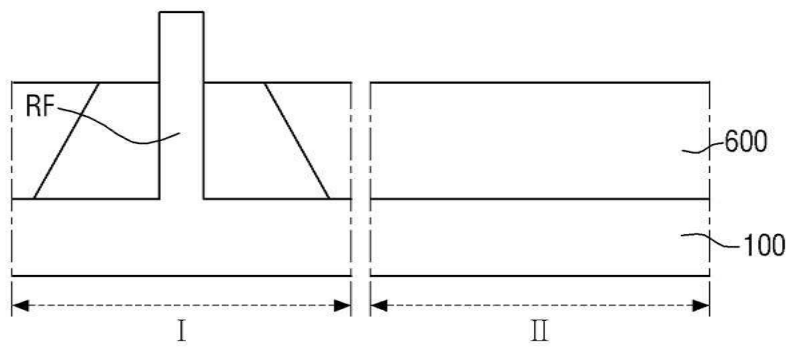
도면35



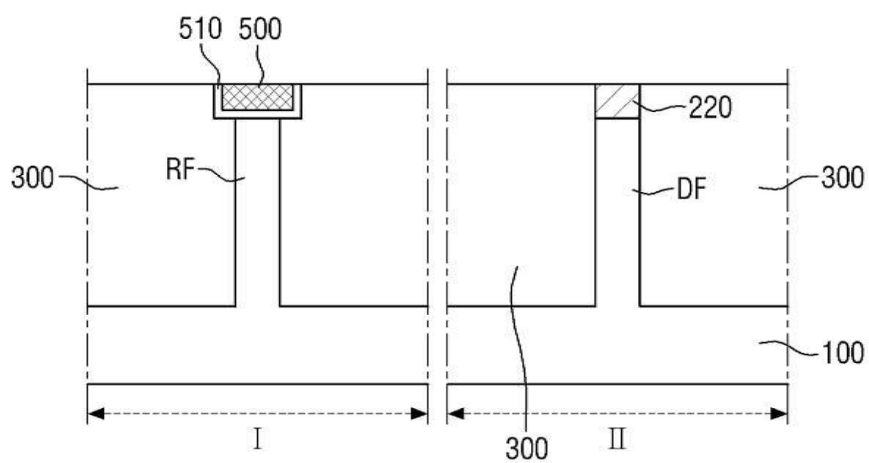
도면36



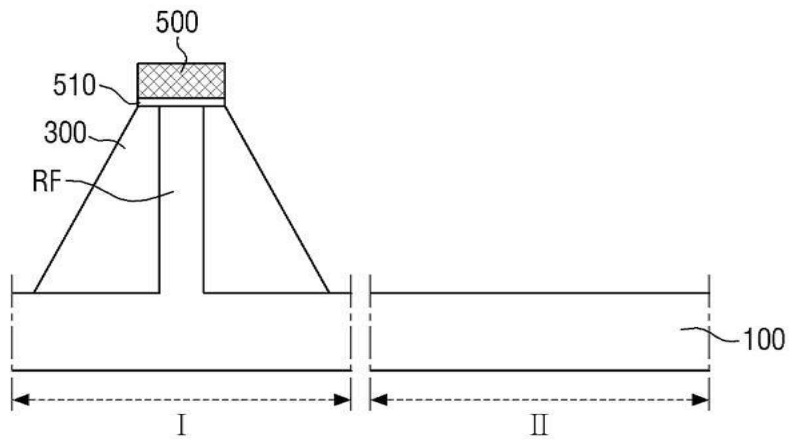
도면37



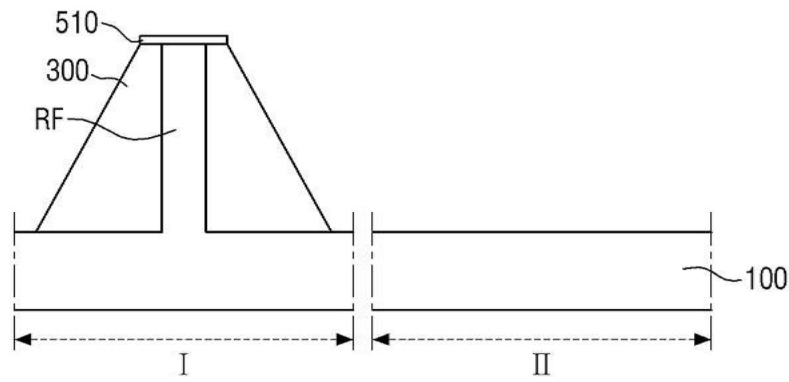
도면38



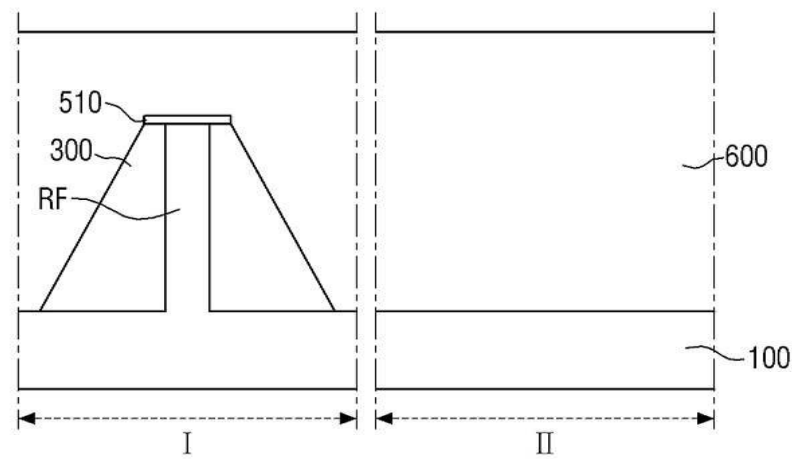
도면39



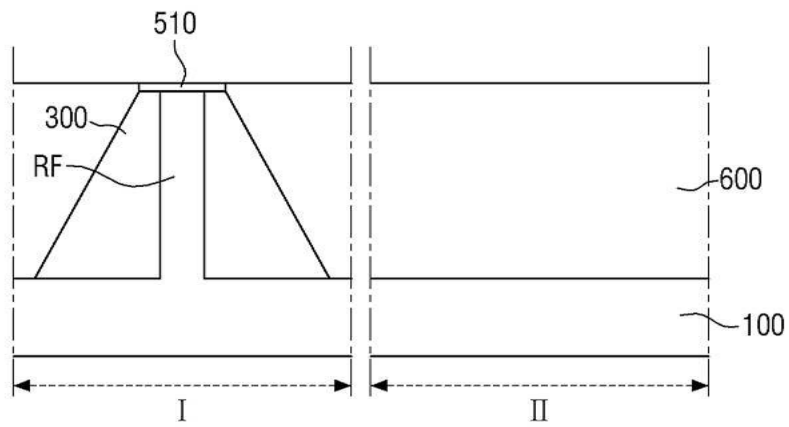
도면40



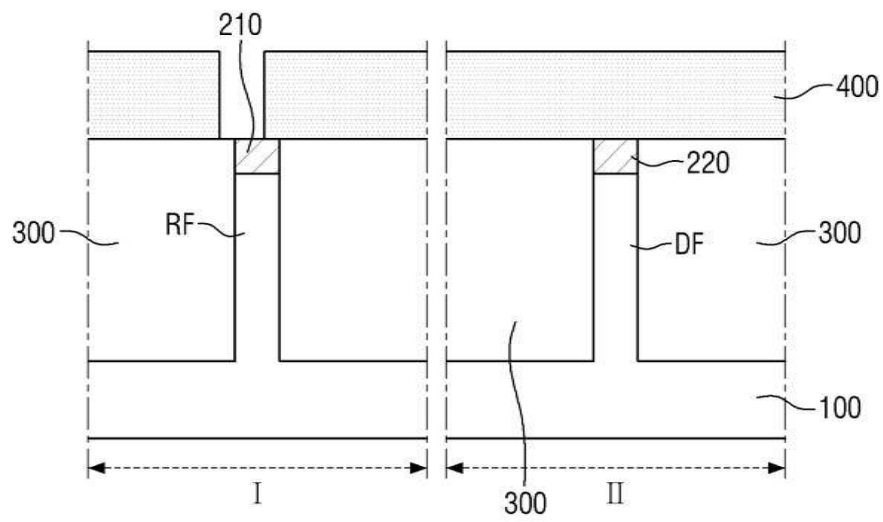
도면41



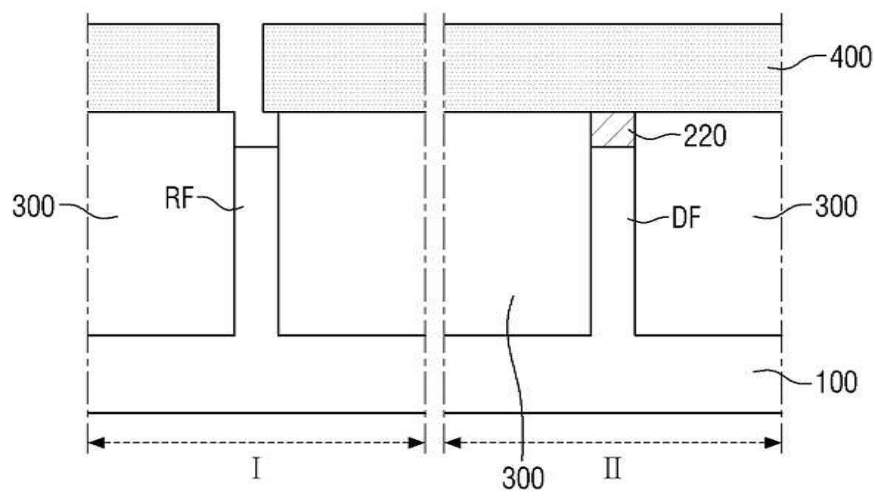
도면42



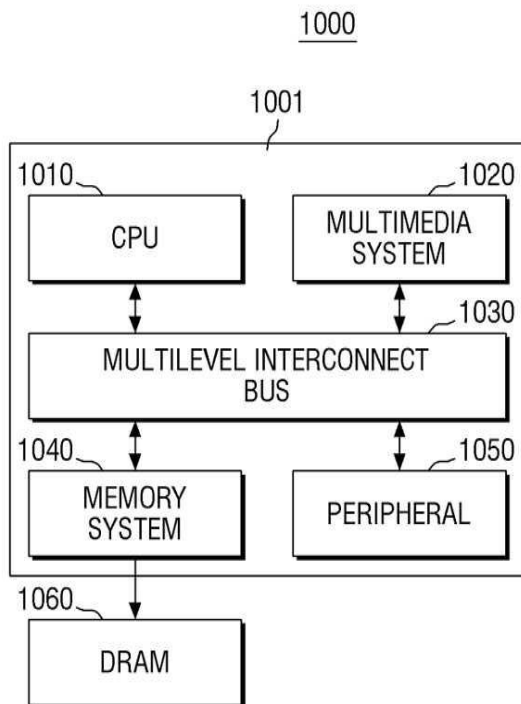
도면43



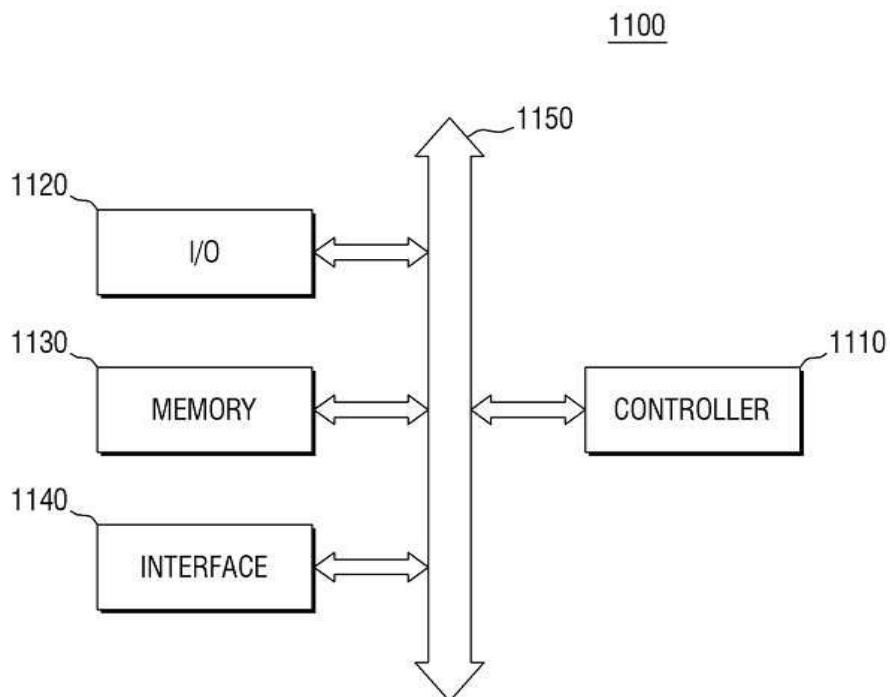
도면44



도면45

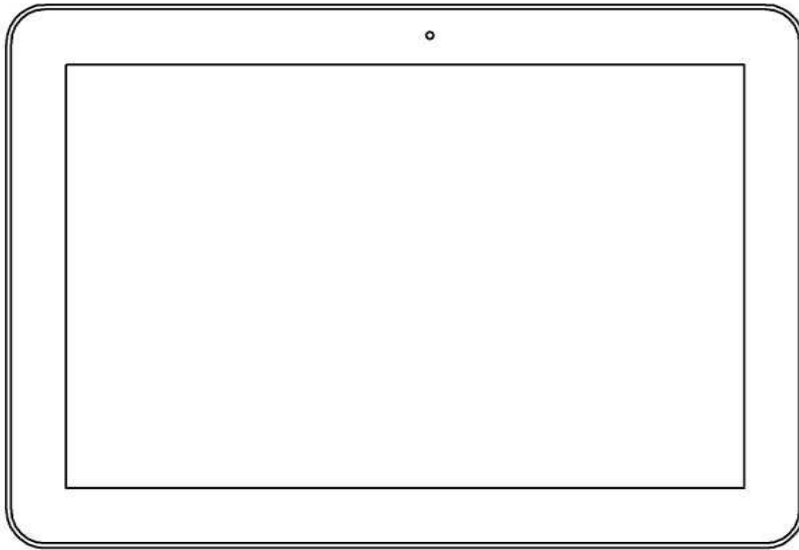


도면46



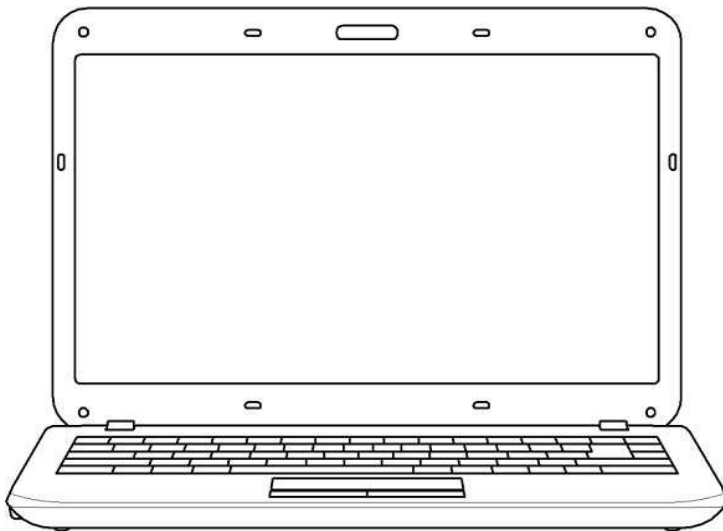
도면47

1200



도면48

1300



도면49

1400

