

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3904493号

(P3904493)

(45) 発行日 平成19年4月11日(2007.4.11)

(24) 登録日 平成19年1月19日(2007.1.19)

(51) Int. Cl.	F I		
<b>H03K 19/173 (2006.01)</b>	H03K 19/173	101	
<b>G06F 15/78 (2006.01)</b>	G06F 15/78	510G	

請求項の数 4 (全 22 頁)

(21) 出願番号	特願2002-215062 (P2002-215062)	(73) 特許権者	503121103
(22) 出願日	平成14年7月24日(2002.7.24)		株式会社ルネサステクノロジ
(65) 公開番号	特開2004-56716 (P2004-56716A)		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成16年2月19日(2004.2.19)	(74) 代理人	100080001
審査請求日	平成17年7月1日(2005.7.1)		弁理士 筒井 大和
		(72) 発明者	久保田 秀男
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所 半導体グループ内
		(72) 発明者	山崎 尊永
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所 半導体グループ内
		審査官	清水 稔

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

## 【請求項1】

CPUと、構築データの書き込みにより論理回路を構成するSRAM型FPGAと、前記SRAM型FPGAに論理回路を構成する構築データを記憶する不揮発性メモリと、前記不揮発性メモリに記憶された構築データを用いて前記SRAM型FPGAに対するコンフィグ動作を司るコンフィグ回路とを有し、前記SRAM型FPGA、前記不揮発性メモリ及び前記コンフィグ回路を同一半導体基板上に構成するものであって、

前記SRAM型FPGAの構築データに対応する複数の端子を設け、前記コンフィグ回路は、前記複数の端子のそれぞれと対応する前記不揮発性メモリ内の構築データを選択して前記SRAM型FPGAに転送する機能を有することを特徴とする半導体装置。

10

## 【請求項2】

請求項1記載の半導体装置において、

前記不揮発性メモリはフラッシュメモリであることを特徴とする半導体装置。

## 【請求項3】

CPUと、構築データの書き込みにより論理回路を構成するSRAM型FPGAと、前記SRAM型FPGAに論理回路を構成する構築データを記憶する不揮発性メモリと、前記不揮発性メモリに記憶された構築データを用いて前記SRAM型FPGAに対するコンフィグ動作を司るコンフィグ回路とを有し、前記SRAM型FPGA、前記不揮発性メモリ及び前記コンフィグ回路を同一半導体基板上に構成するものであって、

前記SRAM型FPGAの構築データに対応する複数の値を格納するレジスタを設け、

20

前記コンフィグ回路は、前記レジスタの複数の値のそれぞれと対応する前記不揮発性メモリ内の構築データを選択して前記SRAM型FPGAに転送する機能を有することを特徴とする半導体装置。

【請求項4】

請求項3記載の半導体装置において、

前記不揮発性メモリはフラッシュメモリであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特にSRAM型FPGAと、フラッシュメモリなどのような不揮発性メモリとを混載した半導体装置に適用して有効な技術に関する。 10

【0002】

【従来技術】

本発明者が検討したところによれば、マイクロコンピュータ(マイコン)などのLSIや、それを組み込んだ電子機器に関しては、以下のような技術が考えられる。

【0003】

近年、マイコン組み込み電子機器においては、プログラム規模の増大や製品開発期間の短縮、機器仕様の改善、制御データの調整のため、開発から試作、生産立ち上げ、量産の各工程においてマイコンプログラムの書き換えや調整が容易なフィールドプログラマビリティが求められている。それに対応するために、CPUとフラッシュメモリをワンチップ化したマイコンが開発されてきている。 20

【0004】

一方、顧客においては、実際にシステムを構築する際、フラッシュメモリによるソフトの変更だけでは対応できない各信号の細かなチューニングやカスタム化などのために、顧客システム基板上にフィールド・プログラマブル・ゲートアレイ(FPGA)やプログラマブル・ロジック・デバイス(PLD)などを載せ、基板上でLSIと接続して対応している。FPGAやPLDは、高位記述言語や論理回路図をもとにして、ユーザが極めて短時間にLSI上に論理回路を組むことができるデバイスであり、利便性が高い。

【0005】

なお、このようなユーザ基板上にLSIとFPGAを搭載する技術としては、たとえば特開平5-233844号公報に記載される技術などが挙げられる。この公報には、構築データの書き込みにより論理回路を構成するSRAM型FPGA、このSRAM型FPGAに論理回路を構成する構築データを記憶するPROMなどから構成される半導体装置が開示されている。 30

【0006】

【発明が解決しようとする課題】

ところで、前記のようなユーザ基板上にLSIとFPGAを搭載する技術について、本発明者が検討した結果、以下のようなことが明らかとなった。

【0007】

たとえば、前述のように、ユーザ基板上にLSIとFPGAとを別々に搭載する技術では、  
1 ユーザシステム上の部品点数の増加によるコスト増大および基板設計の複雑化による開発期間の増大、  
2 基板上で結線を行うことによって生じる配線遅延の増大や対ノイズ性の低下からくる性能/品質の低下、  
3 別々のチップを開発/評価していくことによる開発費の増大、などの課題がある。 40

【0008】

また、前記特開平5-233844号公報に記載の技術では、SRAM型FPGAの構築データをPROMに格納する技術であり、フラッシュメモリに格納するようにした技術ではない。

【0009】

そこで、本発明者は、フラッシュメモリを搭載したLSIに、さらにFPGAを内蔵させ 50

ることにより、従来は困難であったシステム構築の際のソフトウェアによる変更だけでは対応できない各信号の細かなチューニングやカスタム化が可能となり、ユーザが極めて短時間でLSI上に論理回路を組むことができ、利便性が高いLSIを実現することが可能となることを見出した。更に、SRAM型FPGAであるために電源を投入するたびにFPGAロジックの構築が必要となるが、この構築のためのデータ転送制御のための回路をも同一チップ内に搭載することにより、より効率的なFPGAロジックの構築が可能となる。

#### 【0010】

このように、ワンチップ内にフラッシュメモリとFPGAを搭載するということは、ソフトウェアのフィールドプログラマビリティとハードウェアのフィールドプログラマビリティの両方をワンチップで実現できるということであり、ユーザにおいてはその制御がより容易となる。更にFPGA構築用データを内蔵フラッシュメモリより転送するための制御回路を同一チップ内に搭載することで、構築のための制御がより効率的に行うことが可能となる。

10

#### 【0011】

また、ユーザ基板上で電源を入れ直す度にロジックが初期化されてしまうようなFPGAを使用している場合、電源を投入する度にFPGAロジックの構築をしなくてはならなくなるが、この場合、ロジック構築データが基板上を通るため、機密性が極めて低い。すなわち、セキュリティに弱いと言える。

#### 【0012】

しかし、フラッシュメモリを搭載し、そのメモリの中にロジック構築データを内蔵させておけば、更にはそのロジック構築データを転送制御するための制御回路が内蔵されていればロジック構築データはフラッシュメモリから内蔵FPGAへと、LSI外部を経由せずに転送することができ、LSI外部にそのデータが乗ることなくFPGAにロジックを構築することができ、カスタム化されたFPGA内ロジックの機密性を保持しなければならないような場合に非常に有効である。

20

#### 【0013】

そこで、本発明の目的は、SRAM型FPGAと、フラッシュメモリなどのような不揮発性メモリおよびそのFPGA構築のためのデータ転送制御用の回路とを混載した半導体装置において、ユーザが極めて短時間でLSI上に論理回路を組むことができ、利便性が高いLSIを実現することができる半導体装置を提供することにある。

30

#### 【0014】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0015】

##### 【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

#### 【0016】

すなわち、本発明は、CPUと、構築データの書き込みにより論理回路を構成するSRAM型FPGAと、このSRAM型FPGAに論理回路を構成する構築データを記憶する不揮発性メモリと、この不揮発性メモリに記憶された構築データを用いてSRAM型FPGAに対するコンフィグ動作を司るコンフィグ回路とを有する半導体装置に適用され、以下のような特徴を有するものである。

40

#### 【0017】

(1) コンフィグ回路は、電源投入リセット時に、同一チップ内の不揮発性メモリ内のFPGA構築データをSRAM型FPGAに転送する機能を有するものである。さらに、コンフィグ回路は、コンフィグ動作の完了後に内部リセット信号を解除する機能を有したり、あるいはコンフィグ回路によるコンフィグ動作の完了を検知する端子若しくは信号を設け、この端子または信号により周辺の半導体装置を起動する機能を有するものであり、特

50

にフラッシュメモリなどのような不揮発性メモリに適用するようにしたものである。

【0018】

(2) コンフィグ回路は、不揮発性メモリから転送されたSRAM型FPGA内の構築データの一部を通常動作中に再構築する機能を有するものである。

【0019】

(3) SRAM型FPGAの構築データに対応する複数の端子若しくは構築データ選択転送制御モード選択信号を設け、コンフィグ回路は、複数の端子若しくは構築データ選択制御モード選択信号のそれぞれと対応する不揮発性メモリ内の構築データを選択してSRAM型FPGAに転送する機能を有するものであり、特にフラッシュメモリなどのような不揮発性メモリに適用するようにしたものである。

10

【0020】

(4) SRAM型FPGAの構築データに対応する複数の転送制御情報を格納するレジスタを設け、コンフィグ回路は、レジスタに格納された複数の転送制御情報のそれぞれと対応する不揮発性メモリ内の構築データを選択してSRAM型FPGAに転送する機能を有するものであり、特にフラッシュメモリなどのような不揮発性メモリに適用するようにしたものである。

【0021】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

20

【0022】

本発明は、SRAM型FPGAと、フラッシュメモリなどのような不揮発性メモリとを混載した半導体装置に適用される。よって、1 SRAM型のFPGAは電源を投入したら最初のコンフィグ動作(FPGA内にロジックを構築)するのは常である、2 最初にFPGAにコンフィグするためのデータは不揮発性メモリ(たとえばフラッシュメモリ)の中に通常のCPU動作プログラムと同様に格納されているのが普通である、3 コンフィグ動作は通常動作中にも行われることが可能である、などという観点から、本実施の形態では、上記で述べたFPGA+不揮発性メモリ内蔵LSIにおいて、その内部に専用のコンフィグ回路を搭載し、その動作を提示する。

30

【0023】

本発明のように、専用のコンフィグ回路を設けることには幾つかのメリットがある。たとえば、コンフィグ動作における各リソース(CPU、DMAC、コンフィグ回路)使用時の比較を示すと、図1のようになる。本発明では、コンフィグ回路という専用ハード形態になってしまうが、専用コンフィグ回路を搭載することにより、1 SRAMタイプのFPGAをCPUによるプログラム介入が不要であるためにハードロジックであると見せることが可能となる、2 内蔵されたフラッシュメモリ及びコンフィグ回路の構成によって不揮発性FPGAと見なせるようになる、などの大きな利点が得られる。

【0024】

具体的に、コンフィグ回路の場合には、CPUやDMACに比べて、立ち上げ時間が速く(設定不要)、プログラムを不要とし、さらにコンフィグタイミングをリセット中あるいはリセット後に行うことが可能となる。これにより、CPUやDMACにより論理回路の構築データを転送する場合に比べ、電源投入リセット時にCPUからの転送制御を待つことなく不揮発性メモリ内の構築データをFPGAに転送することができ、電源投入リセット直後に早期にFPGAに構築された回路を使用することが可能となる。

40

【0025】

以下において、本発明の、CPUと、構築データの書き込みにより論理回路を構成するSRAM型FPGAと、このSRAM型FPGAに論理回路を構成する構築データを記憶するフラッシュメモリなどのような不揮発性メモリと、この不揮発性メモリに記憶された構築データを用いてSRAM型FPGAに対するコンフィグ動作を司るコンフィグ回路とを

50

有する半導体装置の実施の形態を具体的に説明する。

【0026】

(実施の形態1)

図2～図7により、本発明の実施の形態1の半導体装置の構成および動作の一例を説明する。図2は本実施の形態1の半導体装置のブロック図、図3はコンフィグ動作のタイミング図をそれぞれ示す。また、図4および図5は本実施の形態1における変形例、図6および図7は他の変形例をそれぞれ示す半導体装置のブロック図およびコンフィグ動作のタイミング図である。

【0027】

本実施の形態の半導体装置(LSI)は、たとえば図2に一例を示すように、LSI全体の演算処理を司るCPU1、不揮発性メモリであるフラッシュメモリ2、SRAM型FPGAであるプログラマブルロジック3、コンフィグ動作を司るコンフィグ回路4や、バスコントローラ5、割り込みコントローラ6、パワーオン検知回路7などから構成され、CPU1とフラッシュメモリ2とコンフィグ回路4とプログラマブルロジック3とバスコントローラ5がデータバスやアドレスバスなどにより構成されている内部バス11を介して接続され、プログラマブルロジック3とコンフィグ回路4がFPGAバス12を介して接続されている。更にコンフィグ回路4はコンフィグデータ転送のためにフラッシュメモリ2と専用のデータバス13を介して接続されている。更にプログラマブルロジック3とFPGAバス12及びアドレスバス16との接続部にセレクトを設け、内部バス11とFPGAバス12及びアドレスバス16とのバスセレクトが可能になるようにしても良い。コンフィグ動作時はFPGAバス12及びアドレスバス16が選択され、通常動作時は内部バス11が選択されるように構成する事も出来る。このような構成にすると、コンフィグ回路4はコンフィグ動作時のみ動作させ、それ以外の時はウェイト状態あるいは停止状態にして低消費電力化を図る事が出来る。

【0028】

このLSIには、外部端子として、リセット端子21、FPGA用端子22、外部端子23、コンフィグ完了検知端子24などがそれぞれ設けられている。リセット端子21はパワーオン検知回路7、FPGA用端子22はプログラマブルロジック3、外部端子23はバスコントローラ5、コンフィグ完了検知端子24はコンフィグ回路4にそれぞれ接続されている。更に外部端子23は外部のメモリや周辺LSIと接続可能で、データ信号、アドレス信号やチップセレクト信号等の制御信号を入出力することが可能である。

【0029】

コンフィグ回路4には、たとえばコンフィグ動作設定/制御回路、デコード回路、コンフィグスタートアドレス/転送データ量設定回路、周辺回路接続選択設定回路、リセット制御回路などが設けられている。コンフィグ動作設定/制御回路は、アドレスインクリメント、転送制御、各領域からコンフィグデータ読み出し/プログラマブルロジックへコンフィグデータ書き込み、コンフィグデータ転送量のカウンタ、コンフィグ完了フラグ、再コンフィグビット、コンフィグ完了時、割り込み要求/クリア制御などの各機能を備えている。デコード回路は、外部からの信号のデコード、回路内の内部信号のデコードなどの各機能を備えている。コンフィグスタートアドレス/転送データ量設定回路は、CPUにより書き換え可能なレジスタ群などを備えている。周辺回路接続選択設定回路は、CPUで書き換え可能であり、電源投入時はフラッシュメモリからコンフィグデータを読み出した後にさらに読み出してきたデータを自動設定する機能などを備えている。リセット制御回路は、電源投入後、コンフィグ動作に関係しないLSI内の各回路を制御するリセット信号を制御する機能などを備えている。

【0030】

このコンフィグ回路4は、割り込みコントローラ6に対して割り込み要求信号14を、CPU1、バスコントローラ5、割り込みコントローラ6に対して第2内部リセット信号19を、フラッシュメモリ2に対してアドレス15を、プログラマブルロジック3に対してアドレス16をそれぞれ供給する。また、コンフィグ回路4には、パワーオン検知回路7

10

20

30

40

50

から第1内部リセット信号18が供給される。さらに、このコンフィグ回路4からは、コンフィグ動作設定レジスタ31に設定されたコンフィグ完了フラグがコンフィグ完了検知端子24を通じて外部に出力することも可能となっている。

【0031】

以上のように構成されるLSIにおいて、コンフィグ回路4によるコンフィグ動作は、CPU1による通常動作とは別に、たとえば図3に一例を示すようなタイミングとなる。

【0032】

(1) LSIに対してリセット端子21をアサートする。

【0033】

(2) パワーオン検知回路7がリセット信号を検知し、第1内部リセット信号18をアサートして発振安定時間待つ。 10

【0034】

(3) この時、コンフィグ回路4はパワーオン検知回路7から受けた第1内部リセット信号18を第2内部リセット信号19として、コンフィグ動作に関係しないLSI内の各モジュールに分配する。

【0035】

(4) 発振安定時間が経過すると、パワーオン検知回路7が第1内部リセット信号18をネゲートする。

【0036】

(5) これにより、コンフィグに関係する回路が動作を開始し、専用データバス13、FPGAバス12を介して、コンフィグ回路4が自動的にアドレスバス15によって指定したフラッシュメモリ2内の決まった領域(アドレス)から決まった量のコンフィグデータをアドレスバス16によって指定したプログラマブルロジック3内の領域へ転送し、ロジックを構築する。この時、第2内部リセット信号19はアサートされたままになっている。 20

【0037】

(6) コンフィグ回路4によるコンフィグデータ転送が終わってプログラマブルロジック3内にロジックが構築できると、コンフィグ回路4内のコンフィグ動作設定レジスタ31のコンフィグ完了フラグが1にセットされる。

【0038】

(7) この時、第2内部リセット信号19もネゲートされ、通常のCPU1による動作が開始される。 30

【0039】

なお、以上のようなコンフィグ回路4によるコンフィグ動作のタイミングによって、以下のようなことも可能となる。

【0040】

(11) リセット端子21のネゲートは、コンフィグ動作が完了する前に行ってもよい。

【0041】

(12) CPU1が通常動作を開始したときには、既にプログラマブルロジック3内にロジックが構築されているので、プログラマブルロジック3に即座にアクセス、動作開始が可能である。 40

【0042】

(13) 外部回路においては、たとえば図3に示すように、コンフィグ完了フラグの値をコンフィグ完了検知端子24から値を自動的に出力することにより、外部回路もFPGA用端子22へのアクセスが可能となったことを知ることができる。

【0043】

(14) 本実施の形態において、コンフィグデータの格納領域は、通常、ユーザのプログラム/データが格納されているフラッシュメモリ2としたが、ユーザのプログラム/データが格納されているフラッシュメモリとコンフィグデータが格納されているフラッシュメモリがそれぞれ独立していても良い。これにより、たとえば高速動作が可能なプログラム 50

は高価だが高速動作可能なフラッシュメモリの領域に、コンフィグデータの読み出しのように多少遅くてもよいデータは廉価なフラッシュメモリの領域に、という具合に区別することにより、LSIの最適化を図ることができる。

【0044】

(15) 前記(11)において、リセット端子21のアサート後にフラッシュメモリ2の決まったアドレス(領域)からデータを読み出すのではなく、たとえば図3に示すように、まず最初にフラッシュメモリ2のある決まったアドレスから、ベクタフェッチの動作と同様な動作でコンフィグデータが格納されている最初のアドレス値を読み出し、そこからコンフィグデータを読み出してコンフィグ動作を行うような構成にしても良い。こうすると、ユーザが作成するプログラムにおいて、コンフィグデータを格納する領域の自由度が広がる。

10

【0045】

(16) パワーオン検知回路7はコンフィグ回路4の中にも含めても良い。

【0046】

(17) コンフィグデータは専用バスによって転送されるだけでなく、内部バスを一時的に占有してコンフィグデータを転送可能にしても良い。

【0047】

コンフィグ回路4はプログラマブルロジック3に対するコンフィグデータ転送が終了した後は、内部バス11とプログラマブルロジック3とを接続させるためのブリッジ回路として機能しても良い。

20

【0048】

FPGAバス12はコンフィグデータ転送のためのバスとして機能するだけでなく、通常動作時においてもバスとして動作することが可能である。

【0049】

アドレスバス15はフラッシュメモリ2内の任意の領域に格納されたコンフィグ用データを転送するためのアドレス指定に用いることが可能である。

【0050】

アドレスバス16はコンフィグデータ以外のデータをプログラマブルロジック3の任意の領域に格納するためのアドレス指定のために利用しても良い。

【0051】

従って、本実施の形態によれば、1 リセット入力は、発振安定時間を気にせずいつでもネゲートできる、2 発振安定時間経過後、特別な設定なしにプログラマブルロジック3に対するコンフィグ動作を自動的に行える、3 コンフィグデータをフラッシュメモリ2の任意の場所に配置することができる、4 CPU1が通常動作を開始する時には既にコンフィグ動作が完了しているので、すぐにプログラマブルロジック3にアクセスが可能である、5 外部回路はコンフィグ動作が終了したことをコンフィグ完了検知端子24から確認できる、6 コンフィグ動作のデータバス13を専用バス化することにより、バス制御を必要とすることなくコンフィグ動作を行うことができる、などの効果を得ることができる。

30

【0052】

次に、図4および図5により、本実施の形態1の変形例の半導体装置の構成および動作の一例を説明する。

40

【0053】

図4に示す半導体装置は、前記図2の構成からパワーオン検知回路7を削除した構成となっており、コンフィグ回路4によるコンフィグ動作は図5に示すようなタイミングとなる。

【0054】

(1) LSIに対してリセット端子21をアサートする。

【0055】

(2) リセット端子21からの入力は第1内部リセット信号18として、LSI内部の各

50

モジュールに分配される。この時、コンフィグ動作に関係のない各モジュールに対しては、コンフィグ回路4が第2内部リセット信号19を分配する。

【0056】

(3)リセット端子21からの入力は、規定された発振安定時間以上アサートする。

【0057】

(4)発振安定時間以上経過したら、リセット端子21をネゲートする。

【0058】

(5)これを受けると、第1内部リセット信号18がネゲートされ、コンフィグ回路4が自動的にフラッシュメモリ2内の決まった領域(アドレス)から決まった量のコンフィグデータをプログラマブルロジック3へ転送し、ロジックを構築する。この時、依然として第2内部リセット信号19はアサートされたままになっており、コンフィグ動作に関係しないモジュールは動作を停止している。

【0059】

(6)コンフィグ回路4によるコンフィグデータ転送が終わってプログラマブルロジック3内にロジックが構築できると、コンフィグ回路4内のコンフィグ動作設定レジスタ31のコンフィグ完了フラグが1にセットされる。

【0060】

(7)この時、コンフィグ回路4が第2内部リセット信号19をネゲートすることにより、CPU1が通常動作を開始する。

【0061】

なお、以上のようなコンフィグ回路4によるコンフィグ動作のタイミングにおいては、以下のようなことも可能である。

【0062】

(21)CPU1でコンフィグ完了フラグを読み出さなくても、コンフィグ完了フラグの値をコンフィグ完了検知端子24から値を自動的に出力することにより、外部回路もFPGA用端子22へのアクセスが可能となったことを知ることができる。また、コンフィグ動作が完了したら、コンフィグ回路4から割り込みコントローラ6へ割り込み要求信号14を発生させることによっても、コンフィグ動作が完了したことを知ることができる。

【0063】

(22)フラッシュメモリ2からコンフィグデータを読み出すときに使用するデータバスとして、CPU1などと共有している内部バス11ではなく、コンフィグデータ読み出し専用データバス13を設けても良い。

【0064】

(23)前記図3において示した(12)~(15)の内容については同様に当てはまる。

【0065】

従って、本実施の形態1の変形例によれば、1 リセットアサート後、特別な設定をせずにプログラマブルロジック3に対するコンフィグ動作を自動的に行える、2 コンフィグデータをフラッシュメモリ2の任意の場所に配置することができる、3 CPU1が通常動作を開始する時には既にコンフィグ動作が完了しているので、すぐにプログラマブルロジック3にアクセスが可能である、4 外部回路はコンフィグ動作が終了したことをコンフィグ完了検知端子24から確認できる、5 コンフィグ動作のデータバス13を専用バス化することにより、バス制御を必要とすることなくコンフィグ動作を行うことができる、などの効果を得ることができる。

【0066】

次に、図6および図7により、本実施の形態1の他の変形例の半導体装置の構成および動作の一例を説明する。

【0067】

図6に示す半導体装置は、前記図4と同じ構成において、コンフィグ回路4が第2内部リセット信号19を生成する代わりに、リセット端子21からの入力信号により制御するよ

10

20

30

40

50



うな構成となっており、コンフィグ回路4によるコンフィグ動作は図7に示すようなタイミングとなる。

【0068】

(1) L S I に対してリセット端子21をアサートする。

【0069】

(2) リセット端子21からの入力は第1内部リセット信号18として、L S I 内部の各モジュールに分配される。

【0070】

(3) リセット端子21からの入力は、規定された発振安定時間以上アサートする。

【0071】

(4) 発振安定時間以上経過したら、リセット端子21をネゲートする。

【0072】

(5) これを受け、C P U 1 による通常動作が開始されるとともに、コンフィグ回路4が自動的にフラッシュメモリ2内の決まった領域(アドレス)から決まった量のコンフィグデータをプログラマブルロジック3へ転送し、ロジックを構築する。

【0073】

(6) コンフィグ回路4によるコンフィグデータ転送が終わってプログラマブルロジック3内にロジックが構築できると、コンフィグ回路4内のコンフィグ動作設定レジスタ31のコンフィグ完了フラグが1にセットされる。

【0074】

なお、以上のようなコンフィグ回路4によるコンフィグ動作のタイミングにおいては、以下のようなことも可能である。

【0075】

(31) C P U 1 がコンフィグ完了フラグを読み出すことにより、L S I はプログラマブルロジック3へのアクセスが可能となったことを知ることができる。

【0076】

(32) コンフィグ回路4内に書き込み保護機能(ビット)を設け、コンフィグ動作を行っている最中はコンフィグ動作に関するレジスタの設定を上書きできないようにプロテクトする機能を設けても良い。

【0077】

(33) フラッシュメモリ2内の値はC P U 1 以外では読めないように、一度でも外部から読もうとすると、A L L “ 0 ” しか読めなくなってしまうようなプログラムプロテクト機能を有している場合もあるが、コンフィグデータに関しても同様に、コンフィグ動作中以外はプログラマブルロジック3内からF P G A バス12を経由してデータを読み出せないように制御する。すなわち、コンフィグ時におけるデータベリファイ以外では、F P G A バス12を経由してきたデータは内部バスに乗せないようにする機能を設け、セキュリティを強化しても良い。

【0078】

(34) 前記図3において示した(12)~(15)、前記図5において示した(21)~(22)の内容については同様に当てはまる。

【0079】

従って、本実施の形態1の他の変形例によれば、1 リセットアサート後、特別な設定を行うことなくプログラマブルロジック3に対するコンフィグ動作を自動的に行える、2 コンフィグデータをフラッシュメモリ2の任意の場所に配置することができる、3 コンフィグ動作が終了したことを、コンフィグ完了検知端子24から、あるいはレジスタ内のフラグの値を読み出すことによって確認できる、4 コンフィグ動作のデータバス13を専用バス化することにより、C P U 1 などによる動作と並行してコンフィグ動作を行うことができる、などの効果を得ることができる。

【0080】

(実施の形態2)

10

20

30

40

50

図 8 および図 9 により、本発明の実施の形態 2 の半導体装置の構成および動作の一例を説明する。図 8 は本実施の形態 2 の半導体装置のブロック図、図 9 はコンフィグ動作のタイミング図をそれぞれ示す。

【 0 0 8 1 】

本実施の形態の半導体装置 ( L S I ) は、たとえば図 8 に一例を示すように、 C P U 1、フラッシュメモリ 2、プログラマブルロジック 3、コンフィグ回路 4、バスコントローラ 5 などから構成され、前記実施の形態 1 との相違点は、コンフィグ回路 4 内にコンフィグデータの読み出し先アドレスを設定するレジスタがあり、また外部からリセット端子をアサートしなくてもコンフィグ回路 4 内のレジスタのあるビットに書き込みをすれば、コンフィグを再度行う機能を持つようにした点である。

10

【 0 0 8 2 】

すなわち、この L S I のコンフィグ回路 4 には、コンフィグ動作設定レジスタ 3 1、コンフィグスタートアドレス設定レジスタ 3 2、コンフィグデータ転送回数設定レジスタ 3 3 が設けられている。コンフィグ動作設定レジスタ 3 1 には、コンフィグ完了フラグの他に、コンフィグ開始ビット、再コンフィグビットが設定される。

【 0 0 8 3 】

さらに、外部端子として、コンフィグ開始トリガ端子 2 5 が設けられ、このコンフィグ開始トリガ端子 2 5 からの入力によって、コンフィグ回路 4 のコンフィグ動作設定レジスタ 3 1 に再コンフィグビットが設定され、またリセット端子 2 1 からの入力とともにゲート回路で演算処理されてコンフィグ開始ビットが設定される。またこの動作は C P U からのプログラム制御により、 F P G A でのデータ処理等を終わらせたうえで、コンフィグ開始ビットを設定することにより再びフラッシュメモリから F P G A へのコンフィグ動作が行われても良い。

20

【 0 0 8 4 】

このような構成において、コンフィグ回路 4 によるコンフィグ動作 ( 再コンフィグ時 ) は図 9 に示すようなタイミングとなる。

【 0 0 8 5 】

( 1 ) コンフィグ動作を開始するのは、 1 リセット端子 2 1 がアサートされた時、 2 コンフィグ開始トリガ端子 2 5 がアサートされた時、 3 C P U 1 が内部バス 1 1 を経由して、コンフィグ回路 4 内のコンフィグ動作設定レジスタ 3 1 内のコンフィグ開始ビットに設定を行った時、の各ケースである。上記 1、2 を行うと、コンフィグ開始ビットが自動的にセットされる。

30

【 0 0 8 6 】

( 2 ) 上記 2、3 においては、コンフィグ回路 4 内のコンフィグ動作設定レジスタ 3 1 の再コンフィグビットも自動的にセットされる。ここで、再コンフィグビットがセットされた場合には、コンフィグ回路 4 内のコンフィグスタートアドレス設定レジスタ 3 2 からコンフィグデータを読み出すアドレスを読み出した後、その領域からデータを転送してコンフィグ動作を行う。

【 0 0 8 7 】

( 3 ) コンフィグ回路 4 内には、コンフィグスタートアドレス設定レジスタ 3 2 以外に、コンフィグデータ転送回数設定レジスタ 3 3 も存在している。これにより、プログラマブルロジック 3 内に構築する論理の規模によって可変であるコンフィグデータのデータ転送量を設定することができるため、プログラマブルロジック 3 内の一部の論理だけを再構築することができる。

40

【 0 0 8 8 】

( 4 ) 本実施の形態においても、前記実施の形態 1 で説明した機能が設けられていても構わない。

【 0 0 8 9 】

従って、本実施の形態 2 によれば、 1 リセット解除後の通常動作中に再度、コンフィグ動作が行える、 2 再コンフィグ動作は、コンフィグ開始トリガ端子 2 5 からのトリ

50

が信号入力か、あるいはCPU1などを用いてビットを設定することにより実現できる、  
 3 コンフィグデータの格納場所を、アドレスマップされた全領域に広げることができる、  
 4 コンフィグデータ量を任意に設定できるため、プログラマブルロジック3を一部だけ再構築することが可能となる、などの効果を得ることができる。

【0090】

(実施の形態3)

図10により、本発明の実施の形態3の半導体装置の構成および動作の一例を説明する。  
 図10は本実施の形態3の半導体装置のブロック図を示す。

【0091】

本実施の形態の半導体装置(LSI)は、たとえば図10に一例を示すように、CPU1 10、フラッシュメモリ2、プログラマブルロジック3、コンフィグ回路4、バスコントローラ5などから構成され、前記実施の形態1および2との相違点は、コンフィグデータが格納されているアドレスを予め複数設定可能であり、実際にどのアドレスからコンフィグデータを読み出すかの制御については外部端子から、あるいはコンフィグ回路4内のレジスタを設定することによって実現されるようにした点である。

【0092】

すなわち、このLSIのコンフィグ回路4には、コンフィグ動作設定レジスタ31、複数のコンフィグスタートアドレス設定レジスタ32a, 32b, ...およびコンフィグデータ転送回数設定レジスタ33a, 33b, ...、コンフィグアドレス選択レジスタ34、デコード回路35が設けられている。コンフィグ動作設定レジスタ31には、コンフィグ完了 20フラグ、コンフィグ開始ビット、再コンフィグビットの他に、チェーン設定ビットが格納される。コンフィグアドレス選択レジスタ34には、アドレスレジスタ選択、端子/レジスタ設定選択のビットが設定される。これらコンフィグスタートアドレス設定レジスタ32a, 32b, ...、コンフィグデータ転送回数設定レジスタ33a, 33b, ...に設定するための値は予めCPU等の制御によって設定しておく必要がある。

【0093】

さらに、外部端子として、転送アドレス選択端子26~28が設けられ、この転送アドレス選択端子26~28からの入力信号をデコード回路35によってデコードし、各コンフィグスタートアドレス設定レジスタ32a, 32b, ...、コンフィグデータ転送回数設定レジスタ33a, 33b, ...の選択制御を行う。また、この各コンフィグスタートアドレス 30設定レジスタ32a, 32b, ...、コンフィグデータ転送回数設定レジスタ33a, 33b, ...を選択する制御としては前記転送アドレス選択端子26~28のみでなく、コンフィグ回路内のコンフィグアドレス選択レジスタ34によっても選択することが可能となる。

【0094】

このような構成において、コンフィグ回路4によるコンフィグ動作は前記実施の形態1および2と同様のタイミングとなる。

【0095】

(1) コンフィグ回路4内には、多数のコンフィグスタートアドレス設定レジスタ32a, 32b, ...と、コンフィグデータ転送回数設定レジスタ33a, 33b, ...があり、それらの設定によりコンフィグ動作を開始する時に、どこの領域にあるデータをコンフィグデータとして転送するか、選択することが可能となる。ここで、コンフィグスタートアドレス設定レジスタ32a, 32b, ...と、コンフィグデータ転送回数設定レジスタ33a, 33b, ...は、予めCPU1などを用いて値を設定しておく必要がある。 40

【0096】

(2) ここで、前記実施の形態2の手順(1)の2、3の時、転送アドレスレジスタ選択端子26~28の設定によって、多種類(例えば本例では3本の選択端子からの信号による3ビットで最大8種類)のコンフィグスタートアドレス/転送回数設定を選択することができる。

【0097】

(3) 上記(2)の設定では、外部端子からではなく、コンフィグ回路4内に設けられたコンフィグアドレス選択レジスタ34によっても選択することができる。この時、コンフィグアドレス選択レジスタ34で設定した値は転送アドレスレジスタ選択端子26~28の入力値をデコードするデコード回路35内に入力され、転送アドレスレジスタ選択端子26~28の設定か、あるいはコンフィグアドレス選択レジスタ34の設定値かを選ぶことができる。

【0098】

(4) 前記実施の形態2までは、コンフィグデータはあるアドレス領域から連続したデータを1回だけ転送してプログラマブルロジック3内にロジックを構築していたが、コンフィグしたいデータが空間として不連続なアドレスに存在した場合、コンフィグスタートアドレス設定レジスタ32a, 32b, ... / コンフィグデータ転送回数設定レジスタ33a, 33b, ...をそれぞれのレジスタで設計された分だけ順番に転送を行なっていく事により対応出来る。このように、いくつかのレジスタで設定された内容通りに順番に転送していく、いわゆるチェーン動作の設定は、コンフィグ回路4内のコンフィグ動作設定レジスタ31で行えば良い。

10

【0099】

(5) 本実施の形態においても、前記実施の形態1および2で説明した機能が設けられていても構わない。

【0100】

従って、本実施の形態3によれば、  
1 再コンフィグを行う際、予め設定した多くのアドレス値の中から状況に応じて任意のコンフィグデータをコンフィグすることができる、  
2 コンフィグデータがアドレス的に連続していなくても、連続したコンフィグ動作を行うことができる、などの効果を得ることができる。

20

【0101】

(実施の形態4)

図11および図12により、本発明の実施の形態4の半導体装置の構成および動作の一例を説明する。図11は本実施の形態4の半導体装置のブロック図、図12はコンフィグ動作のタイミング図をそれぞれ示す。

【0102】

本実施の形態の半導体装置(LSI)は、たとえば図11に一例を示すように、CPU1、フラッシュメモリ2、プログラマブルロジック3、コンフィグ回路4、バスコントローラ5、CMT41、SCIF42、MTU43、周辺回路接続信号セクタ回路44などから構成され、前記実施の形態1~3との相違点は、プログラマブルロジック3とLSI内部の各種信号を接続有効/無効の切り替えが自動的になされる回路を持ち、また接続信号はいくつかの信号とマルチプレクスされており、選択することが可能なようにした点である。更に周辺回路であるCMT41、SCIF42、MTU43は内部バス11と接続可能な構成となっており、CPU1等からの制御が可能となる。

30

【0103】

すなわち、このLSIにおいて、CMT41はコンペア・マッチ・タイマ、SCIF42はシリアル・コミュニケーション・インタフェース、MTU43はマルチファンクション・タイマパルス・ユニットである。

40

【0104】

また、周辺回路接続信号セクタ回路44には、たとえばFPGA入力側セレクト回路、FPGA出力側セレクト回路、周辺回路接続有効/無効制御回路などが設けられている。FPGA入力側セレクト回路は、周辺回路からプログラマブルロジック3への接続信号をコンフィグ回路内の周辺回路接続選択設定回路により選択する機能などを備えている。FPGA出力側セレクト回路は、プログラマブルロジック3から周辺回路への接続信号をコンフィグ回路内の周辺回路接続選択設定回路により選択する機能などを備えている。周辺回路接続有効/無効制御回路は、コンフィグ動作中は接続信号を無効にして、周辺回路が誤動作しないようにする機能などを備えている。

50

## 【 0 1 0 5 】

さらに、この L S I のコンフィグ回路 4 には、コンフィグ動作設定レジスタ 3 1、デコード回路 3 5 などの他に、セレクト制御レジスタ 3 6 が設けられている。

## 【 0 1 0 6 】

このような構成において、コンフィグ回路 4 によるコンフィグ動作は図 1 2 に示すようなタイミングとなる。

## 【 0 1 0 7 】

( 1 ) 1 リセット端子 2 1 のアサート、 2 コンフィグ開始トリガ端子 2 5 のアサート、 3 コンフィグ回路 4 内のコンフィグ動作設定レジスタ 3 1 のコンフィグ開始ビット ( 再コンフィグビットは自動的にセット ) のいずれかを行うと、コンフィグ動作を開始する。

10

## 【 0 1 0 8 】

( 2 ) コンフィグ動作を行っている最中は、プログラマブルロジック 3 と C M T 4 1、S C I F 4 2、M T U 4 3 などの L S I 内モジュールとの接続信号が無効であるように、周辺回路接続信号セレクト回路 4 4 が制御を行う ( 接続信号をネゲート状態に保つ ) 。

## 【 0 1 0 9 】

( 3 ) コンフィグ動作が完了すると、コンフィグ回路 4 内のコンフィグ動作設定レジスタ 3 1 のコンフィグ完了フラグがセットされるが、これと同時に接続信号有効ビットもセットされる。周辺回路接続信号セレクト回路 4 4 は接続信号有効ビットがセットされたのを受けて、自動的に各モジュールとの接続信号を有効状態にする。

20

## 【 0 1 1 0 】

( 4 ) 再コンフィグの際には、接続信号有効ビットの値は自動的にクリアされ、周辺接続信号有効ビットを無効状態 ( ネゲート状態 ) に保つ。

## 【 0 1 1 1 】

なお、以上のようなコンフィグ回路 4 によるコンフィグ動作においては、以下のようなことも可能である。

## 【 0 1 1 2 】

( 4 1 ) プログラム開発後は、プログラマブルロジック 3 のどの内部 I / O をどのモジュールと接続するかが決定されているが、開発段階では、それが決定していない。ここで、もしプログラマブルロジック 3 の内部 I / O と C M T 4 1、S C I F 4 2、M T U 4 3 のような L S I 内のモジュールと接続が一意に決まっているとすると、プログラマブルロジック 3 に構築するロジックに I / O の配置制限が加わることになり、プログラマブルロジック 3 の設計自由度が下がる。そこで、どのプログラマブルロジック 3 の内部 I / O を C M T 4 1、S C I F 4 2、M T U 4 3 などに接続すればいいかを選択する機能を設けることにより、プログラマブルロジック 3 の I / O 配置制限を緩和することができる。

30

## 【 0 1 1 3 】

( 4 2 ) 周辺回路接続信号セレクト回路 4 4 での選択は、コンフィグ回路 4 内のセレクト制御レジスタ 3 6 に値を書き込むことによって実現される。これは、コンフィグ動作を行う時に、コンフィグ回路 4 内のセレクト制御レジスタ 3 6 に値を書き込む ( つまりデータを転送する ) よう、コンフィグデータにデータを追加しておくだけで良い。

40

## 【 0 1 1 4 】

( 4 3 ) セレクト制御レジスタ 3 6 の値は、C P U 1 などを用いて通常動作中にセットしても良い。

## 【 0 1 1 5 】

( 4 4 ) 接続信号有効ビットの値も、C P U 1 などを用いて通常動作中に書き換えしても良い。

## 【 0 1 1 6 】

( 4 5 ) 本実施の形態においても、前記実施の形態 1 ~ 3 で説明した機能が設けられていても構わない。

## 【 0 1 1 7 】

50

従って、本実施の形態 4 によれば、1 プログラマブルロジック 3 と C M T 4 1、S C I F 4 2、M T U 4 3 などのモジュールとの接続信号を、コンフィグ動作の最中では無効にし、さらにコンフィグが完了すると、自動的に接続信号を有効状態に切り替えることができる、2 プログラマブルロジック 3 と各モジュールの接続信号をセレクト制御レジスタ 3 6 の設定によって切り替えられるようにして、プログラマブルロジック 3 の I / O 割り当て制限を緩和できる、などの効果を得ることができる。

【0118】

(実施の形態 5)

図 1 3 により、本発明の実施の形態 5 の半導体装置の構成および動作の一例を説明する。図 1 3 は本実施の形態 5 の半導体装置のブロック図を示す。

10

【0119】

本実施の形態の半導体装置 ( L S I ) は、たとえば図 1 3 に一例を示すように、C P U 1、フラッシュメモリ 2、プログラマブルロジック 3、コンフィグ回路 4、バスコントローラ 5、端子制御回路 5 1 などから構成され、前記実施の形態 1 ~ 4 との相違点は、F P G A 用端子 2 2 を制御することが可能な端子制御回路 5 1 を持つようにした点である。

【0120】

すなわち、この L S I において、端子制御回路 5 1 には、たとえばプルアップ/プルダウン回路 5 2、このプルアップ/プルダウン回路 5 2 の制御回路 5 3 などが設けられている。プルアップ/プルダウン回路 5 2 は、各端子において、コンフィグ動作時に端子の電圧レベルを制御する機能、電源投入後、コンフィグ動作が完了するまでは電圧レベルをハイ

20

【0121】

更に、プルアップ/プルダウン回路 5 2 は、プルアップ M O S F E T 5 2 a とプルダウン M O S F E T 5 2 b などからなり、それぞれ制御回路 5 3 によりゲート制御され、またプルアップ M O S F E T 5 2 a のソースは電源電位に、プルダウン M O S F E T 5 2 b のソースは接地電位にそれぞれ接続され、ドレインが共通に接続されて F P G A 用端子 2 2 に接続されている。

【0122】

このような構成において、コンフィグ回路 4 によるコンフィグ動作は前記図 1 2 に示すようなタイミングとなる。

30

【0123】

(1) 1 リセット端子 2 1 のアサート、2 コンフィグ開始トリガ端子 2 5 のアサート、3 コンフィグ回路 4 内のコンフィグ動作設定レジスタ 3 1 のコンフィグ開始ビット (再コンフィグビットは自動的にセット) のいずれかを行うと、コンフィグ動作を開始する。

【0124】

(2) コンフィグ動作を行っている最中は、プログラマブルロジック 3 と F P G A 用端子 2 2 の接続が無効であるように、端子制御回路 5 1 が制御を行う (接続信号をネゲート状態に保つ)。

【0125】

(3) コンフィグ動作が完了すると、コンフィグ回路 4 内のコンフィグ完了フラグと接続信号有効ビットがセットされる。端子制御回路 5 1 はこれを受けて、自動的にプログラマブルロジック 3、及び F P G A 用端子 2 2 との接続信号を有効状態にする。

40

【0126】

(4) 再コンフィグの際には、接続信号有効ビットの値は自動的にクリアされ、再び接続信号を無効状態 (ネゲート状態) に保つ。

【0127】

なお、以上のようなコンフィグ回路 4 によるコンフィグ動作においては、以下のようなことも可能である。

【0128】

50

(51) 上記(2)において、FPGA用端子22はLSIにとって入力か出力か、ハイアクティブかローアクティブなのはコンフィグが完了するまで分からない。そこで、端子制御回路51は端子がいずれの場合でも適応可能とするために、プルアップMOSFET52aを用意し、コンフィグが完了するまで、FPGA用端子22はこのプルアップMOSFET52aにより1をドライブするようにしておく。コンフィグが完了したら、プルアップMOSFET52aの動作を無効にし、プログラマブルロジック3とFPGA用端子22を接続した状態(有効な状態)にする。

【0129】

(52) 場合によっては、FPGA用端子22に対して、プルダウンMOSFET52bを接続して0をドライブしたい場合もあり得る。この場合、コンフィグ回路4内のFPGA用端子コントロールレジスタに値を設定することにより、プルアップMOSFET52aを無効にして、プルダウンMOSFET52bを有効にするように切り替える。

【0130】

(53) 上記(52)の設定は、1 通常動作中にCPU1などによる設定と、2 コンフィグ動作中にコンフィグデータとともに、FPGA用端子コントロールレジスタに設定が行われるように、コンフィグデータに設定値を追加しておく、の2通りが考えられる。

【0131】

(54) 電源投入直後から端子レベルをプルダウン設定することができないが、通常動作中に再コンフィグを行いたい時などに端子状態を固定させるときに有効となる。

【0132】

(55) 本実施の形態においても、前記実施の形態1~4で説明した機能が設けられていても構わない。

【0133】

従って、本実施の形態5によれば、1 プログラマブルロジック3と外部端子との接続信号を、コンフィグ動作の最中は無効にし、さらにコンフィグが完了すると、自動的に接続信号を有効状態に切り替えることができる、2 コンフィグ最中はプルアップMOSFET52aを動作させることにより、他のLSIに悪影響を与えないようにすることができる、3 プルアップMOSFET52aではなく、プルダウンMOSFET52bが必要な場合には、レジスタに値を設定することによって切り替えることにより、再コンフィグなどの時、端子状態の電圧レベルをハイ/ローどちらかに任意に固定させることができる、などの効果を得ることができる。

【0134】

以上、実施の形態1~5で説明したようなLSIのアプリケーションとしては、たとえば図14に一例を示すように、ロジック(1)+ロジック(2)+ロジック(3) プログラマブルロジック3の規模であっても、時間的に必要なロジックのみを動的にプログラマブルロジック3内に再コンフィグしていくことにより、プログラマブルロジック3の節約、具体的にはチップ面積の縮小による売価の低価格化および不良率の低減などが可能となる。

【0135】

さらに、チップ内部に格納したコンフィグ用データを必要に応じて選択的にFPGAに対して転送制御を行うコンフィグ回路を有することにより、他のアプリケーションとして、たとえば図15に一例を示すように、一般的には、産業向け、通信向け、ASICなどのように、それぞれのユーザに合ったロジックをソフトウェア(プログラム)のみで作成可能であり、さらにそれらによって、部品点数が増えない、1チップのままで対応することが可能となる。

【0136】

以上で述べた実施の形態において、コンフィグ回路4はプログラマブルロジック3に対するコンフィグデータ転送が終了した後は、内部バス11とプログラマブルロジック3とを接続させるためのブリッジ回路として機能しても良い。

10

20

30

40

50

## 【0137】

FPGAバス12はコンフィグデータ転送のためのバスとして機能するだけでなく、通常動作時においてもバスとして動作することが可能である。

## 【0138】

アドレスバス15はフラッシュメモリ2内の任意の領域に格納されたコンフィグ用データを転送するためのアドレス指定に用いることが可能である。

## 【0139】

アドレスバス16はコンフィグデータ以外のデータをプログラマブルロジック3の任意の領域に格納するためのアドレス指定のために利用しても良い。

## 【0140】

コンフィグデータは専用データバス13を介してだけでなく、内部バス11を介することによってもプログラマブルロジック3に対して転送することが可能である。

## 【0141】

プログラマブルロジック3に接続されたFPGA端子22と外部に接続されたデバイスとの接続は、バス接続が可能となるように接続されてあっても良いし、信号線によって接続されてあっても良い。つまり、プログラマブルロジック3とFPGA端子22との接続はバス接続に限定されるだけでなく、制御信号線が接続されるようになっていても良い。

## 【0142】

更に、各実施例で示された内容は其々単独で実施することに限定されるだけでなく、其々を任意に組み合わせて実施されても良い。

## 【0143】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

## 【0144】

## 【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

## 【0145】

(1)SRAM型FPGA内蔵LSIにおいて必須の動作であるコンフィグ動作を司る回路をハード化した事により、パワーオンリセット後のLSI立上げ期間が短く出来る。

## 【0146】

(2)コンフィグ動作プログラムが不要となる。

## 【0147】

(3)再コンフィグが容易にフレキシブルに行なえる。

## 【0148】

(4)コンフィグ動作が完了した事を外部に接続された回路が容易に知る事が出来る。

## 【図面の簡単な説明】

【図1】本発明において、コンフィグ動作における各リソース使用時の比較を示す説明図である。

【図2】本発明の実施の形態1の半導体装置を示すブロック図である。

【図3】本発明の実施の形態1の半導体装置において、コンフィグ動作を示すタイミング図である。

【図4】本発明の実施の形態1における変形例の半導体装置を示すブロック図である。

【図5】本発明の実施の形態1における変形例の半導体装置において、コンフィグ動作を示すタイミング図である。

【図6】本発明の実施の形態1における他の変形例の半導体装置を示すブロック図である。

【図7】本発明の実施の形態1における他の変形例の半導体装置において、コンフィグ動作を示すタイミング図である。

10

20

30

40

50



【図 8】本発明の実施の形態 2 の半導体装置を示すブロック図である。

【図 9】本発明の実施の形態 2 の半導体装置において、コンフィグ動作を示すタイミング図である。

【図 10】本発明の実施の形態 3 の半導体装置を示すブロック図である。

【図 11】本発明の実施の形態 4 の半導体装置を示すブロック図である。

【図 12】本発明の実施の形態 4 の半導体装置において、コンフィグ動作を示すタイミング図である。

【図 13】本発明の実施の形態 5 の半導体装置を示すブロック図である。

【図 14】本発明の実施の形態の半導体装置におけるアプリケーションを示す説明図である。

10

【図 15】本発明の実施の形態の半導体装置における他のアプリケーションを示す説明図である。

【符号の説明】

- 1 CPU
- 2 フラッシュメモリ
- 3 プログラマブルロジック
- 4 コンフィグ回路
- 5 バスコントローラ
- 6 割り込みコントローラ
- 7 パワーオン検知回路
- 10 20
- 11 内部バス
- 12 F P G A バス
- 13 専用データバス
- 14 割り込み要求信号
- 15 , 16 アドレス
- 18 第 1 内部リセット信号
- 19 第 2 内部リセット信号
- 21 リセット端子
- 22 F P G A 用端子
- 23 外部端子
- 30
- 24 コンフィグ完了検知端子
- 25 コンフィグ開始トリガ端子
- 26 ~ 28 転送アドレス選択端子
- 31 コンフィグ動作設定レジスタ
- 32 コンフィグスタートアドレス設定レジスタ
- 33 コンフィグデータ転送回数設定レジスタ
- 34 コンフィグアドレス選択レジスタ
- 35 デコード回路
- 41 C M T
- 42 S C I F
- 40
- 43 M T U
- 44 周辺回路接続信号セクタ回路
- 51 端子制御回路
- 52 ブルアップ / ブルダウン回路
- 52 a ブルアップ M O S F E T
- 52 b ブルダウン M O S F E T
- 53 制御回路

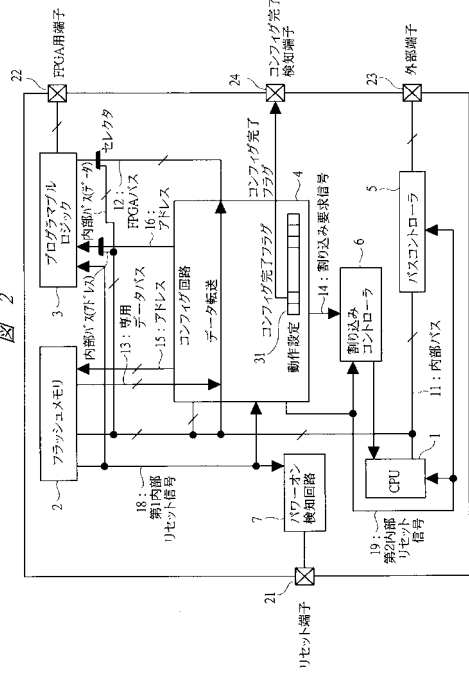
【 図 1 】

図 1

	立ち上げ時間	ハード量	プログラム容量	コンフィグタイミング
CPU	源 (命令フェッチ要)	既存ハード	要	リセット後
DMAC	中 (CPUによる設定要)	既存ハード	要	リセット後
コンフィグ回路	速 (設定不要)	専用ハード	不要	リセット中 あるいはリセット後

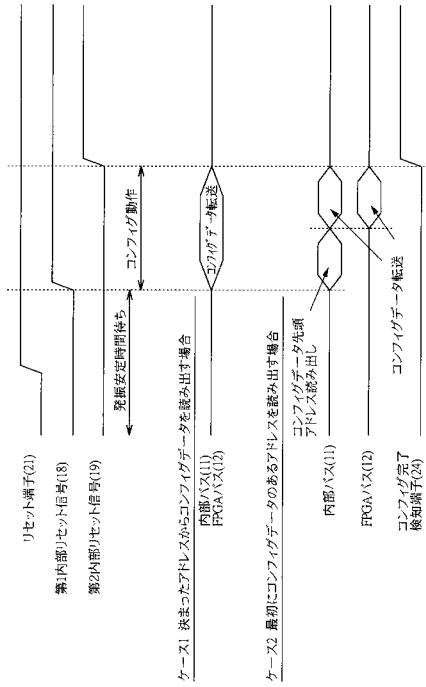
【 図 2 】

図 2



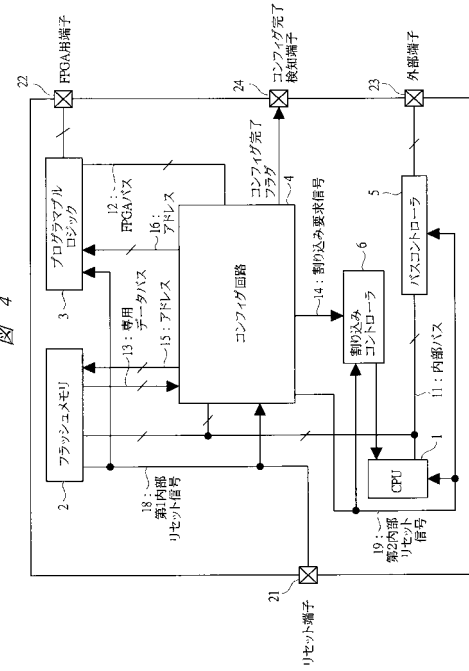
【 図 3 】

図 3



【 図 4 】

図 4



【 図 5 】

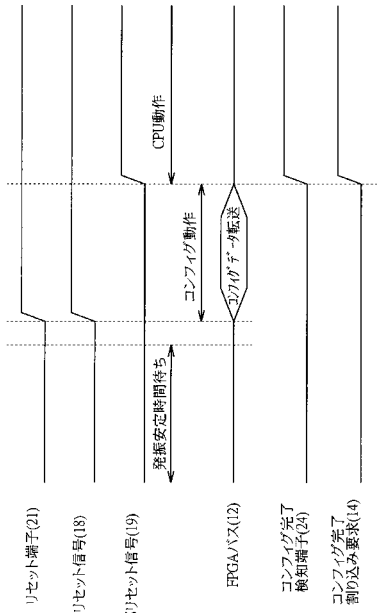


図 5

【 図 6 】

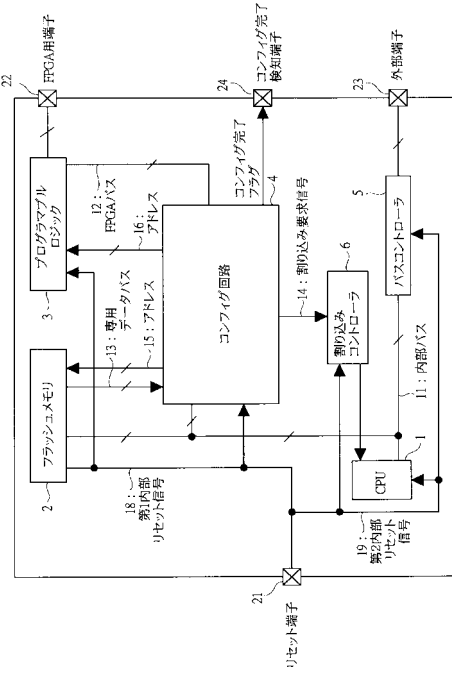


図 6

【 図 7 】

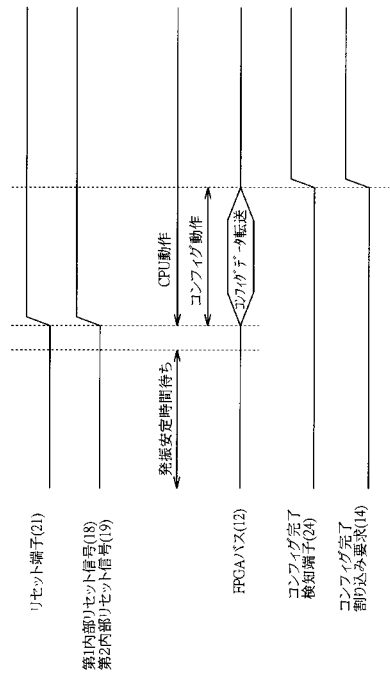


図 7

【 図 8 】

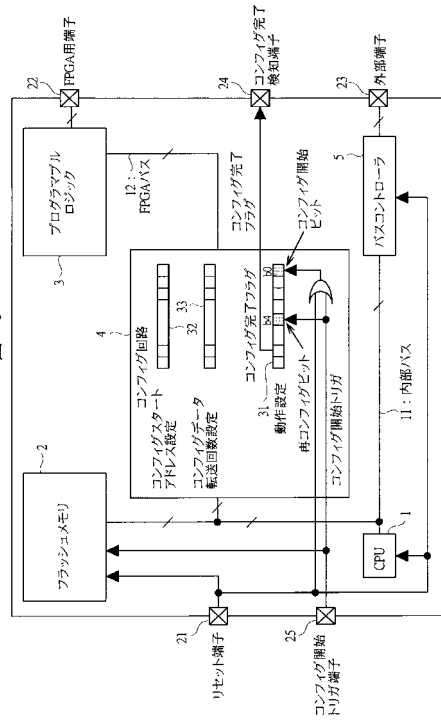
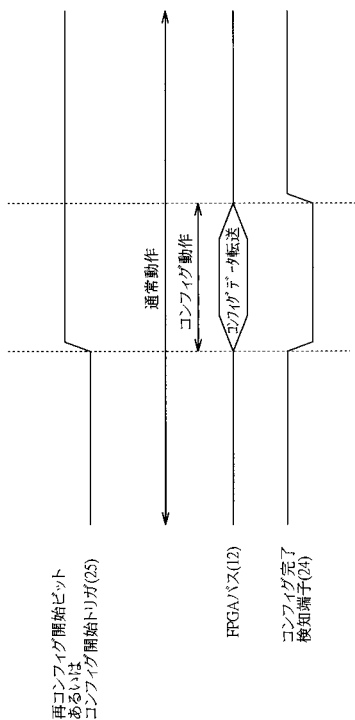
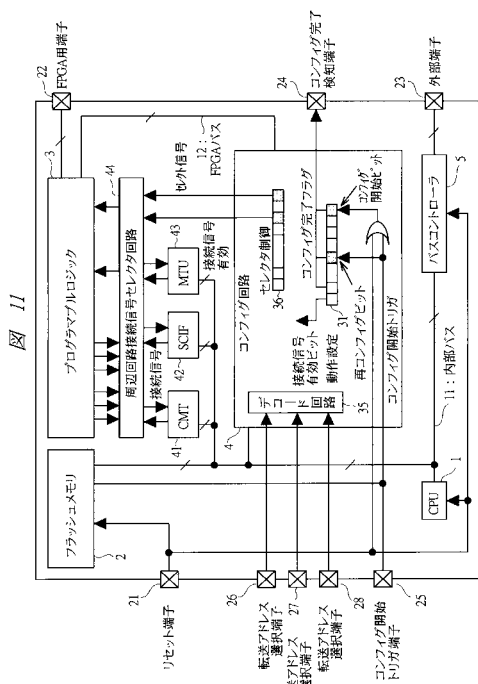


図 8

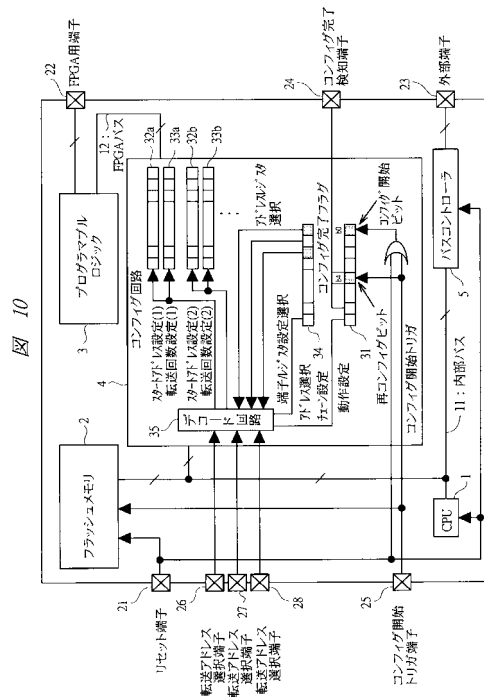
【 図 9 】



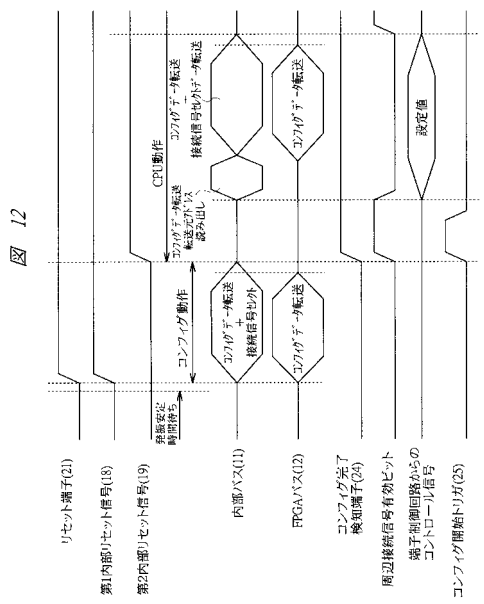
【 図 11 】



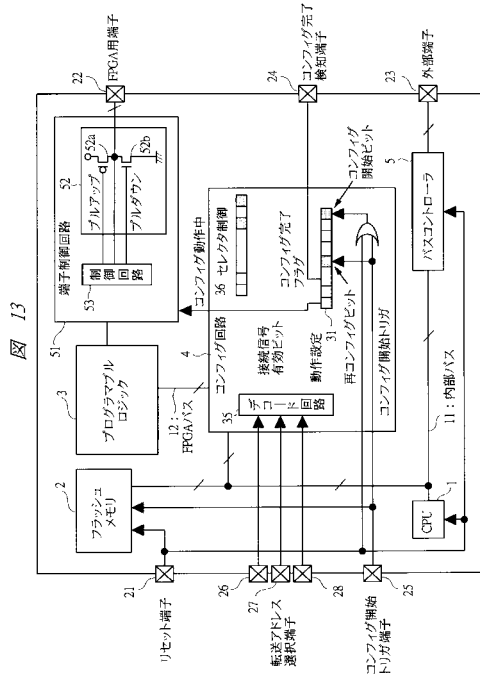
【 図 10 】



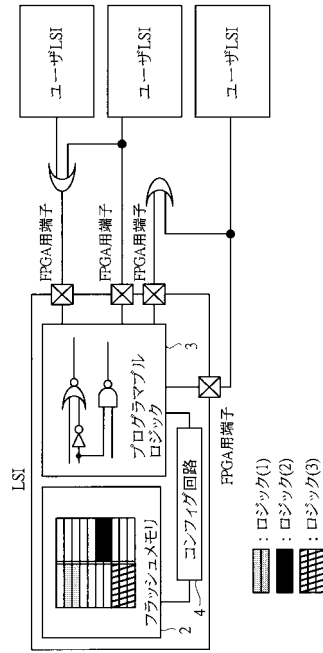
【 図 12 】



【 図 13 】



【 図 14 】



【 図 15 】

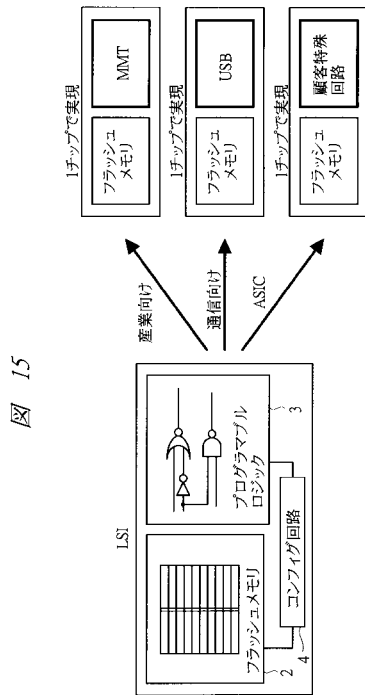
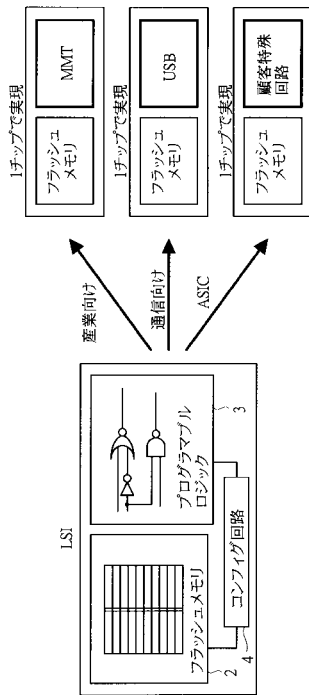


図 15



- : ロジック(1)
- : ロジック(2)
- : ロジック(3)

---

フロントページの続き

- (56)参考文献 特開平08-328824(JP,A)  
特表2001-508202(JP,A)  
渡邊鼎,86 モトローラのCORE+技術,1998年,検索日:平成18年9月22日,URL,  
<http://www.din.or.jp/kwat/ih86.html>  
末吉敏則,新しい局面を迎えたFPGA/PLD: 低価格化,高速化,高集積化,低消費電力  
化を達成するFPGA/PLDデバイス,日経エレクトロニクス,1998年5月18日,第  
716号,p.168~176
- (58)調査した分野(Int.Cl.,DB名)  
H03K 19/173  
G06F 15/78