



(12)发明专利

(10)授权公告号 CN 103368553 B

(45)授权公告日 2018.04.27

(21)申请号 201210101819.8

(22)申请日 2012.04.10

(65)同一申请的已公布的文献号
申请公布号 CN 103368553 A

(43)申请公布日 2013.10.23

(73)专利权人 深圳市中兴微电子技术有限公司
地址 518083 广东省深圳市盐田区大梅沙1号厂房

(72)发明人 易生涛

(74)专利代理机构 北京安信方达知识产权代理有限公司 11262

代理人 田红娟 龙洪

(51)Int.Cl.

H03K 19/003(2006.01)

(56)对比文件

- CN 1913507 A, 2007.02.14,
- CN 1913507 A, 2007.02.14,
- CN 101036296 A, 2007.09.12,
- CN 10174136 A, 2010.06.16,
- US 2010/0321069 A1, 2010.12.23,

审查员 吴一帆

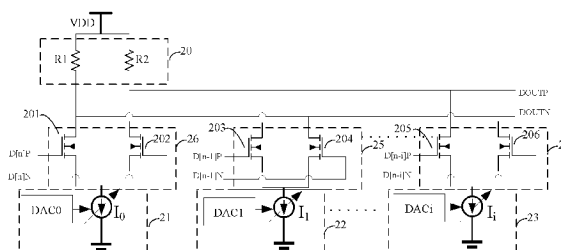
权利要求书1页 说明书3页 附图1页

(54)发明名称

半速率预加重电路

(57)摘要

本发明揭示了一种半速率预加重电路,包括 $i+1$ 个电流源 I_0, I_1, \dots, I_i , $i+1$ 个选择电路第一选择电路、第二选择电路、 \dots 、第 $i+1$ 选择电路和负载电路,所述第一选择电路、第二选择电路、 \dots 、第 $i+1$ 选择电路分别将所述电流源 I_0, I_1, \dots, I_i 选择性地连接至第一输出端或第二输出端; i 为大于或等于2的自然数;其中,所述第一选择电路、第二选择电路、 \dots 、第 $i+1$ 选择电路通过所述电流源 I_0, I_1, \dots, I_i 选择性地组合至所述第一输出端和第二输出端而预加重传输信号。本发明提出的半速率预加重电路,实现了传输信号的预加重和去加重。



1. 一种半速率预加重电路,其特征在於,包括 $i+1$ 个电流源 I_0, I_1, \dots, I_i , $i+1$ 个选择电路第一选择电路、第二选择电路、...、第 $i+1$ 选择电路和负载电路,所述第一选择电路、第二选择电路、...、第 $i+1$ 选择电路分别将所述电流源 I_0, I_1, \dots, I_i 选择性地连接至第一输出端或第二输出端; i 为大于或等于2的自然数;还包括半速率采样电路,用于接收2路差分信号,并输出 $i+1$ 个差分信号 $D[n], D[n-1], \dots, D[n-i]$ 作为传输信号至所述第一选择电路、第二选择电路、...、第 $i+1$ 选择电路,相邻两个差分信号之间延时一个周期;

其中,所述第一选择电路、第二选择电路、...、第 $i+1$ 选择电路通过所述电流源 I_0, I_1, \dots, I_i 选择性地组合至所述第一输出端和第二输出端而预加重传输信号,具体为:固定电流源 I_0 的电流值,改变所述电流源 I_1, \dots, I_i 的电流值实现传输信号预加重;

所述第一选择电路、第二选择电路、...、第 $i+1$ 选择电路通过所述电流源 I_0, I_1, \dots, I_i 选择性地组合至所述第一输出端和第二输出端而去加重传输信号具体为:固定所述电流源 I_1, \dots, I_i 的总电流值,减少电流源 I_0 的电流值。

2. 如权利要求1所述的半速率预加重电路,其特征在於,

根据所述传输信号的权重调整所述电流源 I_1, \dots, I_i 的电流值,其中,所述电流源 I_1, \dots, I_i 的电流值调整的总和等于所述电流源 I_0 的电流值减少的值。

3. 如权利要求1所述的半速率预加重电路,其特征在於,所述电流源 I_0, I_1, \dots, I_i 的输出端接地,所述电流源 I_0, I_1, \dots, I_i 的输入端分别连接所述第一选择电路、第二选择电路、...、第 $i+1$ 选择电路;或者,

所述电流源 I_0, I_1, \dots, I_i 的输入端接电源,所述电流源 I_0, I_1, \dots, I_i 的输出端分别连接所述第一选择电路、第二选择电路、...、第 $i+1$ 选择电路;以及,

所述第一选择电路、第二选择电路、...、第 $i+1$ 选择电路通过并联电路连接至所述第一输出端和第二输出端。

4. 如权利要求1所述的半速率预加重电路,其特征在於,还包括 $i+1$ 个调节电路第一调节电路、第二调节电路、...、第 $i+1$ 调节电路,用于调节所述电流源 I_0, I_1, \dots, I_i 的电流值。

5. 如权利要求4所述的半速率预加重电路,其特征在於,所述调节电路为数模转换器。

6. 如权利要求1所述的半速率预加重电路,其特征在於,所述半速率采样电路包括 $2i+5$ 个锁存器和 $i+1$ 二选一选择器。

半速率预加重电路

技术领域

[0001] 本发明涉及到通信领域,尤其涉及一种半速率预加重电路。

背景技术

[0002] 在很高的频率(GHz以上)和低压(1V左右)下,高频信号在信道传输中的衰减很明显。为了补偿信道传输中的高频信号衰减,可以采取信号预加重或者去加重的方法,对传输数据中的高频部分进行补偿或者对低频进行衰减,使得接收到的高频和低频信号的幅度一致,获得比较好的信号眼图。传统的预加重电路只能在全速率应用中,实现单独的预加重或者去加重功能,现有技术还没有在半速率应用中实现预加重或去加重。

发明内容

[0003] 本发明的主要目的为提供一种半速率预加重电路,实现传输信号的预加重或去加重。

[0004] 本发明提出一种半速率预加重电路,包括 $i+1$ 个电流源 I_0, I_1, \dots, I_i , $i+1$ 个选择电路第一选择电路、第二选择电路、 \dots 、第 $i+1$ 选择电路和负载电路,所述第一选择电路、第二选择电路、 \dots 、第 $i+1$ 选择电路分别将所述电流源 I_0, I_1, \dots, I_i 选择性地连接至第一输出端或第二输出端; i 为大于或等于2的自然数;

[0005] 其中,所述第一选择电路、第二选择电路、 \dots 、第 $i+1$ 选择电路通过所述电流源 I_0, I_1, \dots, I_i 选择性地组合至所述第一输出端和第二输出端而预加重传输信号。

[0006] 优选地,所述第一选择电路、第二选择电路、 \dots 、第 $i+1$ 选择电路通过所述电流源 I_0, I_1, \dots, I_i 选择性地组合至所述第一输出端和第二输出端而预加重传输信号具体为:

[0007] 固定电流源 I_0 的电流值,改变所述电流源 I_1, \dots, I_i 的电流值实现传输信号预加重。

[0008] 优选地,所述第一选择电路、第二选择电路、 \dots 、第 $i+1$ 选择电路通过所述电流源 I_0, I_1, \dots, I_i 选择性地组合至所述第一输出端和第二输出端而去加重传输信号。

[0009] 优选地,所述第一选择电路、第二选择电路、 \dots 、第 $i+1$ 选择电路通过所述电流源 I_0, I_1, \dots, I_i 选择性地组合至所述第一输出端和第二输出端而去加重传输信号具体为:

[0010] 固定所述电流源 I_1, \dots, I_i 的总电流值,减少电流源 I_0 的电流值;

[0011] 根据所述传输信号的权重调整所述电流源 I_1, \dots, I_i 的电流值,其中,所述电流源 I_1, \dots, I_i 的电流值调整的总和等于所述电流源 I_0 的电流值减少的值。

[0012] 优选地,所述电流源 I_0, I_1, \dots, I_i 的输出端接地,所述电流源 I_0, I_1, \dots, I_i 的输入端分别连接所述第一选择电路、第二选择电路、 \dots 、第 $i+1$ 选择电路;或者,

[0013] 所述电流源 I_0, I_1, \dots, I_i 的输入端接电源,所述电流源 I_0, I_1, \dots, I_i 的输出端分别连接所述第一选择电路、第二选择电路、 \dots 、第 $i+1$ 选择电路;以及,

[0014] 所述第一选择电路、第二选择电路、 \dots 、第 $i+1$ 选择电路通过并联电路连接至所述第一输出端和第二输出端。

[0015] 优选地,还包括*i*+1个调节电路第一调节电路、第二调节电路、...、第*i*+1调节电路,用于调节所述电流源 I_0 、 I_1 、...、 I_i 的电流值。

[0016] 优选地,所述调节电路为数模转换器。

[0017] 优选地,还包括半速率采样电路,用于接收2路差分信号,并输出*i*+1个差分信号 $D[n]$ 、 $D[n-1]$ 、...、 $D[n-i]$ 作为所述传输信号至所述第一选择电路、第二选择电路、...、第*i*+1选择电路,相邻两个差分信号之间延时一个周期。

[0018] 优选地,所述半速率采样电路包括 $2i+5$ 个锁存器和*i*+1二选一选择器。

[0019] 本发明提出一种半速率预加重电路,应用于半速率、高速低电压下的预加重/去加重。传统的预加重电路只能在全速率应用中,实现单独的预加重或者去加重功能,本发明通过改变尾电流的配置方式,既能实现预加重,同时可以实现去加重的功能。同时本方案采用半速率模式,降低了系统的要求,大大降低系统的功耗。

附图说明

[0020] 图1为本发明半速率预加重电路一实施例的半速率采样电路图;

[0021] 图2为本发明半速率预加重电路一实施例的结构示意图;

[0022] 图3为本发明半速率预加重电路一实施例的预加重和去加重效果图。

[0023] 本发明目的的实现、功能特点及优点将结合实施例,参照附图做进一步说明。

具体实施方式

[0024] 应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0025] 参照图1、图2,提出本发明半速率预加重电路一实施例,图1所示为半速率采样电路,包括锁存器 $Latch_{110}$ 、 $Latch_{211}$ 、...、 $Latch_{i+618}$ 以及二选一选择器 Max_{n110} 、 Max_{n-1111} 、...、 Max_{n-i112} , $D1$ 和 $D0$ 为两路并行输入数据,CLK为半速率时钟,作为半速率采样电路的时钟控制信号。 $D1$ 、 $D0$ 和CLK均为差分信号,本实施例的图1仅为单端示意图。 $D1$ 、 $D0$ 分别连接 $Latch_{110}$ 、 $Latch_{312}$ 的输入端, $Latch_{110}$ 、 $Latch_{312}$ 分别输出至 $Latch_{211}$ 、 $Latch_{413}$, $Latch_{413}$ 输出到 $Latch_{514}$ 。 $Latch_{211}$ 、 $Latch_{514}$ 的输出端分别连接 Max_{n110} , Max_{n110} 输出信号 $D[n]$,同时 $Latch_{211}$ 、 $Latch_{514}$ 的输出端还接到 $Latch_{616}$ 、 $Latch_{715}$ 。 $Latch_{616}$ 、 $Latch_{715}$ 的输出端连接至 Max_{n-1111} , Max_{n-1111} 输出信号 $D[n-1]$,同时 $Latch_{616}$ 、 $Latch_{715}$ 的输出端连接到后级Latch,以此类推,最后第*i*级输出到信号 $D[n-i]$ 。

[0026] 上述半速率采样电路实现一个半速率的采样功能,同时得到*i*+1个分别延时1个周期、2个周期...*i*个周期的延时信号 $D[n]$ 、 $D[n-1]$ 、...、 $D[n-i]$ 。图1中两路并行数据 $D0$ 和 $D1$,最高频率为 f_0 ,时钟频率为 $2f_0$,分别通过 $Latch_{110}$ 、 $Latch_{211}$ 2个Latch以及 $Latch_{312}$ 、 $Latch_{413}$ 、 $Latch_{514}$ 3个Latch产生半个周期的延时,再通过 Max_{n110} 、 Max_{n-1111} 、...、 Max_{n-i112} 分别进行选择输出为1路的数据 $D[n]$ 、 $D[n-1]$ 、...、 $D[n-i]$,输出数据的最高频率为 $2f_0$, $D[n]$ 、 $D[n-1]$ 、...、 $D[n-i]$ 之间分别相差 $1/2f_0$ 的时间,如此实现了一个半速率的采样功能。

[0027] 图1所示仅为本实施例实现半速率采样功能的示例之一,其它本领域技术人员可以考虑到的能够实现半速率采样功能的电路结构同样适用于本实施例。

[0028] 图2所示之半速率预加重电路包括负载电路20,*i*+1个选择电路第一选择电路26、

第二选择电路25、...、第 $i+1$ 选择电路24, $i+1$ 个电流源模块第一电流源模块21、第二电流源模块22、...、第 $i+1$ 电流源模块23, 所述第一电流源模块21、第二电流源模块22、...、第 $i+1$ 电流源模块23分别包括电流源 I_0 、 I_1 、...、 I_i 以及分别调节所述电流源 I_0 、 I_1 、...、 I_i 的 $i+1$ 个调节电路第一调节电路、第二调节电路、...、第 $i+1$ 调节电路, 上述调节电路可以为DAC。

[0029] 电流源 I_0 、 I_1 、...、 I_i 的输出端接地, 输入端分别连接所述第一选择电路26、第二选择电路25、...、第 $i+1$ 选择电路24; 或者, 电流源 I_0 、 I_1 、...、 I_i 的输入端接电源, 输出端分别连接所述第一选择电路26、第二选择电路25、...、第 $i+1$ 选择电路24; 且所述第一选择电路26、第二选择电路25、...、第 $i+1$ 选择电路24通过并联电路连接至所述第一输出端DOUTP和第二输出端DOUTN。

[0030] 上述第一选择电路26、第二选择电路25、...、第 $i+1$ 选择电路24可分别由两个NMOS管构成, 也可以由其它本领域技术人员可以想到的电路构成如单刀双掷开关等, 不仅限于NMOS管, 本实施例以NMOS管为例进行说明。

[0031] 负载电路20包括电阻R1和R2, 电阻R1一端接电源VDD, 另一端连接第二输出端DOUTN, 电阻R2一端接电源VDD, 另一端连接第一输出端DOUTP。

[0032] 经过图1采样得到的差分信号 $D[n]$ 、 $D[n-1]$ 、...、 $D[n-i]$ 分别输入图2中 $D[n]P$ 、 $D[n]N$ 、 $D[n-1]P$ 、 $D[n-1]N$ 、...、 $D[n-i]P$ 、 $D[n-i]N$, 所述 $D[n]P$ 、 $D[n]N$ 、 $D[n-1]P$ 、 $D[n-1]N$ 、...、 $D[n-i]P$ 、 $D[n-i]N$ 分别连接在第一NMOS管201、第二NMOS管202、第三NMOS管203、第四NMOS管204、第 $2i$ NMOS管205、第 $2(i+1)$ NMOS管206的栅极。第一NMOS管201、第二NMOS管202的漏极与电流源 I_0 的输入端连接, 第三NMOS管203、第四NMOS管204的漏极连接电流源 I_1 的输入端, 依次类推, 第 $2i$ NMOS管205、第 $2(i+1)$ NMOS管206的漏极连接电流源 I_i 的输入端。第一NMOS管201、第四NMOS管204、第 $2(i+1)$ NMOS管206的源极连接第二输出端DOUTN, 第二NMOS管202、第三NMOS管203、第 $2i$ NMOS管205的源极连接第一输出端DOUTP。

[0033] 图2所示半速率预加重电路实现对差分信号 $D[n]$ 、 $D[n-1]$ 、...、 $D[n-i]$ 预加重或去加重的功能。实现预加重或去加重主要通过调节电流源 I_0 、 I_1 、...、 I_i 的电流 i_0 、 i_1 、...、 i_i 实现。电流源 I_0 、 I_1 、...、 I_i 分别通过 $i+1$ 个DAC控制, 不进行预加重或者去加重时, 电流源 I_0 的电流值 i_0 为某一特定值, i_1 、...、 i_i 均为0。根据 $D[n-1]$ 、...、 $D[n-i]$ 权重的不同, 采用数字控制可以得到不同的电流值, 实现不同程度的预加重或者去加重。实现预加重功能时, 保持 i_0 不变, 只是改变 i_1 、...、 i_i 的值, 可以得到类似图3所示的预加重波形。实现去加重功能时, 保持 i_0 、 i_1 、...、 i_i 的总电流值不变, 减小电流源 I_0 电流值 i_0 , i_0 减小的量按 $D[n-1]$ 、...、 $D[n-i]$ 权重分配给 i_1 、...、 i_i , 可以保证高频数据摆幅最大, 低频数据摆幅按权重降低, 去加重的波形如图3所示。经信道衰减后, 高频部分和低频部分摆幅趋于一致。

[0034] 本发明提出一种半速率预加重电路, 应用于半速率、高速低电压下的预加重/去加重。传统的预加重电路只能在全速率应用中, 实现单独的预加重或者去加重功能, 本发明通过改变尾电流的配置方式, 既能实现预加重, 同时可以实现去加重的功能。同时本方案采用半速率模式, 降低了系统的要求, 大大降低系统的功耗。

[0035] 以上所述仅为本发明的优选实施例, 并非因此限制本发明的专利范围, 凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换, 或直接或间接运用在其他相关的技术领域, 均同理包括在本发明的专利保护范围内。

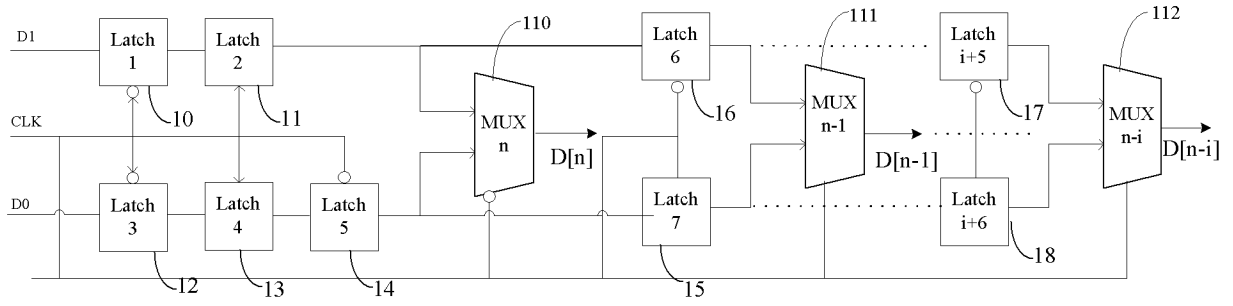


图1

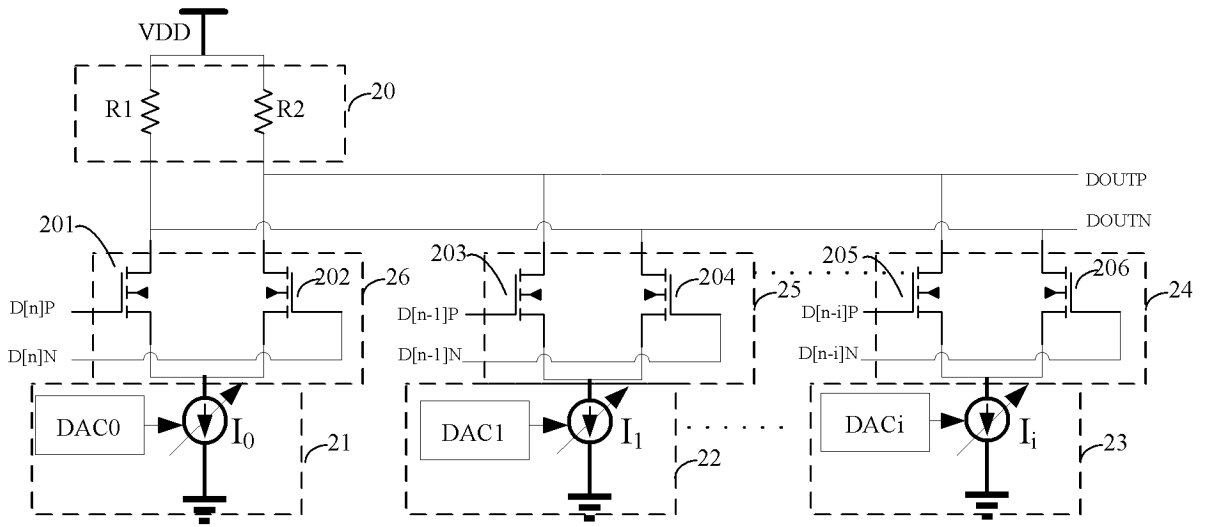


图2

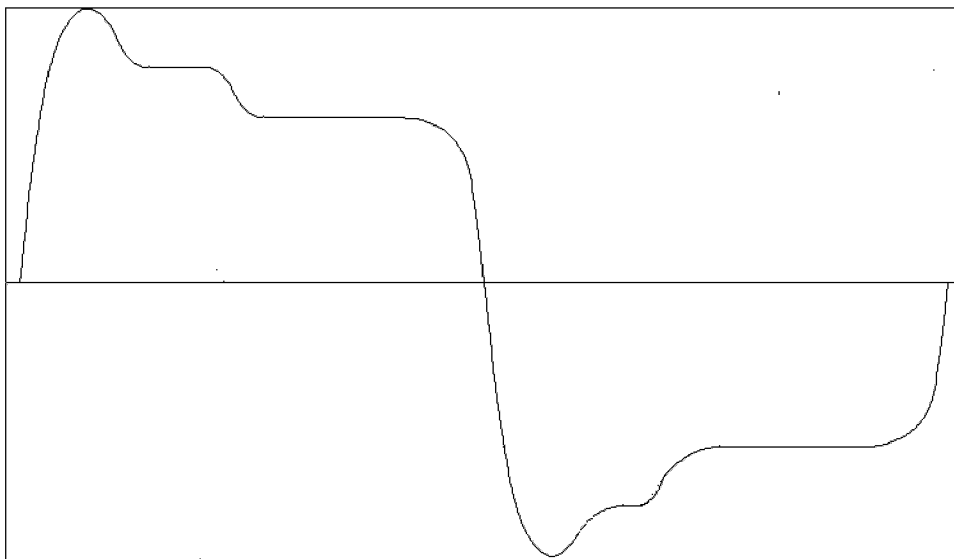


图3