



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년07월05일
 (11) 등록번호 10-0967779
 (24) 등록일자 2010년06월25일

(51) Int. Cl.
 H01L 21/18 (2006.01) H03F 1/07 (2006.01)
 H01L 21/336 (2006.01)
 (21) 출원번호 10-2008-0017016
 (22) 출원일자 2008년02월26일
 심사청구일자 2008년02월26일
 (65) 공개번호 10-2008-0079604
 (43) 공개일자 2008년09월01일
 (30) 우선권주장
 JP-P-2007-00048053 2007년02월27일 일본(JP)
 (56) 선행기술조사문헌
 Journal*
 W02000065663 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
후지쯔 가부시끼가이샤
 일본국 가나가와켄 가와사키시 나카하라꾸 가미고
 다나카 4초메 1-1
 (72) 발명자
깃가와 도시히데
 일본 가나가와켄 가와사키시 나카하라꾸 가미고다
 나카 4초메 1-1후지쯔 가부시끼가이샤 내
이마니시 겐지
 일본 가나가와켄 가와사키시 나카하라꾸 가미고다
 나카 4초메 1-1후지쯔 가부시끼가이샤 내
 (74) 대리인
성재동, 장수길

전체 청구항 수 : 총 7 항

심사관 : 심병로

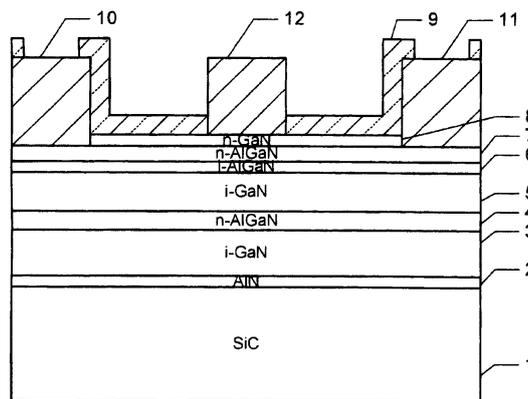
(54) 화합물 반도체 장치 및 그것을 이용한 도허티 증폭기

(57) 요약

본 발명의 과제는 백 오프 영역에서 동작하고 있을 때의 이득을 억제할 수 있어, 피크 증폭기에 바람직하게 적용될 수 있는 화합물 반도체 장치를 제공하는 것이다.

화합물 반도체 재료로 이루어지는 하측 전자 주행층(3) 상에, n형으로 도핑되고, 하측 전자 주행층보다도 전자 친화력이 작은 화합물 반도체 재료로 이루어지는 하측 전자 공급층(4)이 배치되어 있다. 하측 전자 공급층 상에, 상기 하측 전자 공급층보다도 도핑 농도가 낮거나, 또는 논도프 화합물 반도체 재료로 이루어지는 상측 전자 주행층(5)이 배치되어 있다. 상측 전자 주행층 상에, 상기 상측 전자 주행층보다도 전자 친화력이 작은 n형 화합물 반도체 재료로 이루어지는 상측 전자 공급층(7)이 배치되어 있다. 상측 전자 공급층 상에, 서로 이격하여 배치되고, 하측 전자 주행층 및 상측 전자 주행층에 오믹으로 접촉되는 소스 전극 및 드레인 전극이 배치되어 있다. 소스 전극과 드레인 전극 사이의, 상측 전자 공급층 상에 게이트 전극이 배치되어 있다.

대표도 - 도2



특허청구의 범위

청구항 1

화합물 반도체 재료로 이루어지는 하측 전자 주행층과,

상기 하측 전자 주행층 상에 배치되고, n형으로 도핑되고, 상기 하측 전자 주행층보다도 전자 친화력이 작은 화합물 반도체 재료로 이루어지는 하측 전자 공급층과,

상기 하측 전자 공급층 상에 배치되고, 상기 하측 전자 공급층보다도 도핑 농도가 낮거나, 또는 논도프 화합물 반도체 재료로 이루어지는 상측 전자 주행층과,

상기 상측 전자 주행층 상에 배치되고, 상기 상측 전자 주행층보다도 전자 친화력이 작은 n형 화합물 반도체 재료로 이루어지는 상측 전자 공급층과,

상기 상측 전자 공급층 상에, 서로 이격하여 배치되고, 상기 하측 전자 주행층 및 상측 전자 주행층에 오믹으로 접속되는 소스 전극 및 드레인 전극과,

상기 소스 전극과 드레인 전극 사이의, 상기 상측 전자 공급층 상에 배치된 게이트 전극을 갖고,

상기 하측 전자 주행층 및 상측 전자 주행층이, 구성 원소로서 Ga 및 N을 포함하고, 상기 하측 전자 공급층 및 상측 전자 공급층이, 구성 원소로서 Al, Ga 및 N을 포함하고,

상기 하측 전자 공급층의 Al 조성비는, 상기 하측 전자 주행층층에서 높아지고, 상기 상측 전자 주행층층에서 낮아지도록 두께 방향에 관하여 구배를 갖는 화합물 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 하측 전자 공급층의 Al 조성비가, 상기 하측 전자 주행층층에서 0.03 내지 0.07의 범위 내이고, 상기 상측 전자 주행층층에서 0 내지 0.03의 범위 내인 화합물 반도체 장치.

청구항 5

제1항 또는 제4항에 있어서, 상기 하측 전자 공급층의 두께가, 2 nm 내지 50 nm의 범위 내인 화합물 반도체 장치.

청구항 6

제1항 또는 제4항에 있어서, 상기 상측 전자 주행층의 두께가, 5 nm 내지 100 nm의 범위 내인 화합물 반도체 장치.

청구항 7

제1항 또는 제4항에 있어서, 상기 하측 전자 주행층의, 상기 하측 전자 공급층에 접하는 부분에, n형 도펀트가 도프되어 있는 화합물 반도체 장치.

청구항 8

캐리어 증폭기와 피크 증폭기를 포함하는 도허티 증폭기이며,

상기 피크 증폭기가,

화합물 반도체 재료로 이루어지는 하측 전자 주행층과,

상기 하측 전자 주행층 상에 배치되고, n형으로 도핑되고, 상기 하측 전자 주행층보다도 전자 친화력이 작은 화

합물 반도체 재료로 이루어지는 하측 전자 공급층과,

상기 하측 전자 공급층 상에 배치되고, 상기 하측 전자 공급층보다도 도핑 농도가 낮거나, 또는 논도프 화합물 반도체 재료로 이루어지는 상측 전자 주행층과,

상기 상측 전자 주행층 상에 배치되고, 상기 상측 전자 주행층보다도 전자 친화력이 작은 n형 화합물 반도체 재료로 이루어지는 상측 전자 공급층과,

상기 상측 전자 공급층 상에, 서로 이격하여 배치되고, 상기 하측 전자 주행층 및 상측 전자 주행층에 오믹으로 접속되는 소스 전극 및 드레인 전극과,

상기 소스 전극과 드레인 전극 사이의, 상기 상측 전자 공급층 상에 배치된 게이트 전극을 갖는 제1 전계 효과 트랜지스터를 포함하고,

상기 제1 전계 효과 트랜지스터의 게이트 전극에, 상기 상측 전자 주행층과 상기 상측 전자 공급층의 계면에는 채널이 형성되지 않고, 상기 하측 전자 주행층과 상기 하측 전자 공급층의 계면에는 채널이 형성되는 크기의 직류 게이트 바이어스 전압을 인가하는 바이어스 회로를 더 갖는 도허티 증폭기.

청구항 9

삭제

청구항 10

제8항에 있어서, 상기 캐리어 증폭기가,

화합물 반도체 재료로 이루어지는 전자 주행층과,

상기 전자 주행층 상에 배치되고, 상기 전자 주행층보다도 전자 친화력이 작은 화합물 반도체 재료로 이루어지는 전자 공급층과,

상기 전자 주행층에 오믹으로 접속된 소스 전극 및 드레인 전극과,

상기 소스 전극과 드레인 전극 사이의, 상기 전자 공급층 상에 배치된 게이트 전극과,

상기 게이트 전극과 상기 전자 공급층 사이에 배치된 절연 재료로 이루어지는 게이트 절연막을 갖는 제2 전계 효과 트랜지스터를 포함하는 도허티 증폭기.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 화합물 반도체 장치 및 그것을 이용한 도허티 증폭기에 관한 것으로, 특히 전계 효과 트랜지스터를 적용한 도허티 증폭기 및 이 피크 증폭기에 적용 가능한 화합물 반도체 장치에 관한 것이다.

배경기술

[0002] 사파이어, 탄화실리콘(SiC), 질화갈륨(GaN), 또는 실리콘(Si) 등으로 이루어지는 기판 상에, AlGaN/GaN을 결정 성장시키고, GaN층을 전자 주행층으로서 이용하는 전자 소자의 개발이 활발하게 행해지고 있다(예를 들어, 하기 특허 문헌 1). GaN의 밴드 갭은 3.4 eV로, 밴드 갭이 1.4 eV인 GaAs에 비해 고내압에서의 동작이 기대되고 있다. GaN을 이용한 고내압의 고전자 이동도 트랜지스터(HEMT)를 증폭기로서 이용하면, 전류 전압 특성을 나타내는 그래프상에 있어서, 큰 부하 임피던스에 대응하는 부하선상에서의 동작이 가능해진다. 그 결과, 고효율 동작이 가능해진다.

[0003] WiMAX(World interoperability for microwave access)용 기지국용 증폭기에, 종래에 없는 고효율이 요구되고 있다. 고효율을 달성하기 위해, 도허티 증폭기를 이용하는 것이 검토되고 있다(예를 들어, 하기 특허 문헌 2).

[0004] 도1에, 도허티 증폭기의 기본적인 등가 회로도를 도시한다. 입력 단자(Ti)로부터 입력된 고주파 신호가 2개로 분할된 후, 한쪽은 캐리어(메인) 증폭기(100)에 입력되고, 다른 쪽은 1/4 파장 선로(103)를 경유하여, 피크(보

조) 증폭기(101)에 입력된다. 캐리어 증폭기(100)의 출력 단자에 다른 1/4 파장 선로(102)가 접속되어 있다. 캐리어 증폭기(100)의 출력 신호는, 1/4 파장 선로(102)를 통과한 후, 피크 증폭기(101)의 출력 신호와 합성된다. 출력 단자(T_o)에, 부하 임피던스(R_L)가 접속되어 있다. 캐리어 증폭기(100)는 A급 또는 AB급으로 바이어스되어 있고, 피크 증폭기(101)는 캐리어 증폭기(100)보다도 아이들 전류가 적어지도록 바이어스되어 있다.

- [0005] 도9에, 도허티 증폭기의 입출력 특성의 일례를 나타낸다. 도9의 실선 ac 및 파선 ap0가, 각각 캐리어 증폭기(100) 및 피크 증폭기(101)의 입출력 특성을 나타낸다. 실선 at가, 양자를 합성한 도허티 증폭기의 입출력 특성을 나타낸다.
- [0006] 입력 전력이 작아, 백 오프 영역에서 동작하고 있는 경우에는, 주로 캐리어 증폭기(100)가 증폭을 행하여, 출력 신호를 출력한다. 입력 전력이 충분히 커, 캐리어 증폭기(100)의 출력 전력이 거의 포화된 경우에는, 피크 증폭기(101)가 증폭을 행하여, 출력 신호를 출력한다. 백 오프 영역에서 동작하고 있을 때에, 피크 증폭기(101)의 직류 소비 전력이 충분히 작으므로, 도허티 증폭기 전체적인 효율도 높아진다. 또한, 캐리어 증폭기(100)와 피크 증폭기(101)의 출력 신호가 합성됨으로써, 결과적으로 큰 출력 전력을 얻을 수 있다.
- [0007] [특허 문헌 1] 일본 특허 출원 공개 제2006-165207호 공보
- [0008] [특허 문헌 2] 일본 특허 출원 공개 제2006-166141호 공보

발명의 내용

해결 하고자하는 과제

- [0009] 도허티 증폭기의 캐리어 증폭기(100) 및 피크 증폭기(101)에, GaN을 이용한 HEMT를 적용하면, 증폭기의 효율이 기대한 만큼 향상되지 않는 것을 알 수 있었다. 이것은, 피크 증폭기(101)의 아이들 전류를 작게 해도, 그것의 이득 프로파일이 캐리어 증폭기(100)의 이득 프로파일과 근사하기 때문이다. 양자의 이득 프로파일이 근사하면, 백 오프 영역에서 동작하고 있을 때라도, 피크 증폭기(101)의 이득이 커져, 피크 증폭기(101)의 출력 신호의 직류 성분이 커져 버린다. 이로 인해, 효율이 기대한 만큼은 향상되지 않는다.
- [0010] 또한, 캐리어 증폭기(100)가 포화 상태에서 동작하고 있는 기간, 게이트 전극과 기판 사이의 쇼트키 배리어가 저하되어, 순방향 게이트 누설 전류가 커진다. 증폭기에 왜곡 보상을 적용한 경우, 게이트 누설 전류에 의해 왜곡 보상이 파탄되어 버린다.
- [0011] 본 발명의 목적은, 백 오프 영역에서 동작하고 있을 때의 이득을 억제할 수 있어, 피크 증폭기에 바람직하게 적용될 수 있는 화합물 반도체 장치를 제공하는 것이다. 본 발명의 다른 목적은, 이 화합물 반도체 장치를 적용한 도허티 증폭기를 제공하는 것이다. 본 발명의 다른 목적은, 게이트 누설 전류를 억제할 수 있는 화합물 반도체 장치를 캐리어 증폭기에 이용한 도허티 증폭기를 제공하는 것이다.

과제 해결수단

- [0012] 본 발명의 일 관점에 따르면,
- [0013] 화합물 반도체 재료로 이루어지는 하측 전자 주행층과,
- [0014] 상기 하측 전자 주행층 상에 배치되고, n형으로 도핑되고, 상기 하측 전자 주행층보다도 전자 친화력이 작은 화합물 반도체 재료로 이루어지는 하측 전자 공급층과,
- [0015] 상기 하측 전자 공급층 상에 배치되고, 상기 하측 전자 공급층보다도 도핑 농도가 낮거나, 또는 논도프 화합물 반도체 재료로 이루어지는 상측 전자 주행층과,
- [0016] 상기 상측 전자 주행층 상에 배치되고, 상기 상측 전자 주행층보다도 전자 친화력이 작은 n형 화합물 반도체 재료로 이루어지는 상측 전자 공급층과,
- [0017] 상기 상측 전자 공급층 상에, 서로 이격하여 배치되고, 상기 하측 전자 주행층 및 상측 전자 주행층에 오믹으로 접속되는 소스 전극 및 드레인 전극과,
- [0018] 상기 소스 전극과 드레인 전극 사이의, 상기 상측 전자 공급층 상에 배치된 게이트 전극을 갖는 화합물 반도체 장치가 제공된다.
- [0019] 하측 전자 주행층과 하측 전자 공급층의 계면에 전자가 축적되어 하측 채널이 형성되고, 상측 전자 주행층과 상

측 전자 공급층의 계면에 전자가 축적되어 상측 채널이 형성된다. 게이트 전압을 마이너스의 큰 전압으로부터 0에 근접시키면 처음에 하측 채널이 형성되고, 게이트 전압을 0에 더욱 근접시키면 상측 채널이 형성된다.

[0020] 본 발명의 다른 관점에 따르면, 피크 증폭기에 상기 화합물 반도체 장치를 이용한 도허티 증폭기가 제공된다.

[0021] 입력 전력이 작을 때에는, 도허티 증폭기를 구성하는 캐리어 증폭기가 주로 증폭을 행하고, 캐리어 증폭기의 출력 전력이 포화하는 영역에서는 피크 증폭기가 출력 전력의 포화를 보상한다.

효 과

[0022] 입력 전력이 작을 때에, 피크 증폭기의 화합물 반도체 장치에 의해 하측 채널만이 형성되도록 게이트 바이어스 전압을 설정하면, 입력 전력이 작을 때의 피크 증폭기의 이득을 작게 할 수 있다. 입력 전력이 커지면 상측 채널도 형성되어, 피크 증폭기에 의해 큰 이득을 얻을 수 있다. 입력 전력이 작을 때의 피크 증폭기의 이득을 억제하여, 출력 전력의, 피크 증폭기로부터의 직류 성분의 증가를 억제할 수 있으므로, 도허티 증폭기의 효율을 높일 수 있다.

발명의 실시를 위한 구체적인 내용

[0023] 도1에, 제1 실시예에 의한 도허티 증폭기의 등가 회로도를 도시한다. 기본적인 구성에 대해서는 이미 설명하였으므로, 여기서는 중복 설명을 피한다. 캐리어 증폭기(100) 및 피크 증폭기(101)는, 전자 주행층에 GaN을 이용한 HEMT를 포함한다. 바이어스 회로(104 및 105)가, 각각 캐리어 증폭기(100) 및 피크 증폭기(101)를 구성하는 HEMT의 게이트 전극에 직류 게이트 바이어스 전압을 인가한다.

[0024] 도2에, 피크 증폭기(101)에 적용되는 HEMT의 단면도를 도시한다. 단결정 SiC로 이루어지는 기판(1) 상에, AlN으로 이루어지는 두께 0.3 μm인 하지층(2)이 형성되어 있다. 하지층(2) 상에, 하측 전자 주행층(3), 하측 전자 공급층(4), 상측 전자 주행층(5), 논도프층(6), 상측 전자 공급층(7)이 이 순서로 적층되어 있다.

[0025] 하측 전자 주행층(3)은 논도프 GaN으로 형성되어 있고, 그 두께는 3 μm이다. 하측 전자 공급층(4)은 하측 전자 주행층(3)보다도 전자 친화력이 작은 화합물 반도체 재료, 구체적으로는 Si가 $2 \times 10^{18} \text{ cm}^{-3}$ 만큼 도프된 n형 AlGaN으로 형성되어 있고, 그 두께는 20 nm이다. 하측 전자 주행층(3)에 접하는 부분의 Al 조성비는 0.05이고, 알아짐에 따라서 Al 조성비가 감소하여, 상측 전자 주행층(5)에 접하는 부분의 Al 조성비는 0.02이다.

[0026] 상측 전자 주행층(5)은 논도프 GaN으로 형성되어 있고, 그 두께는 50 nm이다. 논도프층(6)은 논도프 Al_{0.25}Ga_{0.75}N으로 형성되어 있고, 그 두께는 5 nm이다. 상측 전자 공급층(7)은 상측 전자 주행층(5)보다도 전자 친화력이 작은 화합물 반도체 재료, 구체적으로는 Si가 $4 \times 10^{18} \text{ cm}^{-3}$ 만큼 도프된 n형 Al_{0.25}Ga_{0.75}N으로 형성되어 있고, 그 두께는 20 nm이다.

[0027] 상측 전자 공급층(7)의 일부 영역 상에, 소스 전극(10) 및 드레인 전극(11)이, 서로 이격하여 배치되어 있다. 소스 전극(10) 및 드레인 전극(11)은, 상측 전자 공급층(7)에 접하는 Ta층 및 그 위에 배치된 Al층으로 이루어지는 층 구조를 갖고, 하측 전자 주행층(3) 및 상측 전자 주행층(5)에 오믹으로 접속된다. 또한, Ta층과 Al층의 계면에, 상호 확산에 의해 TaAl₃층이 형성되어 있다.

[0028] 소스 전극(10)과 드레인 전극(11) 사이의 상측 전자 공급층(7)의 표면이, 보호층(8)으로 덮여 있다. 보호층(8)은 Si가 $5 \times 10^{18} \text{ cm}^{-3}$ 만큼 도프된 n형 GaN으로 형성되어 있고, 그 두께는 7 nm이다.

[0029] 보호층(8)의 일부 영역 상에, 소스 전극(10) 및 드레인 전극(11) 모두로부터 이격하여, 게이트 전극(12)이 배치되어 있다. 게이트 전극(12)은, 보호층(8)에 접하는 Ni층과, 그 위에 배치된 Au층의 2층 구조를 갖는다. 게이트 길이[도2에 있어서, 게이트 전극(12)의 횡방향 치수]는, 0.5 μm, 유닛 게이트 폭은 300 μm로 하였다. 「유닛 게이트 폭」이라 함은, 게이트 전극에 의해 2차원 전자 가스의 농도가 제어되는 영역의 폭을 의미한다. 게이트 전극(12)과 소스 전극(10) 사이의 보호층(8)의 표면 및 게이트 전극(12)과 드레인 전극(11) 사이의 보호층(8)의 표면이, 절연층(9)으로 덮여 있다. 절연층(9)은 SiN으로 형성되어 있다.

[0030] 다음에, 도3a 내지 도3d를 참조하여, 제1 실시예에 의한 HEMT의 제조 방법에 대해 설명한다.

[0031] 도3a에 도시하는 바와 같이, 단결정 SiC로 이루어지는 기판(1) 상에, 하지층(2)으로부터 보호층(8)까지의 각 층을, 유기 금속 기상 에피택셜(MOVPE)에 의해 성장시킨다. 예를 들어, Al 원료로서 트리메틸알루미늄, Ga 원료

로서 트리메틸갈륨, N 원료로서 암모니아, Si 도펀트 원료로서 실란을 이용한다.

- [0032] 도3b에 도시하는 상태에 이르기까지의 공정에 대해, 이하에 설명한다. 보호층(8) 상에 레지스트막을 형성하고, 노광 및 현상을 행함으로써, 소스 전극(10) 및 드레인 전극(11)에 대응하는 개구를 형성한다. 전체면에, 두께 10 nm인 Ta막 및 두께 280 nm인 Al막을, 증착에 의해 퇴적시킨다. 레지스트막을 박리함으로써, 소스 전극(10) 및 드레인 전극(11) 이외의 영역의 Ta막 및 Al막을 제거한다.
- [0033] 계속해서, 급속 열처리(Rapid Thermal Anneal)(RTA) 장치를 이용하여, 질소 분위기하에서, 550 °C로 1분간의 열처리를 행한다. 이 열처리에 의해, Ta막과 Al막의 계면에, TaAl₃막이 형성된다.
- [0034] 도3c에 도시하는 바와 같이, 플라즈마 화학 기상 성장(PE-CVD)에 의해, 전체면에 SiN으로 이루어지는 절연막(9)을 형성한다.
- [0035] 도3d에 도시하는 상태에 이르기까지의 공정에 대해, 이하에 설명한다. 절연층(9) 상에, 레지스트막을 형성하고, 노광 및 현상을 행하여, 게이트 전극(12)에 대응하는 개구를 형성한다. 전체면에, 두께 10 nm인 Ni막과, 두께 200 nm인 Au막을 차례로 퇴적시킨다. 계속해서, 레지스트막을, 그 위에 퇴적되어 있는 Ni막 및 Au막과 함께 박리한다. 이에 의해, Ni막과 Au막의 2층 구조를 갖는 게이트 전극(12)이 형성된다.
- [0036] 그 후, 도2에 도시하는 바와 같이 절연막(9)에 개구를 형성함으로써, 소스 전극(10) 및 드레인 전극(11)의 상면을 노출시킨다. 마지막으로, 리세스 에칭(recess etching)에 의해 소자 분리를 행한다.
- [0037] 도4에, 도2에 도시한 HEMT의 에너지 밴드도를 도시한다. 횡축은, HEMT의 각 층의 깊이 방향을 나타내고, 종축은 전자의 포텐셜을 나타낸다. 도면 중 곡선은, 전도대 하단의 포텐셜을 나타낸다. 일점 쇄선 Ef는, 페르미 준위를 나타낸다. 상측 전자 공급층(7)과 보호층(8)의 계면, 상측 전자 주행층(5)과 논도프층(6)의 계면 및 하측 전자 주행층(3)과 하측 전자 공급층(4)의 계면에, 격자 부정합에 기인하는 압전 전하(piezoelectric charge)가 축적된다. 이로 인해, 이들 계면의 양측에 있어서, 전도대 하단의 기울기는 동일해지지 않는다.
- [0038] 상측 전자 주행층(5)과 논도프층(6)의 계면에 전자가 축적됨으로써, 2차원 전자 가스로 구성되는 상측 채널(CH0)이 형성된다. 또한, 하측 전자 주행층(3)과 하측 전자 공급층(4)의 계면에 전자가 축적됨으로써, 2차원 전자 가스로 구성되는 하측 채널(CH1)이 형성된다.
- [0039] 제1 실시예에 의한 HEMT에서는, 게이트 전압이 0인 상태에서, 하측 채널(CH1)의 2차원 전자 가스 농도가, 상측 채널(CH0)의 2차원 전자 가스 농도의 5 % 이하가 된다. 또한, 하측 채널(CH1)의 2차원 전자 가스의 이동도는, 1000 cm²/Vs 이상이 된다.
- [0040] 도5에, 도2에 도시한 제1 실시예에 의한 HEMT의 게이트 전압(Vg)-드레인 전류(Id) 특성의 일례를 나타낸다. 횡축은 게이트 전압(Vg)을 단위 「V」로 나타내고, 종축은 드레인 전류(Id)를 임의의 눈금으로 나타낸다. 도5의 굵은 선 cp가, 도2에 나타낸 HEMT의 특성을 나타낸다. 참고를 위해, 하측 전자 공급층(4) 및 상측 전자 주행층(5)이 배치되지 않고, 하측 전자 주행층(3)과 논도프층(6)이 접하는 일반적인 HEMT(이하, 「비교예의 HEMT」라 함)의 특성을 가는 선 cc로 나타낸다. 이 일반적인 HEMT에 있어서는, 하측 전자 주행층(3)과 논도프층(6)의 계면에 2차원 전자 가스로 구성된 채널이 형성된다. 또한, 게이트 길이를 0.8 μm, 유닛 게이트 폭을 400 μm로 하였다.
- [0041] 게이트 전압(Vg)을 마이너스의 큰 전압으로부터 서서히 0에 근접시키는 경우를 고려한다. 제1 실시예에 의한 HEMT에 있어서는, 곡선 cp로 나타내는 바와 같이 게이트 전압(Vg)이 약 -2.25 V를 초과하면, 도4에 도시한 하측 채널(CH1)이 형성됨으로써 드레인 전류(Id)가 흐르기 시작한다. 또한, 게이트 전압(Vg)을 크게 하면, 드레인 전류(Id)는 일단 포화된다. 게이트 전압(Vg)이 약 -1.6 V 이상인 범위에서는, 상측 채널(CH0)이 형성됨으로써 게이트 전압(Vg)의 증가에 따라서 드레인 전류(Id)도 증가한다. 도5에서는, 게이트 전압(Vg)이 -1 V까지의 범위밖에 나타내어져 있지 않지만, 게이트 전압(Vg)을 보다 높게 하면, 드레인 전류는 최종적으로 포화된다.
- [0042] 게이트 전압(Vg)이 -1.6 V 내지 -1 V인 범위의 그래프의 기울기는, 게이트 전압(Vg)이 -1.6 V 이하인 범위의 그래프의 기울기보다도 가파르다. 하측 채널(CH1)만이 도통하고 있을 때의 포화 전류가, 상측 채널(CH0)도 도통하였을 때의 포화 전류보다도 작은 것은, 하측 채널(CH1)의 2차원 전자 가스 농도가, 상측 채널(CH0)의 2차원 전자 가스 농도에 비해 충분히 낮기 때문이다.
- [0043] 이에 대해, 하측 채널(CH1)이 형성되지 않는 비교예의 HEMT에 있어서는, 곡선 cc로 나타내는 바와 같이 게이트 전압(Vg)이 약 -1.6 V에 도달할 때까지는, 거의 드레인 전류(Id)가 흐르지 않는다. 게이트 전압(Vg)이 약 -1.6

V 이상인 범위에 있어서, 제1 실시예의 HEMT와 마찬가지로, 게이트 전압(V_g)의 증가에 따라서 드레인 전류(I_d)도 증가한다.

- [0044] 이로 인해, 제1 실시예의 HEMT에 있어서는, 게이트 전압-드레인 전류 특성을 나타내는 그래프가, 완만한 하향 곡선 형상이 된다.
- [0045] 교류의 입력 전압이 없을 때의 드레인 전류(아이들 전류)(I_a)가, 하측 채널(CH1)에 의한 포화 전류보다도 작아지도록, 게이트 바이어스 전압(V_{gp})을 설정한다. 입력 신호(W_{pi})의 진폭이 작을 때, 실질적으로 하측 채널(CH1)에 의해서만 드레인 전류(I_d)가 흐르고, 출력 신호(W_{po})가 얻어진다.
- [0046] 비교예의 HEMT에 있어서, 아이들 전류(I_a)에 대응하는 게이트 바이어스 전압(V_{gc})은, 게이트 바이어스 전압(V_{gp})보다도 높아진다. 입력 신호(W_{pi})와 동일한 진폭의 신호(W_{ci})가 입력되면, 출력 신호(W_{co})가 얻어진다. 게이트 바이어스 전압(V_{gc})의 근방에 있어서의 곡선 cc의 기울기가, 게이트 바이어스 전압(V_{gp})의 근방에 있어서의 곡선 cp의 기울기보다도 가파르기 때문에, 출력 신호(W_{co})의 진폭이, 출력 신호(W_{po})의 진폭보다도 커져, 드레인 전류(I_d)의 직류 성분도 커진다. 이로 인해, 출력 전력의 직류 성분이 커져, 효율이 저하되어 버린다.
- [0047] 제1 실시예에 의한 HEMT에 있어서는, 입력 신호의 진폭이 작을 때에, 출력 신호의 진폭이 작아지므로, 이득을 작게 하여, 출력 전력의 직류 성분의 증대를 억제할 수 있다.
- [0048] 도5에 나타낸 바와 같이, 입력 신호의 진폭이 작을 때에, 피크 증폭기에 적용되는 HEMT가, 게이트 전압-드레인 전류 특성상의 완만한 하향 곡선 영역에서 동작하도록, 게이트 바이어스 전압을 설정하는 것이 바람직하다. 구체적으로는, 하측 전자 주행층(3) 내에 2차원 전자 가스에 의한 하측 채널(CH1)이 형성되지만, 상측 전자 주행층(5) 내에는 상측 채널(CH0)이 형성되지 않는 정도의 크기의 게이트 바이어스 전압을 인가하는 것이 바람직하다.
- [0049] 입력 신호가 작을 때에 충분한 이득의 저하를 얻기 위해, 게이트 전압-드레인 전류 특성의 완만한 하향 곡선 영역이 넓어지는 구성으로 하는 것이 바람직하다. 예를 들어, 드레인 전류가, 그 포화치의 5%가 되는 게이트 전압과, 그 포화치의 1%가 되는 게이트 전압의 차가 0.5 V 이상이 되는 구성으로 하는 것이 바람직하다.
- [0050] 도6a에, 제1 실시예에 의한 HEMT의 이득과 입력 전력의 관계를, 아이들 전류마다 나타낸다. 비교를 위해, 도6b에, 비교예의 HEMT의 이득과 입력 전력의 관계를, 아이들 전류마다 나타낸다. 횡축은 입력 전력을 단위「dBm」으로 나타내고, 종축은 이득을 단위「dB」로 나타낸다. 도6a에 나타내는 제1 실시예에 있어서는, 13 mA로부터 4.1 mA까지, 아이들 전류를 5단계로 변화시키고, 도6b에 나타내는 비교예에 있어서는 13 mA로부터 1.5 mA까지 아이들 전류를 8단계로 변화시켰다.
- [0051] 제1 실시예에 의한 HEMT에 있어서는, 아이들 전류를 작게 한 경우, 입력 전력이 저하됨에 따라서 이득이 대폭 저하되는 것을 알 수 있다. 아이들 전류를 작게 하면, 도5에 나타낸 게이트 전압-드레인 전류 특성(cp)의 기울기가 완만한 영역에서 동작하도록 되기 때문이다. 예를 들어, 아이들 전류가 4.1 mA가 되도록 게이트 바이어스 전압을 설정한 경우, 입력 전력이 약 10 dBm일 때에 이득이 최대(약 24 dB)가 되고, 입력 전력이 -10 dBm일 때 이득이 약 9 dB가 된다. 이 이득의 차는, 약 15 dB가 된다.
- [0052] 이에 대해, 비교예의 경우에는, 아이들 전류를 작게 해도, 게이트 전압-드레인 전류 특성(cc)의 기울기가 가파른 상태이므로, 이득의 대폭적인 저하가 보이지 않는다. 또한, 아이들 전류가 1.5 mA가 되도록 게이트 바이어스 전압을 설정한 경우, 입력 전력이 -10 dBm일 때의 이득(약 19 dB)과, 최대 이득(약 24 dB)의 차는, 고작 5 dB 정도이다. 즉, 제1 실시예에 의한 HEMT에 있어서는, 아이들 전류를 적절하게 설정함으로써, 입력 전력이 작을 때의 이득과, 입력 전력이 클 때의 이득의 차를 크게 할 수 있다. 예를 들어, 게이트 바이어스 전압을, 드레인 전류가 흐르기 시작하는 전압(도5에 있어서, $V_g = -2.25$ V)으로 설정한 경우의 최대 이득과 최저 이득의 차를 10 dB 이상으로 할 수 있다.
- [0053] 도9에 나타낸 도허티 증폭기의 입출력 특성에 있어서, 제1 실시예에 의한 HEMT를 적용한 피크 증폭기의 입출력 특성을 실선 ap로 나타내고, 비교예의 HEMT를 적용한 피크 증폭기의 입출력 특성을 파선 ap0로 나타낸다. 특히 입력 전력이 작은 영역에 있어서, 제1 실시예에 의한 HEMT를 이용한 피크 증폭기의 출력 전력이, 비교예의 HEMT를 적용한 피크 증폭기의 출력 전력보다도 작다. 이것은, 도6a에서 설명한 바와 같이, 입력 전력이 작을 때의 이득을 억제할 수 있기 때문이다.
- [0054] 제1 실시예에 의한 HEMT를 이용함으로써, 입력 전력이 작을 때의 피크 증폭기의 출력을 억제할 수 있다. 즉, 출력 전력의 직류 성분의 증대를 억제할 수 있다. 이로 인해, 도허티 증폭기 전체의 효율의 향상을 도모하는

것이 가능해진다.

- [0055] 증폭기를 기지국에 적용하는 경우에는, 일반적으로 인접 채널에의 누설 전력을 저감시키기 위해, 증폭기에 왜곡 보상 회로가 조합된다. 왜곡 보상 회로로서, 예를 들어 발생하는 왜곡의 역특성 신호를 미리 가해 뚫으로써, 왜곡 보상을 행하는 디지털 프리디스토션 방식(DPD 방식)이 채용된다. 캐리어 증폭기는, 포화 영역에서 동작하는 빈도가 높다. 이로 인해, 게이트 전압에 큰 플러스의 전압이 인가되어, 게이트 누설 전류가 증가하기 쉽다. 게이트 누설 전류의 증가는, 왜곡 보상을 파탄시키는 요인이 된다. 이로 인해, 출력 전력이 일정 크기를 초과하면, 왜곡 보상이 파탄되어 버린다.
- [0056] 캐리어 증폭기 및 피크 증폭기 양쪽에, 종래의 HEMT를 이용한 도허티 증폭기의, 왜곡 보상 파탄점에 있어서의 효율이 35 %인 데 대해, 피크 증폭기에 제1 실시예에 의한 HEMT를 이용한 도허티 증폭기의 왜곡 보상 파탄점에 있어서의 효율은, 42 %였다. 이와 같이, 도허티 증폭기의 피크 증폭기에, 제1 실시예에 의한 HEMT를 이용함으로써, 도허티 증폭기의 효율을 높일 수 있다.
- [0057] 상기 제1 실시예에 있어서, 하측 전자 공급층(4)의 저면(底面)에 있어서의 Al 조성비를, 0.03 내지 0.07의 범위 내로 하는 것이 바람직하다. Al 조성비를 적게 하면, 하측 채널(CH1)의 2차원 전자 가스의 농도가 낮아지고, Al 조성비를 많게 하면 2차원 전자 가스의 농도가 높아진다. 하측 채널(CH1)의 2차원 전자 가스의 농도가 지나치게 낮아지면, 실질적으로 하측 채널(CH1)이 형성되지 않게 된다. 하측 채널(CH1)의 2차원 전자 가스 농도가 높아지면, 도5에 나타난 하측 채널(CH1)에 의한 포화 드레인 전류가 커져, 곡선 cp의 완만한 하향 곡선 부분의 편평한 영역이 길어져 버린다. 이 경우에는, 게이트 오프시에 높은 드레인 전압 영역에서 핀치 오프 전류가 흐르기 쉬운 상황이 되어 버리므로, 효율이 저하되어 버린다.
- [0058] 또한, 하측 전자 공급층(4)의 상면에 있어서의 Al 조성비를 0 내지 0.03의 범위 내로 하는 것이 바람직하다. Al 조성비가 많아지면, 상측 전자 주행층(5)과 하측 전자 공급층(4)의 계면에 있어서의 격자 부정합이 커져, 압전 전하가 축적되어 버려, 에너지 밴드 다이어그램의 전도대 하단의 레벨이 위로 올라가 버린다.
- [0059] 하측 전자 공급층(4)의 n형 도펀트의 농도는, $1 \times 10^{17} \text{ cm}^{-3}$ 내지 $5 \times 10^{18} \text{ cm}^{-3}$ 의 범위 내로 하는 것이 바람직하고, $5 \times 10^{17} \text{ cm}^{-3}$ 내지 $2 \times 10^{18} \text{ cm}^{-3}$ 의 범위 내로 하는 것이 보다 바람직하다. n형 도펀트의 농도가 지나치게 낮으면, 전자 농도가 낮아져, 하측 채널(CH1)에 충분한 전자를 공급할 수 없게 된다. 반대로, n형 도펀트의 농도를 높게 하면, 하측 전자 공급층(4) 내의 자유 전자의 농도가 높아진다. 하측 전자 공급층(4) 내의 자유 전자는, 하측 채널(CH1)에 축적되는 전자에 비해 이동도가 낮으므로, HEMT의 동작에 악영향을 미친다. 또한, 소스 전극과 드레인 전극의 전기적인 분리(isolation)가 불충분해진다.
- [0060] 상측 전자 주행층(5)의 n형 도펀트의 농도는, 0 내지 $5 \times 10^{17} \text{ cm}^{-3}$ 의 범위 내로 하는 것이 바람직하고, 0 내지 $1 \times 10^{16} \text{ cm}^{-3}$ 의 범위 내로 하는 것이 보다 바람직하다. n형 도펀트의 농도가 높아지면, 상측 채널(CH0) 내에 축적되는 전자의 이동도가 저하되어 버린다.
- [0061] 하측 전자 공급층(4)의 두께는, 2 nm 내지 50 nm의 범위 내로 하는 것이 바람직하고, 5 nm 내지 10 nm의 범위 내로 하는 것이 보다 바람직하다. 또한, 상측 전자 주행층(5)의 두께는, 5 nm 내지 100 nm의 범위 내로 하는 것이 바람직하고, 10 nm 내지 50 nm의 범위 내로 하는 것이 보다 바람직하다. 상측 전자 주행층(5)을 얇게 하면, 상측 채널(CH0)에 축적되는 전자의 이동도가 저하되어 버린다. 하측 전자 공급층(4)이 두꺼워지면, 소스 전극과 드레인 전극의 전기적인 분리가 불충분해진다.
- [0062] 하측 전자 공급층(4)과 상측 전자 주행층(5)의 합계의 두께가 두꺼워지면, 하측 채널(CH1)과 상측 채널(CH0)의 거리가 멀어져 버린다. 양자가 멀어지면, 하측 채널(CH1)만이 형성되어 있는 상태와, 상측 채널(CH0) 및 하측 채널(CH1) 모두가 형성되어 있는 상태에서, 게이트-소스간의 캐패시턴스의 차가 커져 버린다. 캐패시턴스의 변동량이 커지면, 캐리어 증폭기와 피크 증폭기의 위상 특성이 크게 달라져 버린다.
- [0063] 상기 제1 실시예에서는, 하측 전자 주행층(3)을 논도프 GaN으로 형성하였지만, 하측 전자 공급층(4)에 접하는 부분에, n형 도펀트를 첨가해도 좋다. n형 도펀트를 첨가하면, 하측 채널(CH1)에 축적되는 2차원 전자 가스의 이동도가 저하된다. 이에 의해, 도5에 나타난 게이트 전압-드레인 전류 특성(cp)의 완만한 하향 곡선 부분의 기울기를, 보다 완만하게 할 수 있다.
- [0064] 상기 제1 실시예에서는, 입력 전력이 작을 때의 피크 증폭기의 이득을 억제하는 구성으로 하였다. 입력 전력이 커지면, 캐리어 증폭기의 HEMT가 포화 영역에서 동작하는 빈도가 많아져, 게이트 누설 전류가 증대한다. 다음

에, 캐리어 증폭기의 HEMT의 게이트 누설 전류 증대를 억제할 수 있는 제2 실시예에 대해 설명한다.

- [0065] 도7에, 제2 실시예에 의한 HEMT의 단면도를 도시한다. SiC로 이루어지는 기판(51) 상에, 논도프 GaN으로 이루어지는 전자 주행층(52), 논도프 $Al_{0.25}Ga_{0.75}N$ 으로 이루어지는 논도프층(53) 및 n형 $Al_{0.25}Ga_{0.75}N$ 으로 이루어지는 전자 공급층(54)이 형성되어 있다. 전자 공급층(54) 상에, 서로 이격하여 배치된 소스 전극(57) 및 드레인 전극(58)이 형성되어 있다.
- [0066] 소스 전극(57) 및 드레인 전극(58) 사이의 전자 공급층(54)의 표면이, n형 GaN으로 이루어지는 보호층(55)으로 덮여 있다. 보호층(55) 상에, SiN으로 이루어지는 절연층(56)이 배치되어 있다. 절연층(56)의 일부 영역 상에, 게이트 전극(59)이 배치되어 있다. 게이트 전극(59)은, 소스 전극(57) 및 드레인 전극(58) 모두로부터 이격하여 배치된다. 절연층(56)의 두께는 20 nm로 하였다. 이와 같이, 제2 실시예에 의한 HEMT는 쇼트키 게이트 구조가 아니라, 절연 게이트 구조로 되어 있다.
- [0067] 도8에, 도허티 증폭기의 출력 전력과, 인접 채널에의 누설 전력의 관계를 나타낸다. 횡축은 출력 전력을 포화 출력으로부터의 백 오프량으로 나타내고 있고, 단위 「dB」로 나타내고 있다. 종축은 인접 채널에의 누설 전력을 단위 「dBc」로 나타낸다. 도면 중 실선 b1이, 캐리어 증폭기에, 제2 실시예에 의한 HEMT를 이용한 경우의 특성을 나타내고, 실선 b0가, 도7의 절연막(56)을 배치하고 있지 않은 쇼트키 게이트 구조의 HEMT를 이용한 경우의 특성을 나타낸다.
- [0068] 쇼트키 게이트 구조의 HEMT를 이용한 경우에는, 출력 전력이 -8 dB가 된 시점에서 누설 전력이 급격하게 증가하고 있다. 이것은, 왜곡 보상이 과탄한 것을 의미한다. 이에 대해, 절연 게이트 구조를 갖는 제2 실시예에 의한 HEMT를 이용한 경우에는, 출력 전력이 -6.2 dB까지 왜곡 보상이 과탄하지 않는다. 이것은, 캐리어 증폭기가 포화 영역에서 동작하고 있을 때에도, 순방향 게이트 누설 전류의 증대를 억제할 수 있기 때문이다.
- [0069] 이와 같이, 캐리어 증폭기에, 절연 게이트 구조의 HEMT를 이용함으로써, 왜곡 보상 과탄점에 있어서의 출력을 증가시켜, 고효율화를 도모하는 것이 가능해진다.
- [0070] 캐리어 증폭기 및 피크 증폭기에 사용하는 HEMT의 게이트 길이는, 0.3 μm 내지 0.7 μm 의 범위 내로 하는 것이 바람직하고, 0.5 μm 내지 0.6 μm 의 범위 내로 하는 것이 보다 바람직하다. 게이트 길이를 길게 하면, 도허티 증폭기의 이득이 저하되고, 왜곡 특성도 열화된다. 게이트 길이가 0.5 μm 보다도 짧아지면, 내압이 200 V 이하까지 저하된다. 또한, 펀치 오프 특성의 열화로부터 효율이 저하되어, 소자의 신뢰성이 저하된다.
- [0071] 유닛 게이트 폭은 200 μm 내지 350 μm 의 범위 내로 하는 것이 바람직하고, 250 μm 내지 300 μm 의 범위 내로 하는 것이 보다 바람직하다. 유닛 게이트 폭을 넓게 하면 도허티 증폭기의 이득이 저하되고, 좁게 하면 취출할 수 있는 최대 출력이 저하된다.
- [0072] 상기 실시예에서는, 기판(1)으로서 SiC를 이용하였지만, 그 밖의 재료, 예를 들어 GaN, 사파이어, Si 등으로 이루어지는 기판을 이용해도 좋다. 상측 전자 공급층(7)을, AlGaIn 대신에 AlGaIn으로 형성해도 좋다. In의 조성비를 제어하여, 상측 전자 공급층(4)의 밴드 갭을 조정함으로써, HEMT의 임계치를 변화시킬 수 있다. 또한, 전자 주행층, 전자 공급층 등의 각 층을, 다른 화합물 반도체 재료로 형성해도 좋다.
- [0073] 이상 실시예를 따라 본 발명을 설명하였지만, 본 발명은 이들에 제한되는 것은 아니다. 예를 들어, 다양한 변경, 개량, 조합 등이 가능한 것은 당업자에게 자명할 것이다.
- [0074] 상기 실시예로부터, 이하의 부기로 나타낸 발명이 도출된다.
- [0075] (부기 1)
- [0076] 화합물 반도체 재료로 이루어지는 하측 전자 주행층과,
- [0077] 상기 하측 전자 주행층 상에 배치되고, n형으로 도핑되고, 상기 하측 전자 주행층보다도 전자 친화력이 작은 화합물 반도체 재료로 이루어지는 하측 전자 공급층과,
- [0078] 상기 하측 전자 공급층 상에 배치되고, 상기 하측 전자 공급층보다도 도핑 농도가 낮거나, 또는 논도프 화합물 반도체 재료로 이루어지는 상측 전자 주행층과,
- [0079] 상기 상측 전자 주행층 상에 배치되고, 상기 상측 전자 주행층보다도 전자 친화력이 작은 n형 화합물 반도체 재료로 이루어지는 상측 전자 공급층과,
- [0080] 상기 상측 전자 공급층 상에, 서로 이격하여 배치되고, 상기 하측 전자 주행층 및 상측 전자 주행층에 오믹으로

접속되는 소스 전극 및 드레인 전극과,

- [0081] 상기 소스 전극과 드레인 전극 사이의, 상기 상측 전자 공급층 상에 배치된 게이트 전극을 갖는 화합물 반도체 장치.
- [0082] (부기 2)
- [0083] 상기 하측 전자 주행층 및 상측 전자 주행층이, 구성 원소로서 Ga 및 N을 포함하고, 상기 하측 전자 공급층 및 상측 전자 공급층이, 구성 원소로서 Al, Ga 및 N을 포함하는 부기 1에 기재된 화합물 반도체 장치.
- [0084] (부기 3)
- [0085] 상기 하측 전자 공급층의 Al 조성비는, 상기 하측 전자 주행층측에서 높아지고, 상기 상측 전자 주행층측에서 낮아지도록, 두께 방향에 관하여 구배를 갖는 부기 2에 기재된 화합물 반도체 장치.
- [0086] (부기 4)
- [0087] 상기 하측 전자 공급층의 Al 조성비가, 상기 하측 전자 주행층측에서 0.03 내지 0.07의 범위 내이고, 상기 상측 전자 주행층측에서 0 내지 0.03의 범위 내인 부기 3에 기재된 화합물 반도체 장치.
- [0088] (부기 5)
- [0089] 상기 하측 전자 공급층의 n형 도핑 농도가, $1 \times 10^{17} \text{ cm}^{-3}$ 내지 $5 \times 10^{18} \text{ cm}^{-3}$ 의 범위 내인 부기 1 내지 4 중 어느 한 항에 기재된 화합물 반도체 장치.
- [0090] (부기 6)
- [0091] 상기 하측 전자 공급층의 두께가, 2 nm 내지 50 nm의 범위 내인 부기 1 내지 5 중 어느 한 항에 화합물 반도체 장치.
- [0092] (부기 7)
- [0093] 상기 상측 전자 주행층의 두께가, 5 nm 내지 100 nm의 범위 내인 부기 1 내지 6 중 어느 한 항에 기재된 화합물 반도체 장치.
- [0094] (부기 8)
- [0095] 상기 하측 전자 주행층의, 상기 하측 전자 공급층에 접하는 부분에, n형 도펀트가 도핑되어 있는 부기 1 내지 7 중 어느 한 항에 기재된 화합물 반도체 장치.
- [0096] (부기 9)
- [0097] 캐리어 증폭기와 피크 증폭기를 포함하는 도허티 증폭기이며,
- [0098] 상기 피크 증폭기가,
- [0099] 화합물 반도체 재료로 이루어지는 하측 전자 주행층과,
- [0100] 상기 하측 전자 주행층 상에 배치되고, n형으로 도핑되고, 상기 하측 전자 주행층보다도 전자 친화력이 작은 화합물 반도체 재료로 이루어지는 하측 전자 공급층과,
- [0101] 상기 하측 전자 공급층 상에 배치되고, 상기 하측 전자 공급층보다도 도핑 농도가 낮거나, 또는 논도프 화합물 반도체 재료로 이루어지는 상측 전자 주행층과,
- [0102] 상기 상측 전자 주행층 상에 배치되고, 상기 상측 전자 주행층보다도 전자 친화력이 작은 n형 화합물 반도체 재료로 이루어지는 상측 전자 공급층과,
- [0103] 상기 상측 전자 공급층 상에, 서로 이격하여 배치되고, 상기 하측 전자 주행층 및 상측 전자 주행층에 오믹으로 접속되는 소스 전극 및 드레인 전극과,
- [0104] 상기 소스 전극과 드레인 전극 사이의, 상기 상측 전자 공급층 상에 배치된 게이트 전극을 갖는 제1 전계 효과 트랜지스터를 포함하는 도허티 증폭기.
- [0105] (부기 10)

- [0106] 또한, 상기 제1 전계 효과 트랜지스터의 게이트 전극에, 상기 상측 전자 주행층과 상기 상측 전자 공급층의 계면에는 채널이 형성되지 않고, 상기 하측 전자 주행층과 상기 하측 전자 공급층의 계면에는 채널이 형성되는 크기의 직류 게이트 바이어스 전압을 인가하는 바이어스 회로를 갖는 부기 9에 기재된 도허티 증폭기.
- [0107] (부기 11)
- [0108] 상기 캐리어 증폭기가,
- [0109] 화합물 반도체 재료로 이루어지는 전자 주행층과,
- [0110] 상기 전자 주행층 상에 배치되고, 상기 전자 주행층보다도 전자 친화력이 작은 화합물 반도체 재료로 이루어지는 전자 공급층과,
- [0111] 상기 전자 주행층에 오믹으로 접속된 소스 전극 및 드레인 전극과,
- [0112] 상기 소스 전극과 드레인 전극 사이의, 상기 전자 공급층 상에 배치된 게이트 전극과,
- [0113] 상기 게이트 전극과 상기 전자 공급층 사이에 배치된 절연 재료로 이루어지는 게이트 절연막을 갖는 제2 전계 효과 트랜지스터를 포함하는 부기 9 또는 10에 기재된 도허티 증폭기.

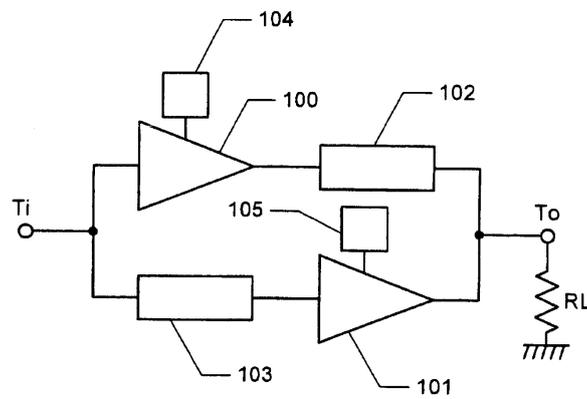
도면의 간단한 설명

- [0114] 도1은 제1 실시예에 의한 도허티 증폭기의 등가 회로도.
- [0115] 도2는 제1 실시예에 의한 HEMT의 단면도.
- [0116] 도3a 및 도3b는 제1 실시예에 의한 HEMT의 제조 도중 단계에 있어서의 단면도, 도3c 및 도3d는 제1 실시예에 의한 HEMT의 제조 도중 단계에 있어서의 단면도.
- [0117] 도4는 제1 실시예에 의한 HEMT의 에너지 밴드도.
- [0118] 도5는 제1 실시예에 의한 HEMT와, 종래의 HEMT의 게이트 전압-드레인 전류 특성을 나타내는 그래프.
- [0119] 도6a 및 6b는 각각 제1 실시예 및 종래예에 의한 HEMT의 이득의 입력 전압 의존성을, 다양한 아이들 전류에 대해 나타내는 그래프.
- [0120] 도7은 제2 실시예에 의한 HEMT의 단면도.
- [0121] 도8은 제2 실시예에 의한 HEMT 및 쇼트키 게이트 구조인 HEMT의, 인접 채널 누설 전력과 출력 전력의 관계를 나타내는 그래프.
- [0122] 도9는 도허티 증폭기에 사용되고 있는 캐리어 증폭기와 피크 증폭기의 입출력 특성 및 그것을 합성한 도허티 증폭기의 입출력 특성을 나타내는 그래프.
- [0123] <도면의 주요 부분에 대한 부호의 설명>
- [0124] 1, 51 : 기판
- [0125] 2 : 하지층
- [0126] 3 : 하측 전자 주행층
- [0127] 4 : 하측 전자 공급층
- [0128] 5 : 상측 전자 주행층
- [0129] 6, 53 : 논도프층
- [0130] 7 : 상측 전자 공급층
- [0131] 8, 55 : 보호층
- [0132] 9, 56 : 절연층
- [0133] 10, 57 : 소스 전극
- [0134] 11, 58 : 드레인 전극

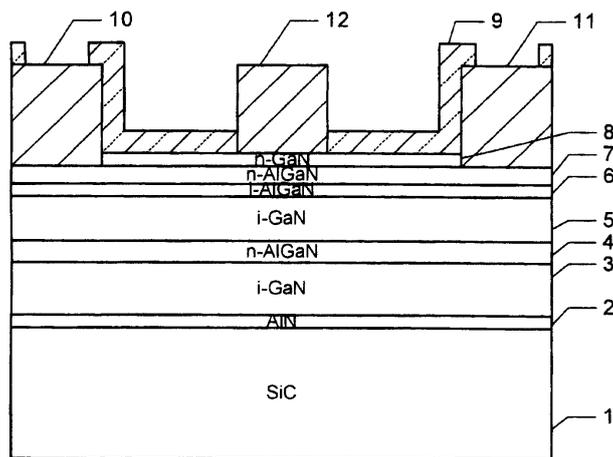
- [0135] 12, 59 : 게이트 전극
- [0136] 52 : 전자 주행층
- [0137] 54 : 전자 공급층
- [0138] 100 : 캐리어 증폭기
- [0139] 101 : 피크 증폭기
- [0140] 102, 103 : 1/4 파장 선로
- [0141] 104, 105 : 바이어스 회로

도면

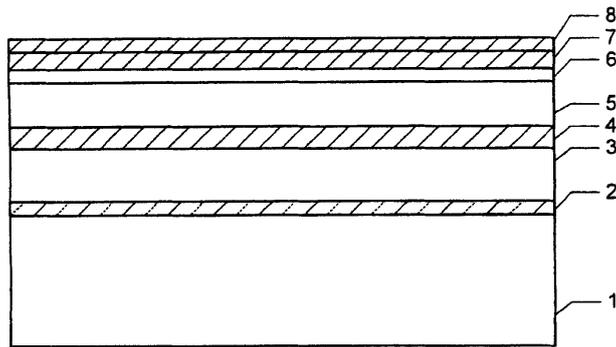
도면1



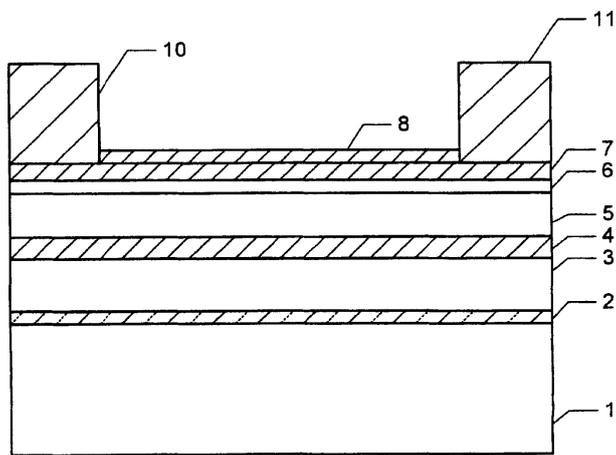
도면2



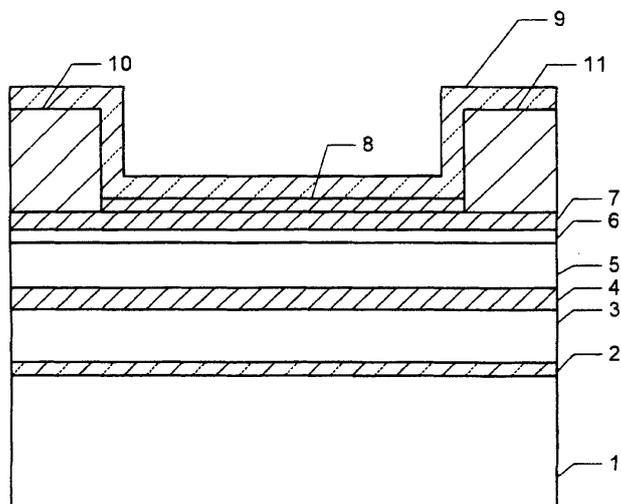
도면3a



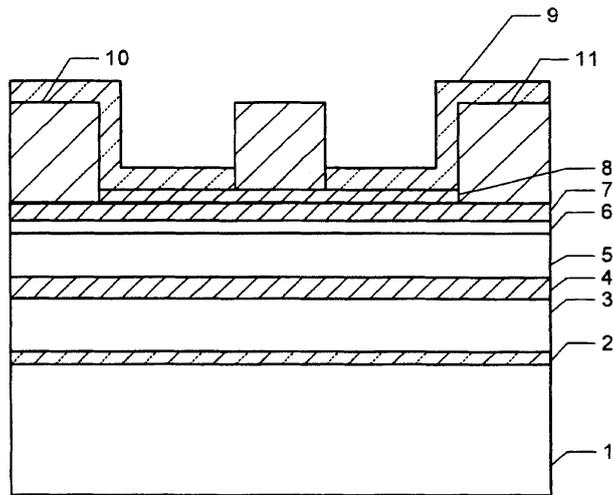
도면3b



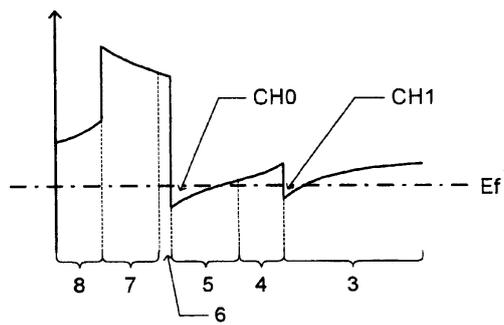
도면3c



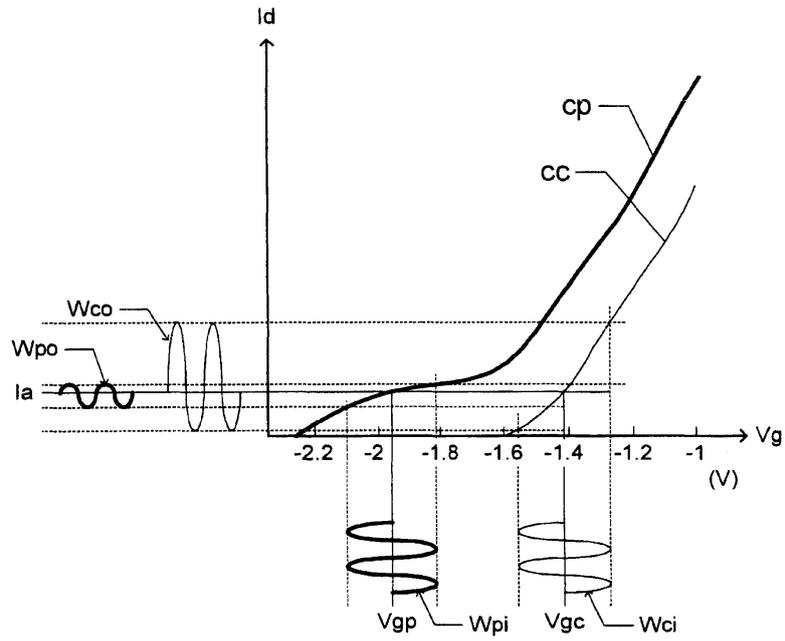
도면3d



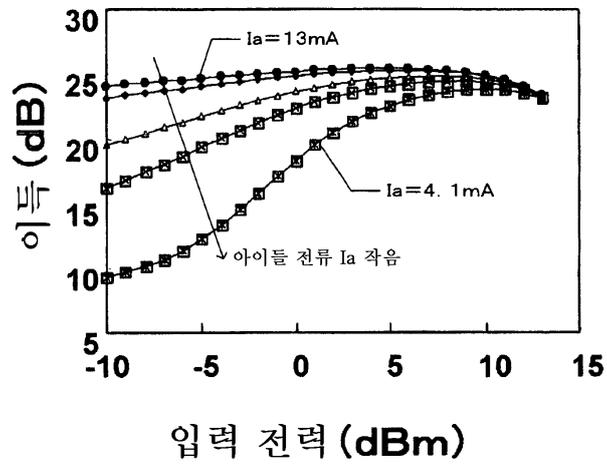
도면4



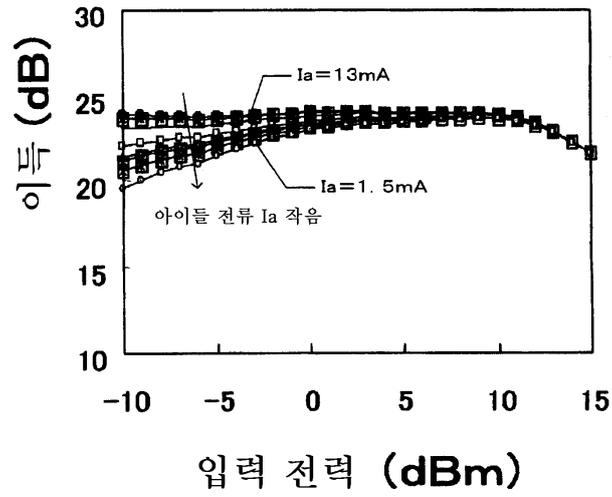
도면5



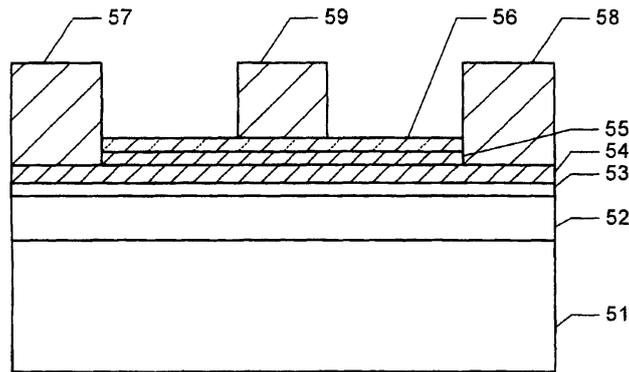
도면6a



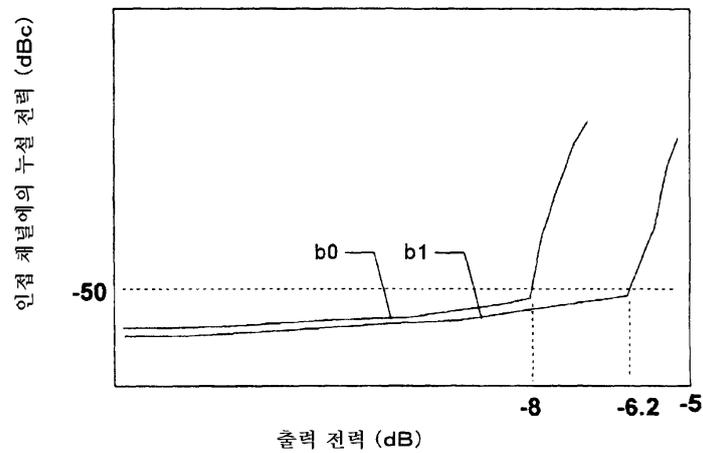
도면6b



도면7



도면8



도면9

