(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/406

(45) 공고일자 1999년11월01일
(11) 등록번호 10-0227395
(24) 등록일자 1999년08월03일

(21) 출원번호 10-1994-0011713
(22) 출원일자 1994년05월27일
(65) 공개번호 특1995-0001766
(43) 공개일자 1995년01월03일
(30) 우선권주장 93-143354 1993년06월15일 일본(JP)

(73) 특허권자 오끼덴끼 고오교 가부시키가이샤 사와무라 시코
일본 도쿄도 미나토쿠 도라노몬 1쵸메 7반 12고
(72) 발명자 다까하시 신야
일본국 도오꾜도 미나또꾸 도라노몬 1죠메 7방 12고 오끼덴끼고오교 가부시키가이샤 나이
(74) 대리인 박해선, 이준구, 조영원

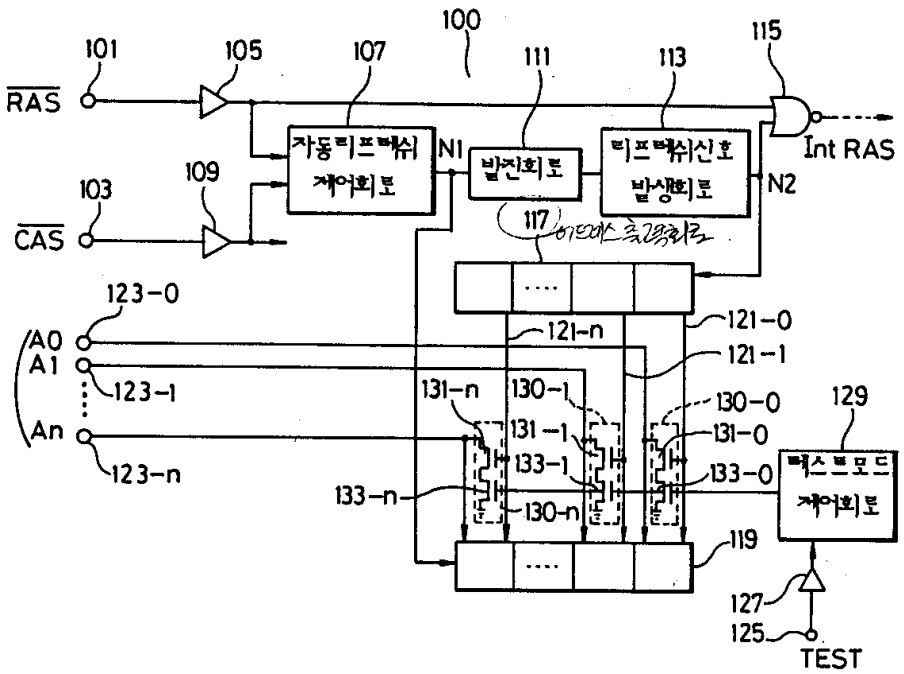
심사관 : 장현근

(54) 반도체 기억회로

요약

외부입력단자와 카운터회로로부터 출력되는 리프레쉬 어드레스에 하등 영향을 주는 일이 없는 테스트회로를 제공하는 것으로, 리프레쉬동작의 상태를 체크할 수 있는 반도체 기억회로에 있어서, 리프레쉬신호에 응답하여 제1 또는 제2의 어드레스 논리레벨을 갖는 어드레스 신호를 출력하는 어드레스 신호 출력회로(117)와, 제1 또는 제2의 모드 논리레벨을 갖는 모드제어신호를 출력하는 모드 제어회로(129)로서, 그 모드 제어신호가 제1의 모드 논리레벨을 갖는 경우, 제1모드를 정의하고, 그의 모드 제어신호가 제2의 모드 논리레벨을 갖는 경우, 제2모드를 정의하는 모드 제어회로와 어드레스신호 및 모드 제어신호에 의해 제어되는 모드 선택회로(131)로서 제1모드가 정의된 경우에서는 어드레스 신호의 논리레벨에 관계없이 제1의 노드를 제1의 상태로 규정하고 제2의 모드가 정의된 경우에서는 어드레스 신호가 제2의 어드레스 논리 레벨일 때, 제1의 노드를 제2의 상태로 규정하는 모드선택회로를 설치하는 것이다.

대표도



명세서

[발명의 명칭]

반도체 기억회로

[도면의 간단한 설명]

제1도는 본 발명의 반도체 기억회로의 요부를 나타내는 블록도.

제2도는 종래의 반도체 기억회로의 요부를 나타내는 블록도.

제3도는 제2도에 표시한 회로의 통상동작을 설명하는 타이밍 차아트도.

제4도는 제2도에 표시한 회로의 테스트모드 동작을 설명하는 타이밍차아트도.

제5도는 본 발명에 관한 모드선택회로의 다른 구성예를 나타내는 블록도.

* 도면의 주요부분에 대한 부호의 설명

101, 103 : 외부입력단자 107 : 자동 리프레쉬 제어회로

111 : 발진회로 113 : 리프레쉬 신호 발생회로

117 : 카운터 회로 119 : 어드레스신호 입력회로

123 : 외부 입력단자 125 : 테스트신호 입력단자

129 : 테스트모드 제어회로 130 : 모드선택회로

[발명의 상세한 설명]

본 발명은 반도체 기억장치, 특히 자동 리프레쉬기능을 구비한 다이나믹, 랜덤, 액세스 메모리(DRAM)의 리프레쉬주기를 계측하는 테스트 회로에 관한 것이다.

일반적으로 자동 리프레쉬기능을 구비한 DRAM의 리프레쉬주기를 계측하는 방법은 다음과 같은 것이다.

우선, 내부 어드레스 카운터가 리프레쉬 주기를 결정하는 발진기가 발진하는 신호의 발진회수를 계수하고 그 결과를 어드레스단자에 출력한다. 그리고 그 어드레스 단자에 출력된 결과를 계측함으로써 자동 리프레쉬 기능이 바르게 동작하고 있는지의 여부에 대해 판단한다.

이상과 같이하여, 리프레쉬 주기를 계측하는 DRAM의 테스트 회로를 제2도를 참조하여 이하에 설명한다.

제2도는 DRAM의 테스트회로를 나타내는 블록도이다.

이 회로(200)는 행 어드레스 스트로브신호(이하, $\overline{RAS}$ 라고 한다)가 부여되는 외부입력단자(201) 및 열 어드레스스트로브(이하, $\overline{CAS}$ 라고 한다)가 부여되는 외부입력단자(203)을 갖고 있다. 외부입력단자(201)에 부여된 $\overline{RAS}$ 는 입력회로(205)에 입력된다. 입력회로(205)는 $\overline{RAS}$ 에 응답하여 출력신호를 자동 리프레쉬 제어회로(207)에 출력한다.

또 외부입력단자(203)에 부여된 $\overline{CAS}$ 는 입력회로(209)에 입력된다. 입력회로(209)는 $\overline{CAS}$ 에 응답하여 출력신호를 자동 리프레쉬 제어회로(207) 및 내부회로(도시하지 않음)에 출력한다.

자동 리프레쉬 제어회로(207)는 입력회로(205, 209)로부터의 출력신호에 응답하여 제어신호를 노드(N1)를 통하여 발진회로(211) 및 어드레스 신호입력회로(219)에 출력한다. 이에 따라 리프레쉬동작이 개시된다.

발진회로(211)는 제어신호에 응답하여 리프레쉬 주기를 결정하는 클록신호를 발진하고 그 클록신호를 리프레쉬신호 발생회로(213)에 출력한다.

리프레쉬 신호 발생회로(213)는 클록신호에 응답하여 리프레쉬 동작을 위한 리프레쉬 신호를 노드(N2)를 통하여 NOR회로(215) 및 카운터 회로(217)에 출력한다.

NOR 회로(215)는 입력회로(205)로부터 출력된 출력신호 및 리프레쉬 신호에 응답하여 본 DRAM회로의 실질적인 동작 개시의 명령신호인 내부 RAS(Int RAS)를 내부회로(도시하지 않음)에 출력한다.

카운터 회로(217)는 리프레쉬 신호에 응답하여 리프레쉬 어드레스를 어드레스선(221)을 통하여 어드레스 신호 입력회로(219)에 출력한다.

어드레스 신호 입력회로(219)는 외부입력단자(223-0~233-n)로부터 외부어드레스 신호(A0~An), 또는 카운터 회로(217)로부터 리프레쉬 어드레스가 입력된다.

이 회로에서는 테스트 모드로 되면 테스트신호(TEST)가 테스트신호 입력단자(225)를 통하여 테스트 신호 입력회로(227)에 입력된다. 테스트 신호 입력회로(227)는 테스트신호(TEST)에 응답하여 출력신호를 테스트모드제어회로(229)에 출력한다. 테스트모드 제어회로(229)는 통상의 동작 모드와 테스트모드를 전환하는 회로이며, 테스트 신호입력회로부터의 출력신호에 응답하여 테스트 모드제어신호를 출력한다. 입력단자(223-0~ 223-n)와 어드레스선(221-0~221-n)과의 사이에는 게이트 전극에 테스트모드 제어회로신호가 부여되는 N채널형 MOS TR(이하, NMOS라고 한다)(231-0~231-n)이 각각 접속되고 있다. 이들 NMOS(231)는 테스트 모드시에 카운터(217)가 출력한 데이터에 응답한 데이터를 입력단자(223) 상에 출력하는 것이다.

다음에 이 테스트 회로(200)의 동작을 제3도 및 제4도를 참조하여 이하에 설명한다. 제3도는 자동 리프레쉬 동작시의 타이밍 차아트를 나타내는 도이다. 이 경우, 자동 리프레쉬 동작전에 카운터회로(217)에 저장되어 있는 데이터를 X번지로 하여 표시하고 있다.

먼저 $\overline{RAS}$ 보다 전에 $\overline{CAS}$ 가 강하하면 자동 리프레쉬 제어회로(207)는 통상 4동작모드(써넣기 또는 읽어내는 모드)로부터 자동 리프레쉬 모드로 전환하고, 자동 리프레쉬 제어회로(207)로부터 노드(N1)에 출력되는 제어회로에 레벨이 제1논리레벨(Low레벨)로부터 제2논리레벨(High레벨)로 변화한다.

이 제어신호가 제2논리레벨로 변화한 것에 응답하여 발진회로(211)는 클록신호를 발진하고, 그 클록신호를 리프레쉬 신호 발생회로(213)에 출력한다. 그와 동시에 어드레스 신호 입력회로(219)의 입력은 외부 어드레스 신호(A0~An)로부터 리프레쉬 어드레스로 전환된다.

다음에 $\overline{RAS}$ 가 제2논리레벨(High레벨)로부터 제1논리레벨(Low레벨)로 천이하는 것에 응답하여 NOR회로(215)는 내부회로(도시하지 않음)에 내부 RAS(Int RAS)를 출력한다. 이 내부 RAS는 본 DRAM회로의 리프레쉬 동작개시의 명령신호이다.

발진회로(211)가 발진을 개시하고부터 소정기간 경과후, 리프레쉬 신호발생회로(213)로부터 노드(N2)에 출력되는 리프레쉬 신호의 레벨은 제1의 논리레벨로부터 제2의 논리레벨로 천이한다. 이 천이에 응답하여 내부 RAS는 리셋(제2논리레벨로부터 제1논리레벨로 천이한다)되고, 내부회로는 리프레쉬 동작상태로부터 대기 상태로 된다. 또 리프레쉬 신호의 레벨의 천이에 응답하여 카운터회로(217)는 저장되어 있는 데이터를 X번지로부터 X+1번지로 갱신하고, 다음의 리프레쉬 동작의 개시명령까지 대기상태로 된다.

다음에 리프레쉬 신호의 레벨이 제2논리레벨로부터 제1논리레벨로 천이하면 내부회로는 다시 리프레쉬 동작상태로 된다.

이상과 같은 동작을 반복함으로써 모든 메모리셀을 순차로 리프레쉬 할 수가 있다. 이 리프레쉬모드에서는 외부입력단자(223)는 하이임피던스 상태이다.

다음에 테스트모드시의 동작을 제4도의 타이밍 차아트를 참조하여 이하에 설명한다.

테스트 신호 입력단자(225)에 부여되는 테스트신호(TEST)의 레벨이 제1논리레벨(Low레벨)로부터 제2논리레벨(High레벨)로 천이함으로써 테스트모드가 규정되고, 테스트모드 동작이 개시된다.

테스트 신호(TEST)가 제2논리 레벨로 되면 테스트신호 입력회로(227)는 그 테스트 신호에 응답하여 출력신호를 출력한다. 그리고 그 출력신호에 응답하여 테스트모드 제어회로(229)는 제2논리레벨(High레벨)의 테스트모드 제어신호를 출력한다. 이 테스트모드 제어신호에 응답하여 NMOS(231)는 온하고, 외부입력단자(223)와 어드레스 선(221)과의 사이를 도통상태로 한다.

이에 따라 카운터회로(217)가 출력한 데이터에 응답한 데이터를 외부입력단자(223) 상에 출력할 수가 있다. 그리고 그 출력된 결과를 도시하지 않은 계측회로에 계측함으로써 자동 리프레쉬 기능이 올바르게 동작하고 있는지 여부를 IC외부로부터도 판단할 수 있다.

이와 같은 반도체 기억회로로서는 예컨대 일본국 특개소 63-148493호 공보에 기재되어 있는 것이 있다.

그러나 상술한 바와 같은 DRAM의 테스트회로 에서는 통상의 동작시 또는 자동리프레쉬동작시, 즉 테스트모드제어신호가 제1논리레벨(Low레벨)일 때, 다음과 같은 문제가 생긴다.

즉 외부 어드레스 신호(A0-An)의 레벨이 언더슈트 등으로 접지전위 레벨(GND) 이하로 되었을 경우, 혹은 회로 내부의 동작 잡음에 의해서 테스트모드 제어신호에 잡음이 타고 테스트모드 제어신호의 레벨이 접지전위 레벨 이상으로 상승한 경우에 NMOS(231)를 통하여 외부 어드레스 신호의 데이터가 카운터 회로(217)의 출력하는 데이터에 영향을 미친다.

그 결과 카운터 회로의 오동작이나 리프레쉬 어드레스의 연속성에 결함이 생기는 등의 문제가 있었다.

상술한 과제를 해결하기 위하여 본 발명은 제1의 노드와, 리프레쉬신호에 의해 내부회로를 리프레쉬 동작시키는 리프레쉬 신호발생회로를 가지며, 상기 제1의 노드의 전위상태를 검출함으로서 상기 리프레쉬 동작의 상태를 체크할 수 있는 반도체 기억회로에 있어서 상기 리프레쉬 신호에 응답하여 제1 또는 제2의 어드레스 논리레벨을 갖는 어드레스 신호를 출력하는 어드레스신호 출력회로와, 제1 또는 제2의 모드 논리레벨을 갖는 모드 제어신호를 출력하는 모드 제어회로로서 상기 모드 제어신호가 상기 제1의 모드 논리레벨을 갖는 경우, 제1모드를 정의하고 상기 모드 제어신호가 상기 제2의 모드 논리레벨을 갖는 경우, 제1모드를 정의하고 상기 모드제어 신호가 상기 제2모드 논리레벨을 갖는 경우 제2모드를 정의하는 상기 모드제어회로와 상기 어드레스 신호 및 상기 모드 제어신호에 의해 제어되는 모드 선택회로로서 상기 제1모드가 정의되었을 경우 상기 어드레스신호의 논리레벨에 관계없이 상기 제1의 노드를 제1의 상태로 규정하고, 상기 제2모드가 정의된 경우로서 상기 어드레스 신호가 상기 제2의 어드레스 논리레벨시 상기 제1의 노드를 제2의 상태로 규정하는 상기 모드 선택회로를 설치하는 것이다.

또 상기 모드 선택회로는 상기 어드레스 신호가 부여되는 제1의 게이트전극과 상기 제1의 노드에 접속되는 제1의 전극과 제2의 전극을 갖는 제1의 MOS TR와, 상기 모드제어 신호가 부여되는 제2의 게이트전극과 상기 제2의 전극에 접속되는 제3의 전극과 접지전위를 갖는 접지전원에 접속되는 제4의 전극을 갖는 제2의 MOS TR로 구성할 수가 있다.

본 발명에 의하면 어드레스선과 외부 출력단자와의 사이에 카운터회로의 출력과 테스트 모드제어회로의 출력에 의해 제어되는 모드선택회로를 설치하였으므로 어드레스선과 외부 어드레스 단자 사이에 직접적으로 도통할 수가 없다. 따라서 상술한 바와 같은 오동작도 생기는 일은 없다.

또, 테스트모드시에는 카운터회로로부터 출력되는 리프레쉬 어드레스 내용이 외부출력 단자위에 정확히 출력된다.

이하, 제1도를 참조하여 본 발명의 실시예를 설명한다.

제1도는 본 발명에 관한 반도체 기억회로의 요부를 나타내는 블록도이다.

이 회로(100)는 행 어드레스 스트로브신호(이하, $\overline{RAS}$ 라고 한다)가 부여되는 외부입력단자(101) 및 열 어드레스 스트로브(이하, $\overline{CAS}$ 라고 한다)가 부여되는 외부입력단자(103)를 갖고 있다. 외부입력단자(101)에 부여된 $\overline{RAS}$ 는 입력회로(105)에 입력된다. 입력회로(105)는 $\overline{RAS}$ 에 응답하여 출력신호를 자동 리프레쉬 제어회로(107)에 출력한다. 또 외부입력단자(103)에 부여된 $\overline{CAS}$ 에 응답하여 출력신호를 자동 리프레쉬 제어회로(107) 및 내부회로(도시하지 않음)에 출력한다.

자동 리프레쉬제어회로(107)는 입력회로(105, 109)로부터의 출력신호에 응답하여 제어신호를 노드(N1)를 통하여 발진회로(111) 및 어드레스 신호 입력신호(119)에 출력한다. 이로써 자동 리프레쉬 동작이 개시된다.

발진회로(111)는 제어신호에 응답하여 리프레쉬 주기를 결정하는 클록신호를 발진하고 그 클록신호를 리프레쉬 신호 발생회로(113)에 출력한다.

NOR회로(115)는 입력회로(105)로부터 출력된 출력신호 및 리프레쉬 신호에 응답하여 본 DRAM회로의 실질적인 동작개시의 명령신호인 내부 RAS(Int RAS)를 내부회로(도시하지 않음)에 출력한다.

카운터회로(117)는 리프레쉬 신호에 응답하여 리프레쉬어드레스를 어드레스선(121)을 통하여 어드레스 신호입력회로(119)에 출력한다.

어드레스 신호 입력회로(119)는 외부입력단자(123-0, 123n)로부터 외부 어드레스 신호(A0~An), 또는 카운터 회로(117)로부터 리프레쉬 어드레스가 입력된다.

이 회로에서는 테스트모드로 되면 테스트 신호(TEST)가 테스트신호 입력단자(125)를 통하여 테스트 신호 입력회로(127)에 입력된다. 테스트 신호 입력회로(127)는 테스트신호(129)에 출력한다. 테스트 모드제어회로(129)는 통상의 동작모드와 테스트 모드를 전환시키는 회로이며, 테스트 신호 입력회로로부터의 출력신호에 응답하여 테스트모드제어신호를 출력한다.

이상의 구성은 제2도에 표시되는 회로와 동일한 것이다.

본 발명의 반도체 기억회로는 또 외부입력단자(123-0~123-n)과 어드레스선(121-0~121-n) 사이에는 테스트모드 제어신호와 리프레쉬 어드레스신호에 의해서 제어되는 모드 선택회로(130)가 설치되어 있다. 이 모드선택회로(130)는 테스트모드시에 카운터회로(117)가 출력한 데이터에 응답한 데이터를 외부입력단자(123) 상에 출력하는 것이다

본 실시예에서는 이 모드선택회로(130)는 NMOS(131) 및 NMOS(133)으로 구성되어 있다. NMOS(131)의 게이타 전극은 어드레스(121)에, 드레인전극은 외부입력단자(123)에, 소오스전극은 NMOS(133)의 드레인 전극에 각각 접속된다. NMOS(133)의 게이트 전극은 테스트모드 제어회로(129)에, 드레인 전극은 NMOS(131)의 소오스전극에, 소오스전극은 접지전원(GND)에 각각 접속된다.

이와 같은, 반도체 기억회로에 있어서, 테스트모드이외의 통상의 동작(읽어내기, 써 넣기, 자동리프레쉬의 각 동작)의 경우, 테스트모드 제어회로(129)로부터 출력되는 테스트모드 제어신호는 제1논리레벨(Low레벨)이다. 따라서 NMOS(133)는 오프 상태이다. 이 경우, NMOS(131)의 게이트 전극에 부여되는 리프레쉬 어드레스신호의 논리레벨에 관계없이 외부입력단자(123) 위의 전위가 -Vt 이상 (Vt는 NMOS(131)의 임계값 전압이다)이면 NMOS(133)는 오프상태를 유지한다.

이 경우 만일 외부입력단자(123)에 -Vt 이하의 과대한 마이너스 전위가 인가되면 NMOS(133)는 온 상태로 되고 외부입력단자(123)는 접지 전원(GND)과 접속된다. 그러나 이 상태는 카운터 회로(117)로부터 출력되는 리프레쉬 어드레스에 하등 영향을 주는 것은 아니다.

또 테스트모드 제어신호(129)로부터 출력되는 테스트모드 제어신호에 어떤 잡음이 실리고 NMOS(133)가 온 상태로 되더라도 외부입력단자(123)는 접지전원(GND)과 접속되므로 카운터 회로(117)로부터 출력되는 리프레쉬 어드레스에 하등 영향은 생기지 않는다.

다음에 테스트모드 제어회로(129)로부터 출력되는 테스트모드 제어신호가 제2논리레벨(High레벨)로되고 테스트모드가 선택되면 NMOS(133)는 온 상태로되고 NMOS(131-0~131-n)는 어드레스선(121-0~121-n)의 상태, 즉 카운터 회로(117)로부터 출력되는 리프레쉬어드레스에 따라 각각 온 또는 오프 상태로 된다.

이 경우, 예컨대, NMOS(131-n)가 온 상태, 즉 어드레스(121-n)에 부여된 리프레쉬 어드레스 신호가 제2논리레벨(High레벨)시, 외부 입력단자(123-n)는 NMOS(131-n) 및 NMOS(133-n)을 통하여 접지전원(GND)에 접속되므로 외부입력단자(123-n)에 누설전류가 발생한다. 이것을 계측 함으로써 어드레스선(121-n)의 논리레벨, 즉 카운터 회로(117)로부터의 출력상태를 외부로부터 판단할 수 있다.

또 NMOS(131-n)가 오프상태, 즉 어드레스선(121-n)에 부여된 리프레쉬 어드레스신호가 제1논리레벨(LOW레벨)시 외부 입력단자(123-n)는 하이 임피던스상태로 되고 누설전류는 발생하지 않는다.

마찬가지로 이것을 계측함으로써 어드레스(121-n)의 논리레벨 즉, 카운터회로(117)로부터의 출력상태를 외부로부터 판단할 수 있다.

마찬가지로하여 외부입력단자(123-0~123-n) 상의 전위상태, 즉 누설전류의 유무를 도시하지 않은 계측회로에 의해 계측함으로써 카운터회로로부터 출력되는 리프레쉬어드레스를 외부로부터 정확히 검지할 수 있다.

이 회로(100)는 테스트모드 이외의 통상의 동작(읽어내기, 써 넣기, 자동리프레쉬동작)은 제3도를 사용하

여 설명한 제2도의 회로(200)와 동일하다.

본 실시예에서는 모드선택회로(130)는 NMOS에 의해 구성하였으나 P채널형 MOS트랜지스터를 사용하더라도 동일한 회로를 실현할 수 있다.

또 제5도를 사용하여 모드 선택회로(130)의 다른 구성예를 설명한다.

제5도에 있어서, 제1도와 동일한 부분에는 동일 부호를 달고, 그 설명은 생략한다.

이 예에 있어서, 모드 선택회로(130)는 NMOS(501) 및 AND 회로(503)로 구성된다.

MMOS(501)의 드레인 전극은 외부 입력단자(123)에 소오스 전극은 접지전원(GND)에, 게이트 전극은 AND 회로(503)의 출력에 각각 접속된다. AND회로(503)의 한쪽의 입력은 어드레스선(121)에 다른쪽의 입력은 테스트모드 제어회로(129)에 접속된다.

이 경우에 동작은 상술한 실시예와 동일하므로 상술한 설명을 참조하면 이해할 수 있다.

본 발명에 의하면 어드레스선과 외부출력단자 사이에 카운트 회로의 출력과 테스트모드 제어회로의 출력에 의해 제어되는 모드 선택회로를 설치하였으므로 (1) 외부입력단자에 -Vt 이하의 과다한 마이너스 전위가 인가된 경우, (2) 테스트모드 제어신호에 어떤 잡음이 생긴 경우라도 어드레스선과 외부 입력단자와의 사이에 직접적으로 도통하는 일이 없다.

따라서 외부입력단자나 카운터 회로로부터 출력되는 리프레쉬 어드레스에 하등 영향을 주는 일이 없고 테스트회로를 제공할 수가 있다.

또 테스트모드시에는 카운터 회로로부터 출력되는 리프레쉬어드레스의 내용을 외부출력 단자상에 정확히 출력할 수가 있으므로 자동 리프레쉬동작의 상태를 정밀도가 좋게 체크할 수 있다.

(57) 청구의 범위

청구항 1

제1노드와 리프레쉬신호에 의해 내부회로를 리프레쉬 동작시키는 리프레쉬신호발생회로를 가지며, 상기 제1노드의 전위상태를 검출함으로써 상기 리프레쉬 동작의 상태를 체크할 수 있는 반도체 기억회로에 있어서, 상기 리프레쉬 신호에 응답하여 제1 또는 제2의 어드레스 논리레벨을 갖는 어드레스 신호를 출력하는 어드레스신호 출력회로와, 제1 또는 제2의 모드논리레벨을 갖는 모드제어신호를 출력하는 모드 제어회로로서, 상기 모드제어신호가 제1의 모드 논리레벨을 갖는 경우, 제1모드를 정의하고, 상기 모드 제어신호가 상기 제2의 모드 논리레벨을 갖는 경우, 제2모드를 정의하는 상기 모드 제어회로와, 상기 어드레스신호 및 상기 모드제어신호에 의해 제어되는 모드 선택회로로서, 상기 제1모드가 정의된 경우에 상기 어드레스 신호의 어드레스 논리레벨에 관계없이 상기 제1의 노드를 제1의 상태로 규정하고, 상기 제2모드가 정의된 경우에 상기 어드레스신호가 상기 제2의 어드레스 논리레벨일 때, 상기 제1의 노드를 제2의 상태로 규정하는 상기 모드 선택회로를 갖는 것을 특징으로 하는 반도체 기억회로.

청구항 2

제1항에 있어서, 상기 제1의 상태는 고임피던스 상태이며, 상기 제2의 상태는 저임피던스상태인 것을 특징으로 하는 반도체 기억회로.

청구항 3

제1항에 있어서, 상기 모드선택회로는 상기 어드레스 신호가 부여되는 제1게이트 전극과, 상기 제1의 노드에 접속되는 제1의 전극과, 제2의 전극을 갖는 제1의 MOS트랜지스터와, 상기 모드제어신호가 부여되는 제2의 게이트전극과, 상기 제2의 전극에 접속되는 제3의 전극과 접지전위를 갖는 접지전원에 접속되는 제4의 전극을 갖는 제2의 MOS트랜지스터로 구성되는 것을 특징으로 하는 반도체 기억회로.

청구항 4

자동 리프레쉬 기능과 리프레쉬 기간을 측정하기 위한 테스트 모드를 가진 반도체 기억회로에 있어서, (a) 자동 리프레쉬 모드로의 변경 검출시 제1논리레벨에서 제2논리레벨로 제1노드의 전위를 쉬프트하기 위한 자동 리프레쉬 제어회로와 (b) 제1노드의 전위가 상기 제1논리 레벨에서 제2논리레벨로 쉬프트되고 나서 소정시간이 경과한후에 제1논리레벨에서 제2논리레벨로 제2노드의 전위를 쉬프트함으로서 내부 회로를 리프레쉬하기 위한 리프레쉬 신호발생회로와, (c) 제2노드의 전위가 제1논리레벨에서 제2논리레벨로 쉬프트할 때, 카운터 회로내에 저장된 데이터를 갱신하고 제1논리레벨 또는 제2논리레벨을 가진 어드레스 신호를 출력하기 위한 카운터 회로와, (d) 상기 테스트 모드가 명령될 때 상기 카운터 회로로부터 출력된 어드레스 신호의 내용에 응답하여 어드레스 신호 단자를 제1 상태 또는 제2상태로 설정함으로써 어드레스 신호 단자에 전위 상태를 알려주기 위한 스위칭 회로 및, (e) 상기 제1노드의 전위가 제1논리 레벨일 때, 어드레스 신호 단자를 통해 공급된 어드레스 신호를 출력하고 제1노드의 전위가 제2논리레벨일 때 카운터 회로를 통해 공급된 어드레스 신호를 출력하기 위한 어드레스 신호 입력 회로를 구비하는 것을 특징으로 하는 반도체 기억회로.

청구항 5

제4항에 있어서, 상기 스위칭 회로의 상기 제1상태와 제2상태는 각각 저임피던스 상태와 고임피던스 상태인 것을 특징으로 하는 반도체 기억회로.

청구항 6

제4항에 있어서, 상기 스위칭 회로는 카운터 회로로부터 어드레스 신호를 입력하기 위한 각각의 어드레스

신호선과 동기로 제공되는 다수의 모드 선택회로로 구성된 것을 특징으로 하는 반도체 기억회로.

청구항 7

제6항에 있어서, 상기 모드 선택 회로는, (a) 드레인과, 상기 테스트 모드신호가 입력되는 어드레스 신호 단자와 입력 단자에 각각 접속된 소스 및 게이트를 가진 제1 MOS트랜지스터와, (b) 상기 제1 MOS트랜지스터의 드레인과, 카운터 회로로부터의 어드레스 신호가 입력되는 어드레스 신호선 및 접지 전위를 가진 접지선과 각각 접속된 소스와, 게이트 및 드레인을 가진 제2 MOS트랜지스터를 추가로 구비하는 것을 특징으로 하는 반도체 기억회로.

청구항 8

제7항에 있어서, 상기 모드 선택회로의 상기 제1 MOS트랜지스터는 NPN트랜지스터 또는 PMOS트랜지스터로 구성된 것을 특징으로 하는 반도체 기억회로.

청구항 9

제7항에 있어서, 상기 모드 선택회로의 상기 제2 MOS트랜지스터는 상기 테스트 모드 신호가 하이레벨일 때 NMOS트랜지스터로 구성되는 것을 특징으로 하는 반도체 기억회로.

청구항 10

제7항에 있어서, 상기 모드 선택회로의 상기 제2 MOS 트랜지스터는 상기 테스트 모드신호가 로우레벨일 때 PMOS트랜지스터로 구성되는 것을 특징으로 하는 반도체 기억회로.

청구항 11

제7항에 있어서, 상기 모드 선택회로는, (a) 상기 카운터 회로로부터 출력된 어드레스 신호가 전달되는 어드레스 신호선과 상기 테스트 모드신호가 입력되는 입력단자에 각각 접속된 제1 입력단자 및 제2입력단자와, 출력단자를 가진 논리 게이트와, (b) 어드레스 신호단자와, 출력단자 및 접지전위를 가진 접지선과 각각 접속된 소스와, 게이트 및 드레인을 가진 제3 MOS트랜지스터를 추가로 구비하는 것을 특징으로 하는 반도체 기억회로.

청구항 12

제11항에 있어서, 상기 논리 회로는 AND게이트이고, 상기 제3 MOS트랜지스터는 NMOS트랜지스터인 것을 특징으로 하는 반도체 기억회로.

청구항 13

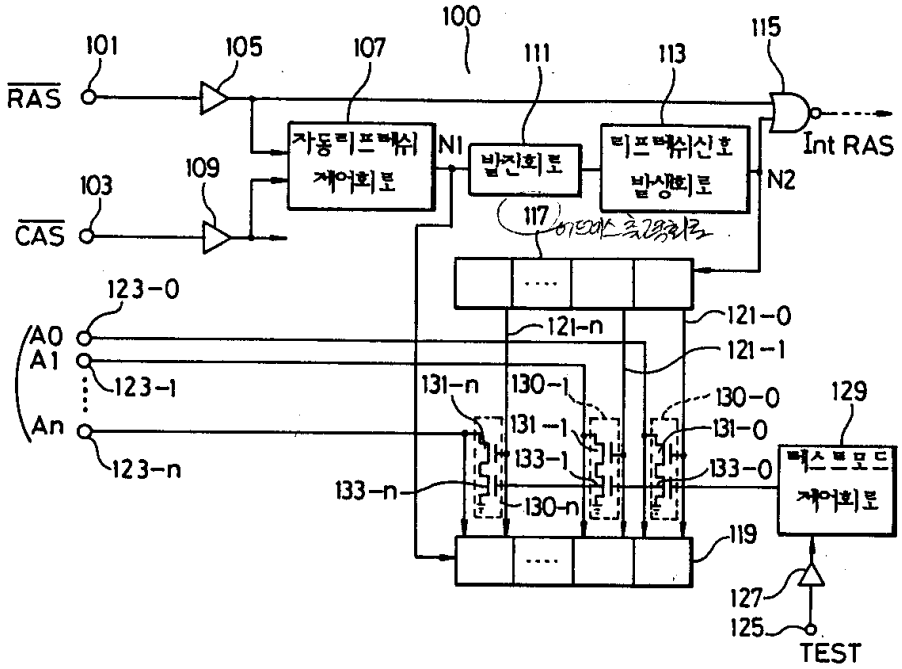
제11항에 있어서, 상기 논리 회로는 NAND게이트이고, 상기 제3 MOS트랜지스터는 PMOS트랜지스터인 것을 특징으로 하는 반도체 기억회로.

청구항 14

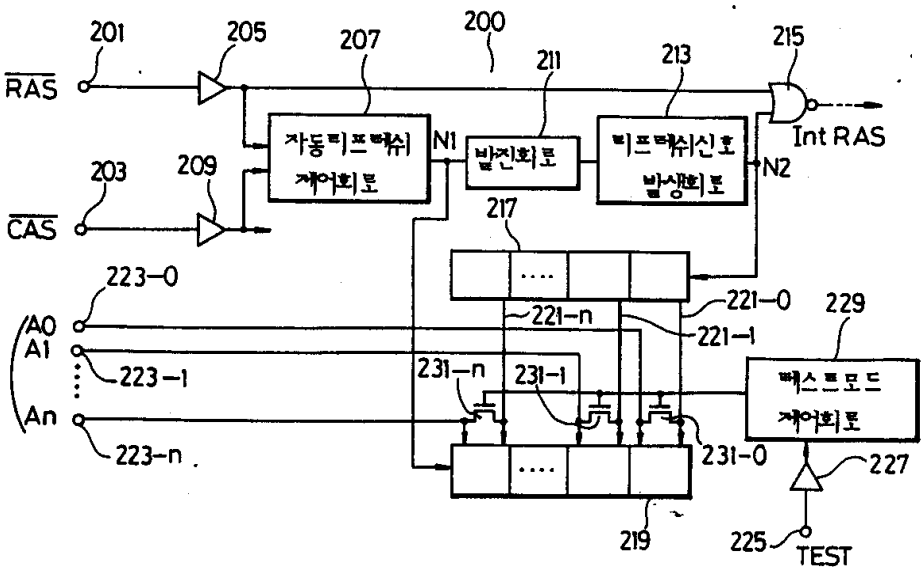
제어 신호에 응답하여, 접속된 신호선을 통해 지나가는 신호의 변화를 외부 단자에 알리기 위한 스위칭 회로에 있어서, (a) 드레인과, 외부단자 및 신호선에 각각 접속된 소스 및 게이트를 가진 제1 MOS트랜지스터와 (b) 상기 제1 MOS 트랜지스터의 드레인과 접지 전위를 갖는 접지선에 각각 접속된 소스 및 드레인과, 제어신호가 공급되는 게이트를 가진 제2MOS트랜지스터를 구비함으로써, 외부단자가 접지전위 또는 고임피던스 상태로 세트됨으로써 신호의 변화가 알려지도록, 상기 제2 MOS트랜지스터는 상기 제2 MOS트랜지스터의 게이트가 신호의 변화를 나타내는 제어신호를 수신할 때 '온'이되고 제1 MOS트랜지스터는 신호의 논리레벨에 응답하여 '온' 또는 '오프'가 되는 것을 특징으로 하는 스위칭 회로.

도면

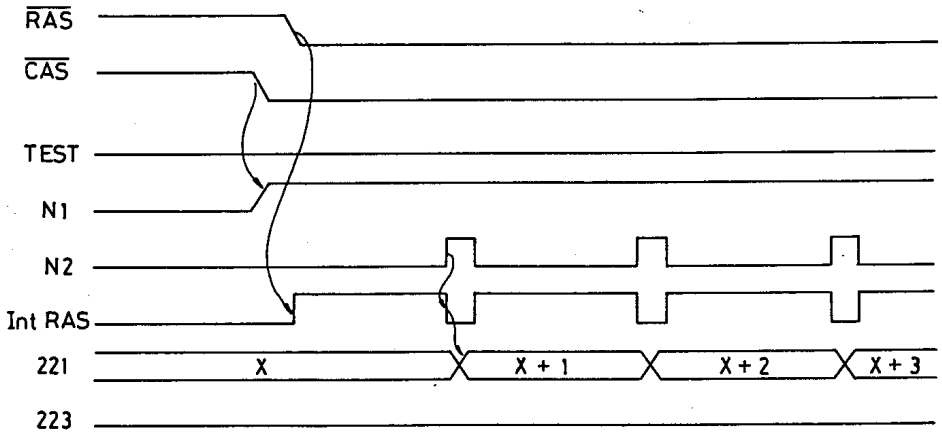
도면1


100
101
105
107
111
113
115
RAS
자동리프레쉬 제어회로
N1
발진회로
리프레쉬신호 발생회로
N2
Int RAS
103
109
CAS
117
123-0
A0
A1
An
123-1
123-n
121-0
121-n
121-1
131-n
130-1
130-0
131-1
131-0
133-1
133-0
133-n
130-n
129
테스트모드 제어회로
119
127
125
TEST

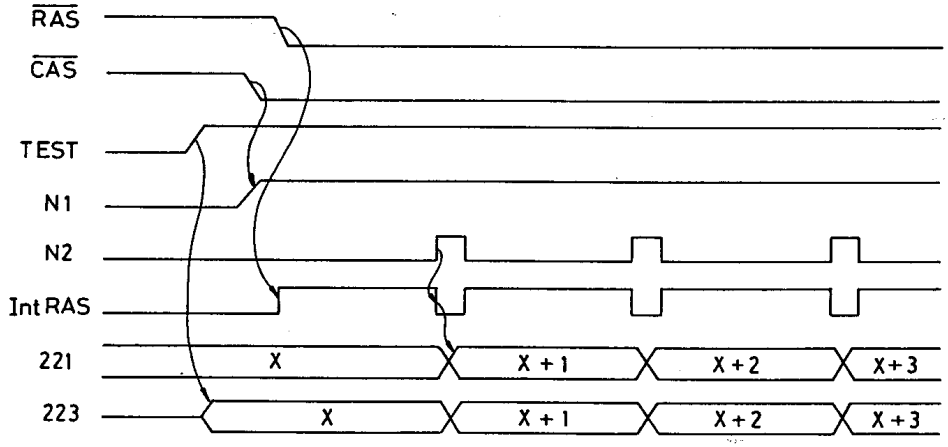
도면2


200
201
205
207
211
213
215
RAS
자동리프레쉬 제어회로
N1
발진회로
리프레쉬신호 발생회로
N2
Int RAS
203
209
CAS
217
223-0
A0
A1
An
223-1
223-n
221-0
221-n
221-1
229
231-n
231-1
231-0
테스트모드 제어회로
227
219
225
TEST

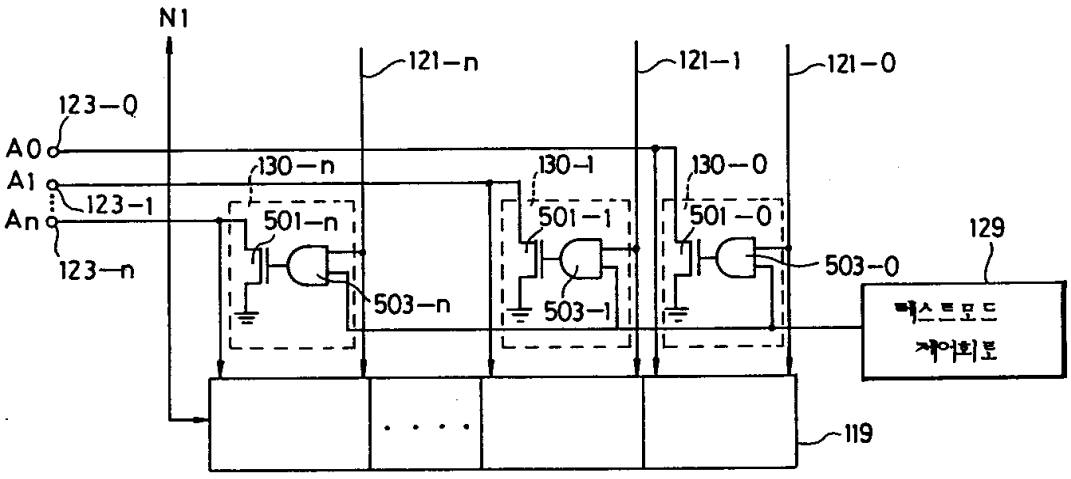
도면3


RAS
CAS
TEST
N1
N2
Int RAS
221
223
X
X + 1
X + 2
X + 3

도면4


RAS
CAS
TEST
N1
N2
Int RAS
221
223
X
X + 1
X + 2
X + 3

도면5


N1
121-n
121-1
121-0
123-0
A0
A1
An
123-1
123-n
130-n
130-1
130-0
501-n
501-1
501-0
503-n
503-1
503-0
129
119