(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04N 7/24

(45) 공고일자 2001년03월02일
(11) 등록번호 10-0284397
(24) 등록일자 2000년12월19일

(21) 출원번호 10-1993-0012465
(65) 공개번호 특1994-0003390
(22) 출원일자 1993년07월03일
(43) 공개일자 1994년02월21일
(30) 우선권주장 7/909,489 1992년07월06일 미국(US)

(73) 특허권자 제너럴 일렉트릭 컴퍼니 제이 엘. 차스킨
미합중국 뉴욕 쉐넥테디 원 리버 로우드제너럴 일렉트릭 컴퍼니 버나드 스나이더
미합중국 뉴욕 쉐넥테디 원 리버 로우드제너럴 일렉트릭 컴퍼니 아더엠. 킹
미합중국 뉴욕 쉐넥테디 원 리버 로우드
(72) 발명자 리차드 미카엘 번팅
미합중국 뉴저어지 08690 해밀톤 스퀘어 아파트 #10 휴지스 드라이브 1015
알폰스 안쏘니 어켐포라
미합중국 뉴욕 10304 스테이튼 아일랜드 다우슨 써클 56
(74) 대리인 나영환, 조태연

심사관 : 정상태

(54) 비디오 신호 인코더용 리셋 제어 회로망

요약

비디오 신호 인코딩 시스템은 인코딩된 비디오 데이타를 헤더 섹션(314)과 패킷 데이타(316) 섹션을 갖는 전송 블록으로 분할하는 신호 프로세서(300)을 포함한다. 상기 시스템은 소정의 순서로 신호 처리를 개시할 수 있도록 소정의 비동기적인 단계적 순서로 전체 시스템을 리세트 한 후에, 시스템 소자들의 리세트를 해제시키는 리세트 제어 장치(110)도 포함한다. 상기 단계적 리세트 해제 시퀀스는 유효 데이타가 데이타 라인의 변이에 따라 감지되는 경우에 시작된다.

대표도

도3

명세서

[발명의 명칭]

비디오 신호 인코더용 리셋 제어 회로망

[도면의 간단한 설명]

제1도는 본 발명에 따라 리셋 동작을 실행하는 리셋 장치의 블록도.

제2(a)도 및 제2(b)도는 본 발명에 따른 장치의 동작을 예시하는 신호 시퀀스의 타이밍도.

제3도는 본 발명의 원리에 따라서 리셋되는, 분할 코드화된 비디오 데이타 처리용 시스템의 일부 블록도.

제4도는 본 발명에 따라 동작하는 장치를 포함하는 HDTV 인코딩 시스템의 블록도.

제4(a)도 및 제4(b)도는 제4도에 도시된 시스템의 동작을 이해하는 데 유용한 인코딩된 비디오 신호의 필드/프레임 시퀀스를 도시한 도면.

제5도는 제4도의 시스템의 압축 장치에 의해 형성되는 데이타 블록 형성을 나타낸 도면.

제6도는 제4도의 시스템의 압축 장치에 의해 제공되는 데이타 포맷을 나타낸 일반화된 도면.

제7도는 전송 데이타 블륵을 나타낸 일반화된 도면.

* 도면의 주요부분에 대한 부호의 설명

110 : 리셋 제어 유닛 111 : 스타트 업 상태 머신
114 : 시프트 레지스터 300 : 전송 처리기
310 : 길이 분리기 및 디코더 유닛 312 : 데이타 제어기

314 : 전송 헤더 발생기 316 : 데이타 팩커(data packer)

320 : 패킹된 데이타 및 헤더 결합기

[발명의 상세한 설명]

본 발명은, 예를 들어 텔레비전 신호와 같은 비디오 신호를 코딩하는 장치에 관한 것이다. 특히, 본 발명은 분할된 데이타 코딩 시스템의 리셋(reset) 기능을 제어하는 장치에 관한 것이다.

전송용 디지탈 고선명 비디오 데이타 코딩 처리에 있어서, 비디오 데이타는 계층형으로 코드화된 포맷으로 압축되어 전송될 수 있다. 상기 계층형 포맷은 전송중에 데이타 손실이 발생한 경우 수신기가 수신 데이타 스트림에서 적당한 재진입점(re-entry point)을 찾을 수 있도록 데이타 세그먼트를 식별하는 헤더 데이타를 포함할 수 있다. 수신기에서 뒤죽박죽된 서비스를 유발하는 분실 또는 훼손 데이터에 대한 특별 보호는 전송 블록의 코드화된 비디오 데이타를 배열함으로써 제공될 수 있다. 상기 전송 블록은 비교적 작은 부분의 비디오 데이타를 식별하는 추가의 헤더 데이타를 포함할 수 있다. 상기 헤더 데이타는 각 전송 블록 내의 데이타 재진입점을 표시하는 포인터(pointer)를 포함하는 것이 좋다.

비디오 데이타는 MPEG 포맷 또는 이와 유사한 포맷과 같은 여러 가지 방식으로 압축될 수 있다. MPEG은 국제표준화 기구에 의해 제정된 표준화된 코딩 포맷이다. 이 표준은 “국제표준화 기구(ISO)”에 의해 “ISO/IEC DIS 11172, Coding of Moving Pictures and Associated Audio for Digital Storage Media”라는 명칭으로 1991년 11월 23일 발행된 개정판에 기재되어 있으며, 일반 코드 포맷을 설명하기 위해 본 명세서의 일부를 이룬다. MPEG형 처리 및 관련된 헤더를 가진 비디오 데이타 전송 블록을 특징적으로 사용하는 고선명 텔레비전 신호 처리 시스템은 “전송용으로 코드화된 비디오 신호를 분할하는 장치(Apparatus for Segmenting Encoded Video Signal for Transmission)”라는 명칭의 미합중국 특허 제5,168,356호에 개시되어 있다. 이 시스템에서, 데이타 워드를 전송 블록을 구성하는 데이타 패킷으로 변환하는 데에 전송 처리기가 사용된다. 이 전송 처리기는 필요한 헤더도 역시 생성하고, 헤더를 적당한 전송 블록과 통합한다.

여기서, 전송 처리기 및 관련된 신호 처리 유닛의 리셋 처리는 주의깊은 고려를 해야 한다는 것을 알 수 있다. 특히, 시스템이 (전체)리셋 처리를 수행하고 있는 중에 외부 신호가 시스템을 통과할 수도 있다는 것을 알 수 있다. 이러한 상태는 전송 헤더 및 통합된 전송 헤더/전송 블록 결합의 생성시에 오동작 위험을 증가시킨다. 개시되는 리셋 제어 장치는, 예를 들어 헤더가 외부 데이터와 통합되는 것이 아니라 유효한 데이타 워드와 적절히 통합되거나, 그와는 반대로, 데이타 워드가 외부 헤더 비트와 통합되는 것이 아니라 유효한 관련된 헤더와 적절히 통합되는 것을 보장하는 것에 관한 것이다.

상기 목적을 달성하기 위하여, 본 발명의 원리에 따른 분할 코드화된 비디오 데이타 처리 시스템은 신호 처리 소자로 하여금 소정의 동시적이 아닌 순서로 각리셋 상태를 나타내도록 하는 리셋 장치를 포함한다. 개시되는 바람직한 실시예에 있어서, 상기 리셋 장치는 시스템 리셋 상태 후에 리셋 시스템 소자를 단계적으로 또는 시차적으로 해제한다. 상기 단계적인 리셋 해제동작은 MPEG 코드형 데이타와 같은 유효한 데이타가 데이타 라인을 통과하고 있는 것으로 감지되는 경우 개시된다.

본 발명에 따른 리셋 장치는 “전송용으로 코드화된 비디오 신호를 분할하는 장치”라는 명칭으로 에이. 에이. 아캄포라(A.A. Acampora) 등에게 허여된 미합중국 특허 제5,168,356호에 기재된 바와 같은 MPEG형 원리를 이용한 고선명 텔레비전(HDTV) 코딩 시스템에 관련하여 설명할 것이다. 제4도, 제4(a)도, 제4(b)도, 제5도 및 제6도와 관련하여 상기 시스템의 특정 특징을 도시하고 설명할 것이다.

제1도에서, 리셋 장치(110)는 복수 개의 입력 신호에 응답하여 D 플립플롭(112)에 RESET RLS(리셋 해제) 출력 신호를 발생시키는 스타트-업 상태 머신(start-up state machine : 111)을 포함하는데, 상기 플립플롭(112)은 시프트 레지스터 유닛(114)의 입력단(IN)에 신호를 제공한다. 시스템 (전체)리셋 시퀀스는 시스템 리셋 신호(SYS RESET)가 발생하는 경우에 시작된다. 상기 리셋 신호는 상태 머신(111)을 초기화하고, 플립플롭(112) 및 시프트 레지스터 유닛(114)을 클리어한다. 클리어된 유닛(114)은 자신의 4개의 출력단(QD, QE, QJ, QK)에서 논리적 로우 레벨 신호를 제공한다. 상기 출력단에서 제공되는 신호는 제3도에 도시되어 있는 바와 같이 시스템 소자의 입력을 리셋하는 신호(R1, R2, R3, R4)로서 제공된다. 먼저, 상기 논리적 로우 레벨 신호는 이 신호가 각각 연결되는 시스템 소자를 리셋시킨다. 플립플롭(112)은 상기 리셋 상태를 유지함으로, 유닛(114)의 Q 출력은 상태 머신(111)이 상태 머신(111)에 인가되는 복수 개의 입력 신호의 특정 특성에 응답하여 리셋 해제출력 신호(RESET RLS)를 제공할 때까지 논리적 로우(리셋) 상태로 유지된다.

특히, 상태 머신(111)은 초기화된 후에 소정 시퀀스의 입력 신호(LENGTH, PSI, HLI, BIT30) 뿐만 아니라, 상기 LENGTH 신호에 의해 표시되는 비트 길이를 갖는 신호(PSC, TREF, PCT BF)에 응답하도록 프로그램된다. 상기 신호는 MPEG 코딩절차에 따라 발생되고, 상기 LENGTH 신호는 MPEG 비디오 신호 압축 하드웨어에 의해 제공된다. LENGTH 신호는 코드워드의 비트 길이를 표시하기 위한 가변 길이 코드워드와 부합하는 병렬 워드이다.

PSI(Picture Start Indicator) 신호는 픽쳐 스타트 코드워드(예를 들어, 제5도에 도시되어 있는 I 프레임, p 프레임 또는 B 프레임에 대한)가 가변 길이 코드워드 버스 상에 있게 되는 하나의 클록 주기 동안 유효한, 1 비트의 논리적 하이 플래그 이다. HLI 신호는 상위/하위 우선 순위 표시기인데, 논리적 하이 레벨의 상기 HLI 신호는 논리적 하이 레벨 지속 구간 동안 상위 우선 순위 처리기에 의해 처리될 코드워드 스트림 내에 상위 우선 순위 데이타가 존재하고 있음을 표시해준다. 그와는 반대로, 논리적 로우 레벨의 HLI 신호는 논리적 로우 레벨 지속 구간 동안, 하위 우선 순위 처리기에 의해 처리될 하위 우선 순위 데이터가 있음을 표시해준다. 본 명세서에서, 하위 우선 순위는 표준 우선 순위와 같은 뜻으로 사용된다. 32 비트 MPEG 가변 길이 코드형 데이타 워드의 BIT30 신호는 I 프레임의 개시를 식별하는데 이용되는데, 이는 상기 신호가 한 그룹의 픽쳐를 개시한다는 점에서 중요하다. TREF 신호는 디스플레이 순서대로 입력 픽쳐에 차례대로 할당되는 무부호 정수(unsigned integer)인 MPEG 시간 참조(temporal

reference) 신호인데, 이는 디코더로 하여금 화상 전송 순서로부터 원래 순서로 화상 필드/프레임을 재배열하도록 한다(즉, 제4(b)도의 필드/프레임 포맷을 원래의 제4(a)도 포맷으로 재정리). PSC 신호는 MPEG 픽쳐 시작 코드 신호로서, 이어지는 데이타가 화상 프레임을 포함하고 있다는 것을 디코더에 신호한다. PCT 신호는 디코더로 하여금 픽쳐가 내부 코드형 픽쳐(I : Intra Coded Picture), 예측 코드형 픽쳐(P : predictive coded Picture), 또는 양방향 예측 코드형 픽쳐(B : bidirectionally predictive coded picture)인지를 식별하게 하는 픽쳐 코딩 타입 신호이다. BF 신호는 버퍼가 오버 플로우 또는 언더 플로우되지 않도록, 디코딩 시작시에 디코더의 버퍼 초기 점유치를 설정하는데 이용되는 MPEG 버퍼 충만(Buffer Fullness) 코드워드("가상 버퍼 검증 지연"과 같은 의미임) 신호이다.

상태 머신(111)으로부터의 리셋 해제출력 신호는 상태 머신(111)이 제2(a)도에 도시된 4 개의 클록 사이클 동안 신호 시퀀스를 검출하는 경우에 발생한다. 이들 클록 사이클의 제1클록 사이클에서, LENGTH 신호는 32 비트 픽쳐 시작 코드(PSC)가 있음을 나타낸다. 동시에, 픽쳐 시작 코드 표시기(PSI), 상위 우선 순위 표시기(논리적 하이 레벨 HLI 신호) 및 임의의 BIT30 논리값이 나타난다. 제2 클록 사이클에서, LENGTH 신호는 10 비트 시간 참조(TR : Temporal Reference) 신호와 상위 우선 순위 표시기(논리적 하이 레벨 HLI 신호) 및 임의의 BIT30 논리값이 있음을 나타낸다. 제3클록 사이클에서, LENGTH 신호는 3비트 픽쳐 코드 타입(PCT) 신호가 있음을 나타낸다. 상기 신호와 동시에 상위 우선 순위 표시기 및 BIT30 로우 논리값이 나타난다. 제4최종 클록 사이클에서, LENGTH 신호는 16 비트 버퍼 충만(BF) 신호가 있음을 나타내는데, 이와 동시에 상위 우선 순위 표시기 및 임의의 BIT30 논리 레벨 신호가 나타난다. 4 개의 신호의 이러한 시퀀스가 검출되는 경우에, 상태 머신(111)에 의해 RESET RLS 신호가 발생되고, 이것에 의해 플립플롭(112)의 출력은 논리적 하이 상태로 유지된다. 이러한 논리적 하이 상태로 인해 유닛(114)의 출력 Q는 이전의 논리적 로우 리셋 상태에서 논리적 하이 리셋 해제상태로 연속하여 상태가 변경된다. 상기 리셋 해제상태는 시스템 소자간의 클록 지연과 같은 요구 조건 및 시스템 특성으로서 단계적 또는 시차적 순서로 시프트 레지스터(114)의 출력 Q에서 순서적으로 발생 되도록 시간 조절된다. 신호(R1, R2, R3, R4)에 의해 제공되는 리셋 해제상태간의 시간 간격은 시프트 레지스터 Q 출력 탭을 조정함으로써 결정된다. 설명되는 리셋/리셋 해제처리는 시각(T0)에서 발생하는 SYS RESET 펄스(제2(a)도)의 초기(하강) 에지에 응답하여 개시된다. 상기 리셋/해제처리는 하나의 픽쳐 그룹의 시퀀스가 시작될 때까지는 개시되지 않는다. PSC, TREF, PCT 및 BF 신호(여기서, PCT 신호는 내부 코드형 프레임을 특별히 표시함)는 모든 픽쳐 그룹에서 반복된다.

제2(a)도에 도시된 신호 시퀀스는 픽쳐 그룹 내에 I 프레임이 있음을 표시한다는 점에서 중요하다. 1 프레임은 제4(a)도, 제4(b)도 및 제5도에 도시된 바와 같이 픽쳐 프레임 그룹의 시작 부분에 코드화된 실제 화상(예측되지 않은 화상)을 나타낸다. 따라서, I 프레임 데이타의 존재는 리셋 해제처리를 개시하도록 하는 대표적인 유효한 데이타로서 선택된다. 1 프레임의 시작은 32 비트 MPBG 가변 길이 코드형(VLC) 데이타 워드의 BIT30에 의해 확실히 표시된다. 이러한 MPEG 코드형 데이타 워드의 비트 29, 30 및 31은 I, P 또는 B 프레임을 표시하는 픽쳐 코딩 타입 데이타를 정의한다. I, P 및 B 프레임에 대해서 상기 비트들은 각각 2 진값 100, 010 및 110을 나타낸다.

이 실시예에 있어서, 제2(a)도의 가변 길이 코드형 데이타 워드 PSC, TREF, PCT 및 BF의 시퀀스는 연속되는데, 예를 들어 이들 워드 사이에 삽입되는 제로 길이가 없다는 것이다. 그러나, 그 사이에 제로 길이가 삽입되는 것이 허용될 수 있기 때문에, 이는 본질적인 것은 아니다. 예를 들어, 소정의 실시예에 있어서, 상태 머신은 픽쳐 시작 코드워드가 수신되면 시작되는 리셋 동작에 대한 검색 시퀀스를 시작한다. MPEG 픽쳐 그룹의 시작 코드워드에 의해 검색 시퀀스를 시작함으로써 더 좋은 성능이 달성될 수 있다.

리셋/리셋 해제동작의 타이밍이 제2(b)도에 파형으로 도시되어 있다. 각 리셋 제어 신호(R1, R2, R3, R4)는 SYS RESET 신호에 응답하여 시프트 레지스터(114)가 클리어되는 경우에 시각(T0)에서 논리적 로우 레벨의 리셋 상태를 동시에 나타낸다. 이어서, 시각(T1)에서 상태 머신(111)은 RESET RLS 신호(하강 에지 전이)를 발생한다. 그 후, 신호(R1~R4)는 시각(T2, T3, T4, T5)(상승 에지전이)에서 각각 논리적 하이 레벨의 리셋 해제상태를 연속적으로 나타내는데, 이는 제3도에 도시한 바와 같이, 관련된 신호 처리 소자로 하여금 적절히 발생하는 전송 블록에 대해서 적절한 순서로 동작을 개시하도록 한다.

이 실시예에 있어서, 시각 T1에서 RESET RLS 제어 신호가 발생한 후 5개의 클록 사이클 후에 시각 T2에서 제1리셋 해제신호 R1이 발생한다. 이와 같은 지연은 상태 머신(111)에 의해 검출되는 모든 신호 성분이 처리되기를 대기하는 각 데이타 버스에 확실히 실려 있도록 한다. 리셋 해제신호 R2는 리셋 해제신호 R1에 대해서 하나의 클록 사이클 [T3 -T2] 만큼 지연되고, 리셋 해제신호 R3는 리셋 해제신호 R2에 대해서 5 개의 클록 사이클 [T4- T3] 만큼 지연되며, 리셋 해제 신호 R4는 리셋 해제신호 R3에 대해서 하나의 클록 사이클 만큼 지연된다.

제3도는 가변 길이 코드형 HDTV 비디오 데이타를 처리하기 위한 전송 처리기[예를 들어, 제4도의 유닛(412)], 제1도와 관련하여 설명한 리셋 제어 유닛(110) 및 길이 분리기 및 디코더 유닛(310)을 도시하고 있다. 유닛(310)은 제4도 시스템의 우선 순위 선택 유닛(411) 내에 포함될 수도 있다. INPUT 데이타는 MPEG 가변 길이 코드워드 및 기타의 신호 중에서 제2(a)도와 관련하여 설명한 신호와 같은 복수 개의 데이타 성분을 포함한다. 가변 길이 코드워드(VLC)를 포함하는, 유닛(310)으로부터의 출력 데이타는 데이타 팩커(Packer : 316)에 제공된다. 유닛(310)으로부터 데이타 제어기(312)에 제공되는 다른 그룹의 출력 데이타는 우선 순위(HP) 및 표준 우선 순위(SP) 가변 길이 코드워드의 길이와 관련된 데이타와 각각의 상위 및 표준 우선 순위 데이타의 시작을 표시하는 데이타를 포함한다. 유닛(310)으로부터 전송 헤더 발생기(314)에 제공되는 또 다른 그룹의 데이타는 프레임 타입 식별 정보, 모션 벡터(motion vector) 및 픽쳐 시작(picture start), 레코드 헤더 및 매크로 블록 표시기(macroblock indicator)를 포함한다.

제어기(312)는 32 비트 데이타 워드의 종료를 식별하고, 960 비트 데이타 패킷(데이타 패킷당 30 개의 워드)의 종료를 식별하기 위하여 워드 길이 데이타가 누적되는 것을 추적한다. 워드 어드레스는 팩커(316)에 인가되는 VLC_S의 적절한 연결(concatenation)을 보장하기 위해서 데이타 팩커(316)에 전송된다. 또한, 제어기(312)는 상위 및 표준 우선 순위 패킷의 종료를 추적한다. 비트 및 워드 계수 처리는 픽쳐 시작 그룹 표시기가 나타나면 초기화 되는데, 이는 제어기(312) 및 팩커(316)의 누산기를 리셋한다. 또한, 제어기(312)는 상위 우선 순위 및 표준 우선 순위 제어 데이타를 헤더 발생기(314)에 제공한다. 상기 데이타

는 제어기(312)에 인가되는 상위 및 표준 우선 순위 표시기에 응답하여, 처음으로 나타나는 각각의 상위 우선 순위 및 표준 우선 순위 데이타 패킷 내의 비트 위치에 관한 정보를 포함한다. 이 데이타는 헤더와 전송 블록 패킹 데이타를 정렬하기 위한 진입점으로서 헤더 발생기 (314)에 제공된다.

32 비트 버스를 통하여 유닛(310)으로부터 데이타 팩커(316)에 인가되는 가변 길이 코드워드는 제어기(312)로부터 발생하는 제어 신호의 감독하에 팩커(316)에 의해 처리되어 각각의 32 비트 상위 우선 순위 워드 및 표준 우선 순위 워드로 된다. 연결(concatenation)은 최종 MPEG 직렬 전송 순서를 조절하기 위해 배열되고, 유닛(316)으로부터의 패킹된 데이타는 가변 워드율로 패킹된 데이타 및 헤더 결합기(320)에 전송된다. 데이타 패킷은 그룹 시작 표시기가 입력 신호에 있는 경우에 시작된다. 후속 패킷들은 GOP의 데이타로부터 분할된다. 이러한 모든 패킷은 30 개의 패킹된 워드가 전송된 경우에 일반적으로 종료된다.

전송 헤더 발생기(314)는 그룹 시작 표시기가 나타나면 초기화되는 비트 누적 처리를 통하여 상위 우선 순위 및 표준 우선 순위 패킷의 종료를 감시하는데, 이는 제어기(312) 내에 있는 누산기를 리셋한다. 전송 헤더를 구성하려면 슬라이스 계수(slice counting)에 사용되는 레코드 헤더 표시기, 매크로 블록 계수에 사용되는 매크로 블록 어드레스 증분 표시기, 프레임 계수에 사용되는 픽쳐 시작 표시기 및 패킷 구성중에 결정되는 상위 및 표준 우선 순위 데이타에 대한 진입점을 알아야 한다. 화상 슬라이스, 매크로 블록 및 프레임은 제5도와 관련하여 설명할 것이다. 상위 및 표준 우선 순위 데이타에 대한 전송 헤더 데이타는 데이타 패킷에 대해 진입점이 설정되는 경우에 결합기(320)에 전송된다.

패킹된 데이타 워드는 워드가 이용 가능한 경우에는 언제든지 팩커(316)로 부터 결합기(320)의 FIFO(선입선출) 저장 유닛으로 전송된다. 마찬가지로, 전송헤더는 헤더가 이용 가능한 경우에는 언제든지 헤더 발생기(314)로부터 결합기(320)의 FIFO 저장 유닛으로 전송된다. 통상의 30 개의 워드로 된 데이타 패킷의 경우에 있어서, 30 개의 데이타 워드가 전송된 후에 최종 워드 신호는 결합기(320)가 관련 헤더를 획득하도록 한다. 상기 전송 헤더는 헤더에 서술된 데이타 패킷이 전송되기 전에 속도 버퍼 [제4도의 유닛(413, 414)] 에 전송된다. 결합기(320)의 HP 처리기와 SP 처리기는 각각 데이타 FIFO, 헤더 FIFO 및 관련된 시간 다중화기(time MUX)를 포함한다. 상기 MUX는 헤더 FIFO로부터 헤더를 선택하여, 관련된 데이타가 데이타 FIFO로부터 선택되어 버퍼에 전송되기 전에 헤더를 상기 버퍼에 전송한다.

제3도에 도시된 장치의 리셋 상태는 리셋 제어 유닛(110)으로부터의 출력 신호(R1~R4)에 의해 제어되는데, 이는 제1도 및 제2도와 관련하여 설명되었다. 리셋 유닛(110)에 인가되는 SYS RESET 입력 신호는 수동 상태(manual condition)에 응답하여 발생되거나, 또는 시스템에 처음 전원이 공급되거나 또는 에러가 검출되는 경우와 같이 자동적으로 발생될 수 있다. 제어 신호(R1~R4)에 의해 인에이블(enable)되는 리셋/해제동작은 다음과 같다. 유닛(310)에 인가되는 리셋 제어 신호 R1은 플립플롭과 같은 리셋 가능한 소자로 하여금 원하는 초기 상태를 나타내도록 한다. 헤더 발생기(314)에 인가되는 제어 신호 R1은 프레임, 슬라이스 및 매크로 블록 카운터를 초기화하고, 회로를 해제하여 헤더 데이터의 기록 및 판독을 인에이블한다. 데이타 팩커(316)에 인가되는 제어 신호 R2는 데이타 워드를 적절한 순서로 패킹하고 패킹된 데이타의 기록을 허용하는 회로를 해제하는데 사용되는 배럴 시프터 어드레싱 회로(barrel shifter addressing circuit)를 리셋한다. 결합기(320)에 인가되는 제어 신호 R3는 동작이 해제될 때까지 관련된 전송 헤더 FIFO를 클리어된 상태로 유지시킨다. 제어 신호 R4는 결합기(320)의 데이타 FIFO에 대해 유사한 기능을 수행한다. 제2(b)도에 도시된 바와 같이, 헤더 FIFO는 데이타 FIFO가 신호 R4에 의해 해제되기 전에 신호 R3에 의해 해제된다. 제어 신호(R1~R4)에 의해 실행되는 리셋 해제시퀀스는 소정의 헤더가 자신이 식별하는 패킹된 데이타와 적절하게 연관되도록 하는 것을 보장한다. 특히, 전송 헤더 발생기는 초기화되고 헤더가 기록되며, 적절한 순서의 패킹된 데이터를 허용하는 데이타 어드레스는 리셋되고, 상기 패킹된 데이타는 기록되며, 헤더가 다음 데이타에 대해 준비하도록 하기 위하여 패킹된 데이타 FIFO는 헤더 FIFO가 해제 된 후에 해제된다. 따라서, 리셋/리셋 해제동작은 전송 블록 헤더/데이타 구성에 대해 소망하는 신호 처리 시퀀스를 가능케 한다.

리셋/해제시퀀스는 제7도의 전송 블록을 간단히 살펴봄으로써 더 자세히 설명한다. 특히, 전송 헤더는 엔트리 식별을 위한 예약된 섹션과 전송 패킷 내의 특정 패킹된 코드워드에 대한 포인터를 위한 예약된 섹션을 갖는다. 상기 엔트리 식별은 전송 셀 내의 데이타의 시간 및 공간 특징에 관한 것이다. 상기 포인터는 특정 코드 워드가 패킹된 코드워드 주위에 존재하는 경우에는 언제든지 형성된다. 따라서, 이러한 특정 코드워드는 전송 셀의 시작점에서 패킹되는 것이 가능하지만 제1 32 비트 데이타 워드를 채우기에는 부족한 길이로 구성된다. 따라서, 헤더는 데이타 워드앞에 생성되어야 하므로 헤더는 가장 먼저 기록되어야 한다. 만일 특정 코드워드가 하나 이상의 데이타 워드가 발생한 후에 발생하여 헤더보다 먼저 데이타 워드가 제공되는 경우에는, 상기 워드는 헤더가 형성될 때까지 데이타 워드 FIFO에 버퍼링된다. 그러나, 보다 앞선 경우에 대한 보호책으로, 헤더 회로는 가장 먼저 해제되어야한다. 또한, 엔트리 포인터는 데이타 팩커에서 코드워드가 발생하면 형성되기 때문에, 헤더는 가장 먼저 해제되어야 한다.

본 발명을 사용할 수 있는 예시적인 HDTV 신호 처리 시스템은 초당 59.94 프레임으로 1050 라인의 2:1 비월 주사(飛越 走査) 신호를 처리한다. 공칭 실제 픽쳐는 각각 16×9의 종횡비(縱橫比)를 갖는 1440 픽셀의 960 라인을 갖는다. 신호는 6 MHz 전송 대역으로 다중화되는 두 개의 32 QAM(구상 진폭 변조) 캐리어 주파수를 이용하여 전송된다. 비디오, 오디오 및 보조 데이타를 포함하는 공칭 전체 비트 속도는 26~29 Mbps이다.

비디오 신호는 MPEG 종류의 포맷에 적합하게 초기에 압축된다. 그 후, MPEG 형식의 신호 코드워드는 각 코드워드 타입의 상대적인 중요도에 따라 두 개의 비트 스트림으로 분류된다. 상기 두 개의 비트 스트림은 에러 정정 오버헤드 비트를 적용하기 위하여 독립적으로 처리되고, 이어서 전송을 위해 결합된 각각의 캐리어를 QAM 변조한다. 중요성이 비교적 큰 비트 스트림에는 상위 우선 순위(HP) 채널이 지정되고, 중요성이 비교적 적은 비트 스트림에는 하위 우선 순위(SP) 채널이 지정된다. 상위 우선 순위 채널은 표준 우선 순위 채널의 성능보다 대략 2 배의 성능으로 전송된다. 상위 우선 순위/표준 우선 순위 정보의 비율은 대략 1:4 이다.

제4도는 본 발명에 따른 장치를 사용하는 예시적인 HDTV 인코딩/디코딩 시스템을 도시하고 있다. 제4도는 단일 비디오 입력 신호를 처리하는 시스템을 도시하고 있는데, 휘도(luminance) 및 색차(chrominance) 성분은 별도로 처리되고, 휘도 모션 벡터는 압축된 색차 성분을 생성하는 데 사용된다는 것을 이해하여야

한다. 압축된 휘도 및 색차 성분은 코드워드 우선 순위를 파싱(parsing)하기 전에 매크로 블록을 형성하기 위하여 인터리브(interleave)된다.

제4(a)도에 도시된 화상 필드/프레임의 시퀀스는 제4(b)도에 따른 필드/프레임의 순서를 재조절(reorder)하는 회로(475)에 인가된다. 순서가 재조절된 시퀀스는 MPEG형 포맷에 따라 코딩되는 프레임의 압축된 시퀀스를 생성하는 압축기(410)에 인가된다. 이 포맷은 계층적이며 제6도에 생략된 형태로 도시되어 있다.

MPEG 계층형 포맷은 각각 개별적인 헤더 정보를 갖는 복수 개의 계층을 포함한다. 명목상으로, 각 헤더는 시작 코드, 각 계층에 관련된 데이타 및 헤더를 확장하기 위한 대책을 포함한다. (참조된 MPEG 문헌에 지적된 바와 같이) 대부분의 헤더 정보는 MPEG 시스템 환경에서의 동기화 목적을 위해서 요구된다. 디지탈 HDTV 동시 방송 시스템을 위해 압축된 비디오 신호를 제공하기 위해서, 서술적인 헤더 정보(descriptive header information)만이 요구된다. 코드화된 비디오 신호의 각 계층은 제5도에 도시되어 있다.

시스템에 의해 생성되는 MPEG형 신호를 참조하면, 비디오 신호의 연속 픽쳐 필드/프레임은 I, P, B 코딩 시퀀스에 따라 인코딩되고 픽쳐 레벨에서 코드화되는 데이타는 MPEG형 슬라이스 또는 블록 그룹으로 인코딩되는 것을 의미하는데, 여기서 필드/프레임당 슬라이스 수는 상이할 수 있으며 슬라이스당 매크로 블록 수도 상이할 수 있다. I코드화된 프레임은 화상 P를 재생하는 데 단지 I 프레임 압축 데이타만이 필요하도록 압축된 내부 프레임이다. P 코드화된 프레임은 순방향 모션 보상형 예측 방법에 따라 코드화되는데, 즉 P 프레임 코드화된 데이타는 현재 프레임 및 현재 프레임 앞에 있는 I 또는 P 프레임으로부터 발생된다. B 코드화된 프레임은 양방향 모션 보상형 예측 방법에 따라 코드화된다. B 코드화된 프레임 데이터는 현재 프레임 및 현재 프레임 전후에 발생하는 I 및 P 프레임으로부터 발생된다.

본 발명 시스템의 코드화된 출력 신호는 필드/프레임 그룹 또는 박스(L1)의 행(제6도)으로 도시된 픽쳐 그룹(GOP)으로 분할된다. 각 GOP(L2)는 픽쳐 데이터 세그먼트가 후속되는 헤더를 포함한다. GOP 헤더는 수평 및 수직 픽쳐 크기, 종횡비, 필드/프레임율, 비트 속도 등에 관련되는 데이타를 포함한다.

각각의 픽쳐 필드/프레임에 대응하는 픽쳐 데이타(L3)는 슬라이스 데이타(L4)가 후속되는 픽쳐 헤더를 포함한다. 상기 픽쳐 헤더는 필드/프레임 넘버와 픽쳐 코드 타입을 포함한다. 각 슬라이스(L4)는 데이터 MBi의 복수 개의 블록이 후속되는 슬라이스 헤더를 포함한다. 슬라이스 헤더는 그룹 넘버와 양자화 파라미터(quantization parameter)를 포함한다.

각 블록 MBi(L5)는 매크로 블록을 나타내고 모션 벡터와 코드화된 계수가 후속되는 헤더를 포함한다. 상기 MBi 헤더는 매크로 블록 어드레스 매크로 블록 타입 및 양자화 파라미터를 포함한다. 상기 코드화된 계수는 계층(L6)에 도시되어 있다. 각 매크로 블록은 4 개의 휘도 블록, 하나의 U 색차 블록과 하나의 V 색차 블록으로 구성된 6 개의 블록을 포함한다. 제5도를 참조한다. 블록은 예를 들어 8×8 픽셀의 매트릭스로 표시되는데, 이 매트릭스에 대해서 이산 코사인 변환(DCT)이 실행된다. 상기 4 개의 휘도 블록은 예를 들어 16×16 픽셀 매트릭스로 표시되는 연속된 휘도 블록의 2×2 매트릭스이다. 상기 색차(U 및 V) 블록은 상기 4개의 휘도 블록과 동일한 전체 면적을 나타낸다. 즉, 압축되기 전에 상기 색차 신호는 휘도 신호에 대해서 수평 및 수직인 두 개의 인자에 의해 서브 샘플링(subsampled)된다. 데이터의 슬라이스는 매크로 블록의 연속적인 그룹이 나타내는 면적에 해당하는 직사각형 부분의 화상을 나타내는 데이타에 해당한다. 프레임은 6개의 슬라이스의 수평 주사와 60개의 슬라이스의 수직 주사로 된 360개 슬라이스의 래스터 주사(raster scan)를 포함할 수 있다.

DCT가 적용된 블록 계수는 한 번에 하나의 블록에 제공된다. DC 계수는 가장 먼저 생성되는데, 이 DC 계수 뒤에는 각각의 DCT AC 계수가 그들 간의 상대 중요도의 순서대로 후속한다. 블록 코드의 끝(end of block code : EOB)은 각각의 연속적으로 발생하는 데이타 블록의 끝에 부가된다.

압축기(410)에 의해 제공되는 데이타 양은 속도 제어 소자(418)에 의해 결정된다. 공지된 바와 같이, 채널을 효율적으로 사용하기 위하여 압축된 비디오 데이타는 가변적인 속도로 발생하고, 데이타는 채널 용량과 동등한 일정한 속도로 전송되는 것이 좋다. 속도 버퍼(413, 414)는 가변 속도를 일정한 데이터 속도로 변환한다. 상기 버퍼의 점유 수준에 따라 압축기가 제공하는 데이타 양을 조절하는 것도 역시 공지되어 있다. 따라서, 상기 버퍼(413, 414)는 그 각각의 점유 수준을 나타내는 회로를 포함한다. 이들 표시는 속도 제어기(418)에 인가되어 압축기(410)가 제공하는 평균 데이터 속도를 조절한다. 상기 조절은 통상 DCT 계수에 적용되는 양자화를 조절함으로써 달성된다. 양자화 수준은 상이한 유형의 프레임 압축에 대해서는 다를 수 있다.

제6도에 도시된 바와 같이 계층적으로 포맷된 압축된 비디오 데이타는 우선 순위 선택 소자(411)에 결합되는데, 이 소자는 상위 우선 순위 채널(HP)과 표준 우선 순위 채널(SP) 간의 코드화된 데이타를 파싱(parse)하기 위한 수단[예를 들어, 제3도의 유닛(310)]을 포함한다. 상위 우선 순위 정보는 재생된 화상의 품질을 가장 크게 저하시킬 수 있는 손실 또는 오염에 대한 정보이다. 역으로 말하자면, 이는 완전한 화상보다는 덜하더라도 화상 생성에 필요한 최소한의 데이타이다. 표준 우선 순위 정보는 그 이외의 정보이다. 상위 우선 순위 정보는 상이한 계층 수준에 포함되는 실질적으로 모든 헤더 정보와 각 블록의 DC 계수 및 각 블록의 AC 계수의 일부를 포함한다(제6도의 L6).

전송기에서의 HP 및 SP 데이타의 비율은 대략 1:4이다. 전송 처리기에서, 보조 데이타는 전송될 신호에 부가된다. 상기 보조 신호는, 예를 들어 디지탈 오디오 및 텔레텍스트 데이타를 포함할 수 있다. HP 채널에 포함되는 보조 데이타의 평균양이 계산되어 압축된 비디오 정보의 기대되는 통계적 평균치와 비교된다. 이렇게 함으로써, 상위 및 표준 우선 순위의 압축된 비디오 정보의 비율이 계산된다. 우 선 순위 선택 유닛(411)은 상기 비율에 따라 압축기(410)가 제공하는 데이타를 파싱한다.

HP 및 SP 압축된 비디오 데이타는 전송 처리기(412)에 결합되는데, 이 처리기는 제3도의 유닛(300)과 같은 장치를 포함할 수 있다. 전송 처리기(412)는 (a) HP 및 SP 데이타 스트림을 전송 블록으로 분할하고, (b) 각 전송 블록에 대해서 패리티 또는 순환 중복 검사를 하여 전송 블록에 적절한 패리티 검사 비트를 부가하며, (c) HP 또는 SP 비디오 데이타와 함께 보조 데이타를 다중 송신(multiplex)한다. 상기 패리티 검사 비트는 헤더 정보의 동기화에 관련된 에러를 분리하고, 수신된 데이타에 정정할 수 없는 비트 에러

가 있는 경우에 에러를 은폐하기 위해 수신기에 의해 사용된다. 각 전송 블록은 예를 들어, 비디오 오디오 및 연속형 데이타의 시작점에 대한 포인터와 같은, 블록에 포함된 정보의 유형을 나타내는 정보를 포함하는 헤더를 포함한다. 리셋 제어 유닛(110)은 전술한 바와 같이 전송 처리기(412)에 리셋 제어 신호를 제공한다.

전송 처리기(412)로부터 전송되는 HP 및 SP 데이타 스트림은 각 속도 버퍼(413, 414)에 인가되는데, 상기 속도 버퍼는 처리기(412)로부터 전송되는 가변 속도의 압축된 비디오 데이타를 실질적으로 일정 속도로 발생하는 데이타로 변환한다. 속도가 조정된 HP 및 SP 데이타는 (a) 각 데이타 스트림에 독립적으로 REED SOLOMON 순방향 에지 정정 인코딩을 수행하고 (b) 많은 양의 에러 버스트가 재생된 화상의 많은 양의 연속적인 영역을 훼손하는 것을 방지하기 위하여 데이타 블록을 인터리빙하며 (c) 수신기에서 데이타 스트림을 동기화하기 위해서 데이타에 예를 들어 Barker 코드와 같은 코드를 부가한다. 그 다음으로, 전송 모뎀(417)에 신호가 결합되는데, 이 전송 모뎀에서 HP 채널 데이타는 제1캐리어를 구상 진폭 변조하고 SP 채널 데이타는 상기 제1캐리어로부터 대략 2.88 MHz 만큼 떨어진 제2캐리어를 구상 진폭 변조시킨다. 6dB 대역폭의 변조된 제1 및 제2캐리어는 각각 대략 .96 MHz 및 3.84 Mhz 근처에 존재한다. 상기 변조된 제1 캐리어는 상기 변조된 제2캐리어보다 대략 9 dB 정도 큰 출력으로 전송된다. HP 정보는 더 큰 출력으로 전송되기 때문에, 상기 HP 정보는 전송 채널에 의해서 훼손될 가능성이 훨씬 더 적다. 상기 HP 캐리어는 표준 NTSC TV 신호의 잔류측파대에 의해 정상적으로 점유된 전송 채널, 예를 들어 NTSC TV의 주파수 스펙트럼의 일부에 위치된다. 상기 신호 채널의 일부분은 표준 수신기의 나이퀴스트 필터(Nyquist filter)에 의해 정규적으로 상당히 감쇄되기 때문에, 상기 전송 포맷을 갖는 HDTV 신호는 공통 채널 간섭을 일으키지 않는다.

수신기 디코더(도시되지 않음)에서, 전송된 신호는 HP 및 SP 채널 신호에 대응하는 두 개의 신호를 제공하는 모뎀에 의해 검출된다. 이들 두 개의 신호는 각각의 REED SOLOMON 에러 정정 디코더에 인가된다. 에러가 정정된 신호는 그 후의 복원 회로의 요구 조건에 따라 가변 속도로 데이타를 수신하는 속도 버퍼에 접속된다. 가변 속도의 HP 및 SP 데이타는 전송 처리기에 인가되어 인코더에서의 처리기(412)에 의해 실행되는 동작과는 반대 동작을 수행한다. 상기 전송 처리기는 각 전송 블록에 포함된 패리티 검사 비트에 응답하여 어느 정도의 에러 검출을 수행한다. 상기 전송 블록은 분리된 보조 데이타, HP 데이타, SP 데이타 및 에러 신호를 제공한다. 상기 후자의 세 가지 신호는 HP 및 SP 데이타를 계층적인 신호로 다시 포맷하는 우선 순위 해제 처리기에 결합되는데, 상기 계층적인 신호는 인코더에서의 압축기의 반대 기능을 실행하는 복원기에 인가된다. 제4도의 압축기(410), 우선 순위 선택기(411) 및 전송 처리기(412)에 사용될 수 있는 장치의 추가의 상세한 설명은 앞에서 언급한 미합중국 특허 제5,168,376호에 개시되어 있다.

제7도는 단순화된 예시적인 전송 블록을 상세히 도시하고 있다. 전송 블록은 전송되는 비디오, 오디오 또는 기타 다른 데이타를 식별하기 위한, 예를 들어 3 비트의 서비스 타입(service type : ST) 블록으로 시작된다. 서비스 블록 뒤에는 전송 헤더(transport header : TH) 및 MPEG 전송 패킹된 데이타가 이어진다. 레코드 헤더(record header : RH)는 블록 내에 있을 수도 있고 없을 수도 있다. 각 전송 블록은 16 비트 프레임 검사 시퀀스(frame check sequence : FCS)로 종료하는데, 이 FCS는 전송 블록의 모든 비트에 대해서 계산된다. 상기 FCS는 순환 중복 코드를 사용하여 생성될 수 있다.

제7도에는 상위 우선 순위(HP) 및 표준 우선 순위(SP) 전송 헤더도 도시되어 있다. HP 헤더는 슬라이스의 시작 위치에 대한 10 비트의 포인터, 2 비트의 프레임 타입 식별자 데이타, 5 비트의 프레임 넘버 식별자 및 프레임 내의 슬라이스(제5도 참조) 수를 표시하는 10 비트의 세그먼트를 포함한다. 처음의 10 비트의 세그먼트는 전송 데이터의 진입점의 제1비트를 가리킨다. 프레임 타입 비트(b1 b0)는 이진값 00, 01, 10, 11을 가질 수 있는데, 이 이진값은 각각 I 프레임 슬라이스 제로 진입점, 슬라이스 제로 진입점 이외의 I 프레임 내의 슬라이스, P 프레임 및 B 프레임(제5도 참조)을 가리킨다. 상기 프레임 넘버 세그먼트는 프레임 0 내지 프레임 31을 식별하고, 상기 10 비트 슬라이스 넘버 세그먼트는 슬라이스 0은 픽쳐 헤더이며 슬라이스 1 내지 슬라이스 360을 가리킨다.

상기 표준 우선 순위(SP) 헤더에서, 처음의 10 비트의 세그먼트는 프레임 타입, 프레임 넘버 및 매크로 블록 넘버에 의해 식별되는 매크로 블록의 제1비트를 가리킨다. 마지막의 13 비트 세그먼트는 소정의 프레임 내의 매크로 블록의 수, 예를 들어 매크로 블록 0 내지 4679(수직으로의 60 개 블록 x 수평으로의 78 개 블록)를 나타낸다.

상기 HP 전송 블록은 레코드 헤더(RH)를 포함하지 않을 수도 있고 하나 이상의 레코드 헤더를 포함할 수도 있다. 레코드 헤더 위치는 전송 블록 내에서 변할 수 있으며, 레코드 헤더는 매크로 블록 데이타의 각 슬라이스의 시작점에서 시작된다. 도시된 HP 레코드 헤더는 SP 처리를 개시하기 전에 디코딩되어야 하는 코드워드의 수를 표시하는 우선 순위 브레이크(Priority Break) 데이타, MPEG 슬라이스 시작 코드의 일부를 형성하는 수직 위치(Vertical Position) 데이타, 슬라이스 양자화 수준을 나타내는 양자화 (Quantization) 데이타를 포함한다.

(57) 청구의 범위

청구항 1

인코딩된 비디오 신호 데이타를 제공하기 위하여 비디오 신호에 응답하는 수단(310)과, 복수 개의 신호 처리 소자(314, 316)를 포함하고, 패킹된 데이타 그룹과 상기 그룹 중 관련된 그룹을 식별하는 헤더를 포함하는 비디오 데이타의 분할된 전송 블록을 제공하기 위하여 상기 인코딩된 비디오 데이타에 응답하는 신호 처리 수단(370)과, 상기 소자 중 특정 소자로 하여금 리셋 상태를 나타내도록 하기 위하여 상기 신호 처리 수단에 접속되는 리셋 수단(110)을 포함하고, 상기 리셋 수단은 상기 리셋 상태로부터 상기 특정 소자를 소정의 비동시적인 순서로 해제시키는 것을 특징으로 하는 비디오 신호 인코딩 시스템.

청구항 2

제1항에 있어서, 상기 리셋 수단은 화상을 표시하는 데이터가 나타나는 것에 응답하여 상기 리셋 상태를

해제시키는 것을 특징으로 하는 비디오 신호 인코딩 시스템.

청구항 3

제2항에 있어서, 상기 화상 데이타는 화상을 생성하는 데 그 자체만으로도 충분한 내부 프레임 화상 데이터를 나타내는 것을 특징으로 하는 비디오 신호 인코딩 시스템.

청구항 4

제1항에 있어서, 상기 리셋 수단은 특정 소자를 동시에 리셋시키고, 상기 소정의 순서로 신호 처리를 개시할 수 있도록 상기 소정의 순서로 상기 리셋 상태를 해제시키는 것을 특징으로 하는 비디오 신호 인코딩 시스템.

청구항 5

제1항에 있어서, 상기 신호 처리 수단의 상기 특정 소자는, 패킹된 비디오 데이타 그룹을 제공하기 위하여 인코딩된 비디오 데이타에 응답하는 데이타 수단과, 패킹된 비디오 데이타 그룹 중 관련된 그룹을 식별하는 전송 헤더를 생성하기 위한 헤더 수단과, 전송 블록을 생성하기 위하여 관련된 패킹된 데이타 그룹과 전송 헤더를 결합하기 위한 수단을 포함하는 것을 특징으로 하는 비디오 신호 인코딩 시스템.

청구항 6

제5항에 있어서, 상기 헤더 수단의 리셋 상태는 상기 데이타 수단의 리셋 상태가 해제되기 전에 해제되고, 상기 데이타 수단의 리셋 상태는 상기 결합수단의 리셋 상태가 해제되기 전에 해제되는 것을 특징으로 하는 비디오 신호 인코딩 시스템.

청구항 7

제6항에 있어서, 상기 리셋 수단은 상기 헤더 수단에 제1제어 신호를 제공하고, 상기 데이타 수단에 제2제어 신호를 제공하며, 상기 결합 수단에 제3및 제4제어 신호를 제공하고, 상기 결합 수단은 상기 헤더를 수용하기 위한 제1저장 수단과, 패킹된 데이타 그룹을 수용하기 위한 제2저장 수단을 포함하며, 상기 제1저장 수단으로부터의 헤더 데이타와 상기 제2저장 수단으로부터의 패킹된 데이타를 출력단에 전송하는 수단을 포함하고, 상기 제1저장 수단은 상기 제2저장 수단보다 먼저 리셋 상태로부터 해제되는 것을 특징으로 하는 비디오 신호 인코딩 시스템.

청구항 8

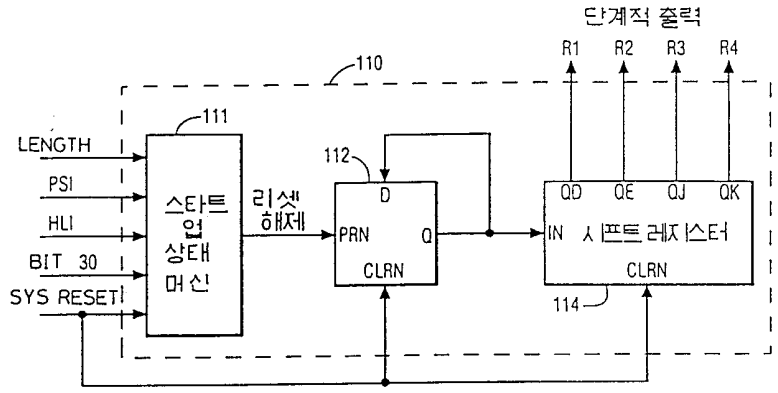
제7항에 있어서, 상기 제1, 제2, 제3및 제4제어 신호는 이 신호 순서대로 리셋 상태를 해제시키는 것을 특징으로 하는 비디오 신호 인코딩 시스템.

청구항 9

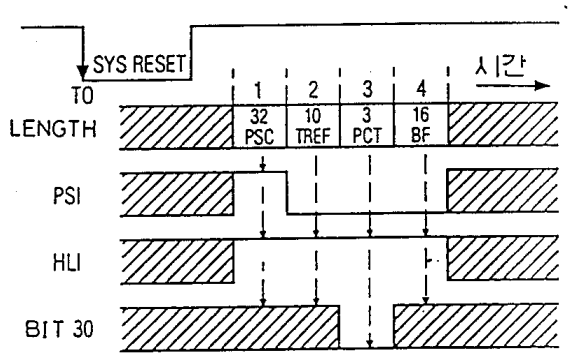
제1항에 있어서, 상기 비디오 신호는 고선명 텔레비전 신호의 비디오 신호성분인 것을 특징으로 하는 비디오 신호 인코딩 시스템.

도면

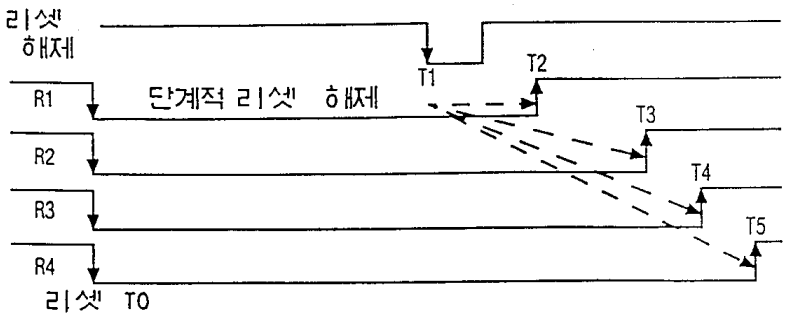
도면1



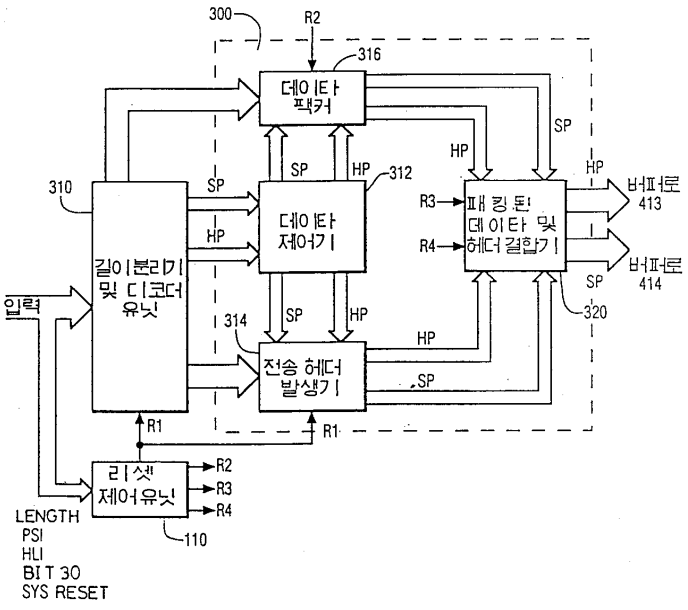
도면2a



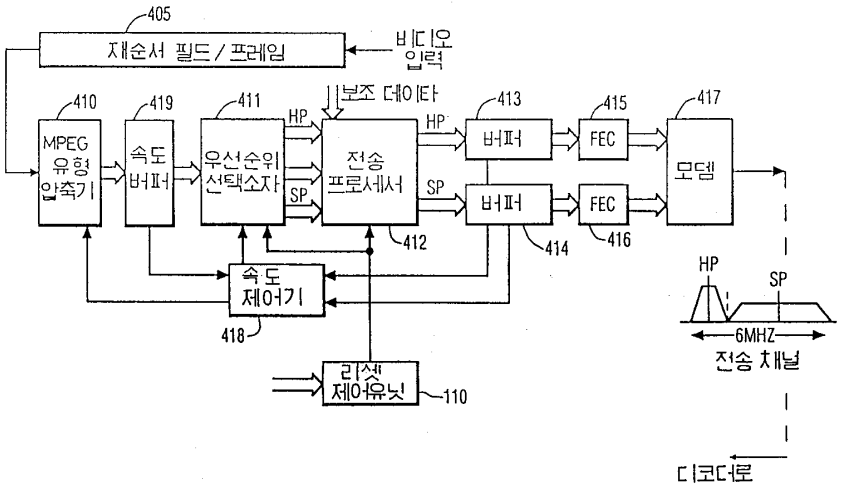
도면2b



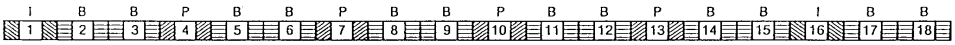
도면3



도면4



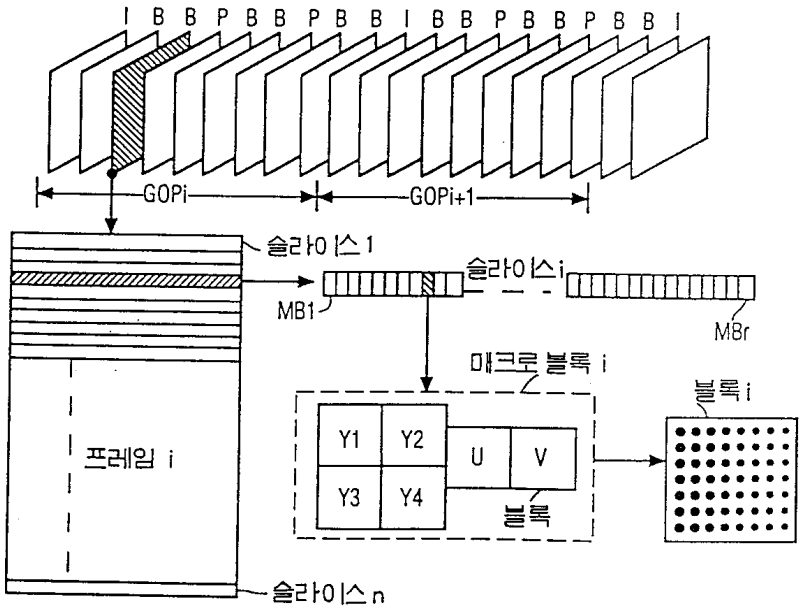
도면4a



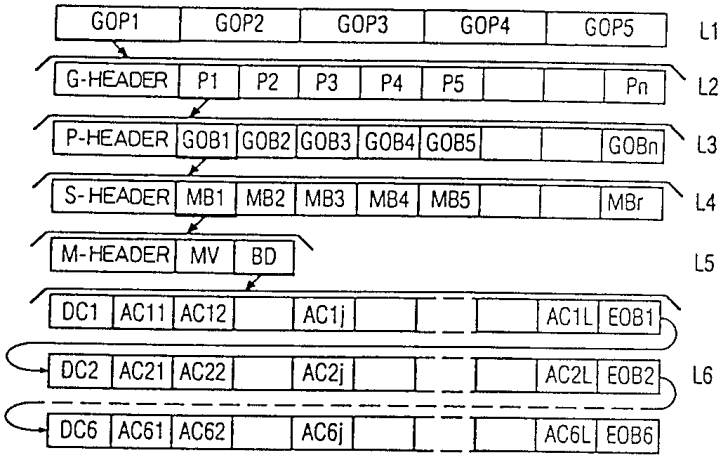
도면4b



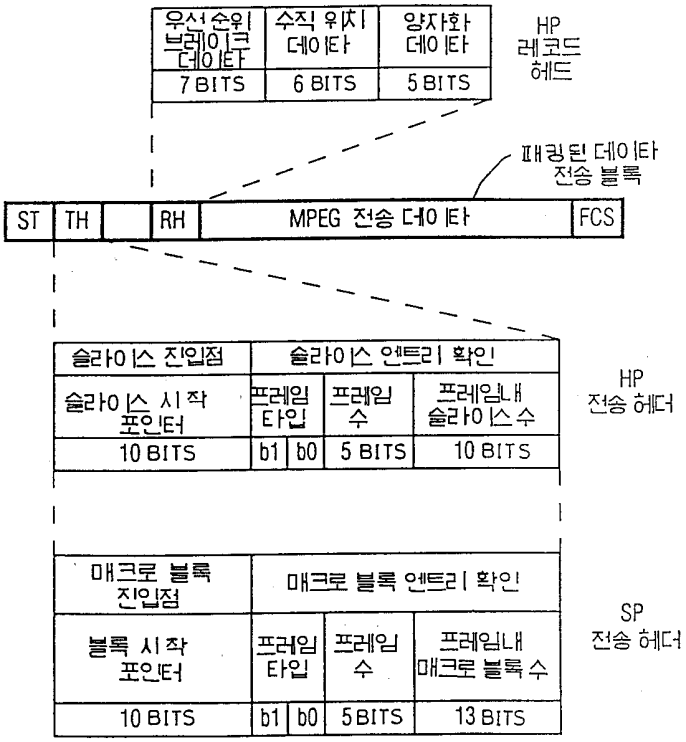
도면5



도면6


GOP1
GOP2
GOP3
GOP4
GOP5
L1
G-HEADER
P1
P2
P3
P4
P5
Pn
L2
P-HEADER
GOB1
GOB2
GOB3
GOB4
GOB5
GOBn
L3
S-HEADER
MB1
MB2
MB3
MB4
MB5
MBr
L4
M-HEADER
MV
BD
L5
DC1
AC11
AC12
AC1j
AC1L
EOB1
DC2
AC21
AC22
AC2j
AC2L
EOB2
L6
DC6
AC61
AC62
AC6j
AC6L
EOB6

도면7


우선순위 브레이크 데이타
수직 위치 데이타
양자화 데이타
7 BITS
6 BITS
5 BITS
HP 레코드 헤드
패킹된 데이타 전송 블록
ST
TH
RH
MPEG 전송 데이타
FCS
슬라이스 진입점
슬라이스 엔트리 확인
슬라이스 시작 포인터
프레임 타입
프레임 수
프레임내 슬라이스 수
10 BITS
b1
b0
5 BITS
10 BITS
HP 전송 헤더
매크로 블록 진입점
매크로 블록 엔트리 확인
블록 시작 포인터
프레임 타입
프레임 수
프레임내 매크로 블록 수
10 BITS
b1
b0
5 BITS
13 BITS
SP 전송 헤더