

公告本

公告本

申請日期	87.2.27.
案號	90114046 (28919829551) A4 C4
類別	H01L 21/36

(以上各欄由本局填註)

577128

發明型專利說明書

一、發明名稱	中文	半導體積體電路裝置之製造方法
	英文	半導體集積回路裝置の製造方法
二、發明人	姓名	1. 田邊 義和 2. 酒井 哲 3. 夏秋 信義
	國籍	均日本
	住、居所	1. 日本國埼玉縣入間市下谷貫905-8 2. 日本國東京都青梅市新町226-303 3. 日本國東京都東大和市南街1-11-23
三、申請人	姓名 (名稱)	日商日立製作所股份有限公司
	國籍	日本
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地
	代表人姓名	金井務

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本	1997年3月5日	特願平9-050781	☒ 有 ☐ 無主張優先權
日本	1998年3月4日	PCT/JP98/00892	☒ 有 ☐ 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

1. 技術領域

本發明係關於一種半導體積體電路裝置(半導體裝置等)之製造方法，特別是關於一種適用於形成 MOSFET(金屬氧化物半導體場效電晶體)等之開氧化膜(絕緣膜)有效之技術。

2. 背景技術

在初期的半導體產業，廣泛適用使氧等載氣通過起泡室(Bubbler)內的水中的起泡(Bubbling)。此方法雖然有可涵蓋廣大水分範圍等優點，但不能避免污染問題，最近幾乎不被使用。

因此，最近作為避免此起泡室缺點的方式，氫氧燃燒法式，即熱解方式(Pyrogenic system)廣泛普及。

(習知技術文獻之揭示等)

關於成為本案對象的熱氧化改良及為此的水分生成方法，已知如下的先前技術：

(1) 大見之特開平 6-163517 號公報揭示半導體處理低溫化的低溫氧化技術。在同實施例 1 揭示以下方法：將氫從 100 ppm 到 1% 添加於由氫約 99%、氧約 1% 構成的氣氛內，在氫的燃燒溫度攝氏 700 度以下，即攝氏 450 度以下，以不銹鋼觸媒作用得到水蒸氣。再在同實施例 2 揭示：在由以氧 99%、觸媒生成的水蒸氣 1% 構成的氣氛中，在常壓或高壓下，在攝氏 600 度的氧化溫度的矽熱氧化。

(2) 特開平 7-321102 公報(吉越)揭示：為了避免起因於水分

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明(2)

的各種問題，在極低水分濃度，即 0.5 ppm 程度的極超低水分領域或乾領域氧化溫度攝氏 850 度的矽表面高溫熱氧化。

- (3) 本間等之特開照 60-107840 號公報揭示一種矽之熱氧化方法：為了減低因乾氧化的環境水分而水分量分散，意圖添加以習知方法生成的幾十 ppm 程度的微少水分。
- (4) 特開平 5-152282 號公報(大見 I)揭示一種熱氧化裝置：為防止來自上述石英管前端的粒子產生而具備以 Ni(鎳)或含有 Ni 材料構成氫氣導入管內面，同時加熱氫氣導入管之機構。此熱氧化裝置係使氫接觸加熱到 300℃ 以上的氫氣導入管內的 Ni(使含有 Ni 材料)而使氫活性種產生，藉由使此氫活性種和氧(或含氧的氣體)反應，生成水。即，以不伴隨燃燒的觸媒方式生成水，所以沒有氫導入石英管前端溶化而產生粒子的情形。
- (5) 特開平 6-115903 號公報(大見 II)揭示一種觸媒方式之水分產生方法：含有混合氣體製成製程：混合氧、氫及惰性氣體而製成第一混合氣體；及，水分產生製程：藉由將第一混合氣體導入反應爐管內，同時加熱反應爐管內，該反應爐管係以具有可使氫及氧基團化的觸媒作用的材料構成，使第一混合氣體中所含的氫和氧反應而使水產生。

根據此方法，由於在使氫和氧反應的反應管使用使反應低溫化的觸媒材料，所以反應溫度低溫化，該結果在低溫可產生水分。因此，供應給加熱氫、氧、惰性氣體之混合

五、發明說明(3)

氣體的反應管時，在反應管內在 500℃ 以下的溫度，氫和氧完全反應，所以比燃燒方式在低溫可得到含有水分的氣體。

此外，此時從通氣部完全排除塑膠材料，只使用金屬材料，再對於金屬表面施以鈍態化處理時，由於來自表面的放出氣體(水分、碳氫化合物等)極少，所以可使更高純度的水分以更高精度且廣大範圍(ppb 到%)濃度產生。藉由將施以電解拋光或電解複合拋光的不銹鋼在雜質濃度幾 ppb 以下的氧化性或弱氧化性氣氛中熱處理，進行鈍態化處理。

(6)特開平 5-141871 號公報(大見 III)揭示一種熱處理裝置：至少具有爐心管：具有搬出入被處理物的可開關開口部和將氣體導入內部的氣體導入口；爐心管加熱機構：加熱爐心管內部；氣體導入管：使其與氣體導入口連通而連接；及，加熱機構：加熱氣體導入管；氣體導入管之至少內表面由 Ni(或含有 Ni 材料)構成。

此熱氧化裝置在比配置於爐心管內部的被處理物位置上游側設置從氫氣或含有氫的氣體不伴隨電漿而使氫活性種生成的氫活性種產生機構，將氫氣或含有氫的氣體導入此氫活性種產生機構而使氫活性種生成。因此，若在爐心管內配置例如形成氧化膜的矽基板作為被處理物，則氫活性種在氧化膜中擴散，終結氧化膜中及氧化膜/矽界面的懸空鍵(dangling bonds)，所以可期待得到高可靠性的開氧化膜。

(7)大見之特開平 5-144804 號公報揭示一種以鎳觸媒生成的氫活性種產生氧化矽膜的熱處理技術。

五、發明說明(4)

(8)中村等在 1993 年 12 月 1 日至 2 日所舉行的電化學協會電子材料委員會主辦半導體積體電路技術第 45 次專題討論會演講論文集 128 頁至 133 頁中，揭示一種在以應用於快閃記憶體之隧道氧化膜的由觸媒生成的氫基和由水分產生的氫為主體的強還原性氣氛下的氧化矽製程。

(9)大見之特開平 6-120206 號公報揭示一種絕緣分離選擇磊晶成長區域絕緣膜之利用由鎳觸媒生成的氫活性種之燒結(sintering)技術。

(10)小林等之特開昭 59-132136 號公報揭示一種由通常方法生成的水分和氫之氧化還原混合氣氛的矽和高熔點金屬的氧化還原製程。

3.發明之揭示

(習知技術及關於本發明之考察等)

根據深度次微米之設計規則製造的最尖端 MOS 裝置，為維持被細微化元件的電氣特性而要求以 10 nm 以下的極薄膜厚形成閘氧化膜。例如閘長 0.35 μm 時，所要求的閘氧化膜厚為 9 nm 程度，但閘長變成 0.25 μm ，預料將薄到 4 nm 程度。

一般在乾燥氧氣氛中進行熱氧化膜的形成，但形成閘氧化膜時，從可減低膜中的缺陷密度的理由，向來使用濕式氧化法(一般水分分壓比數十%以上)。此濕式氧化法係在氧氣氛中使氫燃燒而生成水，將此水和氧共同供應給半導體晶圓(製造積體電路用晶圓或只是積體電路晶圓)表面而形成氧化膜，但因使氫燃燒，所以為避免爆炸的危險而先使

五、發明說明(5)

氧充分流動之後，點燃氫。此外，將為氧化種的水＋氧混合氣體之水分濃度提高到 40%程度(全氣氮壓力中所佔水分的分壓)。

然而，上述燃燒方式係點燃從裝在石英製氫氣導入管前端的噴嘴噴出的氫而進行燃燒，過度降低氫之量，火焰就接近噴嘴，噴嘴因該熱熔化而產生粒子，這被指出成為半導體晶圓污染源的問題。(此外，反之過度增加氫之量，火焰就達到燃燒管端部，熔化此石英壁而成為粒子的原因)此外，上述燃燒方式由於為氧化種的水＋氧混合氣體之水分濃度高，所以在開氧化膜中取入氫或 OH 基，在薄膜中或和矽基板的界面容易產生 Si-H 結合或 Si-OH 結合等構造缺陷。這些結合為注入熱載子等施加電壓應力所切斷而形成電荷陷阱，成為臨界電壓變動等引起膜之電氣特性降低的原因。

又，關於此範圍情況的詳情及利用新式觸媒的水合成裝置改良的詳情，詳述於本案發明者本人之特開平 9-172011 號公報及本發明者與大見等之國際公開之國際申請 PCT/JP 97/00188(國際申請日 1997.1.27)。

根據本發明者之檢討，習知氧化膜形成方法難以以均勻膜厚再現性良好地形成高品質且膜厚 5 nm 以下(關於 5 nm 以上當然也可期待同樣的效果)的極薄開氧化膜。當然，這以上膜厚的情況，也有各種不足之處。

要以均勻膜厚再現性良好地形成極薄的氧化膜，需比形成比較厚的氧化膜時降低氧化膜成長速度，以更安定的氧

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明 (6)

化條件進行成膜，但例如利用前述燃燒方式的氧化膜形成方法，為氧化種的水+氧混合氣體之水分濃度只能在 18% 到 40% 程度的高濃度範圍內控制。因此，氧化膜成長速度快，薄氧化膜時，在極短時間就形成膜。另一方面，要降低氧化膜成長速度而將晶圓溫度降到 800℃ 以下進行氧化，膜之品質就降低。(若在攝氏 800 度以下的溫度領域也適當調整其他參數，則當然可適用本發明)

此外，要形成清潔的氧化膜，需先以濕式洗滌除去形成於半導體晶圓表面的低品質氧化膜，但在從此濕式洗滌製程搬運到氧化製程的過程會在晶圓表面不可避免地形成薄的自然氧化膜。再者，在氧化製程，因在進行本來的氧化之前和氧化種中之氧的接觸而在晶圓表面形成不希望的初期氧化膜。特別是使用燃燒方式的氧化膜形成方法的情況，為避免氫爆炸的危險而先使氧充分流動之後，使氫燃燒，所以晶圓表面暴露於氧中的時間變長，就厚地形成初期氧化膜。(一般認為常壓下攝氏 560 度以上、氫 4% 以上且有充分的氧時，會發生氫的爆炸性燃燒，即「爆炸」)

如此，實際的氧化膜係除了因本來的氧化而形成的氧化膜之外，還含有自然氧化膜和初期氧化膜的結構，但這些自然氧化膜或初期氧化膜比作為目的的本來的氧化膜為低品質。因此，要得到高品質的氧化膜，必須儘量降低氧化膜中所佔的這些低品質膜的比例，但使用習知氧化膜形成方法形成極薄的氧化膜，這些低品質膜的比例反而增加了。

例如使用習知氧化膜形成方法形成膜厚 9 nm 的氧化膜

五、發明說明(7)

時，設此氧化膜中的自然氧化膜和初期氧化膜之膜厚分別為 0.7 nm、0.8 nm，則本來的氧化膜之膜厚成為 $9 - (0.7 + 0.8) = 7.5$ nm，所以此氧化膜中所佔的本來氧化膜的比例為約 83.3%。然而，使用此習知方法形成膜厚 4 nm 的氧化膜，自然氧化膜和初期氧化膜之膜厚分別為 0.7 nm、0.8 nm，不變，所以本來的氧化膜之膜厚成為 $4 - (0.7 + 0.8) = 2.5$ nm，其比例降低到 62.5%。即，要以習知氧化膜形成方法形成極薄的氧化膜，不僅不能確保膜厚的均勻性或再現性；而且膜之品質也降低。

為了解決這些問題，本發明者注視大見等之觸媒之水分生成方法。根據本發明者等的檢討，這些研究站在「氫基壽命長」此一前提，將重點放在氫基的強還原作用，所以若是照樣則顯然不能適用於半導體積體電路的量產製程。即，本發明者等闡明：要適用於半導體製程，需要「氫等之基團壽命非常短，在觸媒上生成而大致在其上或其附近回到化合或基礎狀態」此一前提檢討必要的結構。

再者，本發明者闡明：以水分之分壓比而言，0 到 10 ppm 屬於乾領域，顯示所謂乾氧化的性質，關於今後細微製程中的開氧化膜等要求的膜質，用不著所謂濕式氧化。

此外，本發明者闡明：同樣地水分分壓比 10 ppm 以上 1.0×10^3 ppm 以下 (0.1%) 以下的超低水分領域，基本上顯示和乾氧化幾乎同樣的性質。

此外，本發明者闡明：同樣地在水水分分壓比 0.1% 以上到 10% 以下的低水分領域 (其中特別是水分分壓比 0.5% 到 5%

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(8)

以下的低水分領域)的熱氧化，和其他領域(乾領域、10%以上在燃燒法方式所通用的領域及利用起泡室等的水分濃度數十%以上的高水分領域)比較，顯示比較良好的性質顯示性質。

(本發明之目的等)

本發明之目的在於提供一種可以均勻膜厚再現性良好地形成高品質之極薄氧化膜之技術。

本發明之前述及其他目的和新穎特徵，由本說明書之記述及附圖當可明白。

(本發明之概要等)

茲簡單說明在本案所揭示的發明中具代表性者的概要如下：

本發明之半導體積體電路裝置之製造方法含有以下製程(a)、(b)：

(a)由氫和氧以觸媒作用生成水的製程，

(b)供應低濃度含有前述水的氧給加熱到預定溫度的半導體晶圓主面或其附近，以可確保至少形成氧化膜再現性及氧化膜厚均勻性程度的氧化膜成長速度形成膜厚 5 nm 以下的氧化膜的製程。

本發明之半導體積體電路裝置之製造方法，係前述氧化膜為 MOSFET 之閘氧化膜。

本發明之半導體積體電路裝置之製造方法，係前述氧化膜膜厚為 3 nm 以下。

本發明之半導體積體電路裝置之製造方法，係前述半導

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明(9)

體晶圓加熱溫度為 800 到 900°C。

本發明之半導體積體電路裝置之製造方法，係前述(b)製程後，藉由在前述半導體晶圓主面施以氧化氮處理，使氮與氧化膜和基板的界面分離。

本發明之半導體積體電路裝置之製造方法，係以單片處理進行前述氧化膜的形成。

本發明之半導體積體電路裝置之製造方法，係以整批處理進行前述氧化膜的形成。

本發明之半導體積體電路裝置之製造方法含有以下製程(a)、(b)：

(a)由氮和氧以觸媒作用生成水的製程，

(b)藉由供應氧給加熱到預定溫度的半導體晶圓主面或其附近，該氧係比在不含至少水的乾燥氧氣氮中所形成的氧化膜可得到優良初期耐壓的濃度的含有前述水之氧，形成膜厚 5 nm 以下的氧化膜的製程。

本發明之半導體積體電路裝置之製造方法，係前述水之濃度為 40%以下。

本發明之半導體積體電路裝置之製造方法，係前述水之濃度為 0.5 到 5%。

本發明之半導體積體電路裝置之製造方法含有以下製程(a)到(c)：

(a)將主面形成第一氧化膜的半導體晶圓搬到洗滌部，以顯式洗滌除去前述第一氧化膜的製程，

(b)不使前述半導體晶圓接觸大氣，而從前述洗滌部搬到

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明 (10)

惰性氣體氣氛之氧化處理部的製程，

(c)供應低濃度含有因觸媒作用而由氫和氧生成之水之氧給加熱到預定溫度的前述半導體晶圓主面或其附近，以可確保至少形成氧化膜再現性及氧化膜厚均勻性程度的氧化膜成長速度形成膜厚 5 nm 以下的第二氧化膜的製程。

本發明之半導體積體電路裝置之製造方法，係前述第二氧化膜在其一部分含有自然氧化膜和初期氧化膜，該自然氧化膜係在除去前述第一氧化膜之後到形成前述第二氧化膜之間，不希望形成於前述半導體晶圓表面，該初期氧化膜係因和前述氧的接觸而不希望形成於前述半導體晶圓表面，前述自然氧化膜和前述初期氧化膜之合計膜厚為前述第二氧化膜全體膜厚之二分之一以下。

本發明之半導體積體電路裝置之製造方法，係前述自然氧化膜和前述初期氧化膜之合計膜厚為前述第二氧化膜全體膜厚之三分之一以下。

本發明之半導體積體電路裝置之製造方法含有在半導體晶圓之第一區域及第二區域形成第一氧化膜後，除去形成於前述半導體晶圓之第一區域之前述第一氧化膜的製程和在留在前述半導體晶圓之第一區域及第二區域之前述第一絕緣膜上形成第二氧化膜的製程，以前述方法形成前述第一及第二氧化膜之至少一方。

再將本發明之主要概要分成項顯示如下：

1. 由以下製程構成之半導體積體電路裝置之製造方法：

(a) 在攝氏 500 度以下使用觸媒由氧和氫合成水分的製程；

五、發明說明 (11)

(b)在以下條件下：氣氛全體氣壓中所佔的所合成的上述水分分壓比例為 0.5%到 5%的範圍，在氫不支配的氧化性氣氛中且將晶圓上的矽表面加熱到攝氏 800 度以上；在上述矽表面以熱氧化形成應成為場效電晶體之閘絕緣膜之氧化矽膜的製程。

2.根據上述第 1 項之半導體積體電路裝置之製造方法，其中上述氧化性氣氛含有氧氣作為主要成分。

3.根據上述第 1 或 2 項之半導體積體電路裝置之製造方法，其中使上述觸媒作用於氧和氫之混合氣體而進行上述水分的合成。

4.根據上述第 1 至 3 項中任一項之半導體積體電路裝置之製造方法，其中一面供應上述氧化性氣氛給上述晶圓周邊，一面進行上述熱氧化。

5.由以下製程構成之半導體積體電路裝置之製造方法：

(a)在攝氏 500 度以下使用觸媒由氧和氫合成水分的製程；

(b)在以下條件下：氣氛全體氣壓中所佔的所合成的上述水分分壓比例為 0.5%到 5%的範圍，在含有氧氣的氧化性氣氛中且將晶圓上的矽表面加熱到攝氏 800 度以上；在上述矽表面以熱氧化形成應成為場效電晶體之閘絕緣膜之氧化矽膜的製程。

6.根據上述第 5 項之半導體積體電路裝置之製造方法，其中使用熱壁爐進行上述熱氧化。

7.根據上述第 5 項之半導體積體電路裝置之製造方法，其中使用燈加熱爐進行上述熱氧化。

五、發明說明 (12)

8.根據上述第 5 至 7 項中任一項之半導體積體電路裝置之製造方法，其中含有上述使其合成的水分之氣體以水分之外的氣體稀釋後，供應作為上述氧化性氣氛。

9.根據上述第 5 至 8 項中任一項之上述半導體積體電路裝置之製造方法更由以下製程構成：

(c)不將形成上述氧化膜的上述晶圓暴露於外氣或其他氧化性氣氛中，而在含有氧化氮的氣氛中施以表面處理的製程。

10.由以下製程構成之半導體積體電路裝置之製造方法：

(a)在攝氏 500 度以下使用觸媒生成水分的製程；

(b)在以下條件下：氣氛全體氣壓中所佔的所合成的上述水分分壓比例為 0.5%到 5%的範圍，在含有氧氣的氧化性氣氛中且將晶圓上的矽表面加熱到攝氏 800 度以上；在上述矽表面以熱氧化形成應成為場效電晶體之閘絕緣膜之氧化矽膜的製程。

11.根據上述第 10 項之半導體積體電路裝置之製造方法，其中上述氧化性氣氛含有氧氣作為主要成分。

12.根據上述第 10 或 11 項之半導體積體電路裝置之製造方法，其中一面供應上述氧化性氣氛給上述晶圓周邊，一面進行上述熱氧化。

13.由以下製程構成之半導體積體電路裝置之製造方法：

(a)在攝氏 500 度以下使用觸媒由氧和氮合成水分的製程；

(b)一面供應氣氛全體氣壓中所佔的所合成的上述水分分壓比例為 0.5%到 5%的範圍且含有氧氣的氧化性氣氛給將

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明 (13)

矽表面加熱到攝氏 800 度以上的晶圓周邊，一面在上述矽表面以熱氧化形成應成為場效電晶體之閘絕緣膜之氧化矽膜的製程。

14.根據上述第 13 項之半導體積體電路裝置之製造方法，其中上述氧化性氣氛含有氧氣作為主要成分。

15.根據上述第 13 或 14 項之半導體積體電路裝置之製造方法，其中使上述觸媒作用於氧和氫之混合氣體而進行上述水分的合成。

16.由以下製程構成之半導體積體電路裝置之製造方法：

(a)在水分合成部在攝氏 500 度以下使用觸媒由氧和氫合成水分的製程；

(b)一面通過設於水分合成部和氧化處理部之間的狹窄部供應氣氛全體氣壓中所佔的所合成的上述水分分壓比例為 0.5%到 5%的範圍且含有氧氣的氧化性氣氛給將矽表面加熱到攝氏 800 度以上的晶圓周邊，一面在氧化處理部在上述矽表面以熱氧化形成應成為場效電晶體之閘絕緣膜之氧化矽膜的製程。

17.根據上述第 16 項之半導體積體電路裝置之製造方法，其中上述氧化性氣氛含有氧氣作為主要成分。

18.根據上述第 16 或 17 項之半導體積體電路裝置之製造方法，其中使上述觸媒作用於氧和氫之混合氣體而進行上述水分的合成。

19.由以下製程構成之半導體積體電路裝置之製造方法：

(a)使用觸媒由氧和氫合成水分的製程；

(請先閱讀背面之注意事項再填寫本頁)

訂

檢

五、發明說明(14)

(b)以水分之外的第二氣體稀釋含有所合成的上述水分的第一氣體的製程；

(c)將所稀釋的上述第一氣體導入處理區域的製程；

(d)在上述處理區域，在所導入的上述第一氣體氣氛中在晶圓上的矽表面以熱氧化形成應成為場效電晶體之閘絕緣膜之氧化矽膜的製程。

20.根據上述第 19 項之半導體積體電路裝置之製造方法，其中上述氧化性氣氛含有氧氣作為主要成分。

21.根據上述第 19 或 20 項之半導體積體電路裝置之製造方法，其中在攝氏 800 度以上進行上述熱氧化。

22.根據上述第 19 至 21 項中任一項之半導體積體電路裝置之製造方法，其中一面供應上述氧化性氣氛給上述晶圓周邊，一面進行上述熱氧化。

23.由以下製程構成之半導體積體電路裝置之製造方法：

(a)使水分合成觸媒作用於氧和氫之混合氣體而生成含有水分之第一氣體的製程；

(b)以水分之外的第二氣體稀釋上述第一氣體的製程；

(c)將所稀釋的上述第一氣體導入處理區域的製程；

(d)在上述處理區域，在所導入的上述第一氣體氣氛中在晶圓上的矽表面以熱氧化形成應成為場效電晶體之閘絕緣膜之氧化矽膜的製程。

24.根據上述第 23 項之半導體積體電路裝置之製造方法，其中上述氧化性氣氛含有氧氣作為主要成分。

25.根據上述第 23 或 24 項之半導體積體電路裝置之製造方

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (15)

法，其中在攝氏 800 度以上進行上述熱氧化。

26.根據上述第 23 至 25 項中任一項之半導體積體電路裝置之製造方法，其中一面供應上述氧化性氣氛給上述晶圓周邊，一面進行上述熱氧化。

27.由以下製程構成之半導體積體電路裝置之製造方法：

- (a)使觸媒作用而生成含有水分之第一氣體的製程；
- (b)以水分之外的第二氣體稀釋上述第一氣體的製程；
- (c)將所稀釋的上述第一氣體導入處理區域的製程；
- (d)在上述處理區域，在所導入的上述第一氣體氣氛中在晶圓上的矽表面以熱氧化形成應成為場效電晶體之閘絕緣膜之氧化矽膜的製程。

28.根據上述第 27 項之半導體積體電路裝置之製造方法，其中上述氧化性氣氛含有氧氣作為主要成分。

29.根據上述第 27 或 28 項之半導體積體電路裝置之製造方法，其中在攝氏 800 度以上進行上述熱氧化。

30.根據上述第 27 至 29 項中任一項之半導體積體電路裝置之製造方法，其中一面供應上述氧化性氣氛給上述晶圓周邊，一面進行上述熱氧化。

31.由以下製程構成之半導體積體電路裝置之製造方法：

- (a)使水分合成觸媒作用於氧和氫之混合氣體而生成含有水分之第一氣體的製程；
- (b)用以氧為主要成分的第二氣體稀釋上述第一氣體的製程；
- (c)將所稀釋的上述第一氣體導入處理區域的製程；

五、發明說明 (16)

(d)在上述處理區域，在所導入的上述第一氣體氣氛中在晶圓上的矽表面以熱氧化形成應成為場效電晶體之閘絕緣膜之氧化矽膜的製程。

32.根據上述第 31 項之半導體積體電路裝置之製造方法，其中上述氧化性氣氛含有氧氣作為主要成分。

33.根據上述第 31 或 32 項之半導體積體電路裝置之製造方法，其中在攝氏 800 度以上進行上述熱氧化。

34.根據上述第 31 至 33 項中任一項之半導體積體電路裝置之製造方法，其中一面供應上述氧化性氣氛給上述晶圓周邊，一面進行上述熱氧化。

35.由以下製程構成之半導體積體電路裝置之製造方法：

(a)為洗滌表面或除去表面膜而在晶圓上的矽表面施以表面處理的製程；

(b)上述製程後，不將上述晶圓實際上暴露於氧化性氣氛中，而轉移到氧化處理部的製程；

(c)使用觸媒由氧和氫合成水分的製程；

(d)在含有所合成的上述水分的氣氛中，在上述矽表面以熱氧化形成氧化矽膜的製程。

36.根據上述第 35 項之半導體積體電路裝置之製造方法，其中上述氧化矽膜應成為 MOS 電晶體之閘極。

37.根據上述第 36 項之上述半導體積體電路裝置之製造方法更由以下製程構成：

(e)不將形成上述氧化膜的上述晶圓暴露於外氣或其他氧化性氣氛中，而在含有氧化氮的氣氛中施以表面處理的製

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (17)

程。

38.根據上述第 37 項之上述半導體積體電路裝置之製造方法更由以下製程構成：

(f)不將施以上述表面處理的上述晶圓暴露於外氣或其他氧化性氣氛中，而以氣相沉積形成應成為閘極的電極材料的製程。

39.根據上述第 36 項之上述半導體積體電路裝置之製造方法更由以下製程構成：

(f)不將形成上述氧化膜的上述晶圓暴露於外氣或其他氧化性氣氛中，而以氣相沉積形成應成為閘極的電極材料的製程。

40.根據上述第 35 至 39 項中任一項之半導體積體電路裝置之製造方法，其中以燈加熱進行上述氧化製程。

41.由以下製程構成之半導體積體電路裝置之製造方法：

(a)為洗滌表面或除去表面膜而在晶圓上的矽表面施以表面處理的製程；

(b)上述製程後，不將上述晶圓實際上暴露於氧化性氣氛中，而轉移到氧化處理部的製程；

(c)使用觸媒生成水分的製程；

(d)在含有所合成的上述水分的氣氛中，在上述矽表面以熱氧化形成氧化矽膜的製程。

42.根據上述第 41 項之半導體積體電路裝置之製造方法，其中上述氧化矽膜應成為 MOS 電晶體之閘極。

43.根據上述第 42 項之上述半導體積體電路裝置之製造方

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明(18)

法更由以下製程構成：

(e)不將形成上述氧化膜的上述晶圓暴露於外氣或其他氧化性氣氛中，而在含有氧化氮的氣氛中施以表面處理的製程。

44.根據上述第 43 項之上述半導體積體電路裝置之製造方法更由以下製程構成：

(f)不將施以上述表面處理的上述晶圓暴露於外氣或其他氧化性氣氛中，而以氣相沉積形成應成為閘極的電極材料的製程。

45.根據上述第 42 項之上述半導體積體電路裝置之製造方法更由以下製程構成：

(f)不將形成上述氧化膜的上述晶圓暴露於外氣或其他氧化性氣氛中，而以氣相沉積形成應成為閘極的電極材料的製程。

46.根據上述第 41 至 45 項中任一項之半導體積體電路裝置之製造方法，其中以燈加熱進行上述氧化製程。

47.由以下製程構成之半導體積體電路裝置之製造方法：

(a)使用觸媒由氧和氮合成水分的製程；

(b)在含有所合成的上述水分的氣氛中，在晶圓上的矽表面以熱氧化形成應成為場效電晶體之閘絕緣膜之氧化矽膜的製程；

(c)上述製程後，對於不使其接觸外氣而形成上述氧化矽膜的上述晶圓，在含有氧化氮的氣體氣氛中施以表面處理的製程。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (19)

48.根據上述第 47 項之半導體積體電路裝置之製造方法，其中上述氧化矽膜應成為 MOS 電晶體之閘極。

49.根據上述第 48 項之上述半導體積體電路裝置之製造方法更由以下製程構成：

(e)不將形成上述氧化膜的上述晶圓暴露於外氣或其他氧化性氣氛中，而在含有氧化氮的氣氛中施以表面處理的製程。

50.根據上述第 49 項之上述半導體積體電路裝置之製造方法更由以下製程構成：

(f)不將施以上述表面處理的上述晶圓暴露於外氣或其他氧化性氣氛中，而以氣相沉積形成應成為閘極的電極材料的製程。

51.根據上述第 48 項之上述半導體積體電路裝置之製造方法更由以下製程構成：

(f)不將形成上述氧化膜的上述晶圓暴露於外氣或其他氧化性氣氛中，而以氣相沉積形成應成為閘極的電極材料的製程。

52.根據上述第 47 至 51 項中任一項之半導體積體電路裝置之製造方法，其中以燈加熱進行上述氧化製程。

53.由以下製程構成之半導體積體電路裝置之製造方法：

(a)在晶圓上的矽表面形成元件分離槽的製程；

(b)在上述元件分離槽內形成來自外部的絕緣膜的製程；

(c)使上述矽表面平坦化而露出應形成上述矽表面之熱氧化膜之部分的製程；

五、發明說明(20)

(d)以觸媒合成水分，在含有此水分的氣氛中，在上述所露出之部分形成應成為場效電晶體之閘絕緣膜之熱氧化膜的製程。

54.根據上述第53項之半導體積體電路裝置之製造方法，其中以化學機械方法進行上述平坦化。

55.根據上述第53或54項之半導體積體電路裝置之製造方法，其中以化學機械研磨進行上述平坦化。

56.根據上述第53至55項中任一項之半導體積體電路裝置之製造方法，其中以CVD(化學氣相沉積)形成上述來自外部的絕緣膜。

57.由以下製程構成之半導體積體電路裝置之製造方法：

(a)在晶圓上的矽表面形成元件分離槽的製程；

(b)在上述元件分離槽內以沉積形成絕緣膜的製程；

(c)以觸媒合成水分，在含有此水分的氣氛中，在為上述元件分離槽所包圍之矽表面形成應成為場效電晶體之閘絕緣膜之熱氧化膜的製程。

58.根據上述第57項之上述半導體積體電路裝置之製造方法更由以下製程構成：

(d)上述製程(b)後，使上述矽表面平坦化而露出應形成上述矽表面之熱氧化膜之部分的製程。

59.根據上述第57項或58項之半導體積體電路裝置之製造方法，其中以化學機械方法進行上述平坦化。

60.根據上述第57至59項中任一項之半導體積體電路裝置之製造方法，其中以化學機械研磨進行上述平坦化。

五、發明說明(21)

61.根據上述第 57 至 60 項中任一項之半導體積體電路裝置之製造方法，其中以 CVD(化學氣相沉積)形成上述來自外部的絕緣膜。

62.由以下製程構成之半導體積體電路裝置之製造方法：

(a)在氣氛全體氣壓中所佔的水分分壓比例為 0.5%到 5%範圍的氧化性氣氛中，藉由以燈加熱晶圓上的矽表面，在上述矽表面以熱氧化形成應成為場效電晶體之閘絕緣膜之氧化矽膜的製程。

63.根據上述第 62 項之半導體積體電路裝置之製造方法，其中上述氧化性氣氛含有氧氣作為主要成分。

64.由以下製程構成之半導體積體電路裝置之製造方法：

(a)使觸媒作用於氧和氫之混合氣體而生成含有水分之第一氣體的製程；

(b)以水分之外的第二氣體稀釋上述第一氣體的製程；

(c)將所稀釋的上述第一氣體導入處理區域的製程；

(d)在上述處理區域，在所導入的上述第一氣體氣氛中在晶圓上的矽表面以燈加熱之熱氧化形成應成為場效電晶體之閘絕緣膜之氧化矽膜的製程。

65.由以下製程構成之半導體積體電路裝置之製造方法：

(a)預熱到水分不結露的程度，將無處理晶圓導入實際上保持於非氧化性氣氛的氧化處理部的製程；

(b)在上述氧化處理部，在氣氛全體氣壓中所佔的水分分壓比例為 0.1%以上範圍的氧化性氣氛下，藉由以燈加熱所導入的上述晶圓上的矽表面，在上述矽表面以熱氧化

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明(22)

形成應成為場效電晶體之間絕緣膜之氧化矽膜的製程。

66.根據上述第 65 項之半導體積體電路裝置之製造方法，其中上述非氧化性氣氛係以氮氣為主並添加少量氧氣。

67.根據上述第 65 或 66 項之半導體積體電路裝置之製造方法，其中上述預熱溫度為攝氏 100 度以上 500 度以下。

68.根據上述第 65 至 67 項中任一項之半導體積體電路裝置之製造方法，其中上述氧化處理時的上述晶圓表面溫度為攝氏 700 度以上。

69.根據上述第 65 至 68 項中任一項之上述半導體積體電路裝置之製造方法，其中將上述非氧化性氣氛預熱到水分不結露的程度後，導入上述氧化處理部。

70.根據上述第 65 至 69 項中任一項之上述半導體積體電路裝置之製造方法，其中將上述晶圓預熱到水分不結露的程度後，導入上述氧化處理部。

71.由以下製程構成之半導體積體電路裝置之製造方法：

(a) 在以下條件下：氣氛全體氣壓中所佔的水分分壓比例為 0.5 到 5% 的範圍，在含有氧氣的氧化性氣氛中且將晶圓上的矽表面加熱到攝氏 800 度以上；在上述矽表面以熱氧化形成應成為場效電晶體之間絕緣膜之具有 5 nm 以下厚度之氧化矽膜的製程。

72.根據上述第 71 項之半導體積體電路裝置之製造方法，其中上述氧化性氣氛含有氧氣作為主要成分。

73.根據上述第 71 或 72 項之半導體積體電路裝置之製造方法，其中一面供應上述氧化性氣氛給上述晶圓周邊，一面

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明(23)

進行上述熱氧化。

74.由以下製程構成之半導體積體電路裝置之製造方法：

(a)氣氛全體氣壓中所佔的水分分壓比例為 0.5%到 5%的範圍，在含有氧氣的氧化性氣氛中，在晶圓上的矽表面以熱氧化形成應成為快閃記憶體之隧道絕緣膜之氧化矽膜的製程。

75.根據上述第 74 項之半導體積體電路裝置之製造方法，其中上述氧化性氣氛含有氧氣作為主要成分。

76.根據上述第 74 或 75 項之半導體積體電路裝置之製造方法，其中一面供應上述氧化性氣氛給上述晶圓周邊，一面進行上述熱氧化。

77.由以下製程構成之半導體積體電路裝置之製造方法：

(a)以觸媒使水分生成的製程；

(b)一面供應含有以觸媒生成的水分的水分的氣氛氣體給第一氧化處理部，一面在前述第一氧化處理部，在晶圓上的第一矽表面區域形成第一熱氧化膜的製程；

(c)上述製程(a)之前或上述製程(b)之後，藉由使氧和氫燃燒而使水生成的製程；

(d)一面供應含有以燃燒生成的水分的水分的氣氛氣體給第一或第二氧化處理部，一面在前述第二氧化處理部，在上述晶圓上的第二矽表面區域形成第二熱氧化膜的製程。

78.由以下製程構成之半導體積體電路裝置之製造方法：

(a)在氣氛全體氣壓中所佔的水分分壓比例為 0.5%到 5%範圍的氧化性氣氛下，在保持成晶圓主表面實際上成為水

(請先閱讀背面之注意事項再填寫本頁)

訂

製

五、發明說明 (24)

平的狀態，在前述晶圓上的上述主表面上的矽表面以熱氧化形成應成為 MOS 電晶體之閘絕緣膜之氧化矽膜的製程。

79. 由以下製程構成之半導體積體電路裝置之製造方法：

(a) 在不發生爆炸的溫度條件下，由比與水對應之化學計量比富氧的氧和氫之非化學計量的混合氣體使用觸媒合成水分的製程；

(b) 在含有所合成的上述水分的氧化性氣氛中，在晶圓上的矽表面以熱氧化形成氧化矽膜的製程。

80. 由以下製程構成之半導體積體電路裝置之製造方法：

(a) 將被處理晶圓導入氧化處理部的製程，該氧化處理部係保持於含有實際上氧化不進行程度的少量氧的非氧化性氣氛的攝氏 700 度以上的高溫；

(b) 在攝氏 500 度以下使用觸媒由氧和氫合成水分的製程；

(c) 在上述氧化處理部，在以下條件下：在氣氛全體氣壓中所佔的所合成的上述水分分壓比例為 0.5% 到 5% 的氧化性氣氛中且將晶圓上的矽表面加熱到攝氏 700 度以上；在上述矽表面以熱氧化形成應成為場效電晶體之閘絕緣膜之氧化矽膜的製程。

(本案發明之其他概要等)

茲將以上及其他本案發明概要分項顯示如下：

A. 一種半導體積體電路裝置之製造方法，其特徵在於：含有以下製程(a)、(b)：

(a) 由氫和氧以觸媒作用生成水的製程、

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明(25)

(b)供應低濃度含有前述水之氧給加熱到預定溫度之半導體晶圓主面或其附近，以可確保至少形成氧化膜再現性及氧化膜厚均勻性程度的氧化膜成長速度在前述半導體晶圓主面形成膜厚 5 nm 以下的氧化膜的製程者。

B.根據上述 A 項之半導體積體電路裝置之製造方法，其中前述氧化膜為 MOSFET 之閘氧化膜。

C.根據上述 A 項之半導體積體電路裝置之製造方法，其中前述氧化膜膜厚為 3 nm 以下。

D.根據上述 A 項之半導體積體電路裝置之製造方法，其中前述半導體晶圓加熱溫度為 800 到 900°C。

E.根據上述 A 項之半導體積體電路裝置之製造方法，其中前述(b)製程後，藉由在前述半導體晶圓主面施以氧化氮處理，使氮與前述氧化膜和基板的界面分離。

F.根據上述 A 項之半導體積體電路裝置之製造方法，其中以單片處理進行前述氧化膜的形成。

G.根據上述 A 項之半導體積體電路裝置之製造方法，其中以整批整理進行前述氧化膜的形成。

H.一種半導體積體電路裝置之製造方法，其特徵在於：含有以下製程：

(a)由氮和氧以觸媒作用生成水的製程、

(b)藉由供應氧給加熱到預定溫度的半導體晶圓主面或其附近，該氧係比在不含至少水的乾燥氧氣氛中所形成的氧化膜可得到優良初期耐壓的濃度的含有前述水之氧，在前述半導體晶圓主面形成膜厚 5 nm 以下的氧化膜的製程

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(26)

者。

I.根據上述 H 項之半導體積體電路裝置之製造方法，其中前述水之濃度為 40%以下。

J.根據上述 H 項之半導體積體電路裝置之製造方法，其中前述水之濃度為 0.5 到 5%。

K.根據上述 H 項之半導體積體電路裝置之製造方法，其中前述氧化膜膜厚為 3 nm 以下。

L.一種半導體積體電路裝置之製造方法，其特徵在於：含有以下製程(a)到(c)；

(a)將主面形成第一氧化膜的半導體晶圓搬到洗滌部，以濕式洗滌除去前述第一氧化膜的製程、

(b)不使前述半導體晶圓接觸大氣，而從前述洗滌部搬到惰性氣體氣氛之氧化處理部的製程、

(c)供應低濃度含有因觸媒作用而由氫和氧生成之水之氧給加熱到預定溫度的前述半導體晶圓主面或其附近，以可確保至少形成氧化膜再現性及氧化膜厚均勻性程度的氧化膜成長速度在前述半導體晶圓主面形成膜厚 5 nm 以下的第二氧化膜的製程者。

M.根據上述 L 項之半導體積體電路裝置之製造方法，其中前述氧化膜膜厚為 3 nm 以下。

N.根據上述 L 項之半導體積體電路裝置之製造方法，其中前述第二氧化膜在其一部分含有自然氧化膜和初期氧化膜，該自然氧化膜係在除去前述第一氧化膜之後到形成前述第二氧化膜之間，不希望形成於前述半導體晶圓表面，

五、發明說明(27)

該初期氧化膜係因和前述氧的接觸而不希望形成於前述半導體晶圓表面，前述自然氧化膜和前述初期氧化膜之合計膜厚為前述第二氧化膜全體膜厚之二分之一以下。

O.根據上述L項之半導體積體電路裝置之製造方法，其中前述自然氧化膜和前述初期氧化膜之合計膜厚為前述第二氧化膜全體膜厚之三分之一以下。

P.一種半導體積體電路裝置之製造方法，其特徵在於：含有在半導體晶圓之第一區域及第二區域形成第一氧化膜後，除去形成於前述半導體晶圓之第一區域之前述第一氧化膜的製程和在留在前述半導體晶圓之第一區域及第二區域之前述第一絕緣膜上形成第二氧化膜的製程，以含有上述第1項所載之製程(a)、(b)的方法形成前述第一及第二氧化膜之至少一方者。

4.圖式之簡單說明

圖1為顯示根據本發明實施形態1之半導體積體電路裝置之製造方法的要部載面圖。

圖2為顯示根據本發明實施形態1之半導體積體電路裝置之製造方法的要部載面圖。

圖3為顯示根據本發明實施形態1之半導體積體電路裝置之製造方法的要部載面圖。

圖4為顯示根據本發明實施形態1之半導體積體電路裝置之製造方法的要部載面圖。

圖5為顯示根據本發明實施形態1之半導體積體電路裝置之製造方法的要部載面圖。

五、發明說明 (28)

圖 6 為顯示根據本發明實施形態 1 之半導體積體電路裝置之製造方法的要部載面圖。

圖 7 為顯示根據本發明實施形態 1 之半導體積體電路裝置之製造方法的要部載面圖。

圖 8 為顯示根據本發明實施形態 1 之半導體積體電路裝置之製造方法的要部載面圖。

圖 9 為用於形成閘氧化膜之單片式氧化膜形成裝置的概略圖。

圖 10 為顯示根據本發明實施形態 1 之半導體積體電路裝置之製造方法的要部載面圖。

圖 11(a)為顯示氧化膜形成室結構一例的概略平面圖，(b)為沿著(a)之 B-B'線的截面圖。

圖 12(a)為顯示氧化膜形成室結構他例的概略平面圖，(b)為沿著(a)之 B-B'線的截面圖。

圖 13 為顯示連接於氧化膜形成室之室之觸媒方式水分生成裝置的概略圖。

圖 14 為擴大顯示圖 13 之一部分的概略圖。

圖 15 為顯示形成閘氧化膜順序一例的說明圖。

圖 16 為顯示根據本發明實施形態 1 之半導體積體電路裝置之製造方法的要部載面圖。

圖 17 為顯示水分濃度對於氧化膜成長速度之相關性的圖表。

圖 18 為顯示水分濃度對於 MOS 二極體之氧化膜初期耐壓之相關性的圖表。

五、發明說明 (29)

圖 19 為顯示使恆定電流流到 MOS 二極體之電極間時水分濃度對於電壓變化量之相關性的圖表。

圖 20 為顯示開氧化膜之晶圓面內之膜厚分佈的說明圖。

圖 21 為顯示開氧化膜成分明細的圖表。

圖 22 為顯示根據本發明實施形態 1 之半導體積體電路裝置之製造方法的要部截面圖。

圖 23 為顯示根據本發明實施形態 1 之半導體積體電路裝置之製造方法的要部截面圖。

圖 24 為顯示根據本發明實施形態 1 之半導體積體電路裝置之製造方法的要部截面圖。

圖 25 為顯示根據本發明實施形態 1 之半導體積體電路裝置之製造方法的要部截面圖。

圖 26 為顯示根據本發明實施形態 1 之半導體積體電路裝置之製造方法的要部截面圖。

圖 27 為顯示根據本發明實施形態 2 之半導體積體電路裝置之製造方法的要部截面圖。

圖 28 為顯示根據本發明實施形態 2 之半導體積體電路裝置之製造方法的要部截面圖。

圖 29 為顯示根據本發明實施形態 2 之半導體積體電路裝置之製造方法的要部截面圖。

圖 30 為顯示氧化膜形成室結構他例的截面圖。

圖 31 為顯示形成開氧化膜順序一例的說明圖。

圖 32 為顯示根據本發明實施形態 2 之半導體積體電路裝置之製造方法的要部截面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明 (30)

圖 33 為顯示根據本發明之氧化膜形成方法他例的概略圖。

圖 34 為顯示根據本發明之半導體積體電路裝置之製造方法他例的要部截面圖。

5. 實施發明之最佳形態

以下，根據圖面詳細說明本發明之實施形態。又，在說明實施形態的全圖中，在具有同一功能的構件附上同一符號，省略其重複說明。

此外，為了說明方便，將分成幾個實施例或項目加以說明，當然這些各實施例或項目並不是各個鬆散的，而是互相具有一部分其他變形例、一部分製程細部、用於一部分製程的裝置等關係。即，在一連串實施例說明的各個裝置或單位製程等大致照樣可適用於其他實施例時，不逐一重複。此外，相反地，獨立說明的各個裝置或單位製程等大致照樣可適用於其他實施例時，不逐一重複。

(半導體製程 A)

茲用圖 1 到圖 26(主要是圖 1 到 8、10、16 及 22 到 26)說明本實施形態之 CMOSFET(互補式金屬氧化物半導體場效電晶體)製造方法。

首先，如圖 1 所示，熱處理電阻率 $10 \Omega\text{cm}$ 程度的由單晶矽構成的半導體基板 1 而在其主面形成膜厚 10 nm 程度的薄氧化矽膜 2(熱氧化製程 A1)後，在此氧化矽膜 2 上以 CVD 法沉積膜厚 100 nm 程度的氮化矽膜 3。其次，如圖 2 所示，在氮化矽膜 3 上形成將元件分離區域開孔的光阻劑

五、發明說明 (31)

4，以此光阻劑 4 為罩幕而將氮化矽膜 3 形成圖案。

其次，除去光阻劑 4 後，如圖 3 所示，以氮化矽膜 3 為罩幕，依次蝕刻氧化矽膜 2 和半導體基板 1，在半導體基板 1 形成深度 350 nm 程度之槽 5a，接著施以 900 到 1150℃ 的熱氧化處理，在槽 5a 內壁形成氧化矽膜 6(熱氧化製程 A2)。

其次，如圖 4 所示，以例如將臭氧(O_3)和四乙氧基矽烷($(C_2H_5O)_4Si$)用於源氣的 CVD 法在半導體基板 1 上沉積膜厚 800 nm 程度的氧化矽膜 7 後，如圖 5 所示，以化學機械研磨(Chemical Mechanical Polishing; CMP)法研磨氧化矽膜 7，藉由將氮化矽膜 3 用於研磨阻止物而只在槽 5a 內部留下氧化矽膜 7，形成元件分離槽 5。接著，施以約 1000℃ 的熱處理而元件分離槽 5 內部之氧化矽膜 7 密實。

其次，以使用熱磷酸的濕式蝕刻除去氮化矽膜 3 後，如圖 6 所示，以將 p 通道型 MOSFET 形成區域(圖左側)開孔的光阻劑 8 為罩幕，在半導體基板 1 離子植入形成 n 型井的雜質，並且離子植入調整 p 通道型 MOSFET 之臨界電壓的雜質。形成 n 型井用的雜質例如使用 P(磷)，以能量=360 keV、劑量= $1.5 \times 10^{13}/cm^2$ 離子植入。此外，調整臨界電壓用的雜質例如使用 P，以能量=40 keV、劑量= $2 \times 10^{12}/cm^2$ 離子植入。

其次，除去光阻劑 8 後，如圖 7 所示，以將 n 通道型 MOSFET 形成區域(圖右側)開孔的光阻劑 9 為罩幕，在半導體基板 1 離子植入形成 p 型井的雜質，並且離子植入調

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (32)

整 n 通道型 MOSFET 之臨界電壓的雜質。形成 p 型井用的雜質例如使用 B(硼)，以能量=200 keV、劑量= $1.0 \times 10^{13}/\text{cm}^2$ 離子植入。此外，調整臨界電壓用的雜質例如使用氟化硼 (BF_2)，以能量=40 keV、劑量= $2 \times 10^{12}/\text{cm}^2$ 離子植入。

其次，除去光阻劑 9 後，如圖 8 所示，藉由 950°C 、1 分程度熱處理半導體基板 1 而延長擴散上述 n 型雜質及 p 型雜質，在 p 通道型 MOSFET 形成區域之半導體基板 1 形成 n 型井 10，在其表面附近形成 p 型通道區域 12。此外，同時在 n 通道型 MOSFET 形成區域之半導體基板 1 形成 p 型井 11，在其表面附近形成 n 型通道區域 13。

其次，在上述 n 型井 10 和 p 型井 11 之各表面用以下方法形成閘氧化膜(熱氧化製程 A3)。

圖 9 為用於形成閘氧化膜之單片式氧化膜形成裝置的概略圖。如圖示，此氧化膜形成裝置 100 連接於洗滌裝置 101 後段，該洗滌裝置 101 係在形成閘氧化膜之前，以濕式洗滌方式除去半導體晶圓 1A 表面之氧化膜。藉由採用這種洗滌一氧化一貫處理系統，可不使在洗滌裝置 101 內交付洗滌處理的半導體晶圓 1A 接觸大氣且在短時間搬到氧化膜形成裝置 100，所以在除去氧化膜之後到形成閘氧化膜之間，可盡量抑制在半導體晶圓 1A 表面形成自然氧化膜。

裝入洗滌裝置 101 之裝載器 102 的半導體晶圓 1A 先搬到洗滌室 103，交付例如 $\text{NH}_4\text{OH} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ 等洗滌液的洗滌處理後，搬到氫氟酸洗滌室 104，交付稀氫氟酸 ($\text{HF} + \text{H}_2\text{O}$) 的洗滌處理而除去表面的氧化矽膜(圖 10)。其後，半

五、發明說明 (33)

導體晶圓 1A 搬到乾燥室 105，交付乾燥處理，除去表面的水分。殘留於半導體晶圓 1A 表面的水分會成為在閘氧化膜中或閘氧化膜/矽界面引起 Si-H、Si-OH 等構造缺陷而形成電荷陷阱的原因，所以需要充分除去。

乾燥處理結束的半導體晶圓 1A 通過緩衝區 106，立即搬到氧化膜形成裝置 100。

此氧化膜形成裝置 100 以多室方式構成，該多室方式例如具備氧化膜形成室 107、氧化氮膜形成室 108、冷卻台 109、裝卸器 110 等，裝置中央的搬運系統 112 具備將半導體晶圓 1A 搬入、搬出上述各處理室的機器手 113。搬運系統 112 內部為了盡量抑制因大氣混入而在半導體晶圓 1A 表面形成自然氧化膜，保持於氮等惰性氣體氣氛。此外，搬運系統 112 內部為了盡量抑制水分附著於半導體晶圓 1A 表面，保持於 ppb(十億分之一)水準的超低水分氣氛。搬入氧化膜形成裝置 100 的半導體晶圓 1A 透過機器手 113，先以 1 片或 2 片單位搬到氧化膜形成室 107。

圖 11(a)為顯示氧化膜形成室 107 具體結構一例的概略平面圖，圖 11(b)為沿圖 11(a)之 B-B'線的截面圖。

此氧化膜形成室 107 具備以多重壁石英管構成之室 120，在其上部及下部設置加熱半導體晶圓 1A 的加熱器 121a、121b。室 120 內部收容圓盤狀均熱環 122，該圓盤狀均熱環 122 係使由此加熱器 121a、121b 供應之熱均勻分散到半導體晶圓 1A 全面，在其上部裝載水平保持半導體晶圓 1A 的基座 123。均熱環 122 以石英或 SiC(碳化矽)等

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (34)

耐熱材料構成，為由室 120 壁面延伸的支持臂 124 所支持。均熱環 122 附近設置熱電偶 125，該熱電偶 125 係測量保持於基座 123 的半導體晶圓 1A 溫度。半導體晶圓 1A 的加熱除了加熱器 121a、121b 的加熱方式之外，也可以採用例如圖 12 所示之類的燈 130 加熱方式。

室 120 壁面一部分連接將水、氧及淨化氣體導入室 120 內的氣體導入管 126 一端。此氣體導入管 126 他端連接於後述的觸媒方式水分生成裝置。氣體導入管 126 附近設置具備多數貫通孔 127 的隔壁 128，導入室 120 內的氣體通過此隔壁 128 之貫通孔 127 而均勻遍及室 120 內。室 120 壁面另外一部分連接排出導入室 120 內的上述氣體的排氣管 129 一端。

圖 13 及圖 14 為顯示連接於上述室 120 之觸媒方式水分生成裝置的概略圖。此水分生成裝置 140 具備以耐熱耐蝕性合金(例如以商品名「哈斯特洛伊(Hastelloy)」而聞名的鎳合金等)構成的反應器 141，在其內部收容由 Pt(鉑)、Ni(鎳)或 Pd(鈀)等觸媒金屬構成的線圈 142 和加熱此線圈 142 的加熱器 143。

由氫及氧構成的製程氣體和由氮或 Ar(氬)等惰性氣體構成的淨化氣體從儲氣槽 144a、144b、144c 通過配管 145 導入上述反應器 141。配管 145 中途設置調節氣體量的質流控制器(Mass Flow Controller)146a、146b、146c 和開關氣體流路的開關閥 147a、147b、147c，以這些精密控制導入反應器 141 內的氣體量及成分比。

五、發明說明 (35)

導入反應器 141 內的製程氣體(氫及氧)接觸加熱到 350 到 450°C 程度的線圈 142 而被激發，從氫分子生成氫基($H_2 \rightarrow 2 H^*$)，從氧分子生成氧基($O_2 \rightarrow 2 O^*$)。這些 2 種基化學上極為活性，所以迅速反應而生成水($2 H^* + O^* \rightarrow H_2O$)。此水在連接部 148 內和氧混合而被稀釋成低濃度，通過前述氣體導入管 126 而導入氧化膜形成室 107 之室 120。

如上述的觸媒方式水分生成裝置 140 可高精度控制參與水生成之氫和氧量，所以可從 ppt(萬億分之一)以下的超低濃度到幾十%程度的高濃度廣大範圍且高精度地控制和氧共同導入氧化膜形成室 107 之室 120 的水濃度。此外，由於將製程氣體導入反應器 141 就瞬間生成水，所以可以即時(real-time)得到所希望的水分濃度。因此，可將氫和氧同時導入反應器 141 內，無需如同採用燃燒方式的習知水分生成系統一樣，在導入氫之前導入氧。又，反應器 141 內的觸媒金屬若為可使氫或氧基團化的，則也可以使用前述金屬以外的材料。此外，觸媒金屬除了加工成線圈狀使用之外，也可以例如加工成中空管或細的纖維過濾器等而在其內部通過製程氣體。

茲一面參照圖 15，一面說明使用上述氧化膜形成裝置 100 的形成開氧化膜順序一例。

首先，開放氧化膜形成室 107 之室 120，一面將淨化氣體(氮)導入其內部，一面將半導體晶圓 1A 裝在基座 123 上。將半導體晶圓 1A 搬入室 120 之後到裝在基座 123 上的時間為 55 秒。其後，封閉室 120，接著導入淨化氣體 30

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (36)

秒，充分進行室 120 內的氣體交換。基座 123 先以加熱器 121a、121b 加熱，以便迅速加熱半導體晶圓 1A。半導體晶圓 1A 的加熱溫度定為 800 到 900℃ 的範圍內，例如 850℃。晶圓溫度在 800℃ 以下，則開氧化膜品質降低。另一方面，在 900℃ 以上，則容易發生晶圓的表面龜裂。

其次，導入氧和氫 15 秒到水分生成裝置 140 之反應器 141，藉由將生成的水和氧共同導入室 120 內而使半導體晶圓 1A 表面氧化 5 分鐘，形成膜厚 5 nm 以下，例如 4 nm 的開氧化膜 14(圖 16)。

將氧和氫導入反應器 141 之際，不要比氧先導入氫。比氧先導入氫，未反應的氫就流入高溫的室 120 內，很危險。另一方面，比氫先導入氧，此氧就流入室 120 內，在等待中的半導體晶圓 1A 表面形成低品質的氧化膜(初期氧化膜)。因此，氫和氧同時導入或考慮作業安全性而以比氧稍晚的定時(0 到 5 秒以內)導入。如此一來，就可將不希望形成於半導體晶圓 1A 表面的初期氧化膜膜厚抑制在最小限度。

圖 17 為顯示水分濃度對於氧化膜成長速度之相關性的圖表，橫軸顯示氧化時間，縱軸顯示氧化膜厚。如圖示，氧化膜成長速度於水分濃度為 0(乾氧化)時最慢，隨著水分濃度變高而變快。因此，為了再現性良好且以均勻膜厚形成膜厚 5 nm 程度或此以下的極薄開氧化膜，降低水分濃度且延遲氧化膜成長速度，以穩定的氧化條件進行成膜有效。

圖 18 為顯示水分濃度對於以半導體基板、開氧化膜及開

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (37)

極構成之 MOS 二極體之氧化膜初期耐壓之相關性的圖表，橫軸顯示施加於 MOS 二極體一方電極(閘極)的電壓，縱軸顯示閘氧化膜中的缺陷密度。此處，為了使水分濃度的影響表面化，使用了 MOS 二極體，該 MOS 二極體係以 (1)氧化溫度=850℃、水分濃度=0、(2)氧化溫度=850℃、水分濃度=0.8%、(3)使用立式擴散爐、氧化溫度=800℃、水分濃度=40%的條件形成膜厚=9 nm、面積=0.19 cm²之閘氧化膜。如圖示，以水分濃度=0.8%的低水分條件形成的閘氧化膜比以水分濃度=0(乾氧化)形成的閘氧化膜及以水分濃度=40%的高水分條件形成的閘氧化膜之任何一方都顯示良好的初期耐壓。

圖 19 為顯示使恆定電流(Is)流到上述 MOS 二極體之電極間時水分濃度對於電壓變化量之相關性的圖表。如圖示，使用以水分濃度=0(乾氧化)形成的閘氧化膜的 MOS 二極體因起因於氧化膜中的缺陷密度高而電壓變化量大。

圖 20 顯示使用上述氧化膜形成裝置 100 而形成的閘氧化膜之晶圓面內之膜厚分佈。此處，就將晶圓溫度設定於 850℃、以水分濃度=0.8%氧化 2 分 30 秒的情況加以顯示。如圖示，膜厚最大值=2.881 nm、最小值=2.814 nm，得到膜厚偏差±1.18%此一良好的面內均勻性。

由以上得到下結構：導入氧化膜形成室 107 之室 120 之水的較佳濃度(水/水+氧)若是以比以乾氧化(水分濃度=0)形成時可得到優良初期耐壓的濃度為下限，到採用習知燃燒方式時為上限的 40%程度的範圍內即可，特別是要以均

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明 (38)

勻膜厚再現性良好且可得到高品質搬地形成膜厚 5 nm 程度或此以下的極薄閘氧化膜，將水的濃度定為 0.5% 到 5% 的範圍內較佳。

圖 21 顯示以熱氧化得到的閘氧化膜成分明細，圖之右側圖表為以上述本實施形態方法形成的膜厚 4 nm 閘氧化膜，中央圖表為以利用燃燒方式的習知方法形成的膜厚 4 nm 閘氧化膜，左側圖表為以相同習知方法形成的膜厚 9 nm 閘氧化膜。

如圖示，本實施形態採用洗滌—氧化—貫處理系統，盡量避免從預洗滌到形成氧化膜之間和氣氛中的氧接觸的結果，可從習知方法的 0.7 nm(總膜厚的 17.5%) 到 0.3 nm(總膜厚的 7.5%) 弄薄在形成在氧化膜形成裝置內的可控制氧化膜之前所形成的此自然氧化膜膜厚。此外，採用觸媒之水分生成方式，謀求氧化種立即導入氧化膜形成裝置內的結果，在形成作為目的的本來氧化膜之前，可從習知方法的 0.8 nm(總膜厚的 20%) 到 0.3 nm(總膜厚的 7.5%) 弄薄因和氧化種中的氧接觸而不希望形成的初期氧化膜膜厚。此結果，可形成作為目的的本來可控制氧化膜膜厚 85% 的高品質極閘氧化膜。再者，如前所述，謀求氧化種的水分濃度最佳化，降低氧化膜成長速度且以穩定的氧化條件進行成膜的結果，可以均勻膜厚再現性良好地形成高品質的極薄閘氧化膜。

其次，簡單說明形成上述閘氧化膜以後的 CMOS 製程。

如前述圖 14 所示，形成閘氧化膜 14 完畢後，先導入淨

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (39)

化氣體 2 分 20 秒到氧化膜形成室 107 之室 120，排出留在室 120 內的氧化種。接著，從基座 123 以 55 秒卸下半導體晶圓 1A，從室 120 搬出。

其次，將半導體晶圓 1A 搬到前述圖 9 所示的氧化氮膜形成室 108，藉由在 NO(氧化氮)或 N₂O(一氧化二氮)氣氛中熱處理半導體晶圓 1A，使氮與閘氧化膜 14 和半導體基板 1 的界面分離。

閘氧化膜 14 薄到 5 nm 程度，起因於和半導體基板 1 的熱膨脹係數差而在兩者界面產生的變形就表面化，引起熱載子的發生。由於與和半導體基板 1 的界面分離之氮會緩和此變化，所以上述氧化氮處理可提高極薄閘氧化膜 14 的可靠性。又，使用 N₂O 進行氧化氮處理時，因 N₂O 分解而產生之氧的氧化也進行，所以閘氧化膜 14 膜厚變厚 1 nm 程度。這種情況，藉由在氧化膜形成室 107 形成膜厚 3 nm 的閘氧化膜後進行氧化氮處理，可將閘氧化膜厚設定成 4 nm。另一方面，使用 NO 時，幾乎沒有因氧化氮處理而閘氧化膜變厚的情況。

其次，將氧化氮處理完畢的半導體晶圓 1A 在冷卻台 109 冷卻到室溫之後，通過裝卸器 110 而搬出氧化膜形成裝置 100 外部，搬到沉積閘極用導電膜的 CVD 裝置(未圖示)。當時，將此 CVD 裝置連接於氧化膜形成裝置 100 後段，藉由連續一貫處理從形成閘氧化膜到沉積閘極用導電膜，可有效防止閘氧化膜 14 的污染。

其次，如圖 22 所示，在閘氧化膜 14 上部形成閘長 0.25 μm

五、發明說明(40)

的閘極 15。閘極 15 係在半導體基板 1 上以 CVD 法依次沉積膜厚 150 nm 的 n 型多晶矽膜、膜厚 150 nm 的非摻雜多晶矽膜後，以將光阻劑作為罩幕的乾式蝕刻將這些膜形成圖案而形成。

其次，如圖 23 所示，在 p 通道型 MOSFET 形成區域從垂直方向及斜方向離子植入 p 型雜質，例如 B(硼)，在閘極 14 兩側之 n 型井 10 形成 p-型半導體區域 16 及 p 型半導體區域 17。此外，在 n 通道型 MOSFET 形成區域從垂直方向及斜方向離子植入 n 型雜質，例如 P(磷)，在閘極 14 兩側之 p 型井 11 形成 n-型半導體區域 18 及 n 型半導體區域 19。

其次，如圖 24 所示，非等向性蝕刻在半導體基板 1 上以 CVD 法沉積的氧化矽膜而在閘極 14 側壁形成厚度 0.15 μm 程度的側壁間隙壁 20。此時，除去 p 型半導體區域 17 上部的閘氧化膜 14 及 n 型半導體區域 19 上部的閘氧化膜 14。接著，在 p 通道型 MOSFET 形成區域離子植入 p 型雜質，例如 B(硼)，在閘極 14 兩側之 n 型井 10 形成 p^+ 型半導體區域 21。此外，在 n 通道型 MOSFET 形成區域離子植入 n 型雜質，例如 P(磷)，在閘極 14 兩側之 p 型井 11 形成 n^+ 型半導體區域 22。

其次，如圖 25 所示，在 p 通道型 MOSFET 之閘極 14、 p^+ 型半導體區域 21(源極區域、汲極區域)、n 通道型 MOSFET 之閘極 14、 n^+ 型半導體區域 22(源極區域、汲極區域)之各表面形成 TiSi_2 (矽化鈦)層 23。 TiSi_2 層 23 係熱處理在半導體基板 1 上以濺鍍(sputtering)法沉積的鈦膜而使

五、發明說明(41)

其和半導體基板 1 及閘極 14 反應後，以蝕刻除去未反應的鈦膜而形成。藉由以上製程，p 通道型 MOSFET(Qp)及 n 通道型 MISFET(Qn)完成。

其後，如圖 26 所示，在氧化矽膜 24 形成連接孔 25 到 28，該氧化矽膜 24 係在半導體基板 1 上以電漿 CVD 法沉積，接著藉由將在氧化矽膜 24 上以濺鍍法沉積的鋁合金膜形成圖案而形成配線 29 到 31，本實施形態之 CMOS 製程大致完畢。

(半導體製程 B)

茲用圖 27 到圖 32 說明本實施形態之 MOSFET 製造方法(LOCOS 隔離製程)。本製程使用習知型之隔離取代淺渠溝隔離(Shallow Trench Isolation)。這種情況，關於細微化雖然有限，但有可照樣引用以往的製程的優點。半導體製程 1 之 STI 或 SGI(淺槽隔離)、本實施例之 LOCOS 隔離只要 MOSFET 和其他電晶體不共有源極或汲極，原則上都以隔離區域包圍其周圍。

首先，如圖 27 所示，熱處理半導體基板 1 而在其主面形成膜厚 10 nm 程度的薄氧化矽膜 2(熱氧化製程 B1)後，在此氧化矽膜 2 上以 CVD 法沉積膜厚 100 nm 程度的氮化矽膜 3。其次，如圖 28 所示，在氮化矽膜 3 上形成將元件分離區域開孔的光阻劑 4，以此光阻劑 4 為罩幕而將氮化矽膜 3 形成圖案。

其次，除去光阻劑 4 後，如圖 29 所示，藉由熱處理半導體基板 1，在元件分離區域形成場氧化膜 40(熱氧化製程

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(42)

B2)。

其次，以使用熱磷酸的濕式蝕刻除去氮化矽膜 3，使半導體基板 1 表面以濕式洗滌清潔化後，在半導體基板 1 之活性區域表面以和前述實施形態 1 同樣的方法形成膜厚 5 nm 以下的極薄閘氧化膜 14(熱氧化製程 B3)(圖 32)。

膜厚 5 nm 以下的極薄閘氧化膜也可以在如圖 30 所示的整批式直立氧化膜形成裝置 150(氧化裝置 3；直立整批氧化爐)安裝如前述的觸媒方式水分生成裝置 140 而形成。圖 31 顯示使用此直立氧化膜形成裝置 150 的形成閘氧化膜順序一例。這種情況的順序和圖 15 大致同樣，但晶圓的裝及卸有一些時間上的不同。此外，其他也有說明般地，這種情況一般成為熱壁方式，所以實際上不氧化程度的少量氧氣添加於淨化氣體比較重要。

其後，以和前述實施形態 1 同樣的方法在半導體基板 1 主面上形成 MOSFET。

(關於氧化製程等之共同事項)

以下，說明與本案所揭示之各半導體製程共同可適用的處理裝置及處理製程詳情。

如前所述，圖 9 為用於形成閘氧化膜之單片式氧化膜形成裝置(多室方式)的概略圖。此氧化膜形成裝置 100 連接於洗滌裝置 101 後段，該洗滌裝置 101 係在形成閘氧化膜之前，以濕式洗滌方式(也可以是乾式方式)除去半導體晶圓 1A 表面之氧化膜(一般為表面膜)。藉由採用這種洗滌—氧化—貫處理系統，可不使在洗滌裝置 101 內交付洗滌處

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(43)

理的半導體晶圓 1A 接觸大氣(不希望的氧化性氣氛等及其他使表面狀態劣化的氣氛一般)且在短時間搬到氧化膜形成裝置 100，所以在除去氧化膜之後到形成新氧化膜之間可盡量抑制在半導體晶圓 1A 表面形成自然氧化膜。

乾燥處理結束的半導體晶圓 1A 通過緩衝區 106，立即搬到氧化膜形成裝置 100。

此氧化膜形成裝置 100 以多室方式構成，該多室方式例如具備氧化膜形成室 107、氧化氮膜形成室 108、冷卻台 109、裝卸器 110 等，裝置中央的搬運系統 112 具備將半導體晶圓 1A 搬入、搬出上述各處理室的機器手 113。搬運系統 112 內部為了盡量抑制因大氣混入而在半導體晶圓 1A 表面形成自然氧化膜，保持於氮等惰性氣體氣氛(也可以成為真空，但以惰性氣體等成為正壓，則有防止來自外部及各處理室的不希望氣體混合的效果)。此外，搬運系統 112 內部為了盡量抑制水分附著於半導體晶圓 1A 表面，保持於 ppb 水準的超低水分氣氛(一般良好配備的真空系統的除氣中所含的水分為幾 ppm 以下)。搬入氧化膜形成裝置 100 的半導體晶圓 1A 透過機器手 113，先以 1 片或 2 片單位(一般提起單片時，指 1 片或 2 片單位，但指定 1 片單位或 2 片單位時，分別指單片、2 片)搬到氧化膜形成室 107。

如前所述，圖 11(a)為顯示氧化膜形成室 107(圖 9 之單片裝置)具體結構一例的概略平面圖，圖 11(b)為沿著圖 11(a)之 B-B'線的截面圖(氧化裝置 1；熱壁式單片氧化壁)。

此氧化膜形成室 107 具備以多重壁石英管構成之室

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (44)

120，在其上部及下部設置加熱半導體晶圓 1A 的加熱器 121a、121b(熱壁式的情況)。室 120 內部收容圓盤狀均熱環 122，該圓盤狀均熱環 122 係使由此加熱器 121a、121b 供應之熱均勻分散到半導體晶圓 1A 全面，在其上部裝載水平保持半導體晶圓 1A(關於垂直重力，具有以下效果：藉由大致水平配置晶圓表面，可排除混合氣體濃度分佈影響。此在 300 ϕ 晶圓等大口徑化特別重用)的基座 123。均熱環 122 以石英或 SiC(碳化矽)等耐熱材料構成，為由室 120 壁面延伸的支持臂 124 所支持。均熱環 122 附近設置熱電偶 125，該熱電偶 125 係測量保持於基座 123 的半導體晶圓 1A 溫度。半導體晶圓 1A 的加熱除了加熱器 121a、121b 的加熱方式之外，也可以採用例如圖 12(氧化裝置 2；燈加熱式單片氧化爐)所示之類的燈 130 加熱方式。這種情況，可將晶圓放在預定位置之後開始燈加熱，一關燈，晶圓表面溫度會急速下降，所以在熱壁情況等可減低到可幾乎無視插入及抽出時所形成的初期氧化膜等。又，有燈添加水分時，不僅水分導入部，而且氧化爐本身也預熱到攝氏 140 度程度，防止結露有效。

室 120 壁面一部分連接將水、氧及淨化氣體導入室 120 內的氣體導入管 126 一端。此氣體導入管 126 他端連接於後述的觸媒方式水分生成裝置。氣體導入管 126 附近設置具備多數貫通孔 127 的隔壁 128，導入室 120 內的氣體通過此隔壁 128 之貫通孔 127 而均勻遍及室 120 內。室 120 壁面另外一部分連接排出導入室 120 內的上述氣體的排氣

(請先閱讀背面之注意事項再填寫本頁)

訂

後

五、發明說明 (45)

管 129 一端。

如前所述，圖 13 及圖 14 為顯示連接於上述室 120 之觸媒方式水分生成裝置的概略圖。此水分生成裝置 140 具備以耐熱耐蝕性合金（例如以商品名「哈斯特洛伊 (Hastelloy)」而聞名的鎳合金等）構成的反應器 141，在其內部收容由 Pt(鉑)、Ni(鎳)或 Pd(鈀)等觸媒金屬構成的線圈 142 和加熱此線圈 142 的加熱器 143。

由氫及氧構成的製程氣體和由氮或 Ar(氬)等惰性氣體構成的淨化氣體從儲氣槽 144a、144b、144c 通過配管 145 導入上述反應器 141。配管 145 中途設置調節氣體量的質流控制器 146a、146b、146c 和開關氣體流路的開關閥 147a、147b、147c，以這些精密控制導入反應器 141 內的氣體量及成分比。

導入反應器 141 內的製程氣體(氫及氧)接觸加熱到 350 到 450℃ 程度(例如在常壓下，在充分的氧存在下有 4% 以上的氫濃度會發生氫爆炸性的燃燒，所以考慮量產裝置的安全，認為最好將富氧的氫氧混合氣體導入反應器，以免氫殘留)的線圈 142 而被激發，從氫分子生成氫基($H_2 \rightarrow 2 H^*$)，從氧分子生成氧基($O_2 \rightarrow 2 O^*$)。這些 2 種基化學上極為活性，所以迅速反應而生成水($2 H^* + O^* \rightarrow H_2O$)。此水在連接部 148 內和氧混合而被稀釋成低濃度，通過前述氣體導入管 126 而導入氧化膜形成室 107 之室 120。這種情況，也可以用氫稀釋，以取代氧。即，就供應給氧化爐的氣氛而言，為水分 1%、氫 99%。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (46)

如上述的觸媒方式水分生成裝置 140 可高精度控制參與水生成之氫和氧量，所以可從 ppt 以下的超低濃度到幾十 % 程度的高濃度廣大範圍且高精度地控制和氧共同導入氧化膜形成室 107 之室 120 的水濃度。此外，由於將製程氣體導入反應器 141 就瞬間生成水，所以可以即時(real-time)得到所希望的水分濃度。因此，可將氫和氧同時導入反應器 141 內，(一般情況為了安全會提前一些導入氧)，無需如同採用燃燒方式的習知水分生成系統一樣，在導入氫之前導入氧。又，反應器 141 內的觸媒金屬若為可使氫或氧基團化的，則也可以使用前述金屬以外的材料。此外，觸媒金屬除了加工成線圈狀使用之外，也可以例如加工成中空管或細的纖維過濾器等而在其內部通過製程氣體。

在圖 14 中，水分產生爐 140、氫感測器、過濾器、稀釋部、淨化氣體或稀釋氣體供應部及氧化爐連接部等了防止結露，被調溫或加熱到成為攝氏 140 度程度。此處，氫感測器係檢測未被合成而殘留之氫的感測器。此外，過濾器係萬一在氧化爐側發生氫燃燒等時，為了不將此燃燒傳到合成爐側，作為一種隔板(orifice)起作用般地所插入的濾氣器。淨化氣體、稀釋氣體、水分都預熱到不結露程度的溫度(一般攝氏 100 度以上 200 度以下程度)而供應給氧化爐，但在(稀釋氣體也先預熱後和所合成的水分混合)如圖 12 的燈加熱爐，爐體本身或被處理晶圓本身的預熱也要考慮。這種情況，也可以利用淨化氣體預熱氧化爐內的晶圓。燈加熱爐的情況，特別是對防止晶圓導入部結露的預熱機

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (47)

構也要加以注意。任一情況都先加熱或調溫到攝氏 140 度程度，比較有效。

一般將預定氣氛氣體以一定流量供應給氧化處理部，一面經常以新的氣氛氣體補充所消耗的成分，一面以穩定狀態進行氧化製程。

茲一面參照圖 15，一面更進一步說明使用上述氧化膜形成裝置 100(圖 9)的形成開氧化膜順序一例。

首先，開放氧化膜形成室 107(圖 9)之室 120(圖 11)，一面將淨化氣體(氮)導入其內部(也可以如圖 15 所示，為防止晶圓熱蝕刻等表面龜裂而將少許氧等加入淨化氣體)，一面將半導體晶圓 1A 裝在基座 123 上。將半導體晶圓 1A 搬入室 120 之後到裝在基座 123 上的時間為 55 秒。其後，封閉室 120，接著導入淨化氣體 30 秒，充分進行室 120 內的氣體交換。基座 123 先以加熱器 121a、121b 加熱，以便迅速加熱半導體晶圓 1A。半導體晶圓 1A 的加熱溫度定為 800 到 900℃ 的範圍內，例如 850℃。晶圓溫度在 800℃ 以下，則開氧化膜品質降低。另一方面，在 900℃ 以上，則容易發生晶圓的表面龜裂。

將氧和氮導入反應器 141 之際，不要比氧先導入氮。比氧先導入氮，未反應的氮就流入高溫的室 120 內，很危險。另一方面，比氮先導入氧，此氧就流入室 120 內，在等待中的半導體晶圓 1A 表面形成低品質的氧化膜(初期氧化膜)。因此，氮和氧同時導入或考慮作業安全性而以比氧稍晚的定時(0 到 5 秒以內)導入。如此一來，就可將不希望形

五、發明說明(48)

成於半導體晶圓 1A 表面的初期氧化膜膜厚抑制在最小限度。

膜厚 5 nm 以下(同樣地當然對於這以上厚度之間及其他氧化膜也一定程度有效)的極薄開氧化膜也可以在單片式或整批式氧化膜形成裝置(氧化爐 1 到 3)安裝如圖 33(氧化裝置 4; 氫氣燃燒法式或氫燃燒法式氧化爐)所示的燃燒方式水分生成裝置 160 而形成。

這種情況，以水分生成裝置 160 使含有比較高濃度之水的氧化種產生後，藉由將氧加入此氧化種而得到低水分濃度之氧化種。此時，要先將閥(Vvent)設定在開，將閥(Vprocess)設定在關，到水分濃度降低到所希望的濃度為止不將氧化種送到氧化膜形成裝置。而且，水分濃度充分降低之後，將閥(Vvent)切換到關，將閥(Vprocess)切換到開，將氧化種送到氧化膜形成裝置。

在氧化膜形成裝置正前面有閥等起塵源或因設置閥而產生死空間等，上述方式比前述觸媒方式也有不利之點，但可實現氧化種的低水分濃度化及抑制初期氧化膜。

(半導體製程 C)

本發明之氧化膜形成方法在以下的情況也可以適用：如圖 34 所示之以 5 nm 以下的薄膜厚形成具有浮置閥 44 和控制閥 42 的快閃記憶體之隧道氧化膜 43(熱氧化製程 C1)或第二開氧化膜 44(熱氧化製程 C2)。

(半導體製程 D)

此外，本發明之氧化膜形成方法在以下的情況也可以適

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(49)

用：例如將記憶 LSI 和邏輯 LSI 混裝於同一半導體晶片上的 LSI，在同一半導體晶片上形成膜厚不同的 2 種以上開氧化膜。這種情況，當然可將膜厚 5 nm 以下的薄開氧化膜(熱氧化製程 D1)和 5 nm 以上的比較厚開氧化膜(熱氧化製程 D2)都用本發明之方法形成，但也可以用本發明方法形成膜厚薄的開氧化膜，用習知方法形成厚的開氧化膜。

(本案之各種氧化法之適用性)

關於以上所示之本案所示之觸媒水分生成熱氧化法、低水分氧化法(包含一部分氫燃燒法式)及習知氫燃燒法式之高水分氧化之適用性，歸納如下。

即，就適用觸媒水分生成熱氧化法、低水分氧化法而最有效果的製程而言，可舉氧化製程 A3、B3、C1、C2、D1 等(第一類)。

雖然也可以適用習知氫燃燒法式之高水分氧化，但就適用觸媒水分生成熱氧化法、低水分氧化法而有效果的製程而言，可舉氧化製程 A1、A2、B1、B2、D2 等(第二類)。

特別是在氫燃燒法式之氧化爐和觸媒方式之氧化爐混在一起的生產線方面，氧化膜因性質、厚度等而混用兩方法也有實用價值。

(本案之各種氧化裝置之適用性)

關於以上所示之本案所示之各種氧化裝置之適用性，歸納如下。本案所示之氧化裝置 1 到 4 基本上哪個都可適用於上述第一類及第二類的氧化製程。然而，因多室等而要做精密氣氛控制時，最好利用氧化裝置 1 或 2。

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明(50)

此外，關於各氧化處理裝置氧化時的運轉壓力，一般在常壓(600 托到 900 托)下進行，但也可以在減壓下進行。這種情況，除了容易低設定氧化速度之外，也有可減低氫爆炸可能性等的附加效果。

此外，也可以進行高壓氧化。這種情況有以下優點：可以比較低的溫度實現高的氧化速度。

(關於揭示之注意點)

以上，將由本發明者完成的發明根據其實施形態加以具體說明，但本發明並不限於前述實施形態，當然可在不脫離其要旨的範圍做各種變更。

6. 產業上利用可能性

茲簡單說明在本案所揭示之發明中由具代表性者得到的效果如下：

根據本發明，由於可以均勻膜厚再現性良好地形成膜厚 5 nm 以下且高品質的極薄閘氧化膜，所以可使具有閘長 0.25 μm 或此以下的細微 MOSFET 之半導體積體電路裝置的可靠性、製造良率提高。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要（發明之名稱：半導體積體電路裝置之製造方法）

為了提供以均勻膜厚再現性良好地形成高品質且膜厚 5 nm 以下的極薄閘氧化膜之技術，本發明供應低濃度含有因觸媒作用而由氫和氧產生之水的氧化種給半導體晶圓主面或其附近，以可確保形成氧化膜的再現性及氧化膜厚的均勻性程度的氧化膜成長速度在半導體晶圓主面形成膜厚 5 nm 以下的氧化膜。

英文發明摘要（發明之名稱：半導體集積回路裝置の製造方法）

本發明は高品質で膜厚が 5 nm 以下の極薄ゲート酸化膜を均一な膜厚で再現性良く形成する技術を提供する。ために、触媒作用によって水素と酸素とから生成する水を低濃度に含んだ酸化種を半導体ウニハの主面またはその近傍に供給し、酸化膜形成の再現性および酸化膜厚の均一性が確保され得る程度の酸化膜成長速度で半導体ウニハの主面に膜厚が 5 nm 以下の酸化膜を形成するものである。

圖 1

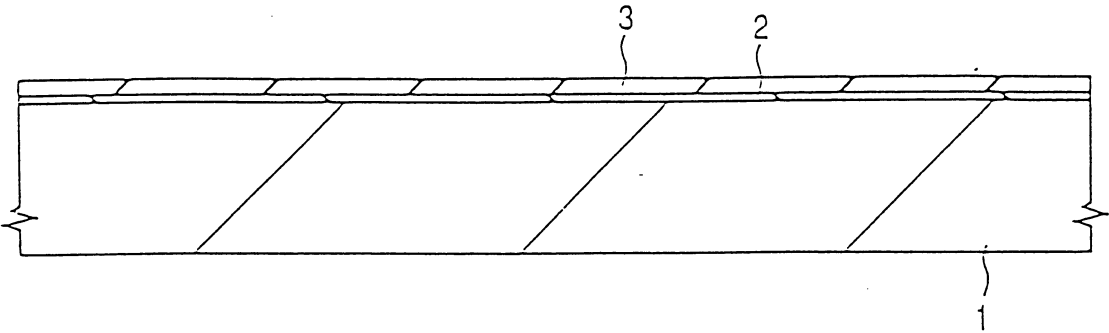


圖 2

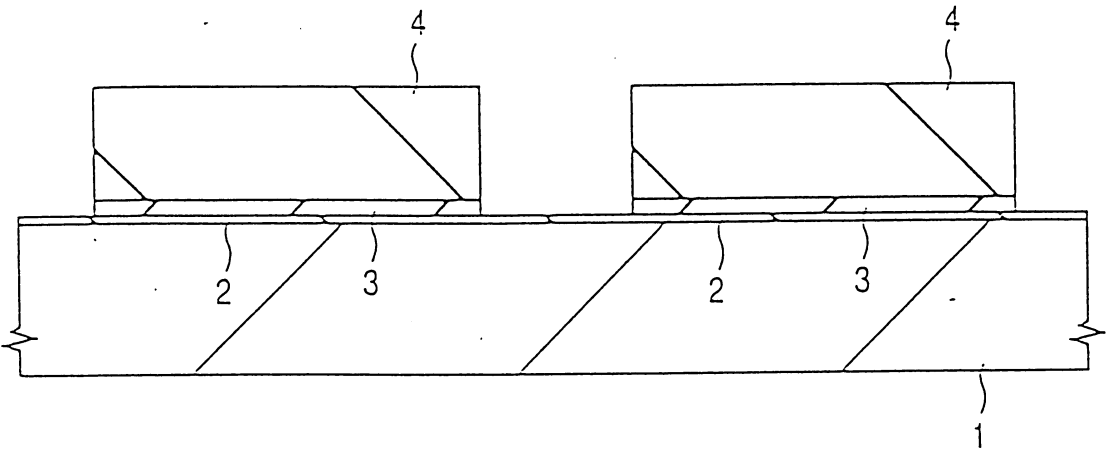


圖 3

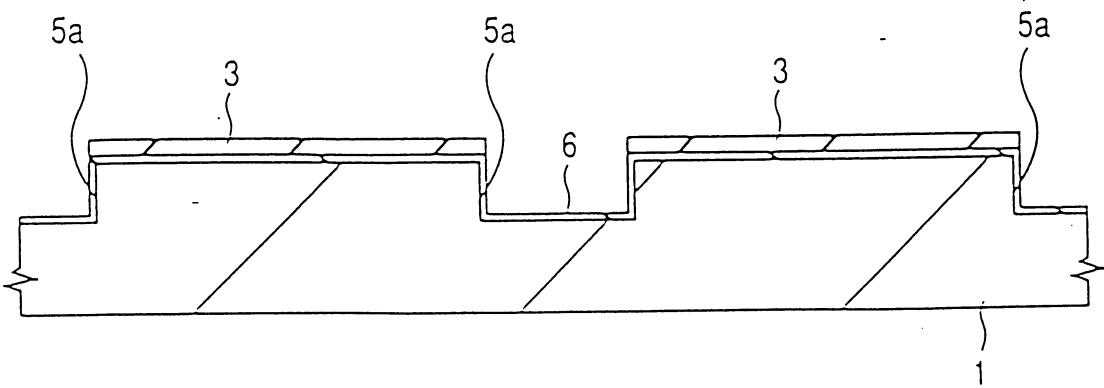


圖 4

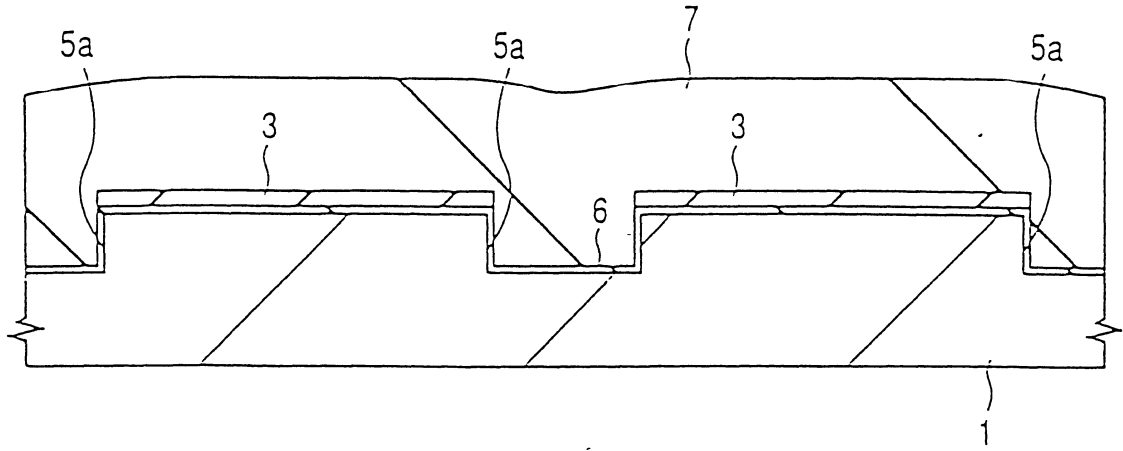


圖 5

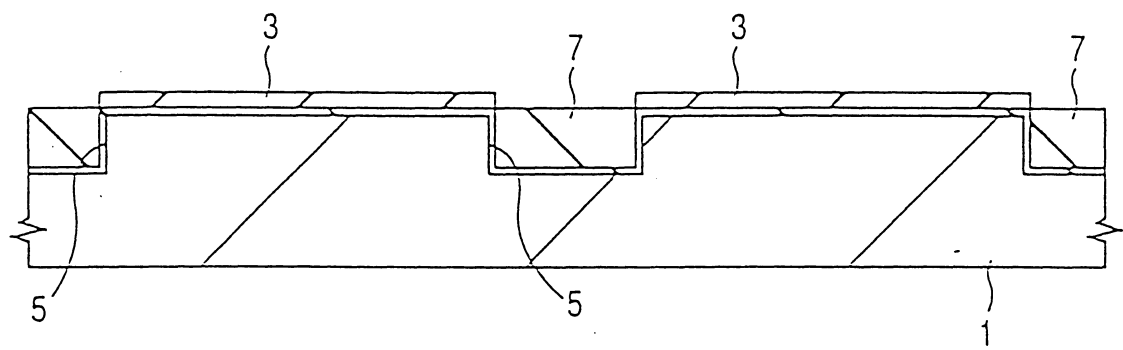


圖 6

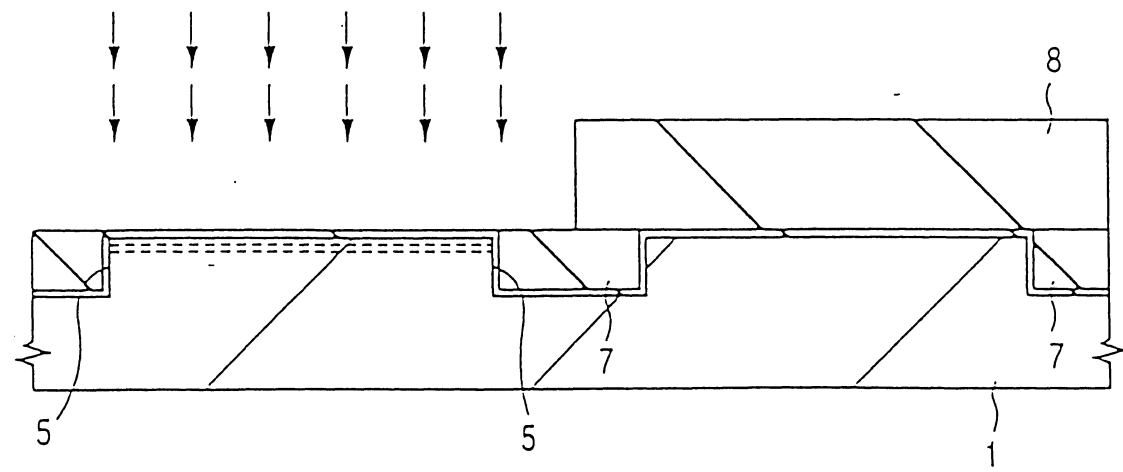


圖 7

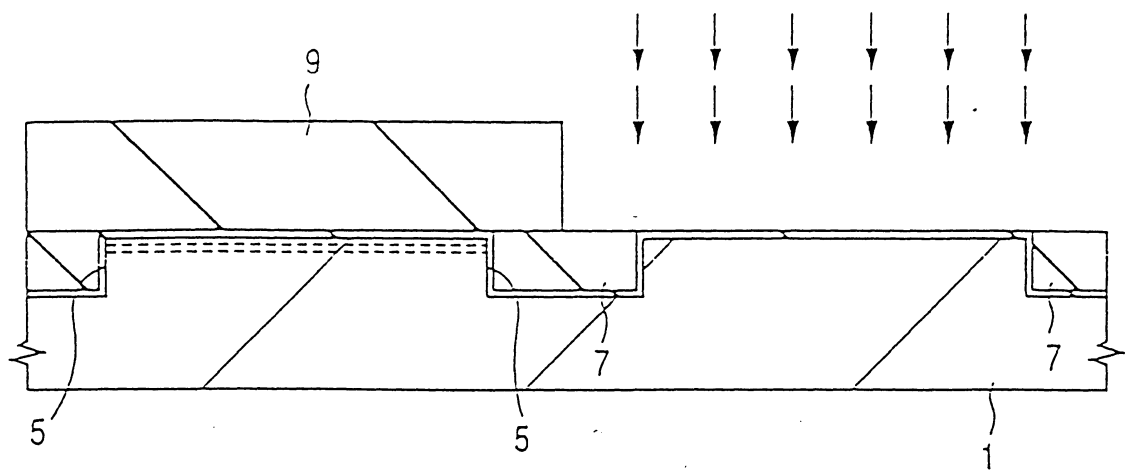


圖 8

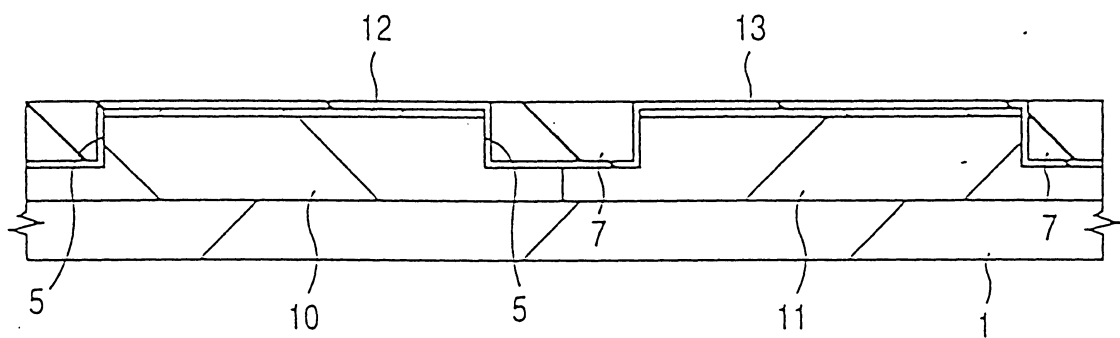
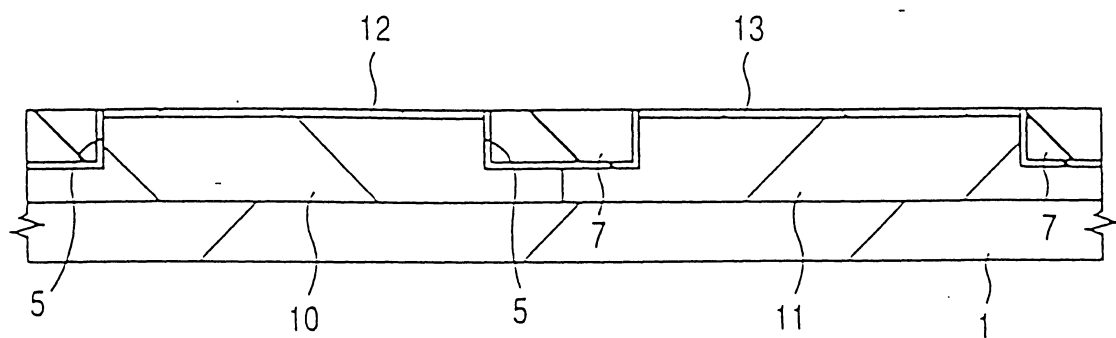
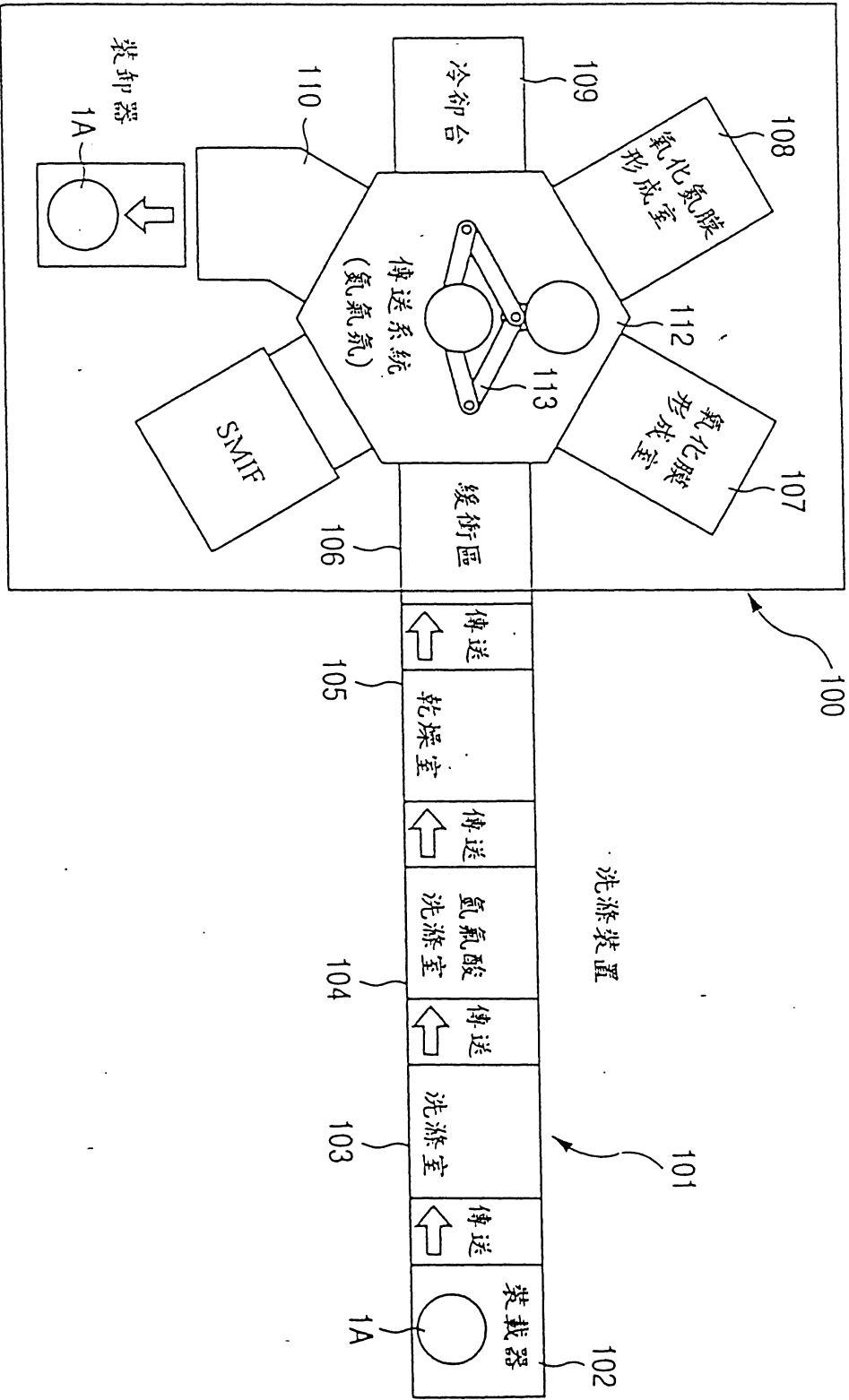


圖 10





氧化爐 圖 9

圖 11

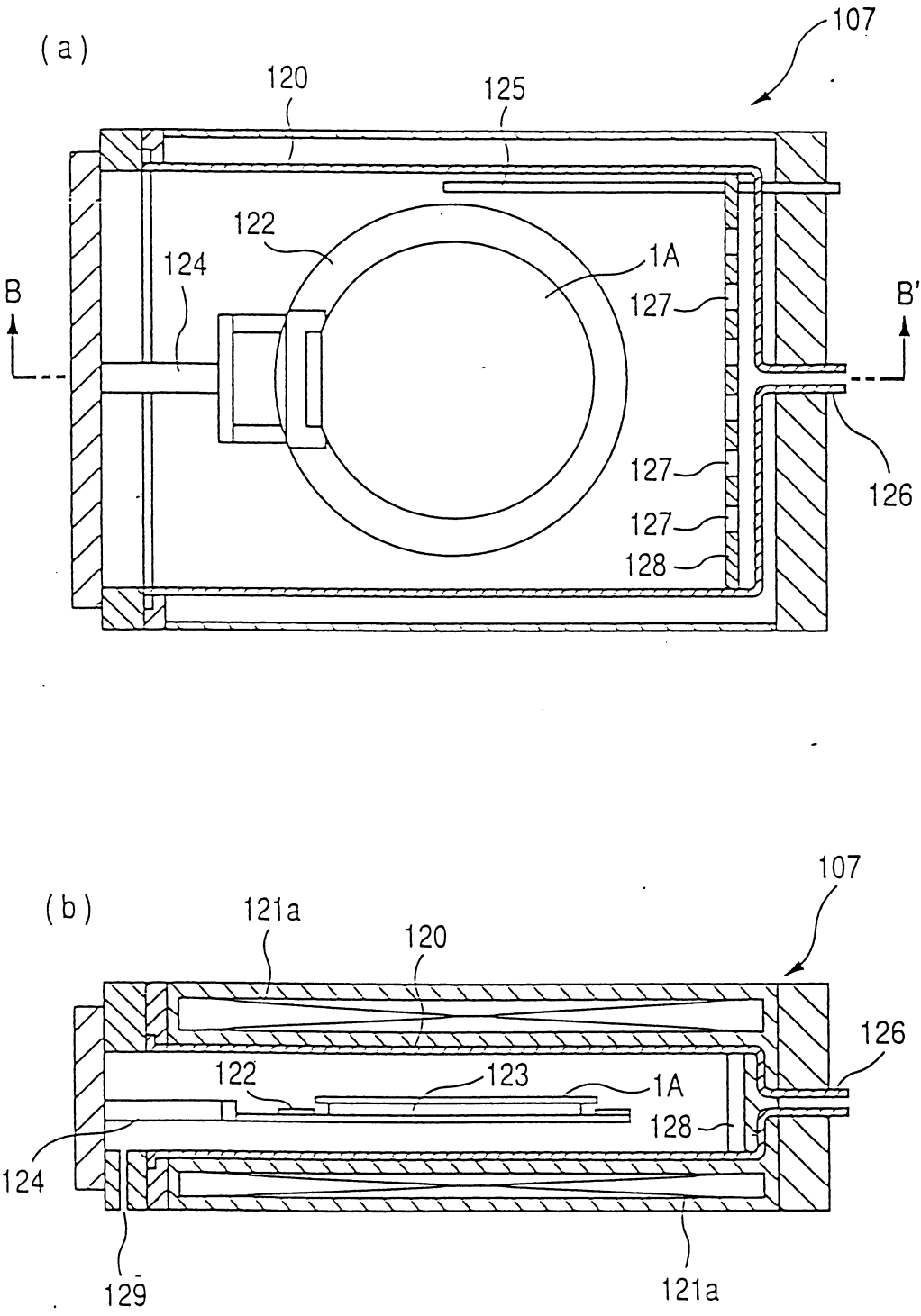


圖 12

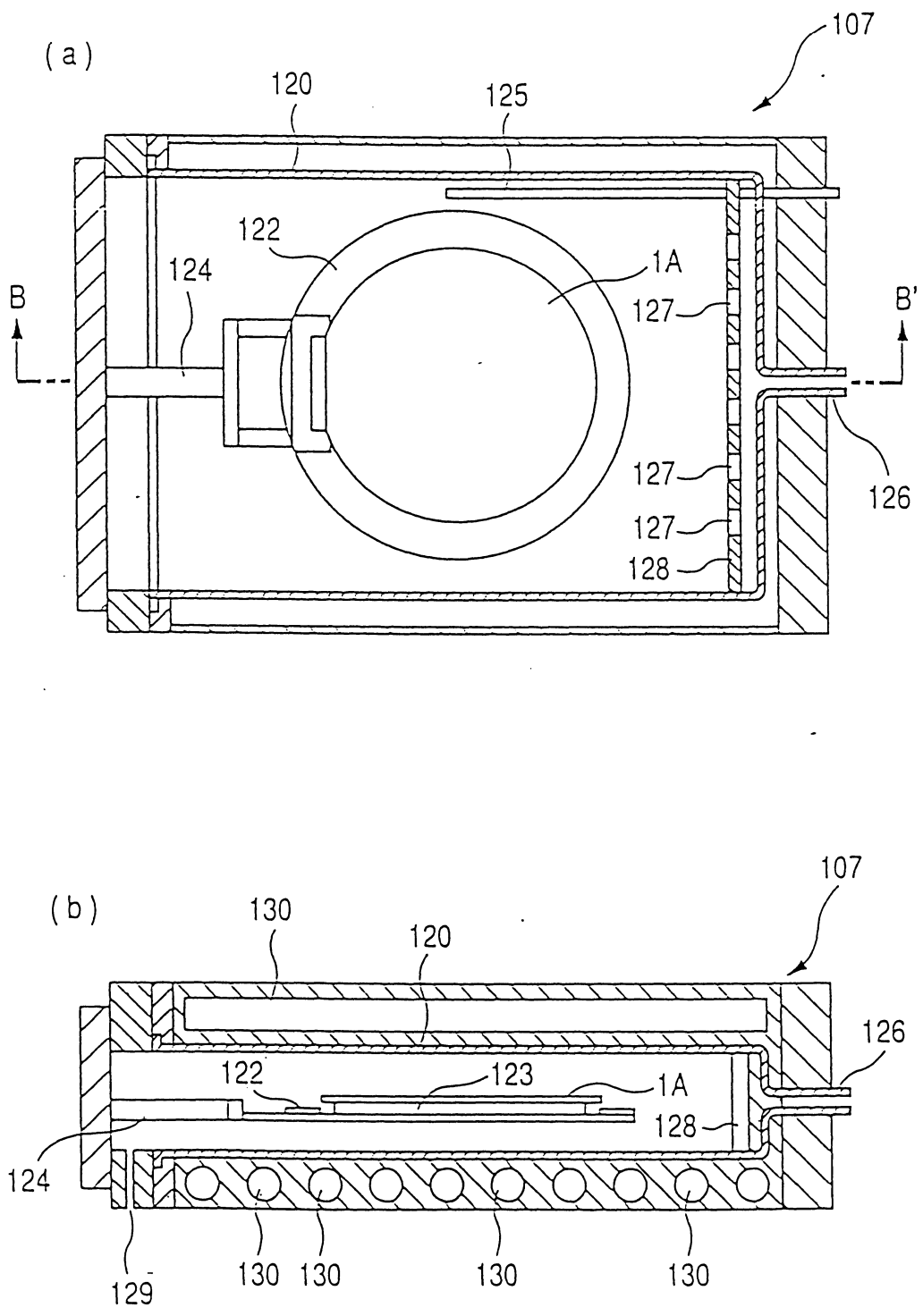


圖 13

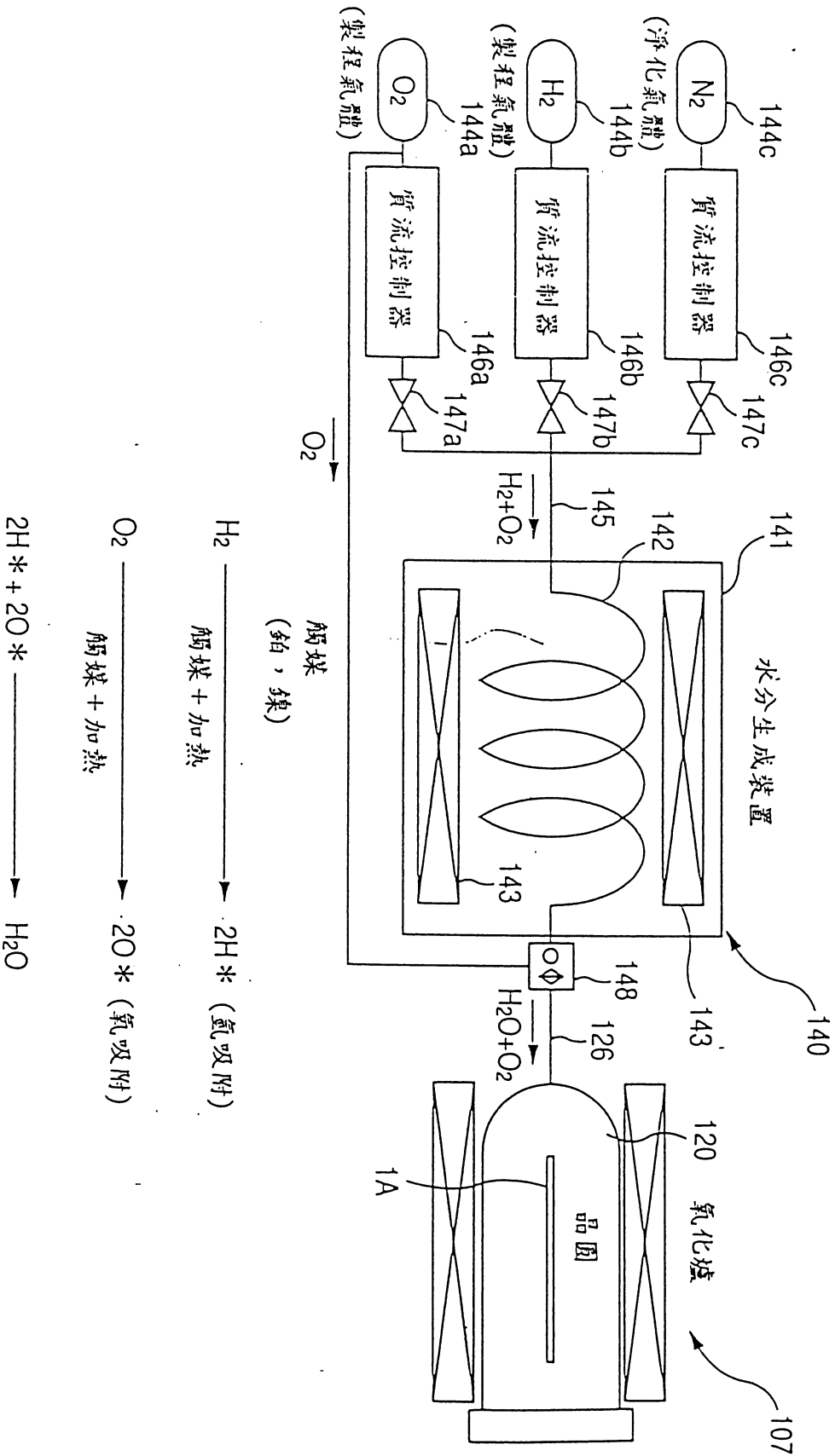


圖 14

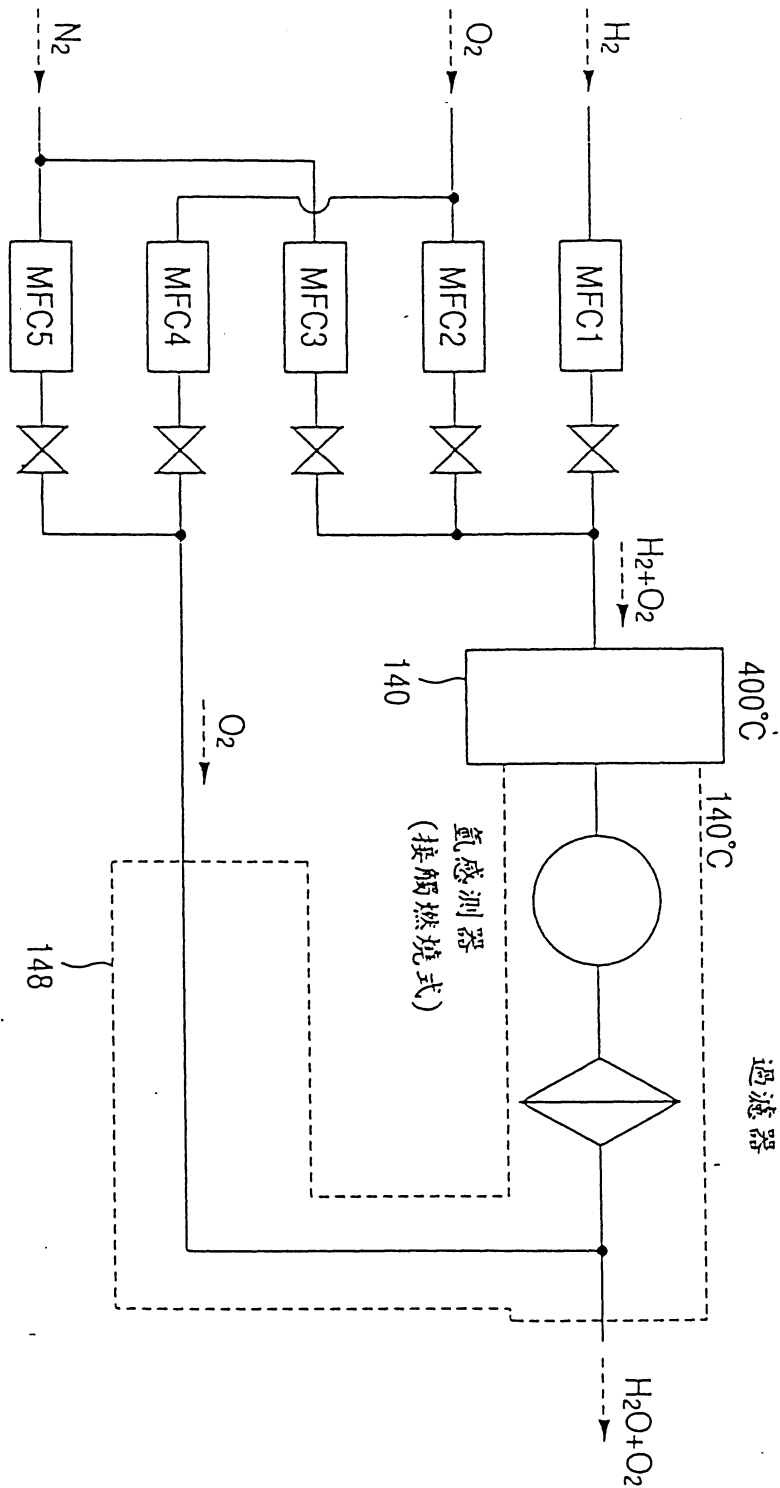


圖 15

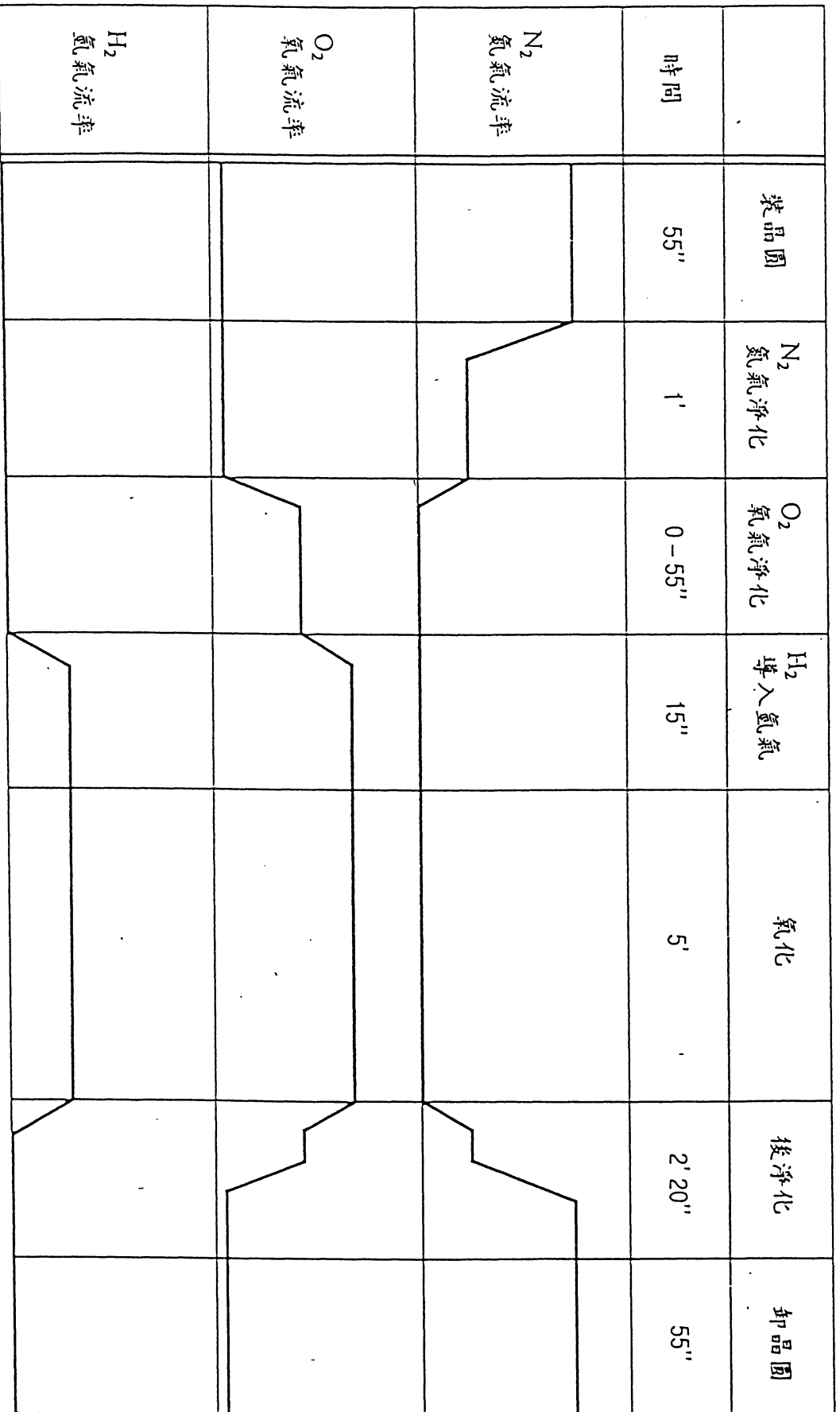


圖 16

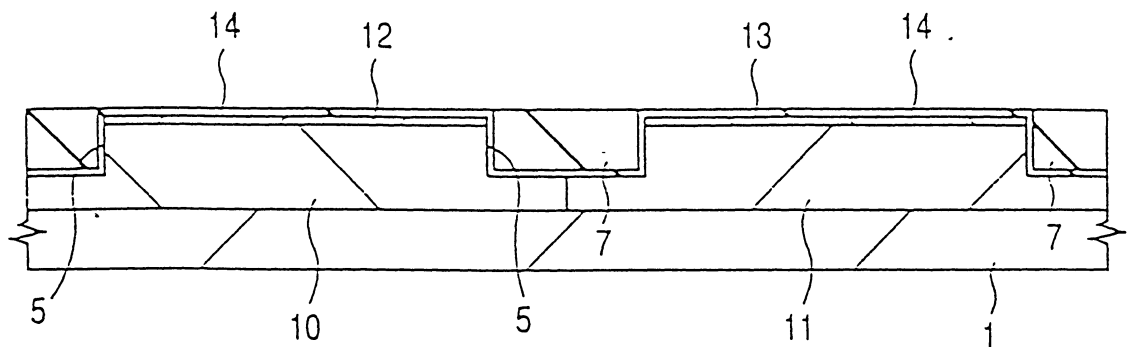


圖 17

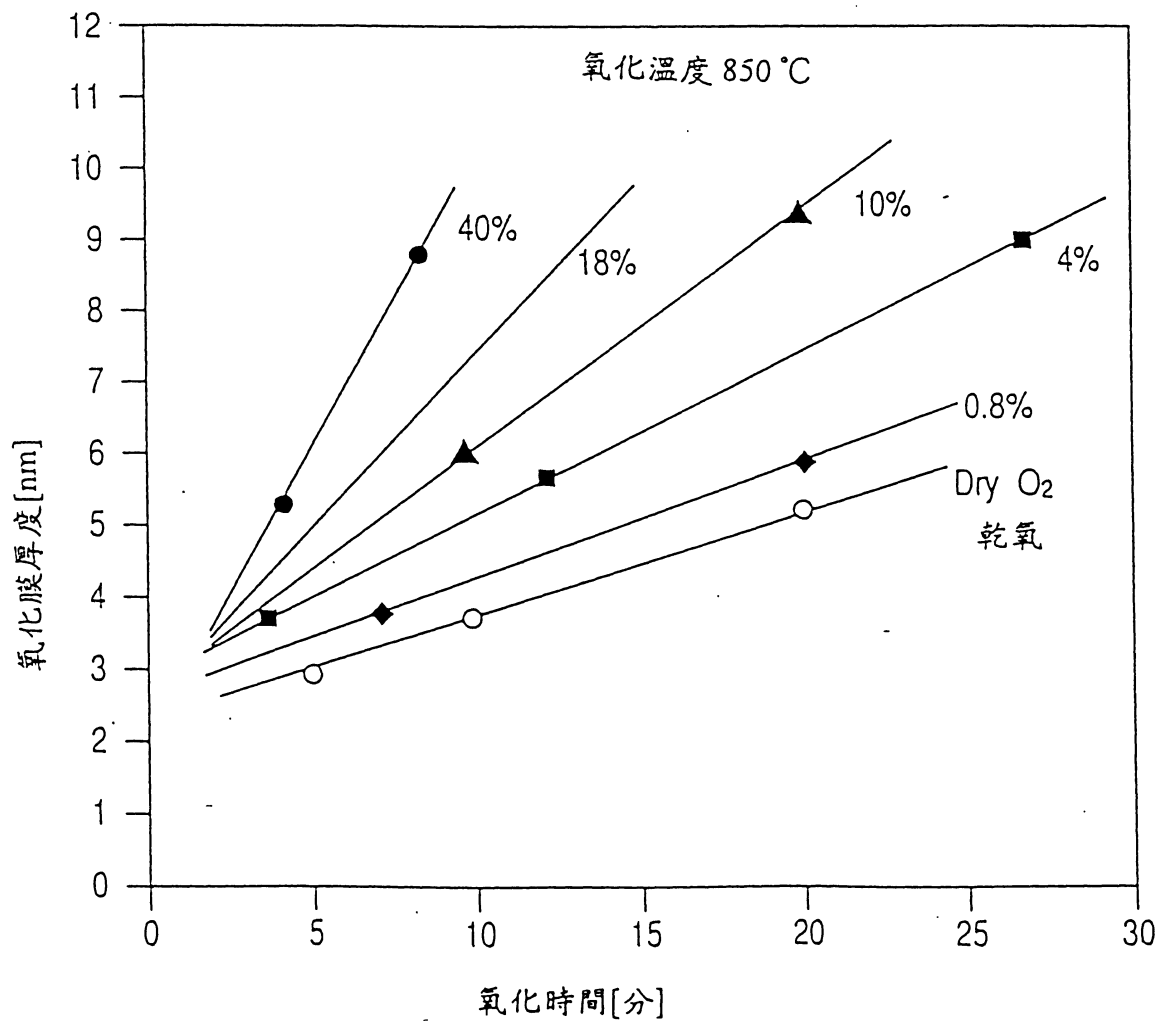
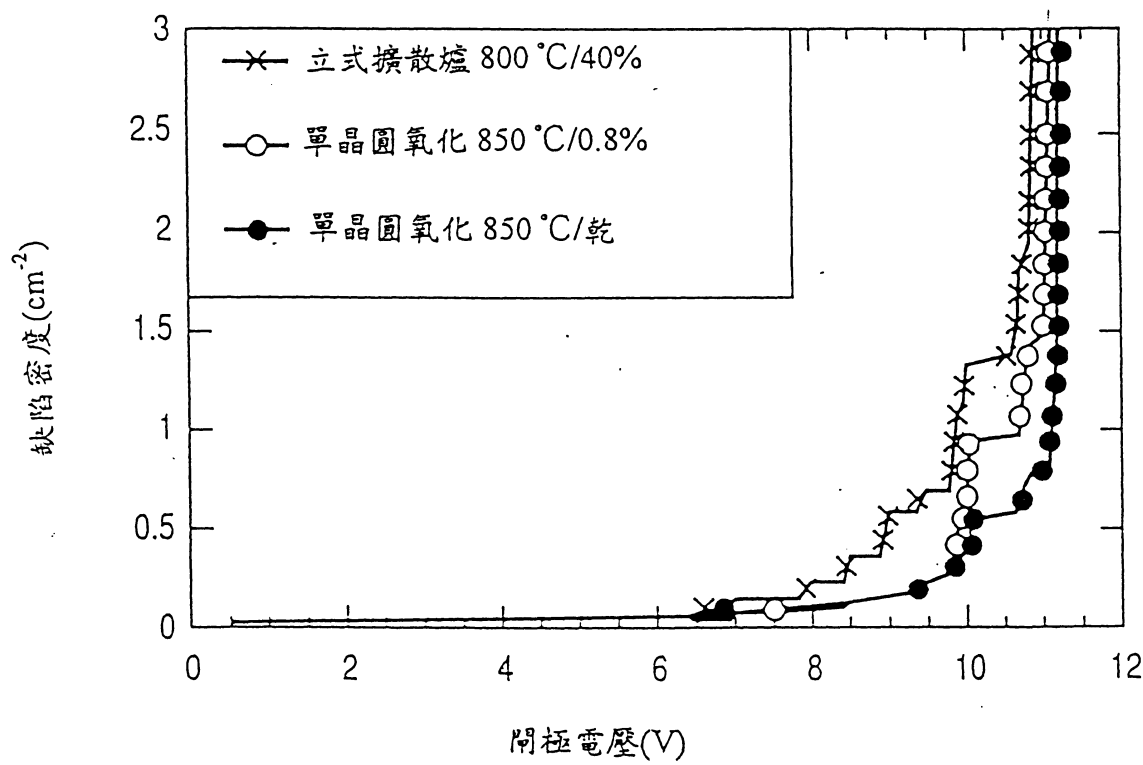
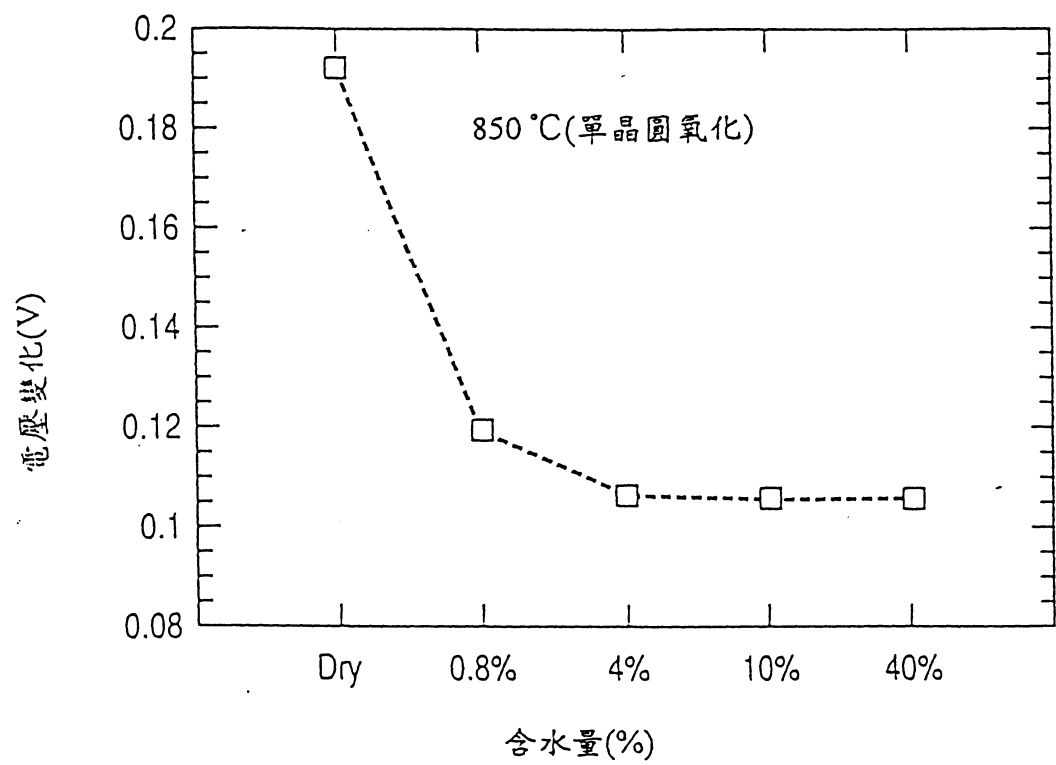


圖 18



含低水分氧化膜之初期耐壓
(氧化膜厚度 = 9 nm , 面積 = 0.19 cm²)

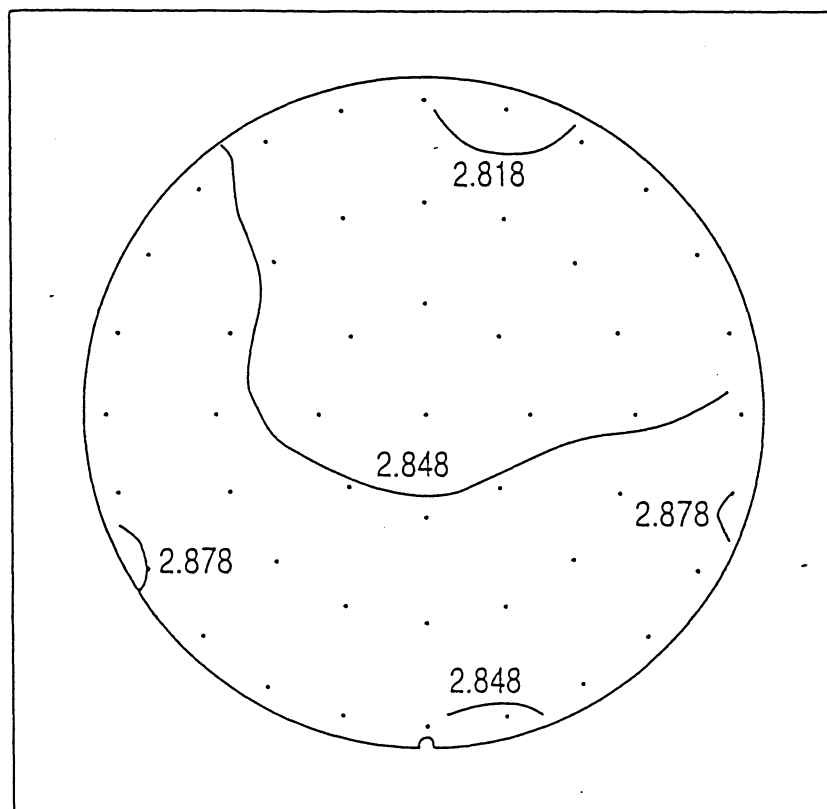
圖 19



電壓變化之氧化條件相關性

圖 20

等高線之間距：0.3 nm



晶圓直徑：8 英寸

平均：2.848 [nm]

最大：2.881 [nm]

最小：2.814 [nm]

最大-最小：0.067 [nm]

 ± 1.18 [nm]

處理條件：850 °C，2'30"

 H_2/O_2 ：0.05/4.9 slm(含水分：0.8%)

測量：用橢圓計在 49 點之處

圖 21

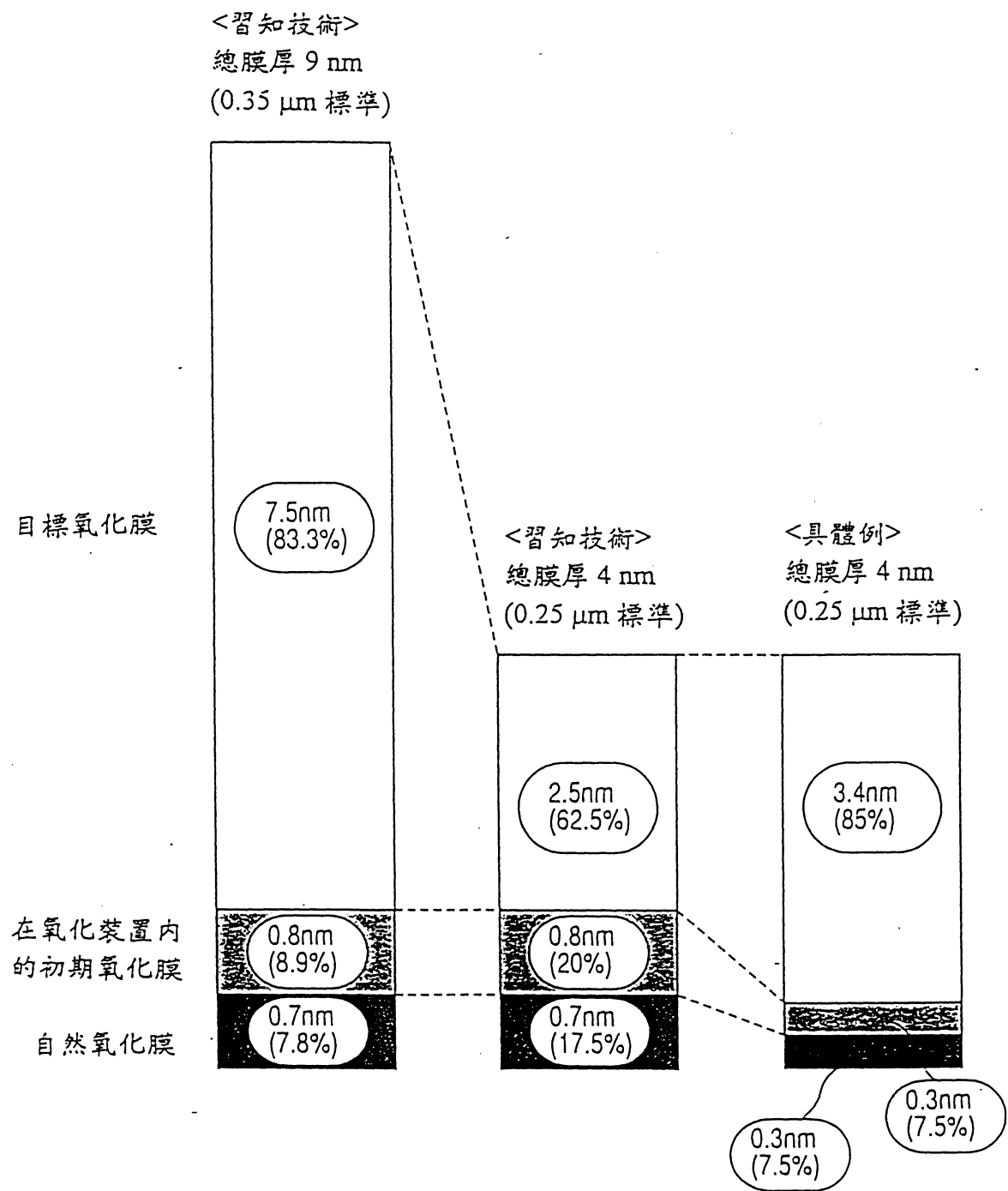


圖 22

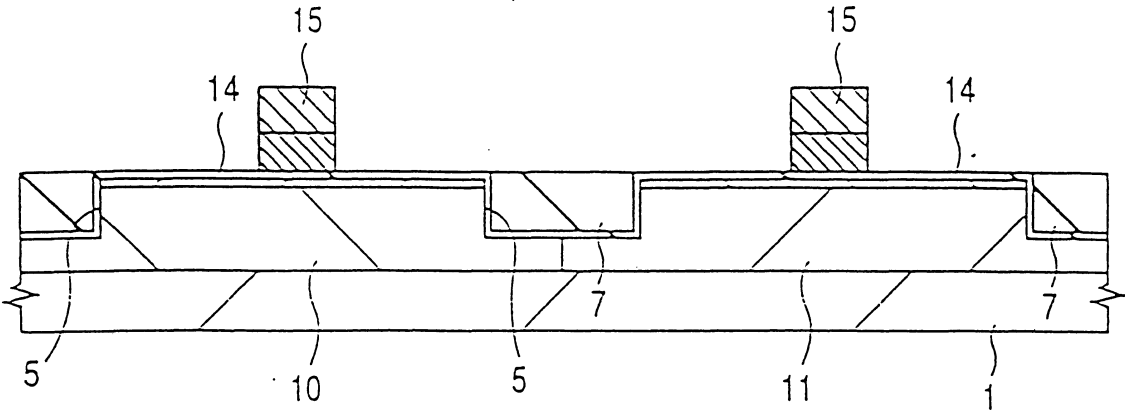


圖 23

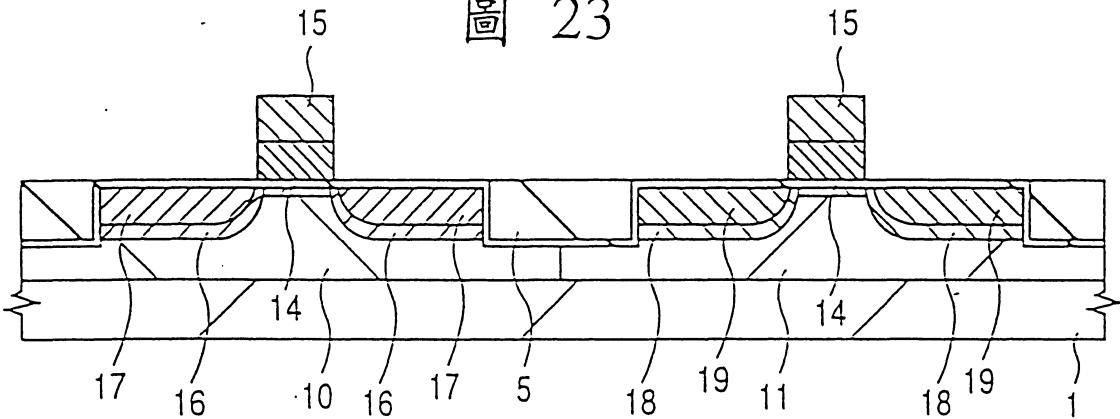


圖 24

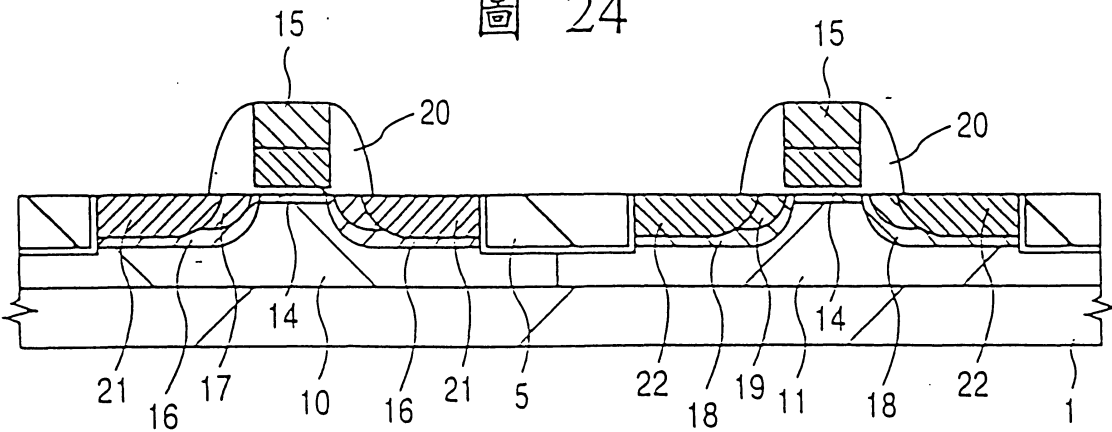


圖 25

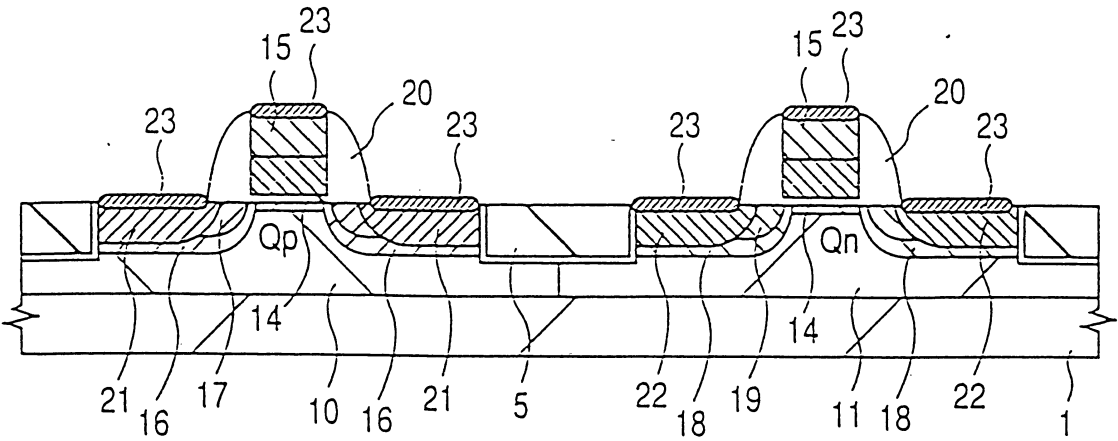


圖 26

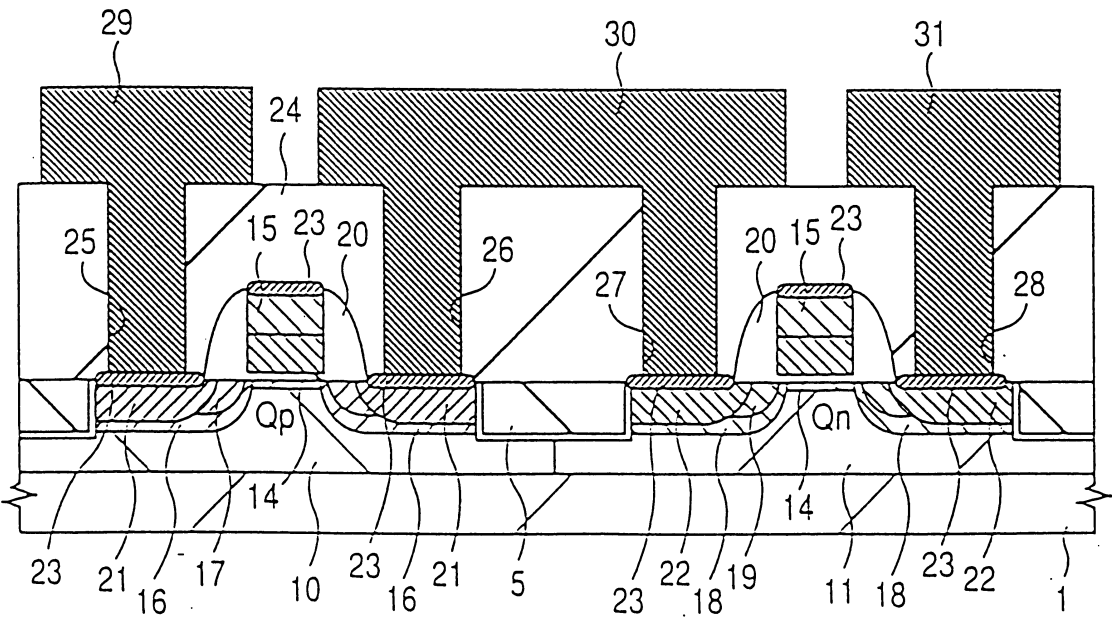


圖 27

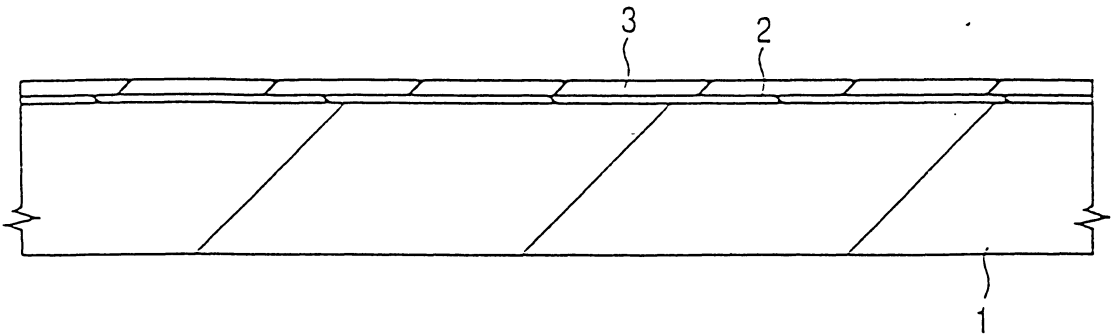


圖 28

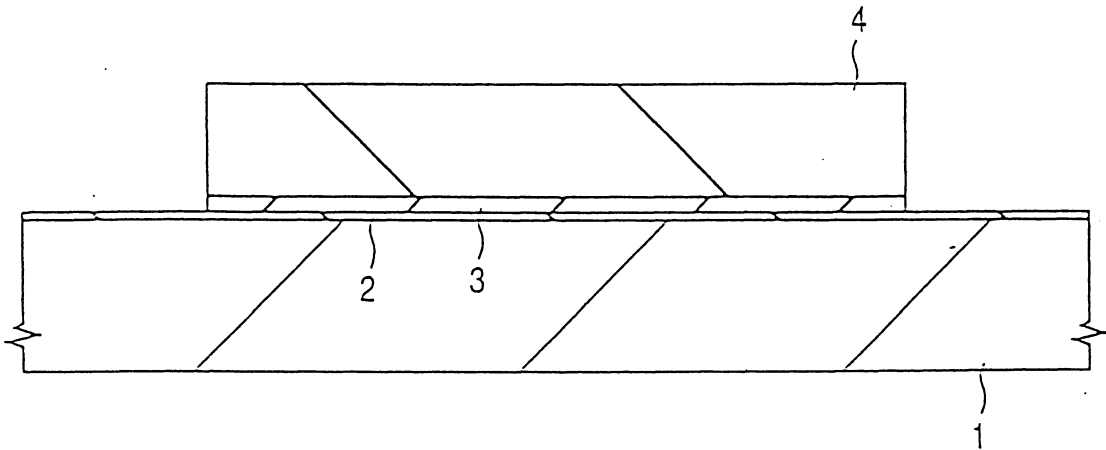


圖 29

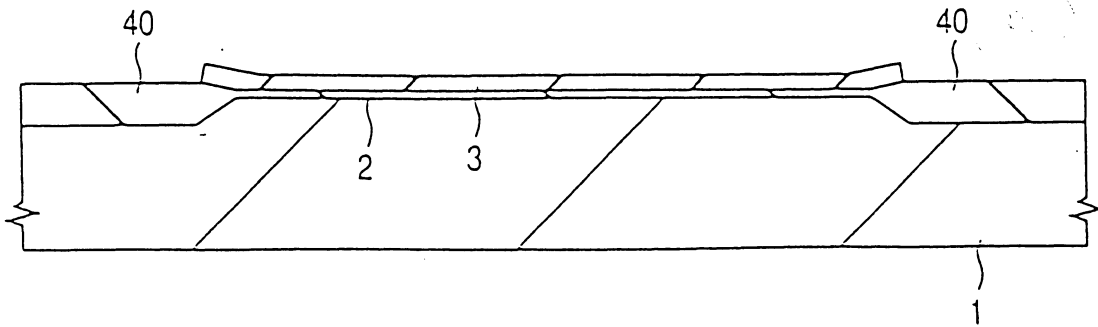


圖 30

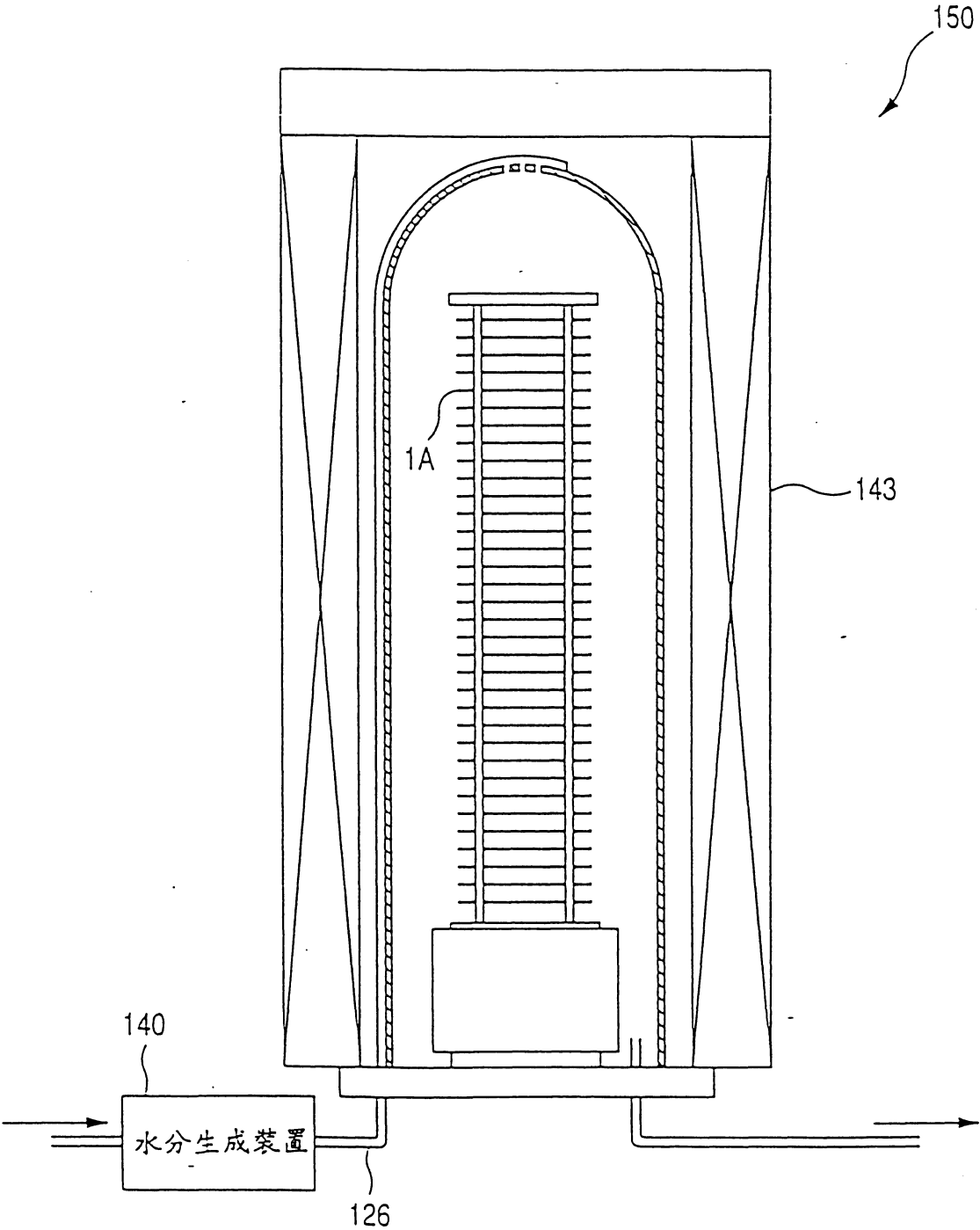


圖 31

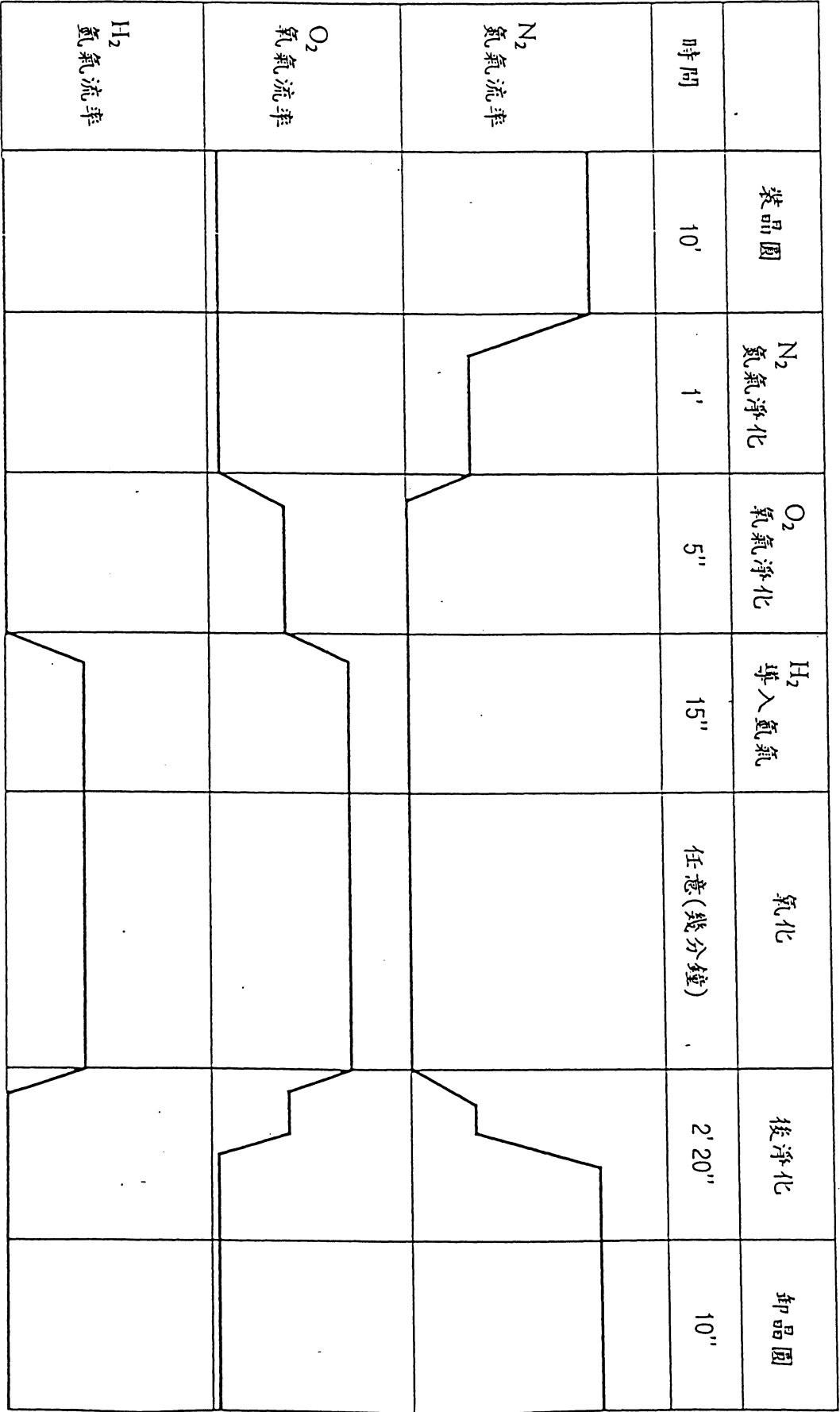


圖 32

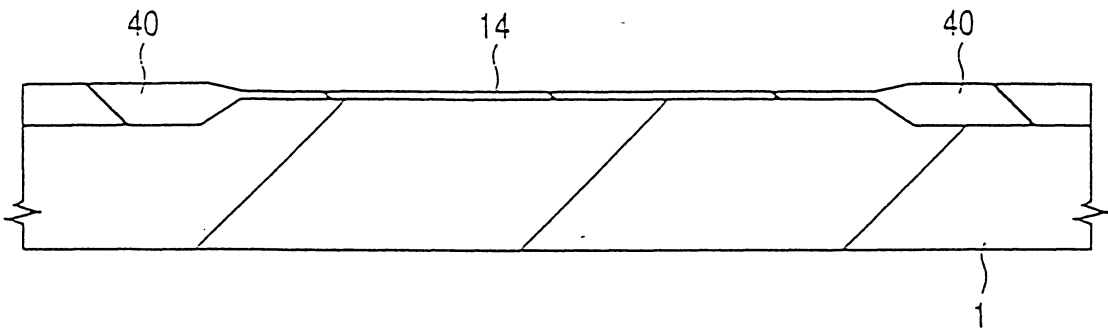
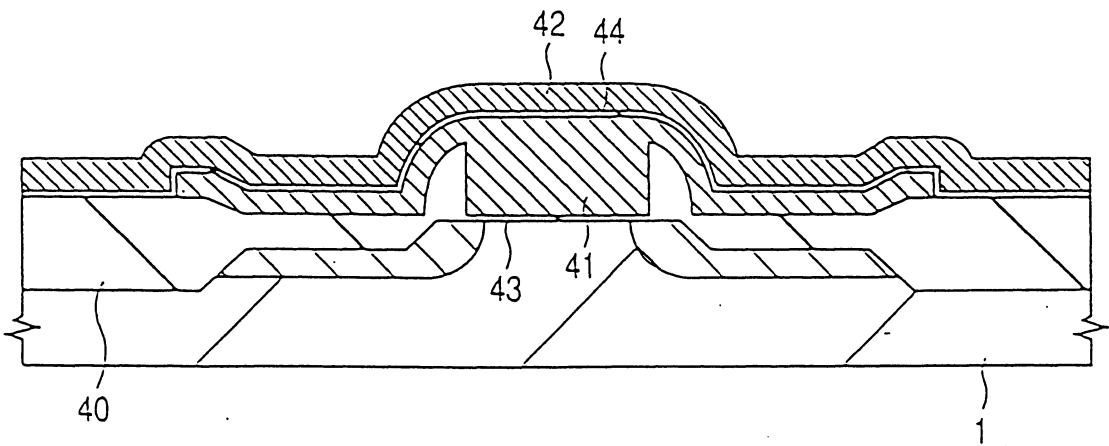
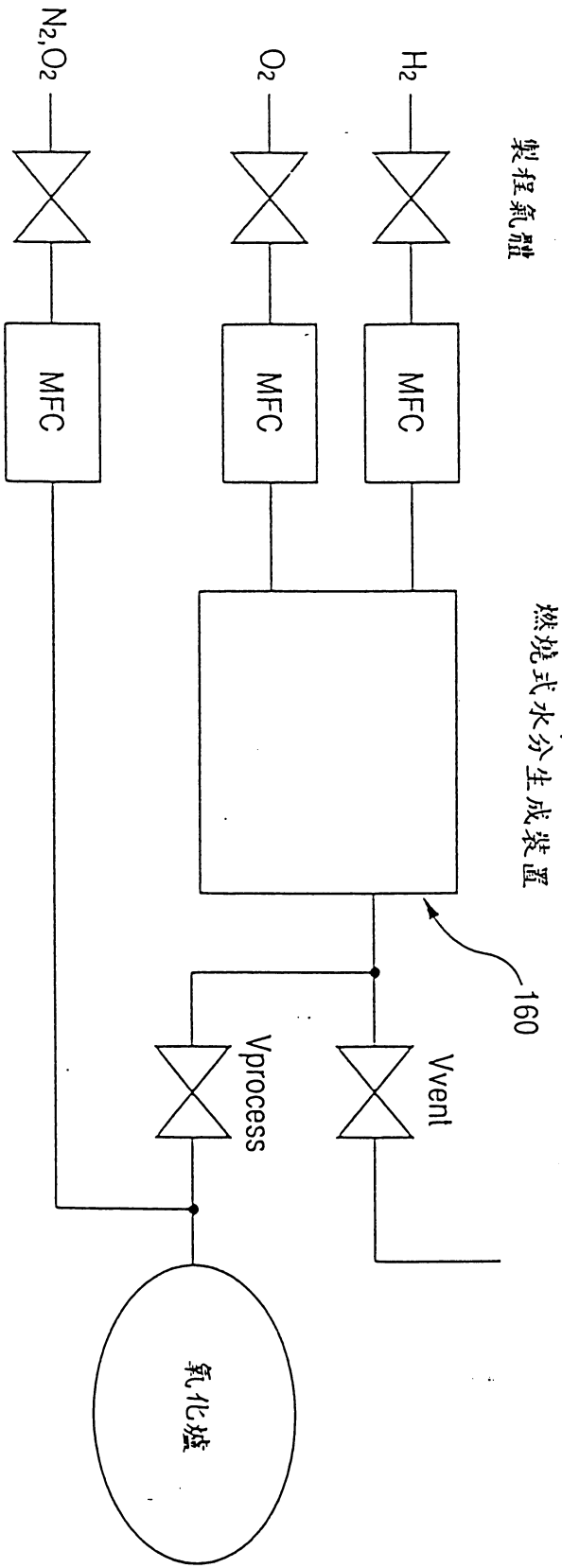


圖 34





圖, 33

六、申請專利範圍

1. 一種半導體積體電路裝置之製造方法，其包含以下之製程：

- (a) 在水分合成部中，以第一溫度使用觸媒由氧與氫合成水分之製程；
- (b) 將合成之上述水分保持於氣體狀態下移送至單片式氧化處理部之製程；及
- (c) 於上述氧化處理部中，在含有移送之上述水分的溼式氧化氣體氣氛下，藉由將晶圓之第一主面以燈加熱於較上述第一溫度為高溫之第二溫度，而對設於上述第一主面之矽部件施以熱氧化處理之製程；

於此，上述合成之水分移送而來時的上述氧化處理部，係維持於較上述第二溫度為低，且不結露程度之第三溫度。

- 2. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中在該氧化處理部中維持於上述第三溫度之部份，係包含水分導入部。
- 3. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中在該氧化處理部中維持於上述第三溫度之部份，係包含晶圓導入部。
- 4. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中在該氧化處理部中維持於上述第三溫度之部份，係包含氧化處理部之處理室內部壁面。

六、申請專利範圍

5. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中該移送至上述氧化處理部之水分，係在維持於較上述第二溫度為低，且不結露程度之第四溫度之狀態下，再被導入上述氧化處理部。
6. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中上述矽部件係第一閘極上部者，該第一閘極係經由第一閘極絕緣膜設於上述晶圓之上述第一主面上者。
7. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中第二溫度係 700°C 以上。
8. 如申請專利範圍第7項之半導體積體電路裝置之製造方法，其中第一溫度係 500°C 以下。
9. 如申請專利範圍第8項之半導體積體電路裝置之製造方法，其中該第三及第四溫度係 100°C 至 200°C 。
10. 如申請專利範圍第4項之半導體積體電路裝置之製造方法，其中該第二溫度係 700°C 以上。
11. 如申請專利範圍第10項之半導體積體電路裝置之製造方法，其中該第一溫度係 500°C 以下。
12. 如申請專利範圍第11項之半導體積體電路裝置之製造方法，其中該第三及第四溫度係 100°C 至 200°C 。
13. 如申請專利範圍第12項之半導體積體電路裝

六、申請專利範圍

- 置之製造方法，其中在該氧化處理部中維持於上述第三溫度之部份，係包含水分導入部。
- 14.如申請專利範圍第13項之半導體積體電路裝置之製造方法，其中在該氧化處理部中維持於上述第三溫度之部份，係包含晶圓導入部。
- 15.如申請專利範圍第12項之半導體積體電路裝置之製造方法，其中該移送至上述氧化處理部之水分，係在維持於較上述第二溫度為低，且不結露程度之第三溫度之狀態下，再被導入上述氧化處理部。
- 16.如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中上述矽部件係第一閘極上部者，該第一閘極係經由第一閘極絕緣膜設於上述晶圓之上述第一主面上者。
- 17.如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中該矽部件係上述晶圓之上述第一主面本身。
- 18.一種半導體積體電路裝置之製造方法，其包含以下之製程：
- (a) 在水分合成部中，以第一溫度使用觸媒由氧與氫合成水分之製程；
 - (b) 將合成之上述水分在保持於氣體狀態下，移送至設於單片式氧化處理部內之處理室內之製程，且該處理室內係被維持於較上

六、申請專利範圍

述第一溫度為低之不致結露程度之第三溫度；及

(c) 在上述氧化處理部中，在含有移送之上述水分的溼式氧化氣體氣氛下，藉由將收容於上述處理室內之晶圓的第一主面，以燈加熱於較上述第一溫度為高溫之第二溫度，而對設於上述第一主面之矽部件施以熱氧化處理之製程。

19.如申請專利範圍第 18 項之半導體積體電路裝置之製造方法，其中在該處理室中維持於上述第三溫度之部份，係包含水分導入部。

20.如申請專利範圍第 18 項之半導體積體電路裝置之製造方法，其中在該處理室中維持於上述第三溫度之部份，係包含晶圓導入部。

21.如申請專利範圍第 18 項之半導體積體電路裝置之製造方法，其中在該處理室中維持於上述第三溫度之部份，係包含氧化處理部之處理室內部壁面。

22.如申請專利範圍第 18 項之半導體積體電路裝置之製造方法，其中該移送至上述處理室之水分，係在維持於較上述第二溫度為低，且不結露程度之第四溫度之狀態下，再被導入上述處理室。

23.如申請專利範圍第 18 項之半導體積體電路裝

六、申請專利範圍

- 置之製造方法，其中上述矽部件係第一開極上部者，該第一開極係經由第一開極絕緣膜設於上述晶圓之上述第一主面上者。
- 24.如申請專利範圍第 18 項之半導體積體電路裝置之製造方法，其中第二溫度係 700°C 以上。
- 25.如申請專利範圍第 24 項之半導體積體電路裝置之製造方法，其中第一溫度係 500°C 以下。
- 26.如申請專利範圍第 25 項之半導體積體電路裝置之製造方法，其中該第三及第四溫度係 100°C 至 200°C 。
- 27.如申請專利範圍第 21 項之半導體積體電路裝置之製造方法，其中該第二溫度係 700°C 以上。
- 28.如申請專利範圍第 27 項之半導體積體電路裝置之製造方法，其中該第一溫度係 500°C 以下。
- 29.如申請專利範圍第 28 項之半導體積體電路裝置之製造方法，其中該第三及第四溫度係 100°C 至 200°C 。
- 30.如申請專利範圍第 28 項之半導體積體電路裝置之製造方法，其中在該處理室中維持於上述第三溫度之部份，係包含水分導入部。
- 31.如申請專利範圍第 30 項之半導體積體電路裝置之製造方法，其中在該處理室中維持於上述第三溫度之部份，係包含晶圓導入部。
- 32.如申請專利範圍第 29 項之半導體積體電路裝

六、申請專利範圍

置之製造方法，其中該移送至上述處理室之水分，係在維持於較上述第二溫度為低，且不結露程度之第三溫度之狀態下，再被導入上述處理室。

33.如申請專利範圍第 32 項之半導體積體電路裝置之製造方法，其中上述矽部件係第一閘極上部者，該第一閘極係經由第一閘極絕緣膜設於上述晶圓之上述第一主面上者。

34.如申請專利範圍第 18 項之半導體積體電路裝置之製造方法，其中該矽部件係上述晶圓之上述第一主面本身。