

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年2月10日(2005.2.10)

【公開番号】特開2001-222885(P2001-222885A)

【公開日】平成13年8月17日(2001.8.17)

【出願番号】特願2000-32636(P2000-32636)

【国際特許分類第7版】

G 1 1 C 11/401

G 0 6 F 12/08

【F I】

G 1 1 C 11/34 3 7 1 Z

G 0 6 F 12/08 Q

G 0 6 F 12/08 M

G 0 6 F 12/08 E

【手続補正書】

【提出日】平成16年3月4日(2004.3.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

並列動作可能な複数個のメモリブロックと、

外部からライトデータを入力可能であって外部ヘリードデータを出力可能な外部インターフェース手段と、

前記メモリブロックから読み出されたリードデータを前記外部インターフェース手段から外部に出力不可能な状態に呼応して保持する事が可能なリードバッファと、

前記出力不可能な状態が解消されているとき前記メモリブロックから読み出されたリードデータ又は前記リードバッファから読み出されたリードデータを選択して前記外部インターフェース手段に与える選択手段と、を有して成るものであることを特徴とする半導体集積回路。

【請求項2】

並列動作可能な複数個のメモリブロックと、

前記メモリブロックから読み出されたリードデータを保持する事が可能なリードバッファと、

前記リードバッファから出力されるリードデータ及び前記メモリブロックから出力されるリードデータを外部へ出力可能な外部インターフェース手段と、

前記メモリブロックから読み出されたリードデータを前記外部インターフェース手段から外部に出力不可能な状態に呼応して当該リードデータを前記リードバッファに保持させ、前記出力不可能な状態が解消されているとき前記メモリブロックから読み出されたリードデータ又は前記リードバッファから読み出されたリードデータを前記外部インターフェース手段から出力させる制御手段と、を有して成るものであることを特徴とする半導体集積回路。

【請求項3】

並列動作可能な複数個のメモリブロックと、

外部からライトデータを入力可能であって外部ヘリードデータを出力可能な外部インターフェース手段と、

前記外部インターフェース手段に入力されたライトデータを入力して保持し、メモリブロックがライト動作可能にされた後にライトデータをメモリブロックに供給するライトバッファと、

前記メモリブロックから読み出されたリードデータを前記外部インターフェース手段から外部に出力不可能な状態に呼応して保持する事が可能なリードバッファと、

前記出力不可能な状態が解消されているとき前記メモリブロックから読み出されたリードデータ又は前記リードバッファから読み出されたリードデータを選択して前記外部インターフェース手段に与える選択手段と、を有して成るものであることを特徴とする半導体集積回路。

#### 【請求項4】

並列動作可能な複数個のメモリブロックと、

外部からライトデータを入力可能であって外部へリードデータを出力可能な第1の外部インターフェース手段と、

外部からライトデータを入力可能であって外部へリードデータを出力可能な第2の外部インターフェース手段と、

前記第1又は第2の外部インターフェース手段に入力されたライトデータを入力して保持し、メモリブロックがライト動作可能にされた後にライトデータをメモリブロックに供給するライトバッファと、

前記第2の外部インターフェース手段から出力すべきリードデータの保持と、前記第1の外部インターフェース手段から出力すべきリードデータであって当該第1の外部インターフェース手段から外部に出力不可能な状態にあるリードデータの保持とを行うことが可能なリードバッファと、

前記出力不可能な状態が解消されているとき前記メモリブロックから読み出されたリードデータ又は前記リードバッファから読み出されたリードデータを選択して前記第1の外部インターフェース手段に与える選択手段と、を有して成るものであることを特徴とする半導体集積回路。

#### 【請求項5】

前記第1及び第2の外部インターフェース手段は、夫々個別にメモリブロックに対するアクセス要求とアクセスアドレスとを外部から入力可能であることを特徴とする請求項4記載の半導体集積回路。

#### 【請求項6】

前記第2の外部インターフェース手段からデータを入力して保持し、保持したデータを前記第2の外部インターフェース手段から外部に出力可能なメモリバッファを有して成るものであることを特徴とする請求項4又は5記載の半導体集積回路。

#### 【請求項7】

前記メモリブロックはDRAMであり、前記リードバッファ及びライトバッファはSRAMであることを特徴とする請求項3乃至6の何れか1項記載の半導体集積回路。

#### 【請求項8】

前記メモリブロックは、選択端子がワード線に接続され、データ入出力端子がビット線に接続されたメモリセルを複数個有するメモリセルアレイと、

ロウアドレス信号で指定されるワード線を選択するロウ選択回路と、

カラムアドレス信号で指定されるビット線を複数本並列に選択するカラム選択回路と、

前記ライトバッファから直列的に入力されるライトデータをクロック信号に同期して並列データに変換する直列・並列変換回路と、

前記カラム選択回路で選択された複数本のビット線に前記直列・並列変換回路の前記並列データを出力するライトアンプと、

前記カラム選択回路で選択された複数本のビット線から出力される並列データを増幅するメインアンプと、

前記メインアンプから出力される並列データをクロック信号に同期して直列データに変換し前記リードバッファ及び選択手段に向けて出力する並列・直列変換回路と、を含んで成

るものであることを特徴とする請求項 3 又は 4 記載の半導体集積回路。

【請求項 9】

前記メモリブロックは、直列・並列変換回路の直列データ入力経路と、前記並列・直列変換回路の直列データ出力経路とを独立に備えたマルチポートメモリであることを特徴とする請求項 8 記載の半導体集積回路。

【請求項 10】

半導体チップ上に対向配置されたメモリブロックと、

前記対向するメモリブロックの間に配置され、メモリブロックから読み出されたリードデータを保持することが可能なリードバッファ及びメモリブロックに与えるライトデータを保持する事が可能なライトバッファと、

前記リードバッファとライトバッファとの近傍に配置された外部インターフェース手段と、前記外部インターフェース手段の近傍に位置する外部接続電極と、を有し、

前記ライトバッファは、前記外部インターフェース手段に入力されたライトデータを入力して保持し、メモリブロックがライト動作可能にされた後にライトデータをメモリブロックに供給し、

前記リードバッファは、前記メモリブロックから読み出されたリードデータを前記外部インターフェース手段から外部に出力不可能な状態に呼応して保持する事が可能である、ことを特徴とする半導体集積回路。

【請求項 11】

半導体チップと、

上記半導体チップ上に形成され、複数のデータを格納し、所定のアドレス信号の供給に応答してそれに対応するデータを出力するデータ出力部を有する第 1 ダイナミック型メモリと、

上記半導体チップ上に形成され、複数のデータを格納し、所定のアドレス信号の供給に応答してそれに対応するデータを出力するデータ出力部を有する第 2 ダイナミック型メモリと

上記半導体チップ上に形成された外部出力回路と、

上記半導体チップ上に形成され、上記第 1 ダイナミック型メモリの上記出力部に結合される第 1 バッファ回路と、

上記半導体チップ上に形成され、上記第 1 ダイナミック型メモリの上記データ出力部に結合される第 1 入力と、上記バッファ回路の出力に結合される第 2 入力と、上記外部出力回路に結合される出力とを有する第 1 選択回路と、

上記半導体チップ上に形成され、上記第 2 ダイナミック型メモリの上記出力部に結合される第 2 バッファ回路と、

上記半導体チップ上に形成され、上記第 2 ダイナミック型メモリの上記データ出力部に結合される第 1 入力と、上記バッファ回路の出力に結合される第 2 入力と、上記外部出力回路に結合される出力とを有する第 2 選択回路と、

上記第 1 乃至第 2 選択回路の選択動作の制御及び上記第 1 乃至第 2 バッファ回路の書き込み動作を制御する制御回路とを有するものであることを特徴とする半導体集積回路。

【請求項 12】

上記第 1 乃至第 2 バッファ回路の各々は、複数のスタティク型メモリセルを含むことを特徴とする請求項 11 記載の半導体集積回路。

【請求項 13】

半導体チップと、

上記半導体チップ上に形成され、データ入力部と格納されたデータのリフレッシュ動作が定期的に必要とされる複数のメモリセルとをそれぞれ有する複数のメモリバンクと、

上記半導体チップ上に形成され、上記複数のメモリバンクの上記データ入力部に対応して結合された複数のライトバッファ回路と、

上記半導体チップ上に形成され、上記複数のライトバッファ回路に結合され、上記複数のメモリバンクのうち対応するメモリバンクに書き込まれるべきデータが供給される外部入

力回路と、

上記半導体チップ上に形成され、上記対応するメモリバンクのリフレッシュ動作と読み出し動作の期間に、上記外部入力回路に供給されたデータを対応するライトバッファ回路に選択的に保持させる様に、対応するライトバッファ回路を制御する制御回路とを含んで成り、

上記制御回路は、上記対応するメモリバンクのリフレッシュ動作と読み出し動作の完了後に上記対応するメモリバンクに上記データが上記対応するライトバッファ回路に供給するよう制御することを特徴とする半導体集積回路。

【請求項 1 4】

上記複数のメモリバンクは各々、複数のワード線と、複数のデータ線と、上記複数のメモリセルを含み、

上記複数のメモリセルの各々は、1つのメモリセルが1つのワード線と1つのデータ線とに結合される様に上記複数のワード線と上記複数のデータ線とに結合され、容量素子と選択トランジスタとを含み、

上記選択トランジスタは、対応するワード線に結合された選択端子と、対応するデータ線に結合されたデータ入出力端子とを有するものであることを特徴とする請求項1 3記載の半導体集積回路。

【請求項 1 5】

上記複数のライトバッファ回路は各々、

複数のスタティク型メモリセルと複数のワード線と複数の相補データ線対とを含むメモリアレイと、

所定のワード線をアドレス信号に応答して選択するアドレスデコーダーと、

選択された複数個のメモリセルのデータを増幅するセンスアンプと、

増幅されたデータを出力するデータ出力回路とを有するものであることを特徴とする請求項1 4記載の半導体集積回路。

【請求項 1 6】

上記複数のスタティク型メモリセルの各々は、その入出力端子が交差結合された1対のインバータを含むものであることを特徴とする請求項1 5記載の半導体集積回路。