



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0018815  
(43) 공개일자 2017년02월20일

- (51) 국제특허분류(Int. Cl.)  
 HO1L 23/538 (2006.01) HO1L 21/683 (2006.01)  
 HO1L 23/00 (2006.01) HO1L 23/522 (2006.01)  
 HO1L 25/065 (2006.01) HO1L 27/06 (2006.01)
- (52) CPC특허분류  
 HO1L 23/5389 (2013.01)  
 HO1L 21/6835 (2013.01)
- (21) 출원번호 10-2016-7031485
- (22) 출원일자(국제) 2016년06월16일  
 심사청구일자 없음
- (85) 번역문제출일자 2016년11월10일
- (86) 국제출원번호 PCT/US2014/042577
- (87) 국제공개번호 WO 2015/195084  
 국제공개일자 2015년12월23일

- (71) 출원인  
 인텔 코퍼레이션  
 미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200
- (72) 발명자  
 넬슨, 도날드 더블유.  
 미국 97007 오리건주 비버튼 사우스웨스트 블랙베리 레인 16985  
 웨브, 클레어, 엠.  
 미국 97007 오리건주 비버튼 사우스웨스트 인글리스 드라이브 20180  
 (뒷면에 계속)
- (74) 대리인  
 양영준, 김연송, 백만기

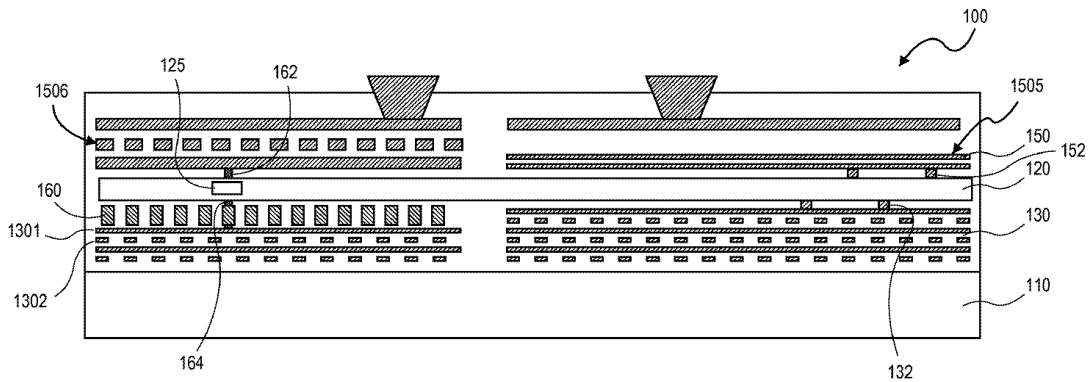
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 실리콘 다이 상의 인터커넥트 스택 내에 임베딩된 메모리

(57) 요약

방법은 복수의 회로 디바이스들을 포함하는 집적 회로 디바이스 층의 대향 측들 상에 복수의 제1 인터커넥트들 및 복수의 제2 인터커넥트들을 형성하는 단계를 포함하고, 상기 복수의 제1 인터커넥트들 및 복수의 제2 인터커넥트들 중의 인터커넥트들을 형성하는 것은 내부에 메모리 디바이스들을 임베딩하는 것을 포함한다. 장치는 복수의 회로 디바이스들을 포함하는 집적 회로 디바이스 층의 대향 측들 상에 복수의 제1 인터커넥트들 및 복수의 제2 인터커넥트들을 포함하는 기판을 포함하고, 상기 복수의 제1 인터커넥트들 및 복수의 제2 인터커넥트들 중의 인터커넥트들은 내부에 임베딩된 메모리 디바이스들을 포함한다.

대표도



(52) CPC특허분류

*H01L 23/5226* (2013.01)

*H01L 24/05* (2013.01)

*H01L 24/13* (2013.01)

*H01L 24/16* (2013.01)

*H01L 25/0657* (2013.01)

*H01L 27/0694* (2013.01)

(72) 발명자

**모로우, 페트릭**

미국 97229 오리건주 포틀랜드 노스웨스트 랜딩 드  
라이브 6158

**전, 기민**

미국 97006 오리건주 힐스boro 유닛 203 노스웨스트  
트 193번 애비뉴 1879

## 명세서

### 청구범위

#### 청구항 1

방법으로서,

복수의 회로 디바이스들을 포함하는 집적 회로 디바이스 층의 대향 측들(opposite sides) 상에 복수의 제1 인터커넥트들 및 복수의 제2 인터커넥트들을 형성하는 단계 - 상기 복수의 제1 인터커넥트들 및 복수의 제2 인터커넥트들 중의 인터커넥트들을 형성하는 것은 내부에 메모리 디바이스들을 임베딩하는 것을 포함함 -; 및

상기 메모리 디바이스들 중의 메모리 디바이스들을 상기 복수의 제1 인터커넥트들 및 상기 복수의 제2 인터커넥트들 중의 각자의 인터커넥트들 각각에 연결하고 상기 복수의 회로 디바이스들 중의 회로 디바이스들에 연결하는 단계

를 포함하는 방법.

#### 청구항 2

제1항에 있어서,

복수의 제1 인터커넥트들을 형성하는 단계는 제1 기관의 집적 회로 디바이스 층 상에 상기 복수의 제1 인터커넥트들을 형성하는 단계를 포함하고, 상기 방법은:

상기 제1 기관을 제2 기관에 연결하는 단계 - 상기 복수의 제1 인터커넥트들은 상기 제2 기관에 병치(juxtaposed)됨 -;

상기 제1 기관의 일부를 제거하여 상기 회로 디바이스 층을 노출시키는 단계;

상기 노출된 회로 디바이스 층 상에 메모리 디바이스들을 형성하는 단계; 및

상기 노출된 회로 디바이스 층 상에 상기 복수의 제2 인터커넥트들을 형성하는 단계를 추가로 포함하는 방법.

#### 청구항 3

제2항에 있어서,

상기 복수의 제2 인터커넥트들 중의 인터커넥트들의 치수들은 상기 복수의 제1 인터커넥트들 중의 인터커넥트들의 치수들보다 더 큰, 방법.

#### 청구항 4

제3항에 있어서,

상기 복수의 제2 인터커넥트들 중의 인터커넥트들에의 콘택트 포인트들을 형성하는 단계를 추가로 포함하고, 상기 콘택트 포인트들은 외부 소스에의 접속을 위해 동작 가능한, 방법.

#### 청구항 5

제1항 또는 제2항에 있어서,

복수의 제1 인터커넥트들을 형성하는 단계는 제1 기관의 집적 회로 디바이스 층 상에 상기 복수의 제1 인터커넥트들을 형성하는 단계를 포함하고, 상기 복수의 제1 인터커넥트들 중의 적어도 일부를 형성하기 전에, 상기 방법은 상기 복수의 회로 디바이스들을 형성하고 메모리 디바이스들을 형성하는 단계를 추가로 포함하고, 상기 메모리 디바이스들 중의 메모리 디바이스들은 상기 복수의 회로 디바이스들 중의 각자의 회로 디바이스들에 연결되는, 방법.

#### 청구항 6

제5항에 있어서,

상기 복수의 제1 인터커넥트들을 형성하는 단계 후에, 상기 방법은:

상기 제1 기관을 제2 기관에 연결하는 단계 - 상기 복수의 제1 인터커넥트들은 상기 제2 기관에 병치됨 -;

상기 제1 기관의 일부를 제거하여 상기 회로 디바이스 층을 노출시키는 단계; 및

상기 노출된 회로 디바이스 층 상에 상기 복수의 제2 인터커넥트들을 형성하는 단계를 추가로 포함하는 방법.

#### 청구항 7

제1항 또는 제2항에 있어서,

상기 복수의 제2 인터커넥트들 중의 인터커넥트들의 치수들은 상기 복수의 제1 인터커넥트들 중의 인터커넥트들의 치수들보다 더 큰, 방법.

#### 청구항 8

제6항에 있어서,

상기 복수의 제2 인터커넥트들 중의 인터커넥트들에의 콘택트들을 형성하는 단계를 추가로 포함하고, 상기 콘택트 포인트들은 외부 소스에의 접속을 위해 동작 가능한, 방법.

#### 청구항 9

제1항 또는 제2항에 있어서,

상기 메모리 디바이스들은 자기저항 랜덤 액세스 메모리 디바이스들(magnetoresistive random access memory devices)을 포함하는, 방법.

#### 청구항 10

제1항 내지 제9항 중 어느 한 항의 방법에 의해 제조된 3차원 집적 회로.

#### 청구항 11

장치로서,

복수의 회로 디바이스들을 포함하는 집적 회로 디바이스 층의 대향 측들 상에 복수의 제1 인터커넥트들 및 복수의 제2 인터커넥트들을 포함하는 기관

을 포함하고,

상기 복수의 제1 인터커넥트들 및 복수의 제2 인터커넥트들 중의 인터커넥트들은 내부에 임베딩된 메모리 디바이스들을 포함하고, 상기 메모리 디바이스들 중의 메모리 디바이스들은 상기 복수의 제1 인터커넥트들 및 상기 복수의 제2 인터커넥트들 중의 각자의 인터커넥트들 각각에 연결되고 상기 복수의 회로 디바이스들 중의 회로 디바이스들에 연결되는, 장치.

#### 청구항 12

제11항에 있어서,

상기 복수의 제2 인터커넥트들 중의 인터커넥트들의 치수들은 상기 복수의 제1 인터커넥트들 중의 인터커넥트들의 치수들보다 더 큰, 장치.

#### 청구항 13

제11항 또는 제12항에 있어서,

상기 복수의 제2 인터커넥트들 중의 인터커넥트들에의 콘택트 포인트들을 추가로 포함하고, 상기 콘택트 포인트들은 외부 소스에의 접속을 위해 동작 가능한, 장치.

#### 청구항 14

제11항 내지 제13항 중 어느 한 항에 있어서,

상기 메모리 디바이스들은 자기저항 랜덤 액세스 메모리 디바이스들을 포함하는, 장치.

**청구항 15**

제12항에 있어서,

상기 메모리 디바이스들은 상기 복수의 제2 인터커넥트들 중의 인터커넥트들에 임베딩되는, 장치.

**청구항 16**

제12항에 있어서,

상기 메모리 디바이스들은 상기 복수의 제1 인터커넥트들 중의 인터커넥트들에 임베딩되는, 장치.

**청구항 17**

방법으로서,

제1 기관 상의 집적 회로 디바이스 층 상에 복수의 제1 인터커넥트들을 형성하는 단계;

상기 제1 기관을 제2 기관에 연결하는 단계 - 상기 복수의 제1 인터커넥트들은 상기 제2 기관에 병치됨 -;

상기 제1 기관의 일부를 제거하여 상기 회로 디바이스 층을 노출시키는 단계;

상기 노출된 회로 디바이스 층 상에 복수의 제2 인터커넥트들을 형성하는 단계;

상기 복수의 제1 인터커넥트들 및 상기 복수의 제2 인터커넥트들 중의 하나에 메모리 디바이스들을 임베딩하는 단계; 및

상기 메모리 디바이스들 중의 메모리 디바이스들을 상기 복수의 제1 인터커넥트들 및 상기 복수의 제2 인터커넥트들 중의 각자의 인터커넥트들 각각에 연결하고 상기 복수의 회로 디바이스들 중의 회로 디바이스들에 연결하는 단계

를 포함하는 방법.

**청구항 18**

제17항에 있어서,

상기 메모리 디바이스들은 상기 복수의 제1 인터커넥트들에 임베딩되는, 방법.

**청구항 19**

제17항 또는 제18항에 있어서,

상기 메모리 디바이스들은 상기 복수의 제2 인터커넥트들을 임베딩하는, 방법.

**청구항 20**

제17항 내지 제19항 중 어느 한 항에 있어서,

상기 복수의 제2 인터커넥트들 중의 인터커넥트들의 치수들은 상기 복수의 제1 인터커넥트들 중의 인터커넥트들의 치수들보다 더 큰, 방법.

**청구항 21**

제19항에 있어서,

상기 복수의 제2 인터커넥트들 중의 인터커넥트들에의 콘택트 포인트들을 형성하는 단계를 추가로 포함하고, 상기 콘택트 포인트들은 외부 소스에의 접속을 위해 동작 가능한, 방법.

**청구항 22**

제17항 내지 제21항 중 어느 한 항의 방법에 의해 제조된 3차원 집적 회로.

**발명의 설명**

**기술 분야**

[0001] 집적 회로들 및 특히, 모놀리식 3차원 집적 회로들.

**배경 기술**

[0002] 모놀리식 집적 회로들(IC들)은 일반적으로 실리콘 웨이퍼와 같은 평면 기판 위에 제조된 금속 산화물 반도체 전계 효과 트랜지스터들(MOSFET들)과 같은 다수의 트랜지스터들을 포함한다. MOSFET들의 게이트 치수들이 이제 20 nm 미만이 되면서 IC 치수들의 측방향 스케일링이 더욱 어려워지고 있다. 디바이스 사이즈들이 계속해서 감소함에 따라, 표준 평면 스케일링을 계속하는 것이 비실용적이 되는 시점이 올 것이다. 이러한 변곡점은, 엄청나게 높은 커패시턴스, 양자-기반 가변성, 인터커넥트들이 계속해서 스케일링됨에 따른 인터커넥트 저항률, 및 인터커넥트 라인들 및 비아들에 대한 리소그래피 작업들과 같은, 경제학 또는 물리학에 기인할 수 있다. 일반적으로 수직 스케일링 또는 3차원(3D) 집적화로 지칭되는, 3차원으로 디바이스들을 적층하는 것이 더 큰 트랜지스터 밀도를 향한 유망한 길이다.

**도면의 간단한 설명**

- [0003] 도 1은 인터커넥트 영역에 임베딩된 메모리 디바이스들을 포함하는 모놀리식 3D IC의 일 실시예를 도시한다.
- 도 2는 도 1의 구조체 내의 예시적인 메모리 디바이스로서 STT-MRAM 메모리 비트 셀인 비휘발성 메모리 비트 셀의 개략도를 예시한다.
- 도 3은 디바이스 층 또는 기판 및 상기 디바이스 층에 병치된 복수의 제1 인터커넥트들을 포함하는 구조체의 실시예의 횡단면 측면도를 도시한다.
- 도 4는 도 3의 구조체를 캐리어 웨이퍼에 접속한 후의 해당 구조체를 도시한다.
- 도 5는 기판의 일부를 제거한 후의 도 4의 구조체를 도시한다.
- 도 6은 도 5의 구조체 상에 메모리 디바이스들을 형성한 후의 해당 구조체를 도시한다.
- 도 7은 도 6의 구조체 상에 제2 복수의 인터커넥트들을 도입한 후의 해당 구조체를 도시한다.
- 도 8은 복수의 인터커넥트들 중의 하나하나에의 콘택트 포인트들을 도입한 후의 도 7의 구조체를 도시한다.
- 도 9는 기판 상의 디바이스 층 및 상기 디바이스 층에 병치된 복수의 제1 인터커넥트들 및 인터커넥트 영역에 임베딩된 메모리 디바이스들을 포함하는 구조체의 제2 실시예의 횡단면 측면도를 도시한다.
- 도 10은 도 9의 구조체를 캐리어 웨이퍼에 접속한 후의 해당 구조체를 도시한다.
- 도 11은 도 10의 구조체로부터 기판의 일부를 제거한 후의 해당 구조체를 도시한다.
- 도 12는 복수의 제2 인터커넥트들을 도입하고 그러한 인터커넥트들 중의 하나하나를 그 인터커넥트들 중의 하나하나에 도입된 또는 형성된 메모리 디바이스들 및 콘택트들 중의 하나하나에 접속한 후의 도 11의 구조체를 도시한다.
- 도 13은 하나 이상의 실시예들을 구현하는 인터포저이다.
- 도 14는 컴퓨팅 디바이스의 실시예를 예시한다.

**발명을 실시하기 위한 구체적인 내용**

[0004] 집적 회로(IC) 및 IC를 형성 및 이용하는 방법이 개시된다. 일 실시예에서, 모놀리식 3차원(3D) IC 및 그것의 제조 및 이용 방법이 설명되며, 이 IC는, 일 실시예에서, 인터커넥트 영역에 배치된 메모리를 포함하고, 이 메모리는, ReRAM(resistive random access memory), STT(spin transfer torque)-MRAM(magnetoresistive RAM)과 같은 MRAM, 상변화 또는 다른 메모리 디바이스들을 포함하지만, 이들에 한정되지 않는다. 대표적으로, 모놀리식 3D IC는 집적 회로 디바이스 층의 대향 측들 상에 복수의 제1 인터커넥트들 및 복수의 제2 인터커넥트들을 포함하고 상기 복수의 제1 인터커넥트들 및 상기 복수의 제2 인터커넥트들 중 적어도 하나에 메모리 디바이스들이 임베딩되어 있다. 상기 메모리 디바이스들은 상기 복수의 제1 및 제2 인터커넥트들 중의 각자의 하나하나에

그리고 상기 디바이스 층 내의 회로 디바이스들 중의 각자의 하나하나에 연결된다. 일 실시예에서, 상기 복수의 제1 및 제2 인터커넥트들의 치수들은 상이하어, 메모리 디바이스들이 상기 디바이스 층의 한 층의 미세 피치(fine pitch) 인터커넥트들에 접속되고 상기 디바이스 층 내의 회로 디바이스들을 통하여 상기 디바이스 층의 다른 층의 더 두꺼운 인터커넥트들로 게이팅된다. 이 구성은 고밀도의 메모리들을 가능하게 할 뿐만 아니라 메모리 이외의 회로들을 위해 디바이스 층의 영역을 마련하는 것을 가능하게 한다.

[0005] 이하의 설명에서는, 예시적인 구현예들의 다양한 양태들이, 본 기술분야의 다른 기술자들에게 자신들의 연구의 요지를 전달하기 위해, 본 기술분야의 기술자들에 의해 통상적으로 채택되는 용어들을 이용하여 설명될 것이다. 그러나, 실시예들은 설명된 양태들 중 일부만으로 실시될 수도 있음이 본 기술분야의 기술자들에게 명백할 것이다. 설명을 위해, 특정 숫자들, 재료들 및 구성들이 개시되어 예시적인 구현예들의 철저한 이해를 제공한다. 그러나, 실시예들은 특정 세부 사항들 없이 실시될 수 있음이 본 기술분야의 기술자에게 명백할 것이다. 다른 예들에서, 예시적인 구현예들을 모호하게 하지 않기 위해 주어진 특징들은 생략되거나 간략화된다.

[0006] 다양한 동작들이 다수의 개별적인 동작들로서, 차례차례, 본 명세서에서 설명된 실시예들을 이해하는 데 가장 도움이 되는 방식으로 설명될 것이지만, 설명의 순서는, 이들 동작들이 반드시 순서에 의존하는 것을 의미하는 것으로 이해되지 않아야 한다. 특히, 이러한 동작들은 제시된 순서로 수행될 필요는 없다.

[0007] 구현예들은 반도체 기판과 같은 기판상에서 형성되거나 수행될 수 있다. 일 구현예에서, 반도체 기판은 벌크 실리콘 또는 SOI(silicon-on-insulator) 하부 구조를 이용하여 형성된 결정 기판일 수 있다. 다른 구현예들에서, 반도체 기판은, 게르마늄, 인듐 안티모나이드(indium antimonide), 납 텔루라이드(lead telluride), 인듐 비소(indium arsenide), 인듐 인(indium phosphide), 갈륨 비소(gallium arsenide), 인듐 갈륨 비소, 갈륨 안티모나이드(gallium antimonide), 또는 III-V 족 또는 IV 족 재료들의 다른 조합들을 포함하지만 이들에 한정되지 않는, 실리콘과 조합될 수 있거나 실리콘과 조합되지 않을 수 있는, 대안의 재료들을 이용하여 형성될 수 있다. 비록 여기서는 기판이 형성될 수 있는 재료들의 소수의 예들이 설명되지만, 반도체 디바이스가 제조될 수 있는 기판으로서의 역할을 할 수 있는 어떤 재료라도 본 정신 및 범주 내에 속한다.

[0008] 기판상에, 예를 들어 본 명세서에서 언급된 디바이스 층들 내에 금속-산화물-반도체 전계-효과 트랜지스터들(MOSFET 또는 간단히 MOS 트랜지스터들)과 같은 복수의 트랜지스터들이 제조될 수 있다. 다양한 구현예들에서, MOS 트랜지스터들은 평면 트랜지스터들, 수직 적층형 트랜지스터들을 포함하는 비평면 트랜지스터들, 또는 이들의 조합일 수 있다. 비평면 트랜지스터들은 더블-게이트 트랜지스터들 및 트라이-게이트 트랜지스터들과 같은 FinFET 트랜지스터들, 및 나노리본 및 나노와이어 트랜지스터들과 같은 랩 어라운드형(wrap-around) 또는 올 어라운드형(all-around) 게이트 트랜지스터들을 포함한다. 본 명세서에서 설명된 구현예들은 평면 트랜지스터들만을 예시할 수 있지만, 실시예들은 비평면 트랜지스터들을 이용하여 수행될 수도 있다는 점에 주목해야 한다.

[0009] 각각의 MOS 트랜지스터는 적어도 2개의 층들, 즉 게이트 유전체 층 및 게이트 전극 층으로 형성된 게이트 스택을 포함한다. 게이트 유전체 층은 하나의 층 또는 층들의 스택을 포함할 수 있다. 하나 이상의 층들은 실리콘 산화물, 실리콘 이산화물(SiO<sub>2</sub>) 및/또는 하이-k 유전체 재료를 포함할 수 있다. 하이-k 유전체 재료는 하프늄, 실리콘, 산소, 티타늄, 탄탈륨, 란타늄, 알루미늄, 지르코늄, 바륨, 스트론튬, 이트륨, 납, 스칸듐, 니오븀, 및 아연과 같은 원소들을 포함할 수 있다. 게이트 유전체 층에 사용될 수 있는 하이-k 재료들의 예들은, 하프늄 산화물, 하프늄 실리콘 산화물, 란타늄 산화물, 란타늄 알루미늄 산화물, 지르코늄 산화물, 지르코늄 실리콘 산화물, 탄탈륨 산화물, 티타늄 산화물, 바륨 스트론튬 티타늄 산화물, 바륨 티타늄 산화물, 스트론튬 티타늄 산화물, 이트륨 산화물, 알루미늄 산화물, 납 스칸듐 탄탈륨 산화물, 및 납 아연 니오브산염(lead zinc niobate)을 포함하는데, 이들에 한정되지는 않는다. 일부 실시예들에서, 하이-k 재료가 사용될 때 그 품질을 향상시키기 위해 게이트 유전체 층에 대해 어닐링 공정이 수행될 수 있다.

[0010] 게이트 전극 층은 게이트 유전체 층 상에 형성되고 트랜지스터가 PMOS 트랜지스터가 될 것인지 또는 NMOS 트랜지스터가 될 것인지에 따라, 적어도 하나의 P-형 일함수 금속 또는 N-형 일함수 금속으로 이루어질 수 있다. 일부 구현예들에서, 게이트 전극 층은 2개 이상의 금속 층들의 스택으로 이루어질 수 있고, 여기서 하나 이상의 금속 층들은 일함수 금속 층들이고 적어도 하나의 금속 층은 충전(fill) 금속 층이다.

[0011] PMOS 트랜지스터의 경우, 게이트 전극으로 사용될 수 있는 금속들은, 루테튬, 팔라듐, 백금, 코발트, 니켈, 및 도전성 금속 산화물들, 예를 들어, 루테튬 산화물을 포함하지만 이에 한정되지는 않는다. p-형 금속 층은 일함수가 약 4.9 eV 내지 약 5.2 eV인 PMOS 게이트 전극의 형성을 가능하게 할 것이다. NMOS 트랜지스터의 경우, 게이트 전극으로 사용될 수 있는 금속들은, 하프늄, 지르코늄, 티타늄, 탄탈륨, 알루미늄, 이 금속들의 합금들,

및 하프늄 탄화물, 지르코늄 탄화물, 티타늄 탄화물, 탄탈륨 탄화물 및 알루미늄 탄화물과 같은 이 금속들의 탄화물들을 포함하지만, 이에 한정되지는 않는다. N-형 금속 층은 일함수가 약 3.9 eV 내지 약 4.2 eV인 NMOS 게이트 전극의 형성을 가능하게 할 것이다.

[0012] 일부 구현예들에서, 게이트 전극은 기판의 표면에 실질적으로 평행한 하부 부분 및 기판의 상부 표면에 실질적으로 수직인 2개의 측벽 부분들을 포함하는 "U" 형상의 구조체로 이루어질 수 있다. 또 다른 구현예에서, 게이트 전극을 형성하는 금속 층들 중 적어도 하나는 단순히 기판의 상부 표면에 실질적으로 평행한 평면 층일 수 있고 기판의 상부 표면에 실질적으로 수직인 측벽 부분들은 포함하지 않는다. 추가 구현예들에서, 게이트 전극은 U 형상의 구조체들 및 평면의 U 형상이 아닌 구조체들의 조합으로 이루어질 수 있다. 예를 들어, 게이트 전극은 하나 이상의 평면의 U 형상이 아닌 층들 위에 형성된 하나 이상의 U 형상의 금속 층들로 이루어질 수 있다.

[0013] 일부 구현예들에서, 게이트 스택의 대향 측들 상에 게이트 스택을 브래킷(bracket)하는 한 쌍의 측벽 스페이서들이 형성될 수 있다. 측벽 스페이서들은 실리콘 질화물, 실리콘 산화물, 실리콘 탄화물, 탄소로 도핑된 실리콘 질화물, 및 실리콘 산질화물과 같은 재료로 형성될 수 있다. 측벽 스페이서들을 형성하는 공정들은 본 기술 분야에 공지되어 있고 일반적으로 퇴적 및 에칭 공정 단계들을 포함한다. 대안의 구현예에서는, 복수의 스페이서 쌍들이 이용될 수 있고, 예를 들어, 2개의 쌍, 3개의 쌍, 또는 4개의 쌍의 측벽 스페이서들이 게이트 스택의 대향 측들 상에 형성될 수 있다.

[0014] 본 기술분야에 공지된 바와 같이, 각각의 MOS 트랜지스터의 게이트 스택에 인접하여 기판 내에 소스 및 드레인 영역들이 형성된다. 이 소스 및 드레인 영역들은 일반적으로 주입/확산 공정 또는 에칭/퇴적 공정 중 어느 하나를 이용하여 형성된다. 전자의 공정에서는, 붕소, 알루미늄, 안티몬, 인, 또는 비소와 같은 도펀트들이 소스 및 드레인 영역들을 형성하도록 기판에 이온 주입될 수 있다. 전형적으로 이온 주입 공정에는 도펀트들을 활성화시키고 그것들로 하여금 기판 내로 더 확산되게 하는 어닐링 공정이 뒤따른다. 후자의 공정에서는, 처음에 기판을 에칭하여 소스 및 드레인 영역들의 위치들에 리세스들을 형성할 수 있다. 그 후 에피택셜 퇴적 공정을 수행하여 소스 및 드레인 영역들을 제조하기 위해 사용되는 재료로 리세스들을 채울 수 있다. 일부 구현예들에서, 소스 및 드레인 영역들은 실리콘 게르마늄 또는 실리콘 탄화물과 같은 실리콘 합금을 이용하여 제조될 수 있다. 일부 구현예들에서 에피택셜 방식으로 퇴적된 실리콘 합금은 붕소, 비소, 또는 인과 같은, 도펀트들로 인 시츄(in situ)로 도핑될 수 있다. 추가 구현예들에서, 소스 및 드레인 영역들은 게르마늄 또는 III-V 족 재료 또는 합금과 같은 하나 이상의 대안의 반도체 재료들을 이용하여 형성될 수 있다. 그리고 추가 실시예들에서, 금속 및/또는 금속 합금들의 하나 이상의 층들을 이용하여 소스 및 드레인 영역들을 형성할 수 있다.

[0015] 하나 이상의 층간 유전체(interlayer dielectrics)(ILD)가 MOS 트랜지스터들 위에 퇴적된다. ILD 층들은, 로우-k 유전체 재료와 같은, 집적 회로 구조들에서 적용가능한 것으로 알려진 유전체 재료들을 이용하여 형성될 수 있다. 사용될 수 있는 유전체 재료들의 예들은, 실리콘 이산화물(SiO<sub>2</sub>), CDO(carbon doped oxide), 실리콘 질화물, 퍼플루오로시클로부탄(perfluorocyclobutane) 또는 폴리테트라플루오로에틸렌(polytetrafluoroethylene), FSG(fluorosilicate glass)와 같은 유기 폴리머들, 및 실세스퀴옥산(silsesquioxane), 실록산(siloxane), 또는 오가노실리케이트 글래스(organosilicate glass)와 같은 오가노실리케이트들(organosilicates)을 포함할 수 있지만, 이들에 한정되지는 않는다. ILD 층들은 그들의 유전 상수를 더 감소시키기 위해 구멍들(pores) 또는 에어 갭들(air gaps)을 포함할 수 있다.

[0016] 도 1은 인터커넥트 영역에 임베딩된 메모리 디바이스들을 포함하는 모놀리식 3D IC의 일 실시예를 도시한다. 도 1을 참조하면, 구조체(100)는, 예를 들어, 단결정 반도체 기판(예를 들어, 단결정 실리콘)인 기판(110)을 포함한다. 기판(110)은 디바이스 층(120)을 포함하고, 이 디바이스 층은, 이 실시예에서, 다수의 디바이스들(125)(예를 들어, 트랜지스터 디바이스들)을 포함한다. 일 실시예에서, 디바이스들(125)은 일반적으로 고전압 범위의 디바이스들보다 더 높은 피치로 디바이스 층 상에 배열될 수 있는 FinFET들과 같은 로직 디바이스들 또는 다른 축소된 폼팩터의 디바이스들을 포함하는 저전력 범위의 최신 기술의 전형적으로 고속 디바이스들이다.

[0017] 도 1에 예시된 실시예에서는, 디바이스 층(120)이 복수의 제1 인터커넥트들(130)과 복수의 제2 인터커넥트들(150) 사이에 배치된다. 일 실시예에서, 디바이스 층(120) 내의 하나 이상의 디바이스들은 복수의 제1 인터커넥트들(130) 및 복수의 제2 인터커넥트들(150)과 관련된 인터커넥트들 중 하나 또는 둘 다에 접속된다. 복수의 제1 인터커넥트들(130)은, 일 실시예에서, 예를 들어, 디바이스 층(120) 내의 디바이스들(디바이스(125))과 관련된 전기 부하의 임피던스에 맞도록(예를 들어, 임피던스 정합) 선택된 치수들을 갖는다. 도 1은 콘택트들(132)을 통하여 복수의 제1 인터커넥트들(130) 중의 하나하나에 접속된 디바이스 층(120)의 디바이스들 중의 하



나하나를 도시한다. 복수의 제2 인터커넥트들(150)은, 일 실시예에서, 복수의 제1 인터커넥트들의 인터커넥트들과 유사한 치수의 인터커넥트들 및 복수의 제1 인터커넥트들보다 더 큰(예를 들어, 더 두꺼운) 치수들을 갖는 인터커넥트들을 포함한다. 도 1은 복수의 제1 인터커넥트들(130)의 인터커넥트들과 유사한 치수들을 갖는 인터커넥트들(1505) 및 복수의 제1 인터커넥트들 중의 하나하나의 치수보다 더 큰 치수들을 갖는 인터커넥트들(1506)을 도시한다. 대표적으로, 복수의 제1 인터커넥트들(130)의 인터커넥트들은 대략 게이트 피치의 적어도 0.67배의 두께를 갖고 복수의 제2 인터커넥트들(150) 중의 인터커넥트들(1506)은 복수의 제1 인터커넥트들(130)의 두께의 대략 100배 내지 1000배 더 큰 두께를 갖는다. 일 실시예에서, 인터커넥트들(1505)은 콘택트들(152)을 통하여 디바이스 층(120)의 디바이스들에 접속된다.

[0018] 도 1의 구조체(100)는 또한 복수의 제1 인터커넥트들(130)에 임베딩된 메모리 디바이스들을 포함한다. 도 1은 예를 들어, ReRAM, MRAM, 상변화 또는 다른 디바이스 타입의 메모리 디바이스(160)를 도시한다. 일 실시예에서, 메모리 디바이스들 중의 하나하나가 한 측에서 복수의 제1 인터커넥트들(130) 중의 하나하나에 접속되고 또 다른 측은 디바이스 층(120) 내의 디바이스들(125) 중의 하나하나를 통하여 복수의 제2 인터커넥트들(150) 중의 하나하나로, 특히 인터커넥트들(1506)로 게이팅된다.

[0019] 도 2는 도 1의 구조체 내의 예시적인 메모리 디바이스로서 STT-MRAM 메모리 비트 셀인 비휘발성 메모리 비트 셀의 개략도를 예시한다. 도 2를 참조하면, 비트 셀은 STT-MRAM 메모리 요소 또는 구성요소(160)를 포함한다. 삽도에 도시된 바와 같이, STT-MRAM 메모리 구성요소(160)가 스핀 전달 토크 요소인 경우, 그러한 요소는 대표적으로 하부 전극(1602)에 인접한, 예를 들어 CoFeB(cobalt-iron-boron)의 고정 자기 층(1604)을 갖는, 예를 들어 루테튬의 하부 전극(1602); 예를 들어 CoFeB의 자유 자기 층(1618)에 인접한, 예를 들어 탄탈륨의 상부 전극(1616); 및 고정 자기 층(1604)과 자유 자기 층(1618) 사이에 배치된, 예를 들어 MgO(magnesium oxide)의 터널링 장벽 또는 유전체 층(1622)을 포함한다. 실시예에서, 스핀 전달 토크 요소는 수직 자성(perpendicular magnetism)에 기초한다. 마지막으로, 제1 유전체 요소(1623) 및 제2 유전체 요소(1624)는 상부 전극(1616), 자유 자기 층(1618), 및 터널링 장벽 유전체 층(1622)에 인접하여 형성될 수 있다.

[0020] STT-MRAM 메모리 구성요소(160)는 복수의 제2 인터커넥트들(150) 중 하나(비트 라인)에 접속된다. 상부 전극(1616)은 그 비트 라인에 전기적으로 접속될 수 있다. STT-MRAM 메모리 구성요소(160)는 또한 디바이스 층(120)(도 1 참조)과 관련된 액세스 트랜지스터(125)에도 접속된다. 액세스 트랜지스터(125)는 접합 영역(122)(소스 영역), 접합 영역(124)(드레인 영역)을 포함하는 확산 영역, 이 접합 영역들 사이의 또는 이 접합 영역들을 분리하는 채널 영역 및 이 채널 영역 상의 게이트 전극(126)을 포함한다. 예시된 바와 같이, STT-MRAM 메모리 구성요소(160)는 콘택트(164)에 의해 액세스 트랜지스터(125)의 접합 영역(124)에 접속된다. 하부 전극(1602)이 그 접합 영역에 접속된다. 비트 셀 내의 접합 영역(122)은 복수의 제1 인터커넥트들(130) 중 하나(소스 라인(1301))에 접속된다. 마지막으로, 게이트 전극(126)은 워드 라인(1302)에 전기적으로 접속된다.

[0021] 도 3 내지 도 8은 모듈리식 3D IC를 형성하는 하나의 방법을 설명한다. 도 3은, 예를 들어, 단결정 반도체 기판(예를 들어, 실리콘 기판)의 기판(210)을 도시한다. 기판(210) 상에 디바이스 층(220)이 배치되며, 이 디바이스 층은, 일 실시예에서, FinFET들 또는 다른 최신 기술의 트랜지스터 디바이스들과 같은, 높은 피치, 고속 디바이스들의 어레이 또는 어레이들을 포함한다. 도 3은 또한 디바이스 층(220)에 또는 그 위에 병치된 복수의 인터커넥트들(230)을 도시한다. 복수의 인터커넥트들(230) 중의 하나하나가, 예를 들어, 콘택트들(226)을 통하여 디바이스 층(220) 내의 디바이스들 중의 하나하나에 접속된다. 일 실시예에서, 복수의 인터커넥트들(230)은 본 기술분야에 공지된 바와 같이 패터닝된 구리 재료이다. 회로 디바이스들과 제1 레벨 인터커넥트 사이의 디바이스 층 콘택트들(예를 들어, 콘택트들(226))은 대표적으로 텅스텐 또는 구리 재료일 수 있고 인터커넥트들 사이의 레벨 간 콘택트들은, 예를 들어, 구리 재료이다. 인터커넥트들은 산화물과 같은 유전체 재료들에 의해서 서로 그리고 디바이스들로부터 절연된다. 도 3은 복수의 인터커넥트들(230)의 최종의 레벨에 또는 그 위에 병치된 유전체 층(235)을 도시한다(보이는 바와 같이).

[0022] 도 4는 도 3의 구조체를 캐리어 웨이퍼에 접속한 후의 해당 구조체를 도시한다. 예시된 실시예에서, 도 3으로부터의 구조체(200)는 뒤집혀서 캐리어 웨이퍼(240)에 접합된다. 도 4는 예를 들어, 단결정 반도체 재료 또는 세라믹 또는 유사 재료의 캐리어 웨이퍼(240)를 도시한다. 캐리어 웨이퍼(240) 상에는, 일 실시예에서, 유전체 층(245)이 배치된다. 도 4는 복수의 인터커넥트들(230) 상의 유전체 층(235)이 캐리어 웨이퍼의 유전체 층(245)에 인접하도록 구조체에 접합된 캐리어 웨이퍼를 도시한다(유전체 접합).

[0023] 도 5는 기판(210)의 일부를 제거한 후의 도 4의 구조체를 도시한다. 일 실시예에서, 기판(210)은 디바이스 층(220)을 노출시키도록 감소된다. 대표적으로, 기판(210)의 일부가 기계적 메커니즘(예를 들어, 그라인딩) 또는

다른 메커니즘(예를 들어, 에칭)에 의해 제거될 수 있다. 도 5는 보이는 바와 같이 구조체(200)의 상부 표면 상에 노출된 디바이스 층(220)을 포함하는 구조체를 도시한다.

[0024] 도 6은 도 5의 구조체 상에 메모리 디바이스들을 형성한 후의 해당 구조체를 도시한다. 도 6은 콘택트들(255)을 통하여 디바이스 층(220) 내의 디바이스들에 접속된 ReRAM, MRAM 또는 상변화 디바이스들과 같은 메모리 요소들 또는 디바이스들(250)을 도시한다. 그러한 디바이스들은 또한, 일 실시예에서, 예를 들어, 콘택트들(226)을 통하여 복수의 인터커넥트들(230) 중의 하나하나에도 접속된다는 것이 이해된다.

[0025] 도 7은 도 6의 구조체 상에 제2 복수의 인터커넥트들을 도입한 후의 해당 구조체를 도시한다. 도 7은 디바이스 층(220)에 그리고 메모리 디바이스들(250)에 병치된 복수의 인터커넥트들(260)을 도시한다. 일 실시예에서, 복수의 인터커넥트들(250) 중의 하나하나의 치수는 복수의 인터커넥트들(230) 중의 하나하나의 대응하는 치수보다 더 크다(예를 들어, 더 두껍다). 일 실시예에서, 복수의 인터커넥트들(260)은 본 기술분야에 공지된 바와 같은 구리 재료 및 패턴이다. 도 7은 메모리 디바이스들(250) 중의 각자의 하나하나와 복수의 인터커넥트들(260) 중의 하나하나 사이의 콘택트들(258)을 도시한다. 도 7은 또한, 예를 들어, 콘택트들(265)을 통하여, 디바이스 층(220) 내의 디바이스들에 접속된 복수의 인터커넥트들(250) 중의 하나하나도 도시한다. 복수의 인터커넥트들(260)의 제1 레벨 인터커넥트 상의 디바이스들 사이의 디바이스 층 콘택트들(콘택트들(265))은 대표적으로 텅스텐 또는 구리 재료일 수 있고 인터커넥트들 사이의 레벨 간 콘택트들은, 예를 들어, 구리 재료이다. 예시된 바와 같이, 디바이스 층(220) 내의 디바이스들에 접속된 복수의 인터커넥트들(260) 중의 하나하나가 메모리 디바이스들(250)에 접속된 인터커넥트들의 치수들보다 더 작은(예를 들어, 더 가는) 치수를 가질 수 있다. 인터커넥트들은 유전체 재료(예를 들어, 산화물)에 의해 서로 그리고 디바이스 층 및 메모리 디바이스들로부터 절연된다.

[0026] 도 8은 복수의 인터커넥트들(260) 중의 하나하나에의 콘택트 포인트들(270)을 도입한 후의 도 7의 구조체를 도시한다. 그러한 콘택트들은 또한 복수의 인터커넥트들(260) 위에 구조체 상에 금속화 층을 포함할 수 있다(보이는 바와 같이). 도 8은 또한 구조체(200)의 표면을 부동태화(passivate)하는, 예를 들어, 산화물의 부동태화 층(165)을 도시한다. 콘택트 포인트들(270)은 패키지 기판과 같은 기판에 구조체(200)를 접속하는 데 이용될 수 있다. 일단 형성된 구조체는, 웨이퍼 레벨에서 형성된다면, 개별 모놀리식 3D IC로 개별화(singulate)될 수 있다. 도 8은 대표적으로 개별화 후의 구조체(200)를 도시하고 콘택트 포인트들(270)로의 납땜 접속들을 통한 패키지에의 구조체의 접속을 고스트 라인들(ghost lines)로 예시한다.

[0027] 도 9 내지 도 12는 모놀리식 3D IC를 형성하는 방법의 제2 실시예를 도시한다.

[0028] 도 9는 예를 들어, 단결정 실리콘과 같은 단결정 반도체 재료의 기판(310)을 도시한다. 기판(310) 상에는 디바이스 층(320)이 배치되고 이 디바이스 층은 고속 로직 디바이스들(예를 들어, FinFET들)과 같은 비교적 고속 디바이스들의 어레이 또는 어레이들을 포함한다. 도 9의 디바이스 층(320) 상에는 메모리 요소들 또는 디바이스들(350)이 그 안에 임베딩된 복수의 인터커넥트들(330)이 병치된다. 메모리 디바이스들(350)은 대표적으로 ReRAM, MRAM, 상변화 또는 다른 디바이스들로부터 선택되고 본 기술분야에 공지된 바와 같이 형성된다. 복수의 인터커넥트들(330)은, 일 실시예에서, 디바이스 층(320) 내의 미세 피치의 고속 디바이스들에 호환되는(예를 들어, 임피던스 정합된) 치수들을 갖는다. 그러한 복수의 인터커넥트들(330)은 본 기술분야에 공지된 공정들에 의해 형성될 수 있다. 도 9는 디바이스 층(320) 내의 디바이스들과 복수의 인터커넥트들(330) 중의 하나하나 사이의 디바이스 레벨 콘택트들(325)을 도시한다. 도 9는 또한 메모리 디바이스들(350)과 디바이스 층(320) 내의 디바이스들 사이의 콘택트들(355)도 도시한다. 디바이스 레벨 콘택트들(325 및 355)은 대표적으로 텅스텐 또는 구리 재료일 수 있다. 복수의 인터커넥트들(330) 중의 하나하나 사이의 콘택트들은 대표적으로 구리 재료이다. 복수의 인터커넥트들(330) 중의 하나하나와 메모리 요소들은 산화물과 같은 유전체 재료에 의해 서로 절연된다. 도 9는 또한 복수의 인터커넥트들(330) 중의 최종의 하나하나 위에 배치된 유전체 재료의 부동태화 층(335)도 도시한다(보이는 바와 같이).

[0029] 도 10은 도 9의 구조체를 캐리어 웨이퍼에 접속한 후의 해당 구조체를 도시한다. 일 실시예에서, 도 9로부터의 구조체(300)는 뒤집혀서 캐리어 웨이퍼에 접합된다. 도 10은 예를 들어, 실리콘 또는 세라믹 또는 다른 적합한 기판의 캐리어 웨이퍼(340)를 도시한다. 캐리어 웨이퍼(340)의 표면 위에는, 일 실시예에서, 예를 들어, 산화물의 유전체 재료 층(345)이 배치된다. 도 10은 유전체 재료들을 통한 접합(유전체 접합)을 도시하고 캐리어 웨이퍼(340)에 병치된 복수의 인터커넥트들(330)을 예시한다.

[0030] 도 11은 도 10의 구조체로부터 기판(310)의 일부를 제거한 후의 해당 구조체를 도시한다. 일 실시예에서, 기판(310)의 일부가 디바이스 층(320)을 노출시키도록 제거된다. 기판(310)은 기계적(예를 들어, 그라인딩) 또는

다른 메커니즘(예를 들어, 에칭)에 의해 제거될 수 있다. 도 11은 구조체의 노출된 상부 표면을 포함하는 디바이스 층(320)을 도시한다(보이는 바와 같이).

[0031] 도 12는 도 11의 구조체 상에 복수의 인터커넥트들(360)을 도입한 후의 해당 구조체를 도시한다. 예시된 바와 같이, 복수의 인터커넥트들(360)에 병치된 디바이스 층(320)의 표면이 부동태화된다. 일 실시예에서, 복수의 인터커넥트들(360) 중의 하나하나가 메모리 디바이스들(350) 중의 하나하나에 접속된다(예를 들어, 디바이스 층(320)을 통하여). 그러한 인터커넥트들은, 일 실시예에서, 메모리 디바이스들(350)에 유사하게 접속되는 복수의 인터커넥트들(330)보다 더 큰(예를 들어, 더 두꺼운) 치수들을 갖는다. 도 12는 복수의 인터커넥트들(360) 중의 하나하나를 메모리 디바이스들(350) 중의 각자의 하나하나에 접속하는 콘택트들(362)을 도시한다. 도 12는 또한 복수의 인터커넥트들(360) 중의 하나하나를 디바이스 층(320) 내의 디바이스들에 접속하는 디바이스 레벨 콘택트들(364)도 도시한다. 일 실시예에서, 디바이스 층(320) 내의 디바이스들에 접속되는 복수의 인터커넥트들(360)의 인터커넥트들 중의 그러한 하나하나가 디바이스 층 내의 디바이스들에 호환되는(예를 들어, 임피던스 정합) 치수들(예를 들어, 두께)을 가질 수 있다는 점에 주목한다. 복수의 인터커넥트들(360)은, 일 실시예에서, 도금 공정에 의해 도입된 구리와 같은 재료로부터 선택되고, 콘택트들(362) 및 콘택트들(364)은 대표적으로 구리 또는 텅스텐 재료이고 인터커넥트들 사이의 및 콘택트들은 대표적으로 구리 재료이다. 도 12는 산화물과 같은 유전체 재료에 의해 서로 그리고 메모리 요소들 내의 디바이스 층(320)으로부터 절연된 복수의 인터커넥트들(360)을 도시한다.

[0032] 도 12는 또한 복수의 인터커넥트들(360) 중의 하나하나에의 콘택트 포인트들(370)을 도입한 후의 구조체를 도시한다. 그러한 콘택트들은 구조체 상에 배치된 금속화 층의 일부 또는 그에 추가된 것일 수 있다. 도 12는 또한 디바이스의 표면의 부동태화를 위해, 예를 들어, 산화물의 부동태화 층(365)을 갖는 구조체를 도시한다. 콘택트 포인트들(370)은 패키지 기관과 같은 기관에 구조체(300)를 접속하는 데 이용될 수 있다. 일단 형성된 구조체는, 웨이퍼 레벨에서 형성된다면, 개별 모놀리식 3D IC로 개별화될 수 있다. 도 12는 대표적으로 개별화 후의 구조체(300)를 도시하고 콘택트 포인트들(370)로의 납땜 접속들을 통한 패키지 기관에의 구조체의 접속을 고스트 라인들로 예시한다.

[0033] 도 13은 본 발명의 하나 이상의 실시예들을 포함하는 인터포저(400)를 예시한다. 인터포저(400)는 제1 기관(402)을 제2 기관(404)에 브리징(bridge)하기 위해 이용되는 개재 기관이다. 제1 기관(402)은, 예를 들어, 집적 회로 다이일 수 있다. 제2 기관(404)은, 예를 들어, 메모리 모듈, 컴퓨터 마더보드, 또는 또 다른 집적 회로 다이일 수 있다. 일반적으로, 인터포저(400)의 용도는 접속을 더 넓은 피치로 펼치거나 또는 접속을 상이한 접속으로 경로 변경(reroute)하기 위한 것이다. 예를 들어, 인터포저(400)는 집적 회로 다이를 BGA(ball grid array)(406)에 연결할 수 있고, BGA는 후속하여 제2 기관(404)에 연결될 수 있다. 일부 실시예들에서, 제1 및 제2 기관들(402/404)은 인터포저(400)의 대향 측들에 부착된다. 다른 실시예들, 제1 및 제2 기관들(402/404)은 인터포저(400)의 동일한 측에 부착된다. 그리고 추가 실시예들에서, 3개 이상의 기관들이 인터포저(400)를 통하여 상호 접속된다.

[0034] 인터포저(400)는 에폭시 수지, 유리 섬유 강화 에폭시 수지, 세라믹 재료, 또는 폴리이미드와 같은 폴리머 재료로 형성될 수 있다. 추가 구현예들에서, 인터포저는 실리콘, 게르마늄, 및 다른 III-V 족 및 IV 족 재료들과 같은, 반도체 기관에 사용하기 위해 위에 설명된 동일한 재료들을 포함할 수 있는 대안의 강성 또는 연성 재료들로 형성될 수 있다.

[0035] 인터포저는 금속 인터커넥트들(408) 및 TSV(through-silicon via)들(412)을 포함하지만 이에 한정되지 않는비아들(410)을 포함할 수 있다. 인터포저(400)는 수동 및 능동 디바이스들 둘 다를 포함하는, 임베딩된 디바이스들(414)을 더 포함할 수 있다. 그러한 디바이스들은 커패시터들, 디커플링 커패시터들, 저항기들, 인덕터들, 퓨즈들, 다이오드들, 변압기들, 센서들, 및 ESD(electrostatic discharge) 디바이스들을 포함하지만, 이들에 한정되지 않는다. RF(radio-frequency) 디바이스들, 전력 증폭기들, 전력 관리 디바이스들, 안테나들, 어레이들, 센서들, 및 MEMS 디바이스들과 같은 더 복잡한 디바이스들이 인터포저(400) 상에 형성될 수도 있다.

[0036] 본 발명의 실시예들에 따라, 본 명세서에 개시된 장치들 또는 공정들이 인터포저(400)의 제조에 이용될 수 있다.

[0037] 도 14는 본 발명의 일 실시예에 따른 컴퓨팅 디바이스(500)를 예시한다. 컴퓨팅 디바이스(500)는 다수의 구성요소들을 포함할 수 있다. 일 실시예에서, 이 구성요소들은 하나 이상의 마더보드에 부착된다. 대안의 실시예에서, 이 구성요소들은 마더보드보다는 단일의 SoC(system-on-a-chip) 다이 상에 제조된다. 컴퓨팅 디바이스(500) 내의 구성요소들은 집적 회로 다이(502) 및 적어도 하나의 통신 칩(508)을 포함하지만, 이들에 한정되지

않는다. 일부 구현예들에서 통신 칩(508)은 집적 회로 다이(502)의 일부로서 제조된다. 집적 회로 다이(502)는 CPU(504)뿐만 아니라, 임베딩된 DRAM(eDRAM) 또는 스핀-전달 토크 메모리(STTM 또는 STTM-RAM)와 같은 기술들에 의해 제공될 수 있는, 캐시 메모리로서 종종 이용되는, 온-다이 메모리(506)를 포함할 수 있다.

[0038] 컴퓨팅 디바이스(500)는 마더보드에 물리적으로 전기적으로 연결되거나 또는 SoC 다이 내에 제조될 수 있는 또는 그렇지 않을 수 있는 다른 구성요소들을 포함할 수 있다. 이 다른 구성요소들은 휘발성 메모리(510)(예를 들어, DRAM), 비휘발성 메모리(512)(예를 들어, ROM 또는 플래시 메모리), GPU(graphics processing unit)(514), 디지털 신호 프로세서(516), 암호 프로세서(542)(하드웨어 내의 암호화 알고리즘들을 실행하는 전문화된 프로세서), 칩셋(520), 안테나(522), 디스플레이 또는 터치스크린 디스플레이(524), 터치스크린 컨트롤러(526), 배터리(528) 또는 다른 전원, 전력 증폭기(도시되지 않음), GPS(global positioning system) 디바이스(544), 컴퍼스(530), 모션 코프로세서 또는 센서들(532)(가속도계, 자이로스코프, 및 컴퍼스를 포함할 수 있음), 스피커(534), 카메라(536), 사용자 입력 디바이스들(538)(예를 들어 키보드, 마우스, 스타일러스, 및 터치패드), 및 대용량 저장 디바이스(540)(예를 들어 하드 디스크 드라이브, CD(compact disk), DVD(digital versatile disk), 및 기타 등등)를 포함하지만, 이들에 한정되지 않는다.

[0039] 통신 칩(508)은 컴퓨팅 디바이스(500)로의/로부터의 데이터의 전송을 위한 무선 통신을 가능하게 한다. 용어 "무선(wireless)" 및 그 파생어들은, 비-고체 매체를 통한 변조된 전자기 복사(electromagnetic radiation)를 이용하여 데이터를 전달할 수 있는, 회로들, 디바이스들, 시스템들, 방법들, 기법들, 통신 채널들 등을 기술하는 데 이용될 수 있다. 그 용어는 관련 디바이스들이 어떤 배선도 포함하지 않음을 암시하지 않지만, 일부 실시예들에서는 어떤 배선도 포함하지 않을 수 있다. 통신 칩(508)은, Wi-Fi(IEEE 802.11 계열), WiMAX(IEEE 802.16 계열), IEEE 802.20, LTE(long term evolution), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPRS, CDMA, TDMA, DECT, 블루투스, 그 파생물들뿐만 아니라 3G, 4G, 5G, 및 그 이상으로 지명되는 임의의 다른 무선 프로토콜들을 포함하지만 이들로 한정되지 않는, 다수의 무선 표준들이나 프로토콜들 중 임의의 것을 구현할 수 있다. 컴퓨팅 디바이스(500)는 복수의 통신 칩(508)을 포함할 수 있다. 예를 들어, 제1 통신 칩(508)은 Wi-Fi 및 블루투스와 같은 단거리 무선 통신에 전용될 수 있고 제2 통신 칩(508)은 GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO, 및 다른 것들과 같은 장거리 무선 통신에 전용될 수 있다.

[0040] 컴퓨팅 디바이스(500)의 프로세서(504)는 위에 설명된 실시예에 따라 형성되는, 인터커넥트 영역에 임베딩된 메모리 디바이스들을 포함하는 모놀리식 3D IC를 포함한다. "프로세서"라는 용어는, 레지스터들 및/또는 메모리로부터의 전자적 데이터를 처리하여 그 전자적 데이터를 레지스터들 및/또는 메모리에 저장될 수 있는 다른 전자적 데이터로 변환하는 임의의 디바이스 또는 디바이스의 일부를 지칭할 수 있다.

[0041] 통신 칩(508)도 위에 설명된 실시예에 따라 형성되는, 인터커넥트 영역에 임베딩된 메모리 디바이스들을 포함하는 모놀리식 3D IC를 포함할 수 있다.

[0042] 추가 실시예들에서, 컴퓨팅 디바이스(500) 내에 하우징된 또 다른 구성요소가, 위에 설명된 구현예들에 따라 형성되는, 인터커넥트 영역에 임베딩된 메모리 디바이스들을 포함하는 모놀리식 3D IC를 포함할 수 있다.

[0043] 예들

[0044] 예 1은 복수의 회로 디바이스들을 포함하는 집적 회로 디바이스 층의 대향 측들 상에 복수의 제1 인터커넥트들 및 복수의 제2 인터커넥트들을 형성하는 단계 - 상기 복수의 제1 인터커넥트들 및 복수의 제2 인터커넥트들 중의 인터커넥트들을 형성하는 것은 내부에 메모리 디바이스들을 임베딩하는 것을 포함함 -; 및 상기 메모리 디바이스들 중의 메모리 디바이스들을 상기 복수의 제1 인터커넥트들 및 상기 복수의 제2 인터커넥트들 중의 각자의 인터커넥트들 각각에 연결하고 상기 복수의 회로 디바이스들 중의 회로 디바이스들에 연결하는 단계를 포함하는 방법이다.

[0045] 예 2에서, 예 1의 복수의 제1 인터커넥트들을 형성하는 단계는 제1 기판의 집적 회로 디바이스 층 상에 상기 복수의 제1 인터커넥트들을 형성하는 단계를 포함하고, 상기 방법은 상기 제1 기판을 제2 기판에 연결하는 단계 - 상기 복수의 제1 인터커넥트들은 상기 제2 기판에 병치됨 -; 상기 제1 기판의 일부를 제거하여 상기 회로 디바이스 층을 노출시키는 단계; 상기 노출된 회로 디바이스 층 상에 메모리 디바이스들을 형성하는 단계; 및 상기 노출된 회로 디바이스 층 상에 상기 복수의 제2 인터커넥트들을 형성하는 단계를 추가로 포함한다.

[0046] 예 3에서, 예 2의 상기 복수의 제2 인터커넥트들 중의 인터커넥트들의 치수들은 상기 복수의 제1 인터커넥트들 중의 인터커넥트들의 치수들보다 더 크다.

[0047] 예 4에서, 예 3의 상기 방법은 상기 복수의 제2 인터커넥트들 중의 인터커넥트들에의 콘택트 포인트들을 형성하

는 단계를 포함하고, 상기 콘택트 포인트들은 외부 소스에의 접속을 위해 동작 가능하다.

- [0048] 예 5에서, 예 1의 복수의 제1 인터커넥트들을 형성하는 단계는 제1 기관의 집적 회로 디바이스 층 상에 상기 복수의 제1 인터커넥트들을 형성하는 단계를 포함하고, 상기 복수의 제1 인터커넥트들 중의 적어도 일부를 형성하기 전에, 상기 방법은 상기 복수의 회로 디바이스들을 형성하고 메모리 디바이스들을 형성하는 단계를 추가로 포함하고, 상기 메모리 디바이스들 중의 메모리 디바이스들은 상기 복수의 회로 디바이스들 중의 각자의 회로 디바이스들에 연결된다.
- [0049] 예 6에서, 상기 복수의 제1 인터커넥트들을 형성하는 단계 후에, 예 5의 상기 방법은 상기 제1 기관을 제2 기관에 연결하는 단계 - 상기 복수의 제1 인터커넥트들은 상기 제2 기관에 병치됨 -; 상기 제1 기관의 일부를 제거하여 상기 회로 디바이스 층을 노출시키는 단계; 및 상기 노출된 회로 디바이스 층 상에 상기 복수의 제2 인터커넥트들을 형성하는 단계를 포함한다.
- [0050] 예 7에서, 예 1의 상기 복수의 제2 인터커넥트들 중의 인터커넥트들의 치수들은 상기 복수의 제1 인터커넥트들 중의 인터커넥트들의 치수들보다 더 크다.
- [0051] 예 8에서, 예 6의 상기 방법은 상기 복수의 제2 인터커넥트들 중의 인터커넥트들에의 콘택트들을 형성하는 단계를 포함하고, 상기 콘택트 포인트들은 외부 소스에의 접속을 위해 동작 가능하다.
- [0052] 예 9에서, 예 1의 상기 메모리 디바이스들은 자기저항 랜덤 액세스 메모리 디바이스들을 포함한다.
- [0053] 예 10은 예 1 내지 9 중 어느 하나의 방법에 의해 제조된 3차원 집적 회로이다.
- [0054] 예 11은 복수의 회로 디바이스들을 포함하는 집적 회로 디바이스 층의 대향 측들 상에 복수의 제1 인터커넥트들 및 복수의 제2 인터커넥트들을 포함하는 기관을 포함하고, 상기 복수의 제1 인터커넥트들 및 복수의 제2 인터커넥트들 중의 인터커넥트들은 내부에 임베딩된 메모리 디바이스들을 포함하고, 상기 메모리 디바이스들 중의 메모리 디바이스들은 상기 복수의 제1 인터커넥트들 및 상기 복수의 제2 인터커넥트들 중의 각자의 인터커넥트들 각각에 연결되고 상기 복수의 회로 디바이스들 중의 회로 디바이스들에 연결되는, 장치이다.
- [0055] 예 12에서, 예 11의 상기 복수의 제2 인터커넥트들 중의 인터커넥트들의 치수들은 상기 복수의 제1 인터커넥트들 중의 인터커넥트들의 치수들보다 더 크다.
- [0056] 예 13에서, 예 12의 상기 장치는 상기 복수의 제2 인터커넥트들 중의 인터커넥트들에의 콘택트 포인트들을 포함하고, 상기 콘택트 포인트들은 외부 소스에의 접속을 위해 동작 가능하다.
- [0057] 예 14에서, 예 11의 상기 메모리 디바이스들은 자기저항 랜덤 액세스 메모리 디바이스들이다.
- [0058] 예 15에서, 예 12의 상기 메모리 디바이스들은 상기 복수의 제2 인터커넥트들 중의 인터커넥트들에 임베딩된다.
- [0059] 예 16에서, 예 12의 상기 메모리 디바이스들은 상기 복수의 제1 인터커넥트들 중의 인터커넥트들에 임베딩된다.
- [0060] 예 17은 제1 기관 상의 집적 회로 디바이스 층 상에 복수의 제1 인터커넥트들을 형성하는 단계; 상기 제1 기관을 제2 기관에 연결하는 단계 - 상기 복수의 제1 인터커넥트들은 상기 제2 기관에 병치됨 -; 상기 제1 기관의 일부를 제거하여 상기 회로 디바이스 층을 노출시키는 단계; 상기 노출된 회로 디바이스 층 상에 복수의 제2 인터커넥트들을 형성하는 단계; 상기 복수의 제1 인터커넥트들 및 상기 복수의 제2 인터커넥트들 중의 하나에 메모리 디바이스들을 임베딩하는 단계; 및 상기 메모리 디바이스들 중의 메모리 디바이스들을 상기 복수의 제1 인터커넥트들 및 상기 복수의 제2 인터커넥트들 중의 각자의 인터커넥트들 각각에 연결하고 상기 복수의 회로 디바이스들 중의 회로 디바이스들에 연결하는 단계를 포함하는 방법이다.
- [0061] 예 18에서, 예 17의 상기 메모리 디바이스들은 상기 복수의 제1 인터커넥트들에 임베딩된다.
- [0062] 예 19에서, 예 17의 상기 메모리 디바이스들은 상기 복수의 제2 인터커넥트들에 임베딩된다.
- [0063] 예 20에서, 예 18의 상기 복수의 제2 인터커넥트들 중의 인터커넥트들의 치수들은 상기 복수의 제1 인터커넥트들 중의 인터커넥트들의 치수들보다 더 크다.
- [0064] 예 21에서, 예 11의 상기 방법은 상기 복수의 제2 인터커넥트들 중의 인터커넥트들에의 콘택트 포인트들을 형성하는 단계를 포함하고, 상기 콘택트 포인트들은 외부 소스에의 접속을 위해 동작 가능하다.
- [0065] 예 22는 예 17 내지 21 중 어느 하나의 방법에 의해 제조된 3차원 집적 회로이다.
- [0066] 다양한 실시예들에서, 컴퓨팅 디바이스(1200)는 랩톱 컴퓨터, 넷북 컴퓨터, 노트북 컴퓨터, 울트라북 컴퓨터,

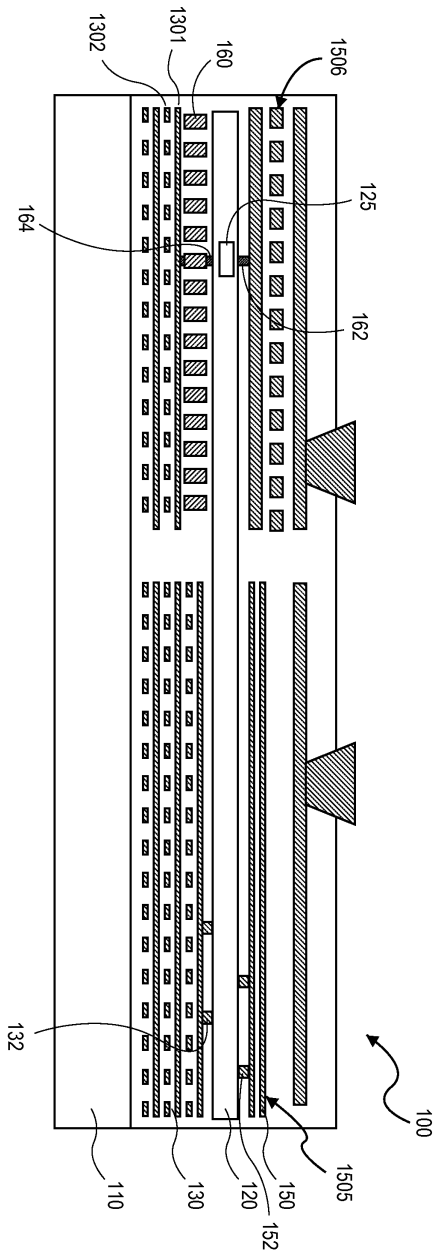
스마트폰, 태블릿, PDA(personal digital assistant), 울트라 모바일 PC, 모바일폰, 데스크톱 컴퓨터, 서버, 프린터, 스캐너, 모니터, 셋톱 박스, 엔터테인먼트 제어 유닛, 디지털 카메라, 휴대용 뮤직 플레이어 또는 디지털 비디오 레코더일 수 있다. 추가 구현예들에서, 컴퓨팅 디바이스(1200)는 데이터를 처리하는 임의의 다른 전자 디바이스일 수 있다.

[0067] 요약서에서 설명된 것을 포함하여, 본 발명의 예시된 구현예들의 상기 설명은 철저하거나, 또는 본 발명을 개시된 정확한 형태들로 한정하려는 의도가 아니다. 본 발명의 특정 구현예들 및 예들이 본 명세서에서 예시의 목적으로 설명되었으나, 관련 기술분야의 기술자들이라면 인식하는 바와 같이, 다양한 동등한 수정들이 본 발명의 범주 내에서 가능하다.

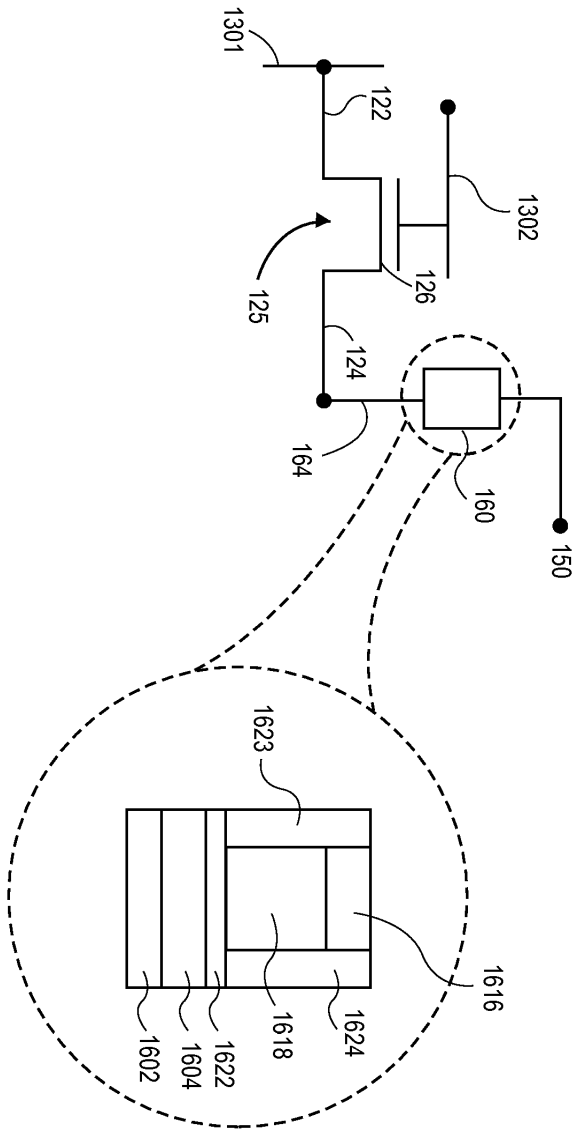
[0068] 상기 상세한 설명을 고려하여 이러한 수정들이 본 발명에 이루어질 수 있다. 이하의 특허청구범위에서 사용된 용어들은, 본 발명을 명세서 및 특허청구범위에 개시된 특정 구현예들로 한정하는 것으로 해석되지 않아야 한다. 오히려, 본 발명의 범주는 전적으로, 확립된 청구항 해석의 원칙에 따라 해석되어야 하는, 이하의 특허청구범위에 의해 결정되어야 한다.

도면

도면1

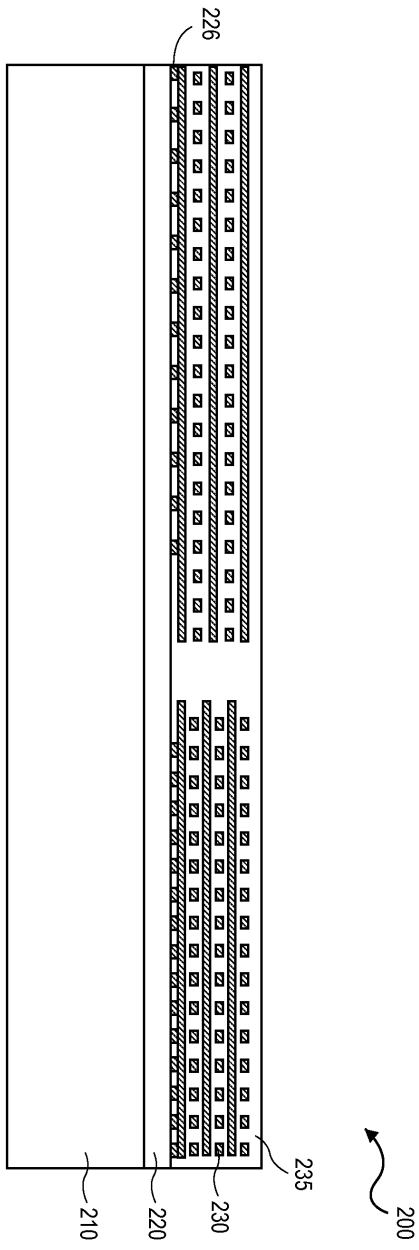


도면2

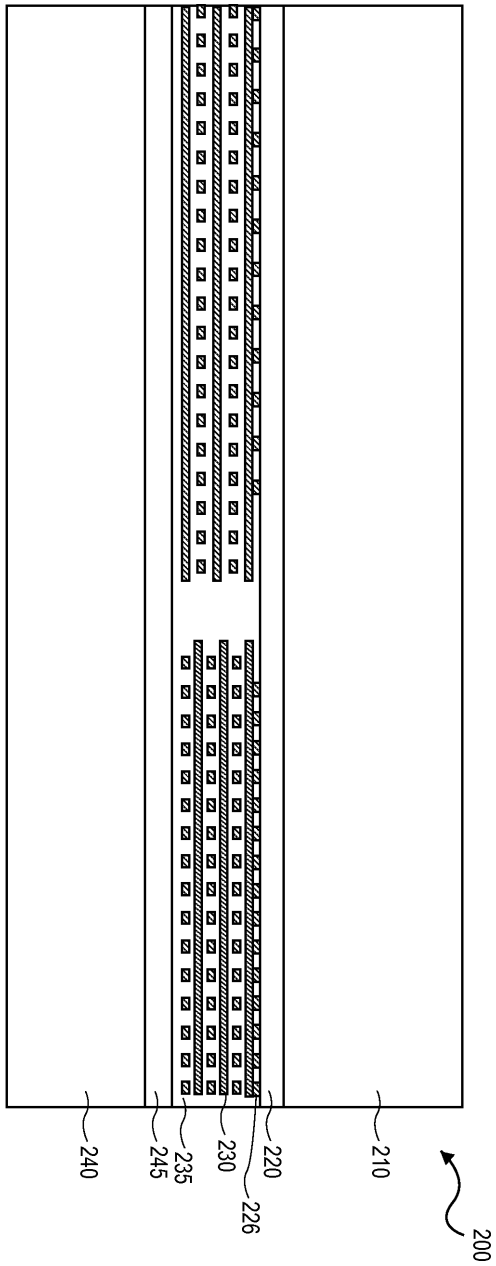




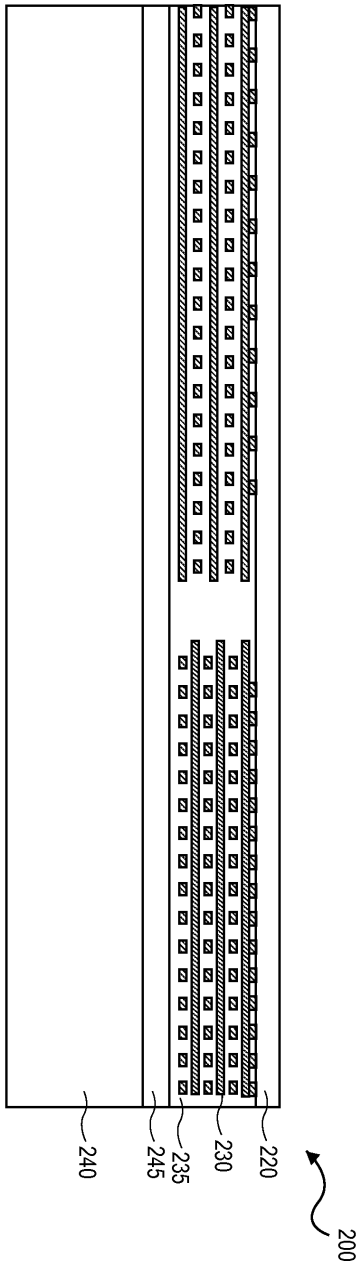
도면3



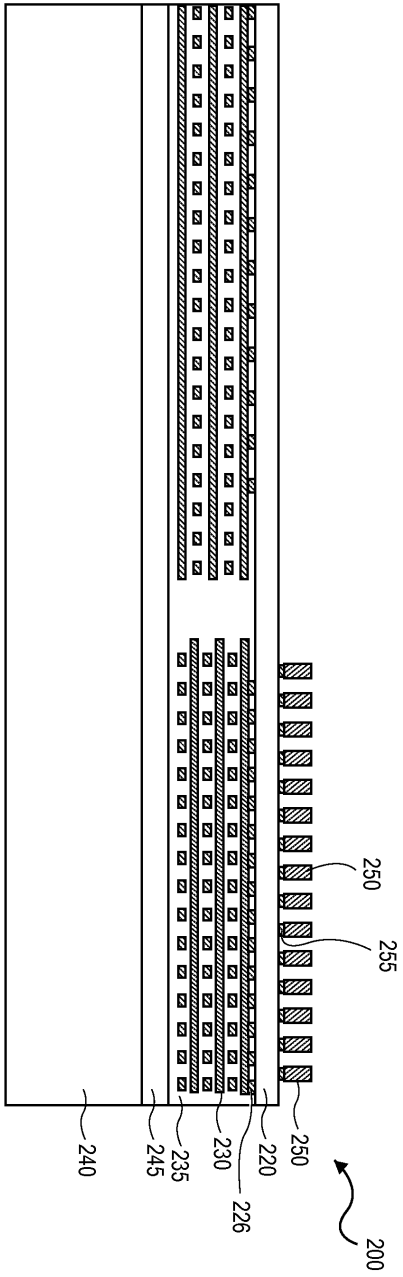
도면4



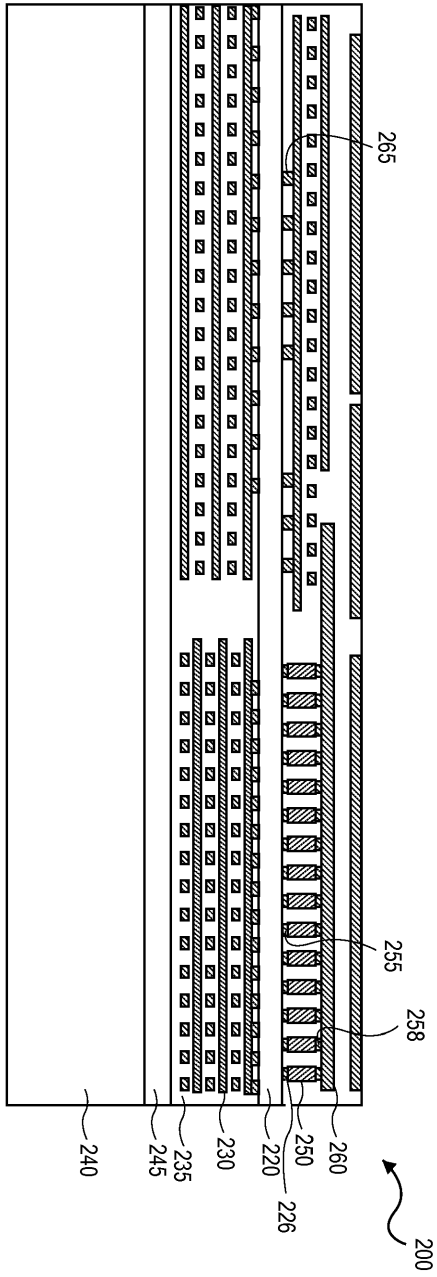
도면5



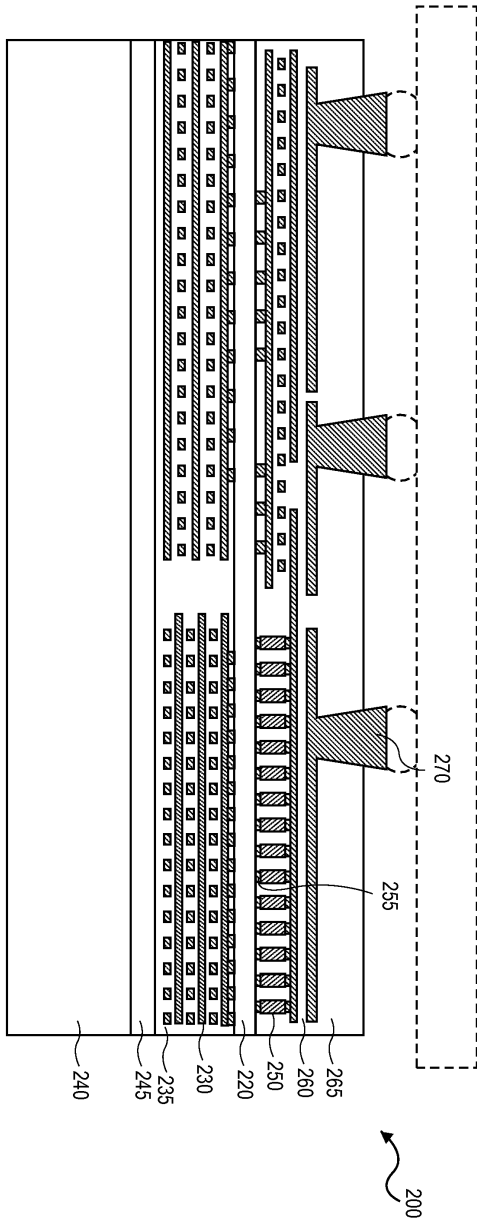
도면6



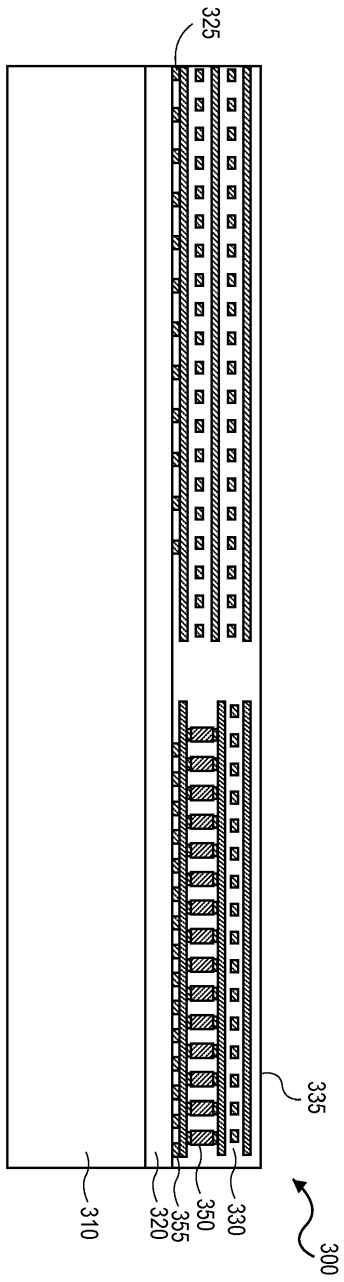
도면7



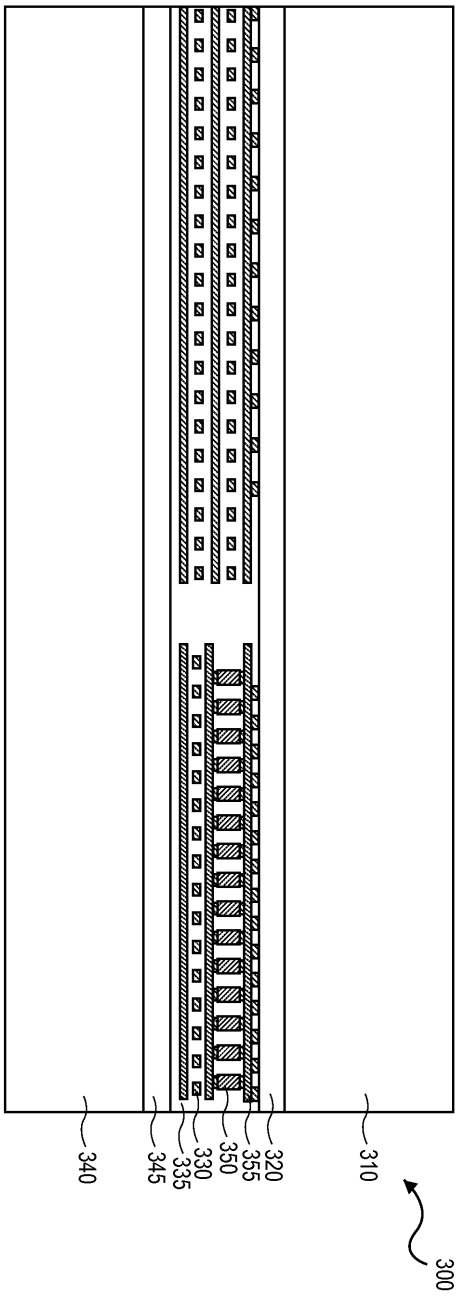
도면8



도면9

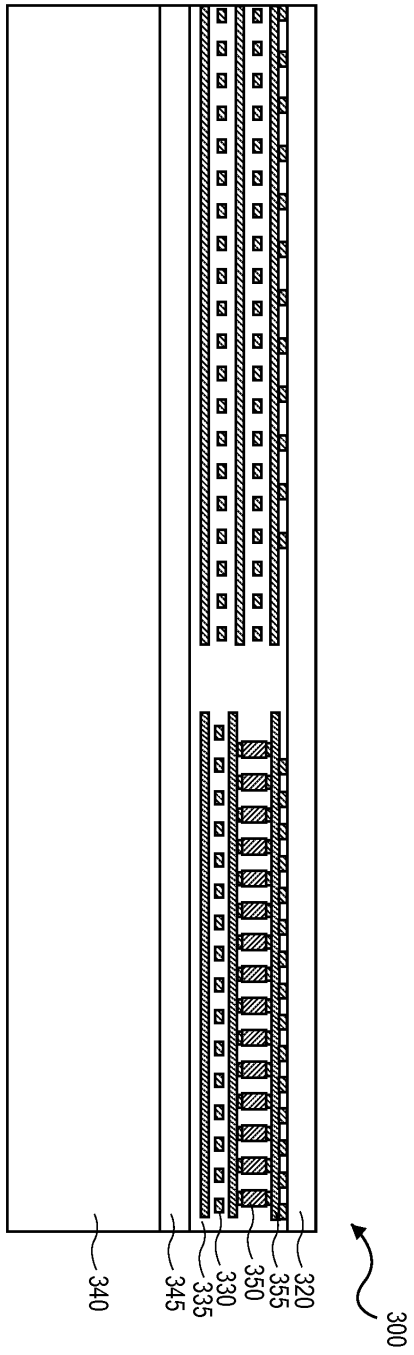


도면10

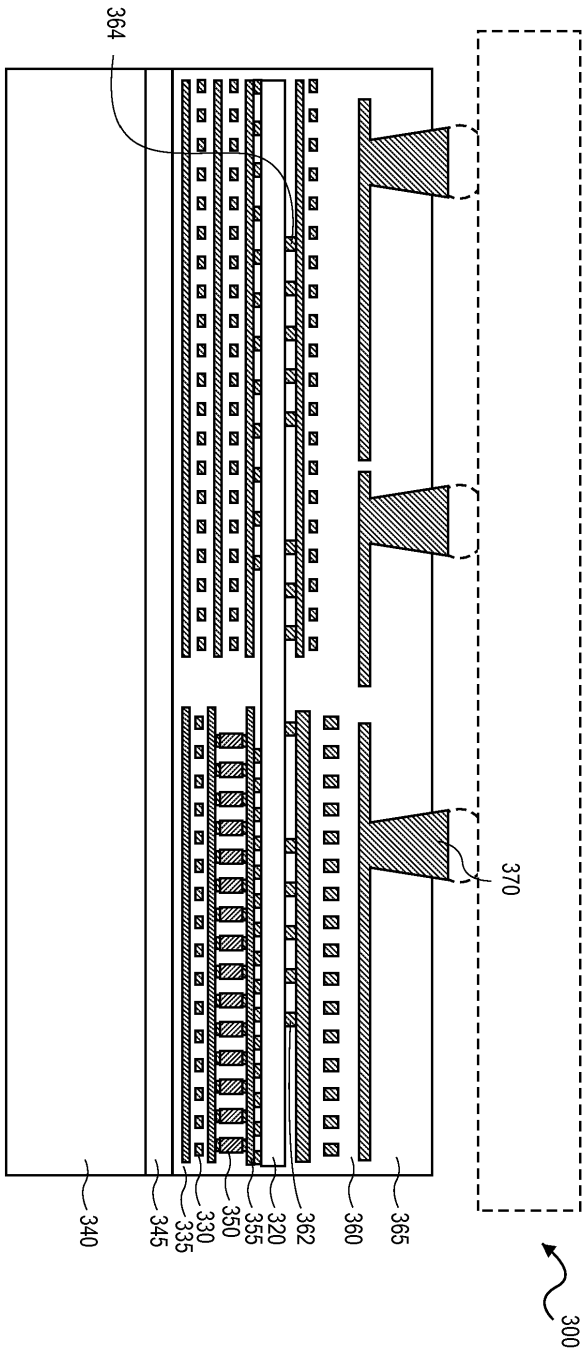




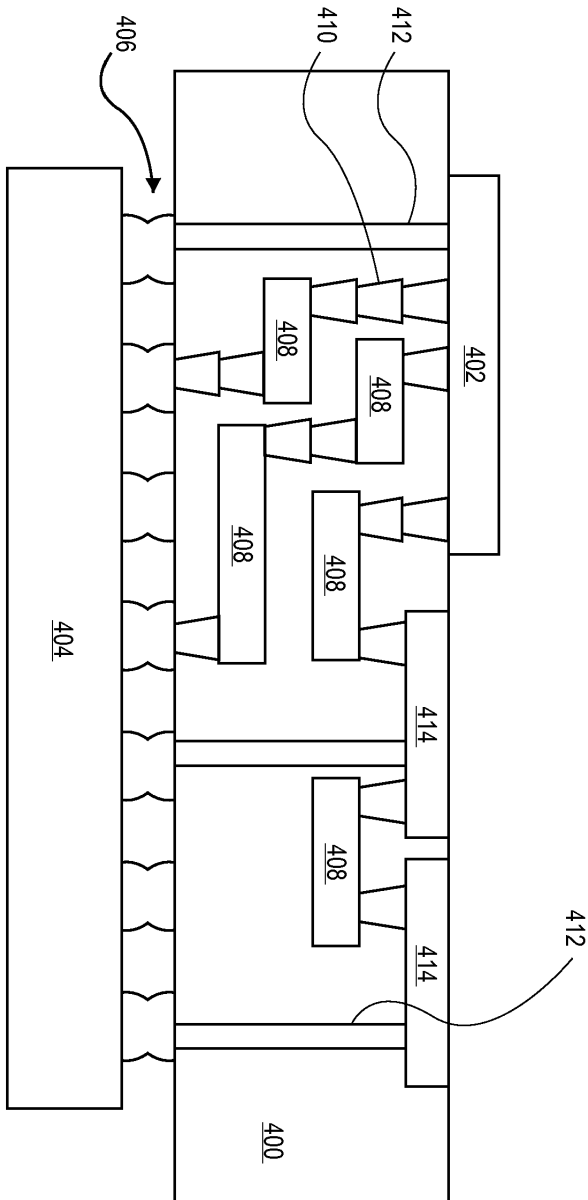
도면11



도면12



도면13



도면14

