

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4330146号
(P4330146)

(45) 発行日 平成21年9月16日(2009.9.16)

(24) 登録日 平成21年6月26日(2009.6.26)

(51) Int.Cl. F I
H04L 7/00 (2006.01) H04L 7/00 Z

請求項の数 3 (全 10 頁)

(21) 出願番号 特願2004-239928 (P2004-239928)
(22) 出願日 平成16年8月19日(2004.8.19)
(65) 公開番号 特開2006-60507 (P2006-60507A)
(43) 公開日 平成18年3月2日(2006.3.2)
審査請求日 平成18年11月9日(2006.11.9)

(73) 特許権者 303013763
NECエンジニアリング株式会社
東京都品川区東品川四丁目10番27号
(74) 代理人 100111729
弁理士 佐藤 勝春
(72) 発明者 前田 史朗
東京都港区芝浦三丁目18番21号
日本電気エンジニア
リング株式会社内
審査官 白井 亮

最終頁に続く

(54) 【発明の名称】 スキュー調整回路

(57) 【特許請求の範囲】

【請求項1】

複数のレーンを持つシリアルデータインターフェイス回路におけるレーン上のレーンデータ間のスキュー差を調整するスキュー調整回路において、

レーン数Mから1減じた値にレーン当りのバッファ段数Nを乗じ、その値に1を加えた個数だけのバッファから成り、レーンデータを一時的に格納するバッファ群と、

レーン上の特定のシンボルを検出してシンボル検出情報を生成するシンボル検出回路と、

前記シンボル検出情報を元にレーン間の位相差を算出して位相差情報を生成する位相差検出回路と、

前記位相差情報を元に各レーンのバッファ段数を算出してシフト情報を生成するシフト量算出回路と、

前記シフト情報に基づいて前後2つのバッファを縦続接続または当該レーンデータを選択してレーン対応にシフトレジスタを構成する(M×N)個の入力データ選択回路と、

前記シフト情報に基づいて前記シフトレジスタの最終段のバッファ出力を選択する前記レーン対応の出力データ選択回路とを備え、

各レーンについて最も遅いレーンとの位相差により前記シフトレジスタの構成を変更可能としたことを特徴とするスキュー調整回路。

【請求項2】

第1レーンと第1バッファと第1出力選択回路とは縦続接続され、

第 2 レーン～第 M レーンは N 個の連続する入力データ選択回路に順次に並列接続され、
第 1 レーン対応の出力データ選択回路には第 1 バッファ～第 N バッファの出力が並列接
続され、

第 2 レーン～第 (M - 1) レーンの出力選択回路には (2 N - 1) 個の連続するバッ
ファの出力が並列接続され、

第 M レーン対応の出力データ選択回路には最後尾に到る連続する N 個のバッファの出力
が並列接続されたことを特徴とする請求項 1 に記載のスキュー調整回路。

【請求項 3】

M = 4、N = 4 であって、

第 2 レーンデータは第 1 入力データ選択回路～第 4 入力データ選択回路に

第 3 レーンデータは第 5 入力データ選択回路～第 8 入力データ選択回路に

第 4 レーンデータは第 9 入力データ選択回路～第 12 入力データ選択回路に

第 1 レーン対応の出力データ選択回路には第 1 バッファ～第 4 バッファの出力が並列接
続され、

第 2 レーン対応の出力データ選択回路には第 2 バッファ～第 8 バッファの出力が並列接
続され、

第 3 レーン対応の出力データ選択回路には第 6 バッファ～第 12 バッファの出力が並列
接続され、

第 4 レーン対応の出力データ選択回路には第 10 バッファ～第 13 バッファの出力が並
列接続されることを特徴とする請求項 2 に記載のスキュー調整回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スキュー調整回路、特に複数のレーンを持つ高速シリアルデータインターフ
ェイス回路におけるレーン上のレーンデータ間のスキュー差を調整するスキュー調整回路
に関する。

【背景技術】

【0002】

InfiniBand、PCI-Expressに代表される高速シリアルインターフェイスは、データ転送
速度を上げるために、シリアルレーン数を増やすことによって要求性能の向上要請に応え
る。このとき、各々のシリアルレーン上では伝送路の電気的特性が異なるためレーン間
にスキュー差を生じる。

【0003】

このように複数のレーンを束ねて使用するとき、データ受信の際にシリアル・データ
を SerDes (シリアライザ・デシリアライザ) によってパラレルデータに復元すると同
時にチップのコアクロックに載せ換える。そして、他のレーンとのスキュー調整のため
に、各レーンとのスキュー差を解消するスキュー調整回路を通すことで各レーンを同
期させ、高速シリアルインターフェイスを複数本束ねて使用することを実現している。

【0004】

従来のスキュー調整回路は各レーン上に流れる特定のシンボルを検出し、各レーン
のシンボル間の位相を合わせることで、各レーンのスキュー差を解消している。具体的
には、パラレルデータの位相調整のために各レーン毎にシフトレジスタを直列に接続し
、各レーン上のサンプル信号を使用して位相調整用タイミング信号を生成し、タイ
ミング信号の生成タイミングと各レーンに配置されたシフトレジスタをサンプル信号
が通過するタイミングを同期させることにより複数レーンのパラレルデータのスキ
ュー調整を行う技術 (例えば、特許文献 1 参照) が知られている。

【0005】

【特許文献 1】特開平 11 - 74945 (第 1 頁～第 5 頁、図 3)

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、上述した従来技術では、各レーンには最悪条件下においても対応できるだけの段数のシフトレジスタが固定的に配備されるので、最悪条件下であっても各レーンに挿入されたシフトレジスタの全ては使用されないという問題点がある。つまり、未使用のシフトレジスタが存在することになる。ここで、最悪条件下とは、他のレーンは全て同位相にあり、ある1つのレーンのみのデータが仕様で定められた最大スキュー差をもって遅れて到達した場合をいう。このときに使用されるシフトレジスタ総数は、他のレーンのスキューを1つのレーンのスキューに合わせるために、 $(1 \text{レーン当りのシフトレジスタ段数}) \times (\text{レーン数} - 1) + 1$ となる。

【 0 0 0 7 】

このように使用されないシフトレジスタが存在するにも拘わらず、定常的に電力を消費する回路が存在するという事は電力消費の面からみて好ましくない。また、レジスタ数が必要以上に多いということは、回路面積の削減が困難であるということでもある。組合せ回路であれば、多様な形態(論理)に変換することが可能であり、また、一部の論理ゲートはクロック遅延のばらつきの補償のためにデータパスに挿入される遅延にもなりうるが、レジスタは一般に他の論理への変換ができないため、基本的にはアーキテクチャが変更されなければ削減されることはない。

【 0 0 0 8 】

そこで、本発明の目的は、回路数を削減し、もって省電力化と回路の小型化を実現したスキュー調整回路を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 9 】

本発明のスキュー調整回路は、シリアルデータインターフェイス回路におけるレーン間の位相差に応じてシフトレジスタ構成を可変とする機能を組み込むことにより、必要最小限のバッファのみを使用してスキュー調整を行う。

【 0 0 1 0 】

すなわち、本発明のスキュー調整回路は、複数のレーンを持つシリアルデータインターフェイス回路におけるレーン上のレーンデータ間のスキュー差を調整するスキュー調整回路において、レーン数Mから1減じた値にレーン当りのバッファ段数Nを乗じ、その値に1を加えた個数だけのバッファ(図2のFF0~FF12)から成りレーンデータを一時的に格納するバッファ群(図2の2)と、レーン上の特定のシンボルを検出してシンボル検出情報を生成するシンボル検出回路(図2の4)と、シンボル検出情報を元にレーン間の位相差を算出して位相差情報を生成する位相差検出回路(図2の5)と、位相差情報を元に各レーンのバッファ段数を算出してシフト情報を生成するシフト量算出回路(図2の6)と、シフト情報に基づいて前後2つのバッファを縦続接続または当該レーンデータを選択してレーン対応にシフトレジスタを構成する(M×N)個の入力データ選択回路(図2のMPX1~MPX12)と、シフト情報に基づいてシフトレジスタの最終段のバッファ出力を選択するレーン対応の出力データ選択回路(図2のMPX00~MPX03)とを備え、各レーンについて最も遅いレーンとの位相差によりシフトレジスタの構成を変更可能としたことを特徴とする。

【 0 0 1 1 】

より詳しくは、本発明のスキュー調整回路は、第1レーンと第1バッファと第1出力選択回路とは縦続接続され、第2レーン~第MレーンはN個の連続する入力データ選択回路に順次に並列接続され、第1レーン対応の出力データ選択回路には第1バッファ~第Nバッファの出力が並列接続され、第2レーン~第(M-1)レーンの出力選択回路には(2N-1)個の連続するバッファの出力が並列接続され、第Mレーン対応の出力データ選択回路には最後尾からの連続するN個のバッファの出力が並列接続されたことを特徴とする。

【 0 0 1 2 】

本発明のスキュー調整回路では、特定のシンボルをシンボル検出回路(DETECT)

10

20

30

40

50

が検出し、シンボルの検出情報を元に位相差検出回路 (P H A S E) によって位相差を算出し、算出した位相差を元にシフト量算出回路 (S H I F T) が入力データ選択回路群 (M P X I) と出力データ選択回路群 (M P X O) の選択信号を生成、これによりシフトレジスタの段数をスキュー差に合わせて柔軟に変更することで、バッファ群 (F F) を効率的に活用することが可能となる。すなわち、(レーン当りのバッファ段数) × (レーン数 - 1) + 1 のバッファ総数で構成可能となる。これによりレジスタ数が削減され、消費電力の削減および回路面積の削減が可能となる。

【発明の効果】

【 0 0 1 3 】

本発明によれば、バッファ段数をデータ入力のスキュー差に合わせて柔軟に変更可能な構成としたため、必要最小限のバッファのみでスキュー調整が可能となるので、バッファを効率的に使用することが可能になるという効果を得ることができる。

10

【 0 0 1 4 】

その結果、不必要なバッファを備えなくてもよくなるために、定常的に電力を消費する回路が必要最小限で済み、電力消費を低減できる。

【 0 0 1 5 】

また、バッファ段数を効率的に使用可能となるために、レジスタおよびレジスタ用のホールドタイム用遅延回路を削減でき、回路規模を小さくすることが可能である。

【発明を実施するための最良の形態】

【 0 0 1 6 】

20

次に、本発明の実施の形態について図面を参照して詳細に説明する。図 1 は、本発明によるスキュー調整回路の実施の形態を示すブロック図である。

【 0 0 1 7 】

図 1 において、シリアライザ・デシリアライザ (S e r D e s) 0 ~ シリアライザ・デシリアライザ (S e r D e s) n は、シリアルインターフェイスにおけるレーン 0 ~ レーン n 上のシリアルデータ 0 ~ シリアルデータ n それぞれをパラレルデータに復元する。このスキュー調整回路は、S e r D e s 0 ~ S e r D e s n が出力するパラレルデータを受け、パラレルデータのスキュー差を調整して出力データ 0 ~ 出力データ n を出力する。

【 0 0 1 8 】

このスキュー調整回路は、各レーンの位相差によって構成を柔軟に変更してシフトレジスタを構成するバッファ群 (F F) 2 と、F F 2 の入力データを選択する入力データ選択回路群 (M P X I) 1 と、バッファ群 2 からデータ出力 0 ~ データ出力 n を選択する出力データ選択回路群 (M P X O) 3 と、各レーンの特定のシンボルを検出してシンボル検出情報を生成するシンボル検出回路 (D E T E C T) 4 と、シンボル検出情報を元に各レーン間の位相差を算出して位相差情報を生成する位相差検出回路 (P H A S E) 5 と、位相差情報を元に各レーンのシフトレジスタ段数を算出するシフト量算出回路 (S H I F T) 6 とから構成される。

30

【 0 0 1 9 】

いま、レーン数を n、レーン当りのバッファ段数すなわちスキュー調整可能範囲を X とする。F F 2 は総数 (N + 1) のバッファで構成され、前記算出式により、 $N = X \times (n - 1)$ である。M P X I 1 は、総バッファ数 (N + 1) より 1 つ少ない N 個の入力データ選択回路で構成される。M P X O 3 は、データ出力数と同じ n 個の出力データ選択回路で構成される。

40

【 0 0 2 0 】

シリアルデータ 0 ~ シリアルデータ n は S e r D e s 0 ~ S e r D e s n において、シリアルデータからコアクロック同期のパラレルデータに変換される。パラレルデータに変換されたデータは、位相調整のためにレーン上に挿入されている D E T E C T 4 に入力され、各レーンの特定シンボルが検出される。検出されたシンボル検出情報は P H A S E 5 に入力され、これにより各レーン間の位相差が算出される。

【 0 0 2 1 】

S H I F T 6 は、M P X I 1 を構成する入力データ選択回路の選択信号と、M P X O を

50

構成する出力データ選択回路の選択信号を生成する。これにより、SerDes0~SerDesn出力の平行データデータがMPX1, FF2およびMPX03を経由してデータ出力0~データ出力nに至るシフトレジスタ構成を柔軟に変更可能とすることで、結果、スキュー調整回路のバッファを効率的に活用することができるようになる。

【実施例1】

【0022】

図2は、本発明のスキュー調整回路の第1実施例を示すブロック図である。この例では、レーン数を4、スキュー調整可能範囲を4としている。

【0023】

このスキュー調整回路は、4つのデータ入力DI0~データ入力DI3のスキューを調整して4つのデータ出力DO0~データ出力DO3を得る。そのために、各レーンの位相差によって構成を柔軟に変更してシフトレジスタを構成するための13個のバッファ0(FF0)~バッファ12(FF12)、12個の入力データ選択回路1(MPX1)~入力データ選択回路12(MPX12)、4個の出力データ選択回路0(MPX00)~出力データ選択回路3(MPX03)、DETECT4、PHASE5およびSHIFT6から構成される。

【0024】

FF0~FF12の13個は、前記バッファ総数の算出式により、 $4 \times (4 - 1) + 1 = 13$ と算出された結果である。また、MPX1~MPX12の12個は、総バッファ数13より1つ少ない数である。更に、MPX00~MPX03の4個は、出力データ数と同数とされたものである。

【0025】

図2において、DI0~DI3, MPX1~MPX12, FF0~FF12, MPX00~MPX012間の接続は、あるデータ入力DIにつき1つのバッファのみを使用する場合(「最良」)と4つのバッファを使用する場合(「最悪」)が、DI0~DI3について如何様なパターンで発生しようとも対応できるように工夫されている。この「最良」と「最悪」の2つの場合をケアすれば他の場合への対応はOKだからである。

【0026】

図1におけるSerDes0を通して、シリアルデータ0をコアクロック同期の平行データに変換されたDI0は、FF0およびDETECT4に接続される。FF0の出力は、ストレートにMPX00に入力するとともに、MPX1, FF1を通り、またMPX1, FF1, MPX2, FF2を通り、またMPX1, FF1, MPX2, FF2, MPX3, FF3を通りMPX00に入力する。以上のような接続によって、DI0が「最良」と「最悪」の間のいずれの場合にも回路の無駄なくDI0を必要な段数だけバッファを経由してDO0に導くことができる。

【0027】

DI1は、MPX1~MPX4およびDETECT4に接続される。MPX1の出力はFF1を通してMPX01に入力する。FF1の出力は、MPX2, FF2を通り、またMPX2, FF2, MPX3, FF3を通り、またMPX2, FF2, MPX3, FF3, MPX4, FF4を通りMPX01に入力する。FF4の出力は、MPX5, FF5を通り、またMPX5, FF5, MPX6, FF6を通り、またMPX5, FF5, MPX6, FF6, MPX7, FF7を通りMPX01に入力する。以上のような接続によって、DI1が「最良」と「最悪」の間のいずれの場合にも回路の無駄なくDI1を必要な段数だけバッファを経由してDO1に導くことができる。

【0028】

DI2はMPX5~MPX8およびDETECT4に接続される。MPX5の出力はFF5を通してMPX02に入力する。FF5の出力は、MPX6, FF6を通り、またMPX6, FF6, MPX7, FF7を通り、またMPX6, FF6, MPX7, FF7, MPX8, FF8を通りMPX02に入力する。FF8の出力は、MPX9, FF9を通り、またMPX9, FF9, MPX10, FF10を通り、またMPX9, FF9, MPX10, FF10, MPX11, FF11を通りMPX02に入力する。以上のような接続によって、DI2が「最良」と「最悪

10

20

30

40

50

」の間のいずれの場合にも回路の無駄なくD I2を必要な段数だけバッファを経由してD O2に導くことができる。

【 0 0 2 9 】

D I3はM P X9～M P X12およびD E T E C T 4に接続される。M P X9の出力はF F9を
通ってM P X O3に入力する。F F9の出力は、M P X10、F F10を通り、またM P X10
、F F10、M P X11、F F11を通り、またM P X10、F F10、M P X11、F F11、M P X
12、F F12を通りM P X O3に入力する。以上のような接続によって、D I3が「最良」と
「最悪」の間のいずれの場合にも回路の無駄なくD I3を必要な段数だけバッファを経由
してD O3に導くことができる。

【 0 0 3 0 】

D I0～D I3からD O0～D O3へのパスは、S H I F T 6が生成する選択信号によって
、M P X1～M P X12とM P X O0～M P X O3の組み合わせで構成されるシフトレジスタ
により実現される。D E T E C T 4は、接続されている各レーンのD I0～D I3それぞれの
レーンにおける位相を確認できる特定のシンボルを検出する。検出した各レーンのシン
ボルを次段のD E T E C T 4に渡す。

【 0 0 3 1 】

P H A S E 5では、最も早くシンボルが検出されたレーンを基準として、各レーンの位
相差をパラレルデータのクロックで各レーンの位相差を検出する。検出された位相差の情
報はS H I F T 6へ渡され、M P X1～M P X12およびM P X O0～M P X O3の各々の選
択信号を生成する。最悪条件下では、F F0～F F12の内の3組では、バッファ段数と同
数の連続する4つが使用されることになる。

【 0 0 3 2 】

次に、図3のタイムチャートを参照して本実施例の動作について説明する。

【 0 0 3 3 】

図3において、1回目のスキュー調整では、最も早くシンボルCOMが到達するD I1を基
準とすると、D I0の位相差は3、D I1の位相差は0、D I2の位相差は2、D I3の位相
差は1となる。

【 0 0 3 4 】

最も遅く到達したD I0のシンボルCOMの到達タイミングで最終的に全ての位相差が判明
する。位相差が判明した次のクロックで各位相差から、シフト量を次のように生成する。
まず、レーン0はD I0が位相差は3であるので、シフトレジスタ段数は最小の1となり
、D I0はバッファF F0を通り、M P X O0はバッファF F0を選択することで1段のバッ
ファを経由してD O0へ出力する。

【 0 0 3 5 】

次に、レーン1ではD I1は位相差が0であるので、シフトレジスタ段数は最大の4と
なり、D I1はM P X1およびF F1を通り、M P X2およびバッファF F2を通り、M P X3
およびF F3を通り、M P X4およびF F4を通り、M P X O1を経てD O1へ出力する。

【 0 0 3 6 】

次に、レーン3ではD I3は位相差が1であるので、シフトレジスタ段数は3となり、
D I3はM P X10およびF F10を通り、M P X11およびバッファF F11を通り、M P X12
およびF F12を通り、P X O3を経てD O3へ出力する。

【 0 0 3 7 】

最後に、レーン2ではD I2は位相差が2であるので、シフトレジスタ段数は2となり
、D I2はM P X8およびF F8を通り、M P X9およびバッファF F9を通り、M P X22を
経てD O2へ出力する。

【 0 0 3 8 】

2回目のスキュー調整では、最も早くシンボルCOMが到達するD I3を基準とすると、D
I0の位相差の位相差は2、D I1の位相差は1、D I2の位相差は3、D I3の位相差は
0となる。最も遅く到達したD I2のシンボルCOMの到達タイミングで最終的にすべての位
相差が判明する。位相差が判明した次のクロックで各位相差から、シフト量を次のように

10

20

30

40

50

生成する。

【0039】

まず、レーン0ではD I0が位相差は2であるので、シフトレジスタ段数は2となり、D I0はバッファFF0を通り、M P X1およびバッファFF1を通り、M P X0はバッファFF1を選択することで2段のバッファを経由してD O0へ出力する。

【0040】

次に、レーン1ではD I1は位相差が1であるので、シフトレジスタ段数は3となり、D I1はM P X2およびFF2を通り、M P X3およびバッファFF3を通り、M P X4およびFF4を通り、M P X01を経てD O1へ出力する。

【0041】

次に、レーン3ではD I13は位相差が0であるので、シフトレジスタ段数は4となり、D I3はM P X9およびFF9を通り、M P X10およびバッファFF10を通り、M P X11およびFF11を通り、M P X12およびFF12を通り、M P X03を経てD O3へ出力する。

【0042】

最後に、レーン2ではD I2は位相差が最大の3であるので、シフトレジスタ段数は1となり、D I2はM P X8およびFF8を通り、M P X02を経てD O2へ出力する。以降、特定シンボルCOMを検出し、同様の処理を繰り返す。

【実施例2】

【0043】

図4は、本発明のスキュー調整回路の第2実施例を示す。この実施例は、レーン数が4、バッファ段数が3の場合に対応したものである。この場合、バッファ数は、前述の計算式により10個となる。データは「最悪条件下」では3個のFFを通ることになる。

【0044】

そのため、D I0はFF0およびDETECT4に接続されるが、D I1は3つのM P X1~M P X3、D I2は3つのM P X4~M P X6、D I3は3つのM P X7~M P X9に接続すれば足りる。その他の、接続と動作については第1実施例と同様に考えてよい。

【実施例3】

【0045】

図5は、本発明のスキュー調整回路の第3実施例を示す。この実施例は、レーン数が3、バッファ段数が4の場合に対応したものである。この場合、バッファ数は、前述の計算式により9個となる。データは「最悪条件下」では4個のFFを通ることになる。

【0046】

そのため、D I0はFF0およびDETECT4、D I1は4つのM P X1~M P X4、D I2は4つのM P X5~M P X8に接続される。その他の、接続と動作については第1実施例と同様に考えてよい。

【図面の簡単な説明】

【0047】

【図1】本発明のスキュー調整回路を含むシリアルI/F回路のブロック図

【図2】本発明のスキュー調整回路の第1実施例を示すブロック図

【図3】図2に示したスキュー調整回路の動作を説明するためのタイミングチャート

【図4】本発明のスキュー調整回路の第2実施例を示すブロック図

【図5】本発明のスキュー調整回路の第3実施例を示すブロック図

【符号の説明】

【0048】

- 1 入力データ選択回路群 (M X P I)
- 2 出力データ選択回路群 (M P X O)
- 3 バッファ群 (F F)
- 4 シンボル検出回路 (D E T E C T)
- 5 位相差算出回路 (P H A S E)
- 6 シフト量算出回路 (S H I F T)

10

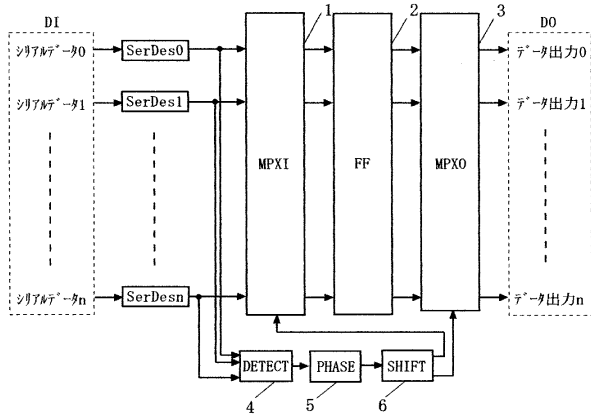
20

30

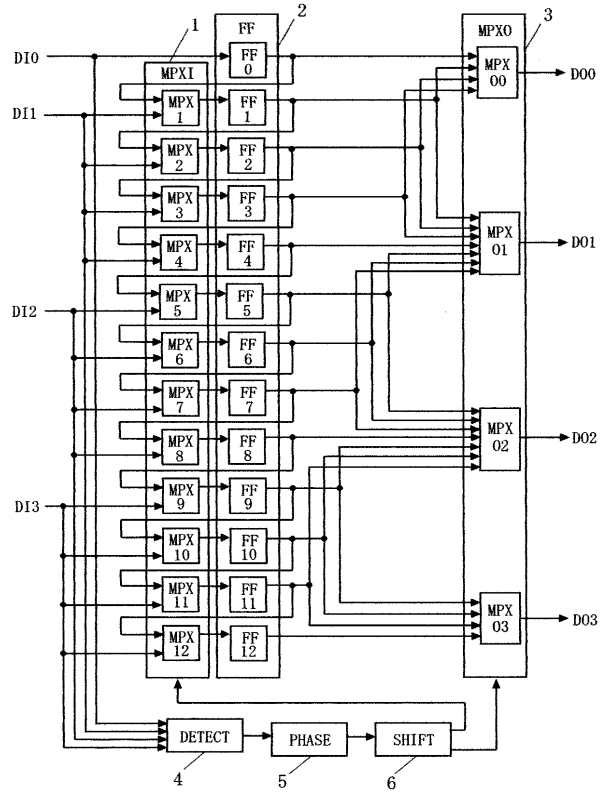
40

50

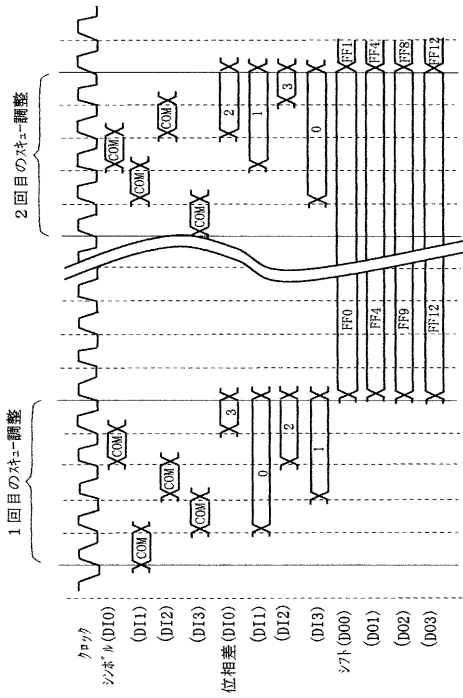
【図1】



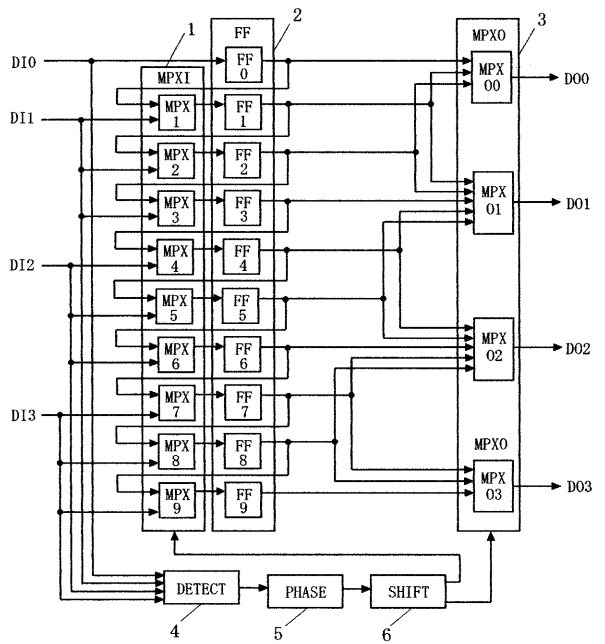
【図2】



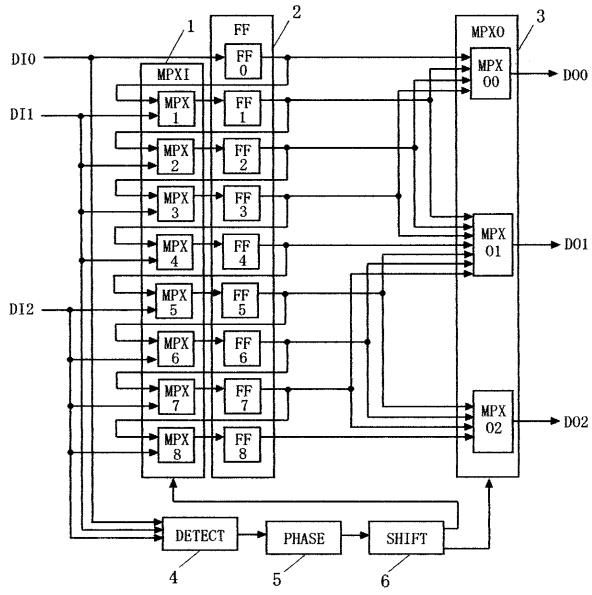
【図3】



【図4】



【 図 5 】



フロントページの続き

(56)参考文献 特開2002-135234(JP,A)
特開平06-164564(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04L 7/00 - 7/10