

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 7 月 28 日(28.07.2016)



(10) 国際公開番号

WO 2016/117367 A1

- (51) 国際特許分類:
G04F 10/04 (2006.01) G04F 10/06 (2006.01)
- (21) 国際出願番号: PCT/JP2016/050335
- (22) 国際出願日: 2016 年 1 月 7 日(07.01.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-008638 2015 年 1 月 20 日(20.01.2015) JP
- (71) 出願人: 国立研究開発法人理化学研究所(RIKEN) [JP/JP]; 〒3510198 埼玉県和光市広沢 2 番 1 号 Saitama (JP). 公益財団法人高輝度光科学研究センター (JAPAN SYNCHROTRON RADIATION RESEARCH INSTITUTE) [JP/JP]; 〒6795198 兵庫県佐用郡佐用町光都 1 丁目 1-1 Hyogo (JP).
- (72) 発明者: 大島 隆(OHSHIMA Takashi); 〒3510198 埼玉県和光市広沢 2 番 1 号 国立研究開発法人理化学研究所内 Saitama (JP). 大竹 雄次(OTAKE Yuji); 〒3510198 埼玉県和光市広沢 2 番 1 号 国

立研究開発法人理化学研究所内 Saitama (JP). 前坂 比呂和(MAESAKA Hirokazu); 〒3510198 埼玉県和光市広沢 2 番 1 号 国立研究開発法人理化学研究所内 Saitama (JP). 松原 伸一(MATSUBARA Shin-ichi); 〒6795198 兵庫県佐用郡佐用町光都 1 丁目 1-1 公益財団法人高輝度光科学研究センター内 Hyogo (JP).

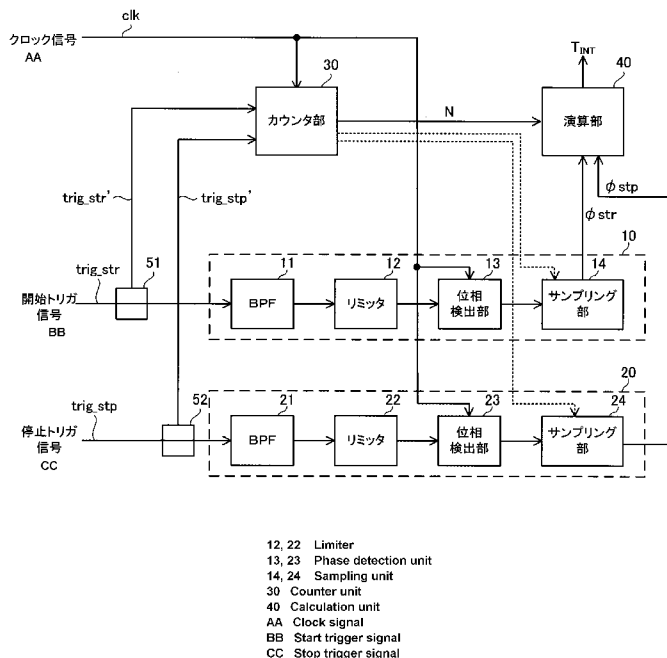
(74) 代理人: 特許業務法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町 2-6 天満橋八千代ビル別館 5 F Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: TIME MEASUREMENT DEVICE

(54) 発明の名称: 時間測定装置



(57) Abstract: A counter unit (30) detects the time interval between input of a start trigger signal and a stop trigger signal in integer multiples of the clock period. BPFs (11, 21) extract the signal components at the clock frequency in the start trigger signal and the stop trigger signal, and phase detection units (13, 23) detect the phase difference between said extracted signals and the clock signal. On the basis of the detection result (N) of the counter unit (30) and the phase differences (ϕ_{str} , ϕ_{stp}) detected by the phase detection units (13, 23), a calculation unit (40) detects the aforementioned time interval (T_{INT}) with a resolution finer than the clock period.

(57) 要約: カウンタ部 (30) は、開始トリガ信号及び停止トリガ信号の入力タイミング間の時間間隔をクロック周期の整数倍で検出する。BPF (11、21) は、開始トリガ信号及び停止トリガ信号におけるクロック周波数の信号成分を抽出し、位相検出部 (13、23) は、それらの抽出信号とクロック信号との位相差を検出する。演算部 (40) は、カウンタ部 (30) の検出結果 (N) と位相検出部 (13、23) の検出位相差 (ϕ_{str} , ϕ_{stp}) に基づき、上記時間間隔 (T_{INT}) をクロック周期よりも小さな分解能にて求める。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：時間測定装置

技術分野

[0001] 本発明は、時間測定装置に関する。

背景技術

[0002] 開始トリガ信号と停止トリガ信号の時間間隔を測定する際、開始トリガ信号のアップエッジのタイミング（立ち上がりのタイミング）と停止トリガ信号のアップエッジのタイミングとの間に、基準クロックのゼロクロスが何回あったかをカウンタを用いて計数する。この方式では、基準クロックの周期の整数倍の分解能しか得られない。そこで、クロック周期未満の測定分解能を得るべく様々な方法が提案されている。

[0003] 図20は、クロック周期未満の測定分解能を得ることが可能な従来の時間測定装置の概略構成図であり、図21は、図20の時間測定装置の動作説明図である（例えば特許文献1参照）。図20の時間測定装置では、コンデンサCを予め一定電圧に充電しておく。そして、トリガパルスを受けたタイミングでスイッチSWをオンにしてコンデンサCを定電流回路に接続し、コンデンサCの蓄積電荷の放電を開始する。放電は、トリガパルスの後に基準クロックを受けたタイミング（基準クロックのアップエッジタイミング）で、スイッチSWのターンオフにより停止する。放電によるコンデンサCの両極間の電圧変化 ΔV をAD変換器により読み取る。定電流回路を用いて放電される積分電荷量は放電時間に比例するため、電圧 ΔV は、トリガパルスと基準クロックとの時間差 ΔT に対応した値を持つ。故に、電圧 ΔV からクロック周期未満の時間間隔についての情報が得られる。

先行技術文献

特許文献

[0004] 特許文献1：特開平5－150056号公報

発明の概要

発明が解決しようとする課題

[0005] 図20の構成では、基準クロックの周期として10ナノ秒程度が採用され（即ちクロック周波数は100MHz程度とされ）、時間間隔の実質的な測定精度（測定分解能）は25ピコ秒程度にとどまる。これは、主として以下の理由によるものである。即ち、スイッチSWのターンオン／ターンオフには、ナノ秒オーダーの時間がかかるので、その時間分、測定分解能が悪くなる。これと関連するが、スイッチSWを含む回路の特性上、コンデンサCの放電の開始直後及び終了直前（図21の破線楕円2011及び2012の部分）においてコンデンサCの電圧低下の直線性が得難く、理想的な電圧情報 ΔV を得ることができない。これらの事情により、図20の構成において、クロック周波数を100MHzより高めたとしても、結局、スイッチSWの応答性能やコンデンサ電圧低下の非直線性がボトルネックとなって、時間間隔の実質的な測定精度（測定分解能）を向上させることが難しい。

[0006] 例えば、X線自由電子レーザ加速器においては、パルス動作するビームチョッパのタイミングを1ピコ秒以下の精度で安定させることが要求され、図20の構成では、このような要求への対応が難しい。

[0007] そこで本発明は、2つの信号の時間間隔の測定精度向上に寄与する時間測定装置を提供することを目的とする。

課題を解決するための手段

[0008] 本発明に係る時間測定装置は、各々がパルス状の第1対象信号及び第2対象信号の入力タイミングの時間間隔を測定する時間測定装置であって、所定のクロック周波数及びクロック周期のクロック信号を用い、前記クロック周期を単位として前記時間間隔を検出する周期数検出部と、前記第1及び第2対象信号の内の少なくとも一方をフィルタ対象信号として受けて前記フィルタ対象信号から前記クロック周波数の信号成分を抽出するバンドパスフィルタを有し、その抽出信号と前記クロック信号との位相差を検出する位相検出ユニットと、前記周期数検出部の検出結果と前記位相検出ユニットによる検出位相差を用い、前記クロック周期よりも小さな分解能にて前記時間間隔を

求める演算部と、を備えたことを特徴とする。

[0009] パルス状のフィルタ対象信号はクロック周波数を含む様々な周波数の信号成分を内包しているため、バンドパスフィルタを用いることで、フィルタ対象信号からクロック周波数の信号成分を抽出することが可能である。この抽出信号とクロック信号との位相差は、前記時間間隔の内の、前記クロック周期よりも小さな時間成分を表しているため、前記周期数検出部の検出結果と前記位相検出ユニットによる検出位相差を用いれば、前記クロック周期よりも小さな分解能にて前記時間間隔を求めることが可能である。前記時間間隔の内の、前記クロック周期よりも小さな時間成分を測定するに際し、スイッチSW（図20）のような部品に頼る必要がないため、当該時間間隔を高精度で測定することが可能となる。

発明の効果

[0010] 本発明によれば、そこで本発明は、2つの信号の時間間隔の測定精度向上に寄与する時間測定装置を提供することが可能である。

図面の簡単な説明

[0011] [図1]は、本発明の第1実施形態に係る時間測定装置のブロック図である。

[図2]は、本発明の第1実施形態に係り、時間測定装置内の各部の信号波形を示す図である。

[図3]は、位相検出部の出力特性の説明図である。

[図4]は、本発明の第2実施形態に係る位相検出方法の原理説明図である。

[図5]は、本発明の第2実施形態に係る時間測定装置のブロック図である。

[図6]は、図5の開始側トリガ検出部の内部構成図である。

[図7]は、図5の開始側位相検出ユニットの内部構成図である。

[図8]（a）及び（b）は、図5の開始側位相検出ユニット及び停止側位相検出ユニットで検出されるべき位相の説明図である。

[図9]は、図5の開始側トリガ検出部の入出力信号及び内部信号の説明図である。

[図10]は、図5の開始側トリガ検出部の入出力信号及び内部信号の説明図で

ある。

[図11]は、図5の開始側トリガ検出部の入出力信号及び内部信号の説明図である。

[図12]は、図5の開始側トリガ検出部の入出力信号及び内部信号の説明図である。

[図13]は、図5の停止側トリガ検出部の内部構成図である。

[図14]は、図5の停止側位相検出ユニットの内部構成図である。

[図15]は、図5の停止側トリガ検出部の入出力信号及び内部信号の説明図である。

[図16]は、図5の停止側トリガ検出部の入出力信号及び内部信号の説明図である。

[図17]は、図5の停止側トリガ検出部の入出力信号及び内部信号の説明図である。

[図18]は、図5の停止側トリガ検出部の入出力信号及び内部信号の説明図である。

[図19]は、図5のカウンタ部の内部構成図である。

[図20]は、従来の時間測定装置の概略構成図である。

[図21]は、図20の時間測定装置の動作説明図である。

発明を実施するための形態

[0012] 以下、本発明の実施形態の例を、図面を参照して具体的に説明する。参照される各図において、同一の部分には同一の符号を付し、同一の部分に関する重複する説明を原則として省略する。尚、本明細書では、記述の簡略化上、情報、信号、物理量又は部材等を参照する記号又は符号を記すことによって、該記号又は符号に対応する情報、信号、物理量又は部材等の名称を省略又は略記することがある。

[0013] <<第1実施形態>>

本発明の第1実施形態を説明する。図1は、第1実施形態に係る時間測定装置（時間間隔測定装置）のブロック図である。図1の時間測定装置は、符

号10、20、30、40、51及び52によって参照される各部位を備える。

[0014] 時間測定装置で取り扱われる任意の矩形波の信号（クロック信号のようなデジタル信号を含む）は、電圧信号であって、ローレベル又はローレベルよりも高いハイレベルの信号レベルを択一的にとる。矩形波の信号（クロック信号のようなデジタル信号を含む）において、信号レベルのローレベルからハイレベルへの遷移をアップエッジと表現し、その遷移のタイミングをアップエッジタイミングと表現する。

[0015] 時間測定装置には、開始トリガ信号`trig_str`及び停止トリガ信号`trig_stp`が入力されると共に、所定のクロック周波数及びクロック周期 T_{RF} を有するクロック信号`clk`が入力される。開始トリガ信号`trig_str`及び停止トリガ信号`trig_stp`の夫々は、パルス状の矩形波信号である。クロック信号`clk`を発生するクロック発生器（不図示）が時間測定装置に内包されていても良い。停止トリガ信号`trig_stp`は、開始トリガ信号`trig_str`よりも後に時間測定装置に入力される。本実施形態において、クロック信号`clk`のクロック周波数は5.7GHz（ギガヘルツ）であるとする。従って、クロック周期 T_{RF} は約175ピコ秒である。

[0016] 開始トリガ信号`trig_str`は、信号分配器51を介して開始側位相検出ユニット10に入力され、停止トリガ信号`trig_stp`は、信号分配器52を介して停止側位相検出ユニット20に入力される。信号分配器51は、開始トリガ信号`trig_str`の信号強度を低減させた信号、即ち、信号強度が低減された開始トリガ信号`trig_str'`をカウンタ部30に供給する。信号分配器52は、停止トリガ信号`trig_stp`の信号強度を低減させた信号、即ち、信号強度が低減された停止トリガ信号`trig_stp'`をカウンタ部30に供給する。信号分配器51及び52は信号の分配に使用される。後述のバンドパスフィルタの出力信号強度が低い場合には、入力信号（`trig_str`、`trig_stp`）の信号強度を大きくすることで信号対雑音比を向上することが可能である。このときには、信号分配器51及び52に論理信号用の減衰器を設けると良い。或いは

、カウンタ部30の内部にて開始トリガ信号及び停止トリガ信号の信号強度を低減させても良い（この場合、信号分配器51及び52における信号強度の低減機能は削除され得る）。

[0017] 開始側位相検出ユニット10は、クロック信号clkを基準とした開始トリガ信号trig_strの位相 ϕ_{str} （換言すれば、開始トリガ信号trig_strが時間測定装置に入力されたタイミングにおけるクロック信号clkの位相 ϕ_{str} ）を検出及び出力する。停止側位相検出ユニット20は、クロック信号clkを基準とした停止トリガ信号trig_stpの位相 ϕ_{stp} （換言すれば、停止トリガ信号trig_stpが時間測定装置に入力されたタイミングにおけるクロック信号clkの位相 ϕ_{stp} ）を検出及び出力する。本実施形態では、位相 ϕ_{str} 及び ϕ_{stp} の単位を度にて表す。つまり、位相 ϕ_{str} 及び ϕ_{stp} の夫々は、 0° から 360° までの何れかの値をとる。クロック信号clkを含む任意のクロック信号の位相も 0° から 360° までの何れかの値をとる。任意のクロック信号に関し、当該クロック信号のアップエッジタイミングにおいて当該クロック信号の位相が 0° であると考える。

[0018] 図2に、時間測定装置内の各部の信号波形を示す。位相 ϕ_{str} は、信号trig_strのアップエッジタイミング t_A と、信号trig_strのアップエッジタイミング t_A から見たクロック信号clkの直前のアップエッジタイミング t_A' との時間差 T_{DIFA} に対し、“ $360/T_{RF}$ ”を乗じたものであり、“ $\phi_{str}=360 \times T_{DIFA}/T_{RF}$ ”にて表される。但し、信号trig_strのアップエッジタイミング t_A と、クロック信号clkの或るアップエッジタイミングとが完全に一致している場合、位相 ϕ_{str} は 0° である。尚、本実施形態では、開始トリガ信号trig_strのパルス幅（信号trig_strがハイレベルとなる区間）は、クロック周期 T_{RF} の3倍であると仮定している（停止トリガ信号についても同様）。

[0019] 位相 ϕ_{stp} は、信号trig_stpのアップエッジタイミング t_B と、信号trig_stpのアップエッジタイミング t_B から見たクロック信号clkの直前のアップエッジタイミング t_B' との時間差 T_{DIFB} に対し、“ $360/T_{RF}$ ”を乗じたものであり、“ $\phi_{stp}=360 \times T_{DIFB}/T_{RF}$ ”にて表される。但し、信号trig_stpの

アップエッジタイミング t_B と、クロック信号 clk における或るアップエッジタイミングとが完全に一致している場合、位相 ϕ_{stp} は 0° である。

[0020] 時間測定装置は、時間測定装置に対する開始トリガ信号 $trig_str$ 及び停止トリガ信号 $trig_stp$ の入力タイミングの時間間隔 T_{INT} を求めることができる。時間測定装置に対する開始トリガ信号 $trig_str$ 及び停止トリガ信号 $trig_stp$ の入力タイミングは、夫々、タイミング t_A 及び t_B である。つまり、時間間隔 T_{INT} はタイミング t_A 及び t_B 間の時間差を表す。

[0021] カウンタ部 30 は、信号 $trig_str'$ 及び $trig_stp'$ とクロック信号 clk とを用いて、開始トリガ信号及び停止トリガ信号の入力タイミング間におけるクロック信号 clk のクロック数 N を計数する。より具体的には、カウンタ部 30 は、タイミング t_A より後であって且つタイミング t_B より前に、クロック信号 clk のアップエッジが幾つ存在するかをカウントし、カウントした値をクロック数 N として検出する。つまり、カウンタ部 30 は、クロック周期 T_{RF} を単位（最小単位）として時間間隔 T_{INT} を検出し、カウンタ部 30 にて検出される時間間隔 T_{INT} は $(T_{RF} \times N)$ となる。図 2 の例において “ $N=8$ ” である。図 2 の信号 S_N はカウンタ部 30 の内部信号であり、信号 S_N 中のクロック数にて値 N が決定される。

[0022] カウンタ部 30 に用いられるクロック信号の周波数として 5.7 GHz という高い周波数を用いることにより、カウンタ部 30 における時間分解能を高めることができる。図 20 に対応する従来構成では、100 MHz（メガヘルツ）程度のクロック信号が用いられており、即ち、本実施形態で使用するクロック周波数よりも $1/57$ 程度の低い周波数が用いられており、結果、時間分解能が高くない。本実施形態におけるカウンタ部 30 は、例えば、高い周波数でも動作可能なフリップフロップをカスケード接続した回路にて実現される。

[0023] 位相検出ユニット 10 及び 20 は、クロック周期より小さな時間分解能を達成するために、BPF（バンドパスフィルタ）11 及び 21 を用いて開始トリガ信号 $trig_str$ 及び停止トリガ信号 $trig_stp$ からクロック周波数（5

、7 GHz)の信号成分を抽出し、各抽出信号とクロック信号との位相差を検出する。ユニット10及び20の構成及び動作について詳説する。

[0024] 開始側位相検出ユニット10は、BPF(バンドパスフィルタ)11、リミッタ12、位相検出部13及びサンプリング部14を備える。停止側位相検出ユニット20は、BPF(バンドパスフィルタ)21、リミッタ22、位相検出部23及びサンプリング部24を備える。ユニット10及び20は、入力信号が互いに異なるだけで、互いに同じ構成を有する。

[0025] BPF11は、開始トリガ信号trig_strに含まれる、所定の通過帯域内の信号成分を抽出して出力するバンドパスフィルタであり、BPF21は、停止トリガ信号trig_stpに含まれる、所定の通過帯域内の信号成分を抽出して出力するバンドパスフィルタである。上記通過帯域は、BPF11及び12間で共通であり、クロック信号clkのクロック周波数を内包する。上記通過帯域がクロック周波数を内包しつつ、なるべく狭い帯域となるようにBPF11及び21は形成される。例えば、空洞型BPFにてBPF11及び21を形成することができる。以下では、説明の具体化及び便宜上、特に記述無き限り、BPF11及び21の出力信号がクロック周波数の信号成分(即ち、クロック信号の周波数成分)のみを有していると考える。

[0026] 図2において、信号 S_{BPF11} はBPF11の出力信号(抽出信号)である。つまり、信号 S_{BPF11} は、BPF11によって開始トリガ信号trig_strから抽出されたクロック周波数成分の信号である。信号 S_{BPF21} はBPF21の出力信号(抽出信号)である。つまり、信号 S_{BPF21} は、BPF21によって停止トリガ信号trig_stpから抽出されたクロック周波数成分の信号である。信号 S_{BPF11} 及び S_{BPF21} の夫々は時間経過と共に振幅が変化する正弦波状の信号であり、その正弦波の周波数はクロック周波数と一致する。

[0027] 開始トリガ信号trig_str及び停止トリガ信号trig_stpはパルス信号であるため、様々な周波数成分を含んでいる。従って、BPF11及び21によって開始トリガ信号trig_str及び停止トリガ信号trig_stpからクロック信号の周波数成分を抽出すれば、クロック周波数を持つ正弦波状信号 S_{BPF11} 及び

S_{BPFB1} を得ることができる。図2では、開始トリガ信号 $trig_str$ のアップエッジタイミングを起点として、正弦波状信号 S_{BPFA1} の振幅が徐々に増大した後に徐々に減少しているが、開始トリガ信号 $trig_str$ のアップエッジタイミングを起点とした正弦波状信号 S_{BPFA1} の振幅変化の詳細は、BPF11のフィルタ特性に依存する。正弦波状信号 S_{BPFB1} についても同様である。

[0028] 正弦波状信号 S_{BPFA1} 及び S_{BPFB1} の夫々の信号レベルは、ゼロを基準にして正及び負間を振動する。タイミング t_A において信号 S_{BPFA1} の正弦波としての位相は 0° であり、タイミング t_B において信号 S_{BPFB1} の正弦波としての位相は 0° である。図2において、信号 S_{BPFA2} は、正弦波状信号 S_{BPFA1} の信号レベルが0又は正であるときにハイレベルとなる一方で正弦波状信号 S_{BPFA1} の信号レベルが負であるときにローレベルとなる矩形波状信号であり、信号 S_{BPFB2} は、正弦波状信号 S_{BPFB1} の信号レベルが0又は正であるときにハイレベルとなる一方で正弦波状信号 S_{BPFB1} の信号レベルが負であるときにローレベルとなる矩形波状信号である。ユニット10においてコンパレータ（不図示）を用いて正弦波状信号 S_{BPFA1} から矩形波状信号 S_{BPFA2} を生成することができ、ユニット20においてコンパレータ（不図示）を用いて正弦波状信号 S_{BPFB1} から矩形波状信号 S_{BPFB2} を生成することができる。図2においては、正弦波状信号 S_{BPFA1} の振幅の増減に伴って矩形波状信号 S_{BPFA2} の振幅も増減しているが、実際の矩形波状信号 S_{BPFA2} の振幅は一定でありうる（矩形波状信号 S_{BPFB2} についても同様）。

[0029] リミッタ12は、BPF11の出力信号の振幅を一定にする（BPF11の出力信号の振幅を一定値以下に制限する）リミット処理を実行し、リミッタ22は、BPF21の出力信号の振幅を一定にする（BPF21の出力信号の振幅を一定値以下に制限する）リミット処理を実行する。リミッタ12におけるリミット処理はBPF11の出力信号の増幅機能を含んでいても良く、リミッタ22におけるリミット処理はBPF21の出力信号の増幅機能を含んでいても良い。リミッタ12のリミット処理を経た後のBPF11の出力信号が、第1比較信号として位相検出部13に供給される。リミッタ22のリミット処理を経た後のBPF21の出力信号が、第1比較信号として

位相検出部 2 3 に供給される。位相検出部 (1 3、2 3) の位相検出結果は、比較信号の電力に依存することがあるが、リミット処理により、位相検出部の電力依存性の影響が除去される。

[0030] 位相検出部 1 3 及び 2 3 の夫々には、第 2 比較信号 (基準信号) として、クロック信号 clk が供給される。位相検出部 1 3 及び 2 3 の夫々に入力される第 1 比較信号は、第 2 比較信号としてのクロック信号 clk と同じ周波数を有しているため、第 1 及び第 2 比較信号間で位相差を定義できる。

[0031] 位相検出部 1 3 及び 2 3 の夫々は、第 1 及び第 2 比較信号の位相を比較して第 1 及び第 2 比較信号間の位相差を検出し、検出位相差に応じた電圧値を有する電圧信号を出力する (後述の他の位相検出部についても同様)。検出される第 1 及び第 2 比較信号間の位相差とは、第 2 比較信号の位相から見た第 1 比較信号の位相 (換言すれば、第 2 比較信号を基準とした第 1 比較信号の位相) である。位相検出部 1 3 にて検出される位相差が位相 ϕ_{str} に相当し、位相検出部 2 3 にて検出される位相差が位相 ϕ_{stp} に相当する。

[0032] 位相検出部 1 3、2 3 における第 1 比較信号は、夫々、矩形波状信号 S_{BPFA2} 、 S_{BPFB2} であって良い。この場合、位相検出部 1 3、2 3 内にて、又は、位相検出部 1 3、2 3 の前段回路 (例えばリミッタ 1 2、2 2) にて、正弦波状信号 S_{BPFA1} 、 S_{BPFB1} から矩形波状信号 S_{BPFA2} 、 S_{BPFB2} を生成すれば良い。この場合、位相検出部 (1 3、2 3) はデジタル位相検出部と呼べる。デジタル位相検出部を用いることにより、高い直線性の実現、製品ごとのばらつきの抑制、及び、検出されるべき位相の温度特性の向上を目指す。

[0033] 尚、位相検出部 1 3 は、矩形波状信号 S_{BPFA2} の位相とクロック信号 clk の位相を比較する際、それらの信号に対し所定のローカル周波数 (例えば 4.7 GHz の周波数) を有するローカル信号を乗算することで (ミキシングすることで)、矩形波状信号 S_{BPFA2} 及びクロック信号 clk の周波数を中間帯域の周波数 (例えば 1 GHz の周波数) にまで落とし、その後に、両信号を比較するようにしても良い。位相検出部 2 3 についても同様である。

[0034] また、位相検出部 1 3 は、正弦波状信号 S_{BPFA1} そのものを第 1 比較信号とし

て用いて、第1及び第2比較信号の位相を比較するようにしても良い。この場合、位相検出部13は、正弦波状信号 S_{BPF1} とクロック信号clkをアナログ乗算器にて乗算し、乗算結果から位相 ϕ_{str} としての位相差を検出すれば良い。位相検出部23及び第2実施形態にて述べる位相検出部についても同様である。

[0035] サンプリング部14は、位相検出部13の出力電圧信号をサンプリングすることで位相 ϕ_{str} の値を読み取り、読み取った位相 ϕ_{str} の値（サンプリング値）を演算部40に出力する。サンプリング部24は、位相検出部23の出力電圧信号をサンプリングすることで位相 ϕ_{stp} の値を読み取り、読み取った位相 ϕ_{stp} の値（サンプリング値）を演算部40に出力する。

[0036] サンプリング部14及び24におけるサンプリングタイミングは、カウンタ部30により指定される。具体的には、カウンタ部30は、自身に入力される開始トリガ信号 $trig_str'$ 及びクロック信号clkに基づき、開始トリガ信号のアップエッジタイミング t_A の直後におけるクロック信号clkのアップエッジタイミングから所定の遅延時間（例えば、 $(3 \times T_{RF})$ 分の時間）が経過したタイミングにおいてサンプリング指示信号 SMP_{str} （図2参照）をサンプリング部14に出力する。同様に、カウンタ部30は、自身に入力される停止トリガ信号 $trig_stp'$ 及びクロック信号clkに基づき、停止始トリガ信号のアップエッジタイミング t_B の直後におけるクロック信号clkのアップエッジタイミングから所定の遅延時間（例えば、 $(3 \times T_{RF})$ 分の時間）が経過したタイミングにおいてサンプリング指示信号 SMP_{stp} （図2参照）をサンプリング部24に出力する。サンプリング部14は、サンプリング指示信号 SMP_{str} を受けたタイミングにて位相検出部13の出力電圧信号をサンプリングし、サンプリング部24は、サンプリング指示信号 SMP_{stp} を受けたタイミングにて位相検出部23の出力電圧信号をサンプリングする。

[0037] 開始トリガ信号のアップエッジタイミングの直後におけるBPF11の出力信号は、開始トリガ信号の入力毎にばらつくことも多い。つまり例えば、
“或る開始トリガ信号をBPF11に入力したときの、開始トリガ信号のA

アップエッジタイミングの直後におけるBPF11の出力信号”と、“他の開始トリガ信号をBPF11に入力したときの、開始トリガ信号のアップエッジタイミングの直後におけるBPF11の出力信号”とが互いに大きく異なることがある。BPF21についても同様である。そこで、開始又は停止トリガ信号のアップエッジタイミングから上記遅延時間を経た後にサンプリングを行うようにする。但し、遅延時間が大きすぎると、BPF(11、21)の出力信号におけるクロック周波数の信号成分が減衰しすぎるため、BPF(11、21)のフィルタ特性を考慮しつつ遅延時間を適切に設定しておくが良い。

[0038] 演算部40は、マイクロコンピュータ等の演算装置から成り、ユニット10及び20にて検出された位相 ϕ_{str} 及び ϕ_{stp} (即ち、サンプリング部14及び24から与えられた位相 ϕ_{str} 及び ϕ_{stp} の値)並びにカウンタ部30にて検出されたカウント数Nに基づき、クロック周期 T_{RF} よりも小さな分解能で時間間隔 T_{INT} を求める。具体的には、演算部40は、下記式(1)に従って時間間隔 T_{INT} を求める。図2の例では、クロック周期 T_{RF} が175ピコ秒であるとする、クロック数Nは8であり且つ位相 ϕ_{str} 及び ϕ_{stp} は夫々 90° 及び 270° であるため、演算部40にて求められる時間間隔 T_{INT} は、“ $T_{INT} = 175 \times 8 + 175 \times (270 - 90) / 360 = 1487.5$ ”より、1487.5ピコ秒となる。

$$T_{INT} = T_{RF} \times N + T_{RF} \times (\phi_{stp} - \phi_{str}) / 360 \quad \dots (1)$$

[0039] 本実施形態によれば、図20の従来構成では実現困難であった、高時間分解能によるトリガ信号間の時間間隔測定が可能となる。

[0040] 尚、開始トリガ信号がクロック信号と同期していることが予め決まっている場合、即ち例えば、開始トリガ信号 $trig_str$ のアップエッジタイミング t_A がクロック信号 clk のアップエッジタイミングと一致していることが予め決まっている場合、開始側位相検出ユニット10を時間測定装置から省略することができる。この場合、演算部40は、式(1a)に従って時間間隔 T_{INT} を求めれば良い。この際、カウンタ部30は、タイミング t_A におけるクロック信

号のアップエッジをカウントしないものとする。

$$T_{INT} = T_{RF} \times N + T_{RF} \times \phi_{stp} / 360 \quad \dots (1a)$$

[0041] これに類似して、停止トリガ信号がクロック信号と同期していることが予め決まっている場合、即ち例えば、停止トリガ信号 trig_stp のアップエッジタイミング t_B がクロック信号 clk のアップエッジタイミングと一致していることが予め決まっている場合、停止側位相検出ユニット20を時間測定装置から省略することができる。この場合、演算部40は、式(1b)に従って時間間隔 T_{INT} を求めれば良い。この際、カウンタ部30は、タイミング t_B におけるクロック信号のアップエッジをカウントしないものとする。

$$T_{INT} = T_{RF} \times N + T_{RF} \times (360 - \phi_{str}) / 360 \quad \dots (1b)$$

[0042] <<第2実施形態>>

本発明の第2実施形態を説明する。第2実施形態は第1実施形態を基礎とする実施形態であり、第2実施形態において特に述べない事項に関しては、矛盾の無い限り、第1実施形態の記載が第2実施形態にも適用される。

[0043] 図3は、位相検出部13又は23のような位相検出部の出力特性を表している。図3の出力特性を有する位相検出部は、第1及び第2比較信号間の位相差が 0° から 360° に向けて増大するにつれて、自身の出力信号の電圧値を所定の下限電圧値（例えば0ボルト）から所定の上限電圧値（例えば5ボルト）に増大させてゆく。但し、原理上、位相差の検出範囲は 0° から 360° までの範囲に限られ、検出範囲の限界点にて1クロック分の不連続が生じる。つまり、図3に示す如く、第1及び第2比較信号間の位相差が 0° である場合と 360° である場合とで位相検出部の出力信号の電圧値は同じとなるため（位相差が 360° 未満から 360° に達した時点で位相検出部の出力信号の電圧値は上限電圧値付近から下限電圧値へと変化するため）、第1及び第2比較信号間の位相差が 0° 付近又は 360° 付近となる場合には、導出される時間間隔 T_{INT} に1クロック分のジッタが発生しうる。

[0044] 例えば、第1及び第2比較信号間の位相差が実際には 0.1° であるのに対し、検出誤差の影響により、その位相差が 359.9° であると検出した

ならば、導出される時間間隔 T_{INT} が、真の時間間隔 T_{INT} から 1 クロック近く乖離する。また、回路構成上、第 1 及び第 2 比較信号間の位相差が 0° 付近又は 360° 付近にあるとき、位相検出部の出力信号（出力電圧）の位相に対する直線性が悪化する。図 3 において、破線楕円部分 91 及び 92 は、当該直線性が良好でない部分に対応する。

[0045] 第 2 実施形態では、これらを考慮した時間測定装置の構成を説明する。図 4 を参照し、本実施形態では、クロック信号 clk を 0° のクロック信号と呼ぶ。クロック信号 clk は、第 2 実施形態の時間測定装置内で位相が変化せしめられる。クロック信号 clk を反転させた信号、即ち、クロック信号 clk の位相を 180° だけ進めることで形成されるクロック信号を 180° のクロック信号と呼ぶ。また、クロック信号 clk の位相を 90° だけ進めることで形成されるクロック信号を 90° のクロック信号と呼ぶ。 180° のクロック信号の位相を更に 90° だけ進めることで形成されるクロック信号を 270° のクロック信号と呼ぶ。

[0046] 第 2 実施形態では、開始トリガ信号の入力タイミングに基づく第 1 比較信号（例えば図 2 の信号 S_{BPA2} ）が、 0° のクロック信号から見て 90° から 270° までの位相を有している場合には、 0° のクロック信号を第 2 比較信号（基準信号）として用いて位相 ϕ_{str} を検出し、そうでない場合には、 180° のクロック信号を第 2 比較信号（基準信号）として用いて位相 ϕ_{str} を検出するようにする。停止トリガ信号についても同様とされる。このようにすることで、位相検出部の出力信号は、常に図 4 の矢印付き線分の範囲内に限定されるようになる。このため、第 1 及び第 2 比較信号間の位相差が 0° 付近となることによる 1 クロック分のジッタの発生が抑制されると共に、上記直線性が良好な部分において位相 ϕ_{str} 及び ϕ_{stp} を検出することが可能となる。結果、時間測定装置による時間間隔 T_{INT} の測定精度向上が図られる。

[0047] 図 5 は、第 2 実施形態に係る時間測定装置のブロック図である。図 5 の時間測定装置は、符号 100、200、300、400、510、520、600 及び 700 によって参照される各部位を備える。

[0048] 開始トリガ信号trig_strは、信号分配器510を介して開始側位相検出ユニット100に入力され、停止トリガ信号trig_stpは、信号分配器520を介して停止側位相検出ユニット200に入力される。信号分配器510は、開始トリガ信号trig_strの信号強度を低減させた信号、即ち、信号強度が低減された開始トリガ信号trig_str'を開始側トリガ検出部600に供給する。信号分配器520は、停止トリガ信号trig_stpの信号強度を低減させた信号、即ち、信号強度が低減された停止トリガ信号trig_stp'を停止側トリガ検出部700に供給する。信号分配器510及び520は信号の分配に使用される。後述のバンドパスフィルタ(BPF)の出力信号強度が低い場合には、入力信号(trig_str、trig_stp)の信号強度を大きくすることで信号対雑音比を向上することが可能である。このときには、信号分配器510及び520に論理信号用の減衰器を設けると良い。或いは、開始側トリガ検出部600及び停止側トリガ検出部700の内部にて開始トリガ信号及び停止トリガ信号の信号強度を低減させても良い(この場合、信号分配器510及び520における信号強度の低減機能は削除され得る)。

[0049] 図6は、開始側トリガ検出部600の内部構成図である。開始側トリガ検出部600は、符号601~607によって参照される各部位を備える。位相変換部601は、クロック信号clkの供給を受け、クロック信号clkそのものである0°のクロック信号をクロック信号621として出力すると共に、クロック信号clkの位相を90°だけ進めた90°のクロック信号をクロック信号622として生成及び出力する。位相変換部602は、クロック信号621の供給を受け、クロック信号621そのものである0°のクロック信号をクロック信号623として出力すると共に、クロック信号621の位相を180°だけ進めた(即ち、クロック信号621を反転させた)180°のクロック信号をクロック信号624として生成及び出力する。

[0050] フリップフロップ603及び604は、D型フリップフロップ(以下、DFFと表記する)である。DFFは、クロック端子、D端子、Q端子及びリセット端子を備える。周知の如く、DFFは、クロック端子に供給される信

号のアップエッジタイミングにてD端子に入力されている信号のレベル（論理値）を保持し、保持した信号レベル（論理値）を有する信号をQ端子から出力する。DFFのリセット端子にハイレベルのリセット信号RESETが供給されたときに当該保持は解消され、DFFのQ端子の出力信号はローレベルとなる。演算部400（図5参照）は、任意のタイミングにおいて、ハイレベルのリセット信号RESETを時間測定装置内の各部位に供給できる。本実施形態では、特に記述無き限り、演算部400からハイレベルのリセット信号RESETが時間測定装置内の各部位に対して供給されていないものとする。

[0051] DFF603のD端子及びクロック端子には、夫々、開始トリガ信号trig_str'及びクロック信号622が入力される。DFF603のQ端子からの出力信号は、クロック信号622に同期してラッチされた開始トリガ信号L_trig_strとして、検出部600の外部へと出力される。DFF604のD端子及びクロック端子には、夫々、クロック信号622及び開始トリガ信号trig_str'が入力される。

[0052] 論理回路605及び606は、AND回路（論理積回路）である。AND回路605及び606の夫々は、2入力のAND回路であり、従って第1及び第2入力端子並びに出力端子を有する（後述の他のAND回路も同様）。AND回路606の第1入力端子にはDFF604のQ端子の出力信号がそのまま入力される一方、AND回路605の第1入力端子にはDFF604のQ端子の出力信号の反転信号が入力される。AND回路605及び606の第2入力端子には、夫々、クロック信号624及び623が入力される。

[0053] 論理回路607は、OR回路（論理和回路）である。OR回路607は、2入力のOR回路であり、従って第1及び第2入力端子並びに出力端子を有する（後述の他のOR回路も同様）。OR回路607の第1入力端子にはAND回路605の出力信号（即ち、DFF604のQ端子の出力信号の反転信号とクロック信号624との論理積信号）が入力され、OR回路607の第2入力端子にはAND回路606の出力信号（即ち、DFF604のQ端

子の出力信号とクロック信号623との論理積信号)が入力される。

- [0054] 結果、DFF604のQ端子の出力信号のレベルに応じ、クロック信号623及び624のどちらかがOR回路607の出力端子より出力されることになる。OR回路607の出力端子より出力されるクロック信号をクロック信号clk_strと呼ぶ。
- [0055] 開始側トリガ検出部600は、クロック選択部(601、602、604～607)を有していると言える。当該クロック選択部は、開始トリガ信号trig_str'とクロック信号clkとのタイミング関係に基づき(詳細には、開始トリガ信号trig_str'のアップエッジタイミングとクロック信号clkのアップエッジタイミングとの関係に基づき)、クロック信号clkと同一の位相を有するクロック信号623又はクロック信号clkと異なる位相を有するクロック信号624を選択的に出力する。
- [0056] 図7は、開始側位相検出ユニット100の内部構成図である。開始側位相検出ユニット100は、符号101～104によって参照される各部位を備え、開始トリガ信号trig_strの位相 ϕ_{str} を検出及び出力する。但し、ユニット100にて検出される位相 ϕ_{str} は、クロック信号clk_strを基準とした開始トリガ信号trig_strの位相(換言すれば、開始トリガ信号trig_strが時間測定装置に入力されたタイミングにおけるクロック信号clk_strの位相)である。つまり(図8(a)参照)、ユニット100にて検出される位相 ϕ_{str} は、信号trig_strのアップエッジタイミング t_A と、信号trig_strのアップエッジタイミング t_{A2}' から見たクロック信号clk_strの直前のアップエッジタイミング t_{A2}' との時間差 T_{DIFA2} に対し、“ $360/T_{RF}$ ”を乗じたものであり、“ $\phi_{str}=360 \times T_{DIFA2}/T_{RF}$ ”にて表される。但し、信号trig_strのアップエッジタイミング t_A と、クロック信号clk_strの或るアップエッジタイミングとが完全に一致している場合、位相 ϕ_{str} は 0° である。
- [0057] BPF101は、第1実施形態のBPF11(図1参照)と同じものである。従って、BPF101は、開始トリガ信号trig_strに含まれるクロック周波数の信号成分を抽出することで正弦波状信号 S_{BPFA1} (図2参照)を生成及

び出力する。第1実施形態と同様、ユニット100において、コンパレータ（不図示）を用いて正弦波状信号 S_{BPFA1} から矩形波状信号 S_{BPFA2} （図2参照）を生成することができる。

[0058] アンプ102は、図1のリミッタ12の機能を内包する増幅器であり、BPF101の出力信号の振幅を一定にする。BPF101の出力信号は、アンプ102を介し、第1比較信号として位相検出部103に入力される。位相検出部103には、第2比較信号としてクロック信号 clk_str も入力される。位相検出部103に入力される第1比較信号は、第2比較信号としてのクロック信号 clk_str と同じ周波数を有しているため、第1及び第2比較信号間で位相差を定義できる。

[0059] 位相検出部103は、第1実施形態の位相検出部13と同じものである。但し、上述したように、位相検出部103にとっての第2比較信号はクロック信号 clk_str である。故に、位相検出部103は、開始トリガ信号 $trig_str$ のクロック周波数成分を示す矩形波状信号 S_{BPFA2} （図2参照）とクロック信号 clk_str との位相を比較して両信号間の位相差を検出し、検出位相差に応じた電圧値を有する電圧信号を出力する。位相検出部103内にて又は位相検出部103の前段回路にて、正弦波状信号 S_{BPFA1} から矩形波状信号 S_{BPFA2} を生成すれば良い。位相検出部103にて検出される位相差が位相 ϕ_{str} に相当する。

[0060] サンプリング部104は、位相検出部103の出力電圧信号をサンプリングすることで位相 ϕ_{str} の値を読み取り、読み取った位相 ϕ_{str} の値（サンプリング値）を演算部400に出力する。サンプリング部104におけるサンプリングタイミングは、時間測定装置内のサンプリングタイミング指定部（不図示）により指定される。サンプリングタイミング指定部は、例えば、開始トリガ信号（ $trig_str$ 、 $trig_str'$ ）のアップエッジタイミングの直後におけるクロック信号 clk のアップエッジタイミングから所定の遅延時間（例えば、 $(3 \times T_{RF})$ 分の時間）が経過したタイミングにおいて位相検出部103の出力電圧信号がサンプリングされるよう、サンプリング部104を制御す

る。尚、演算部400からハイレベルのリセット信号RESETがユニット100に供給されたとき、サンプリング部104の出力信号は所定の初期値を示すようになる。

[0061] 図9～図12を参照して、開始側トリガ検出部600の入出力信号及び内部信号の状態を説明する。図9～図12は、夫々、ケースA1～A4における開始側トリガ検出部600の入出力信号及び内部信号の状態を表している。演算部400からハイレベルのリセット信号RESETが検出部600に入力されることでDFF603及び604の出力信号レベルがローレベルとされた後、リセット信号RESETがローレベルとされる。この段階を起点としてケースA1～A4を想定する。

[0062] ケースA1～A4は、夫々、開始トリガ信号trig_str'のアップエッジタイミングが区間P1～P4に属するケースである。区間P1、P2、P3、P4は、クロック信号clk（即ち0°のクロック信号）の位相 ϕ_{clk} について、夫々、不等式“ $0 \leq \phi_{clk} < 90$ ”、“ $90 \leq \phi_{clk} < 180$ ”、“ $180 \leq \phi_{clk} < 270$ ”、“ $270 \leq \phi_{clk} < 360$ ”が成立する区間である（各不等式の単位は度）。つまり、クロック信号clkにおける連続する2つのアップエッジトリガタイミング間の区間を4等分したときに4つの区間が形成されるが、その4つの区間の内、時間の早い方から順に、区間P1、P2、P3、P4が訪れる。図6の回路構成から理解されるように、ケースA1～A4の何れにおいても、信号L_trig_strの信号レベルは、開始トリガ信号trig_str'のアップエッジタイミングの後、クロック信号622（90°のクロック信号）の信号レベルが最初にローレベルからハイレベルに遷移したタイミングにおいて、ローレベルからハイレベルに切り替わる。

[0063] クロック信号clk_strは、開始トリガ信号trig_str'のアップエッジタイミング前において180°のクロック信号と一致するが、開始トリガ信号trig_str'のアップエッジタイミング後には、0°のクロック信号と180°のクロック信号の何れかとなる。具体的には、開始トリガ信号trig_str'のアップエッジタイミング後におけるクロック信号clk_strは、ケースA2及び

A 3 において 0° のクロック信号となり、ケース A 1 及び A 4 において 180° のクロック信号となる。結果、開始側位相検出ユニット 100 は、ケース A 2 及びケース A 3 においては、 0° のクロック信号を第 2 比較信号（基準信号）として用いて位相 ϕ_{str} を検出し、ケース A 1 及びケース A 4 においては、 180° のクロック信号を第 2 比較信号（基準信号）として用いて位相 ϕ_{str} を検出することになる。このため、上記ジッタの発生を回避しつつ直線性の良好な部分で位相 ϕ_{str} を検出できるようになる。

[0064] 図 13 は、停止側トリガ検出部 700 の内部構成図である。停止側トリガ検出部 700 は、符号 701 ~ 707 によって参照される各部位を備える。位相変換部 701 は、クロック信号 clk_str の供給を受け、クロック信号 clk_str そのものをクロック信号 721 として出力すると共に、クロック信号 clk_str の位相を 90° だけ進めたクロック信号をクロック信号 722 として生成及び出力する。クロック信号 clk_str は 0° 又は 180° のクロック信号であるため、クロック信号 722 は、 90° 又は 270° のクロック信号となる。位相変換部 702 は、クロック信号 721 の供給を受け、クロック信号 721 そのものをクロック信号 723 として出力すると共に、クロック信号 721 の位相を 180° だけ進めた（即ち、クロック信号 721 を反転させた）クロック信号をクロック信号 724 として生成及び出力する。

[0065] DFF 703 の D 端子及びクロック端子には、夫々、停止トリガ信号 $trig_stp'$ 及びクロック信号 722 が入力される。DFF 703 の Q 端子からの出力信号は、クロック信号 722 に同期してラッチされた停止トリガ信号 L_trig_stp として、検出部 700 の外部へと出力される。DFF 704 の D 端子及びクロック端子には、夫々、クロック信号 722 及び停止トリガ信号 $trig_stp'$ が入力される。

[0066] 論理回路 705 及び 706 は、AND 回路（論理積回路）である。AND 回路 706 の第 1 入力端子には DFF 704 の Q 端子の出力信号がそのまま入力される一方、AND 回路 705 の第 1 入力端子には DFF 704 の Q 端子の出力信号の反転信号が入力される。AND 回路 705 及び 706 の第 2

入力端子には、夫々、クロック信号724及び723が入力される。

[0067] 論理回路707は、OR回路（論理和回路）である。OR回路707の第1入力端子にはAND回路705の出力信号（即ち、DFF704のQ端子の出力信号の反転信号とクロック信号724との論理積信号）が入力され、OR回路707の第2入力端子にはAND回路706の出力信号（即ち、DFF704のQ端子の出力信号とクロック信号723との論理積信号）が入力される。

[0068] 結果、DFF704のQ端子からの出力信号のレベルに応じ、クロック信号723及び724のどちらかがOR回路707の出力端子より出力されることになる。OR回路707の出力端子より出力されるクロック信号をクロック信号clk_stpと呼ぶ。また、DFF704のQ端子からの出力信号は、ラッチ状態信号L_statとして検出部700の外部へと出力される。

[0069] 停止側トリガ検出部700は、クロック選択部（701、702、704～707）を有していると言える。当該クロック選択部は、停止トリガ信号trig_stp'とクロック信号clk_strとのタイミング関係に基づき（詳細には、停止トリガ信号trig_stp'のアップエッジタイミングとクロック信号clk_strのアップエッジタイミングとの関係に基づき）、クロック信号clk_strと同一の位相を有するクロック信号723又はクロック信号clk_strと異なる位相を有するクロック信号724を選択的に出力する。

[0070] 図14は、停止側位相検出ユニット200の内部構成図である。停止側位相検出ユニット200は、符号201～204によって参照される各部位を備え、停止トリガ信号trig_stpの位相 ϕ_{stp} を検出及び出力する。但し、ユニット200にて検出される位相 ϕ_{stp} は、クロック信号clk_stpを基準とした停止トリガ信号trig_stpの位相（換言すれば、停止トリガ信号trig_stpが時間測定装置に入力されたタイミングにおけるクロック信号clk_stpの位相）である。つまり（図8（b）参照）、ユニット200にて検出される位相 ϕ_{stp} は、信号trig_stpのアップエッジタイミング t_B と、信号trig_stpのアップエッジタイミング t_B から見たクロック信号clk_stpの直前のアップエ

ジタイミング t_{B2}' との時間差 T_{DIFB2} に対し、“ $360/T_{RF}$ ” を乗じたものであり、“ $\phi_{stp} = 360 \times T_{DIFB2}/T_{RF}$ ” にて表される。但し、信号 $trig_stp$ のアップエッジタイミング t_B と、クロック信号 clk_stp の或るアップエッジタイミングとが完全に一致している場合、位相 ϕ_{stp} は 0° である。

[0071] BPF201は、第1実施形態のBPF21（図1参照）と同じものである。従って、BPF201は、停止トリガ信号 $trig_stp$ に含まれるクロック周波数の信号成分を抽出することで正弦波状信号 S_{BPFB1} （図2参照）を生成及び出力する。第1実施形態と同様、ユニット200において、コンパレータ（不図示）を用いて正弦波状信号 S_{BPFB1} から矩形波状信号 S_{BPFB2} （図2参照）を生成することができる。

[0072] アンプ202は、図1のリミッタ22の機能を内包する増幅器であり、BPF201の出力信号の振幅を一定にする。BPF201の出力信号は、アンプ202を介し、第1比較信号として位相検出部203に入力される。位相検出部203には、第2比較信号としてクロック信号 clk_stp も入力される。位相検出部203に入力される第1比較信号は、第2比較信号としてのクロック信号 clk_stp と同じ周波数を有しているため、第1及び第2比較信号間で位相差を定義できる。

[0073] 位相検出部203は、第1実施形態の位相検出部23と同じものである。但し、上述したように、位相検出部203にとっての第2比較信号はクロック信号 clk_stp である。故に、位相検出部203は、停止トリガ信号 $trig_stp$ のクロック周波数成分を示す矩形波状信号 S_{BPFB2} （図2参照）とクロック信号 clk_stp との位相を比較して両信号間の位相差を検出し、検出位相差に応じた電圧値を有する電圧信号を出力する。位相検出部203内にて又は位相検出部203の前段回路にて、正弦波状信号 S_{BPFB1} から矩形波状信号 S_{BPFB2} を生成すれば良い。位相検出部203にて検出される位相差が位相 ϕ_{stp} に相当する。

[0074] サンプリング部204は、位相検出部203の出力電圧信号をサンプリングすることで位相 ϕ_{stp} の値を読み取り、読み取った位相 ϕ_{stp} の値（サンプ

リング値)を演算部400に出力する。サンプリング部204におけるサンプリングタイミングは、時間測定装置内のサンプリングタイミング指定部(不図示)により指定される。サンプリングタイミング指定部は、例えば、停止トリガ信号(trig_stp、trig_stp')のアップエッジタイミングの直後におけるクロック信号clkのアップエッジタイミングから所定の遅延時間(例えば、 $(3 \times T_{RF})$ 分の時間)が経過したタイミングにおいて位相検出部203の出力電圧信号がサンプリングされるよう、サンプリング部204を制御する。尚、演算部400からハイレベルのリセット信号RESETがユニット200に供給されたとき、サンプリング部204の出力信号は所定の初期値を示すようになる。

[0075] 図15～図18を参照して、停止側トリガ検出部700の入出力信号及び内部信号の状態を説明する。図15～図18は、夫々、ケースB1～B4における停止側トリガ検出部700の入出力信号及び内部信号の状態を表している。演算部400からハイレベルのリセット信号RESETが検出部700に入力されることでDFF703及び704の出力信号レベルがローレベルとされた後、リセット信号RESETがローレベルとされる。この段階を起点としてケースB1～B4を想定する。

[0076] ケースB1～B4は、夫々、停止トリガ信号trig_stp'のアップエッジタイミングが区間Q1～Q4に属するケースである。区間Q1、Q2、Q3、Q4は、クロック信号clk_strの位相 ϕ_{clk_str} について、夫々、不等式“ $0 \leq \phi_{clk_str} < 90$ ”、“ $90 \leq \phi_{clk_str} < 180$ ”、“ $180 \leq \phi_{clk_str} < 270$ ”、“ $270 \leq \phi_{clk_str} < 360$ ”が成立する区間である(各不等式の単位は度)。つまり、クロック信号clk_strにおける連続する2つのアップエッジトリガタイミング間の区間を4等分したときに4つの区間が形成されるが、その4つの区間の内、時間の早い方から順に、区間Q1、Q2、Q3、Q4が訪れる。図13の回路構成から理解されるように、ケースB1～B4の何れにおいても、信号L_trig_stpの信号レベルは、停止トリガ信号trig_stp'のアップエッジタイミングの後、クロック信号722の

信号レベルが最初にローレベルからハイレベルに遷移したタイミングにおいて、ローレベルからハイレベルに切り替わる。

[0077] クロック信号clk__stpは、停止トリガ信号trig__stp'のアップエッジタイミング前においてクロック信号clk__strの反転信号と一致するが、停止トリガ信号trig__stp'のアップエッジタイミング後には、クロック信号clk__strとクロック信号clk__strの反転信号の何れかとなる。具体的には、停止トリガ信号trig__stp'のアップエッジタイミング後におけるクロック信号clk__stpは、ケースB2及びB3においてクロック信号clk__strと一致し、ケースB1及びB4においてクロック信号clk__strの反転信号と一致する。結果、停止側位相検出ユニット200は、ケースB2及びケースB3においては、クロック信号clk__strを第2比較信号（基準信号）として用いて位相 ϕ stpを検出し、ケースB1及びケースB4においては、クロック信号clk__strの反転信号（即ちクロック信号724）を第2比較信号として用いて位相 ϕ stpを検出することになる。このため、上記ジッタの発生を回避しつつ直線性の良好な部分で位相 ϕ stpを検出できるようになる。

[0078] 図19は、カウンタ部300の内部構成図である。カウンタ部300は、第1実施形態のカウンタ部30と同様、クロック周期 T_{RF} を単位（最小単位）として時間間隔 T_{INT} を検出する。カウンタ部300は、符号301～304によって参照される各部位を備える。カウンタ部300は、開始側トリガ検出部600からのクロック信号clk__str及びラッチされた開始トリガ信号L__trig__strと、停止側トリガ検出部700からのラッチされた停止トリガ信号L__trig__stpとを用いて、開始トリガ信号L__trig__str及び停止トリガ信号L__trig__stpの入力タイミング間におけるクロック信号のクロック数Nを計数する。但し、カウンタ部300にて計数されるクロック数Nは、クロック信号clk__strのクロック数である。より具体的には、カウンタ部300は、開始トリガ信号L__trig__strのアップエッジタイミングより後であって且つ停止トリガ信号L__trig__stpのアップエッジタイミングより前に、クロック信号clk__strのアップエッジが幾つ存在するかをカウントし、カウントした値

をクロック数Nとして検出する。

- [0079] カウンタ部300の内部構成を詳細に説明する。フリップフロップ301は、RS型フリップフロップ（以下RSFFと表記する）である。RSFFは、セット端子、リセット端子及びQ端子を有する。周知の如く、RSFFにおいて、セット端子及びリセット端子への入力信号が夫々ハイレベル、ローレベルのとき、Q端子からの出力信号はハイレベルで維持され、セット端子及びリセット端子への入力信号が夫々ローレベル、ハイレベルのとき、Q端子からの出力信号はローレベルで維持され、セット端子及びリセット端子への入力信号が共にローレベルのとき、Q端子の出力信号レベルは変化しない。尚、リセット端子にハイレベルの信号が入力されているときには、セット端子への入力信号レベルに依存せず、Q端子の出力信号レベルがローレベルとなるようにRSFF301が形成されているものとする。
- [0080] OR回路302は、演算部400からのリセット信号RESETとラッチされた停止トリガ信号L_trig_stpとの論理和信号をRSFF301のリセット端子に入力する。RSFF301のセット端子にはラッチされた開始トリガ信号L_trig_strが入力される。AND回路303は、RSFF301のQ端子からの出力信号とクロック信号clk_strとの論理積信号をカウンタ304に入力する。故に、信号L_trig_str及びL_trig_stpのアップエッジタイミング間において、AND回路303からカウンタ304に対し、クロック信号clk_strが入力されることになる。カウンタ304は、AND回路303から入力される信号中のアップエッジの個数をカウントし、カウントした値をクロック数Nとして出力する。結果、信号L_trig_str及びL_trig_stpのアップエッジタイミング間におけるクロック信号clk_strのアップエッジの個数がカウント数Nとして検出される。
- [0081] 尚、時間測定装置に開始トリガ信号trig_strが入力される前に、演算部400はハイレベルのリセット信号RESETをカウンタ部300に供給することで、RSFF301が保持して出力する信号をローレベルにすると共にカウンタ304を初期状態にする（カウンタ304の計数值Nをゼロに初期

化する)。その後、演算部400がリセット信号RESETをローレベルにした状態で、時間測定装置に開始トリガ信号trig_str及び停止トリガ信号trig_stpが順次入力されるものとする。

- [0082] 演算部400は、マイクロコンピュータ等の演算装置から成り、ユニット100及び200にて検出された位相 ϕ_{str} 及び ϕ_{stp} （即ち、サンプリング部104及び204から与えられた位相 ϕ_{str} 及び ϕ_{stp} の値）並びにカウンタ部300にて検出されたカウント数Nに基づき、クロック周期 T_{RF} よりも小さな分解能で時間間隔 T_{INT} を求める。時間間隔 T_{INT} に定義は第1実施形態で述べた通りである。即ち、時間間隔 T_{INT} は、開始トリガ信号trig_strのアップエッジタイミング t_A と停止トリガ信号trig_stpのアップエッジタイミング t_B との時間差である（図2参照）。具体的には、演算部400は、下記式（2）に従って時間間隔 T_{INT} を求める。

$$T_{INT} = T_{RF} \times (N + INVL_stat / 2) + T_{RF} \times (\phi_{stp} - \phi_{str}) / 360 \quad \dots (2)$$

- [0083] 式（2）の右辺は、第1実施形態で述べた式（1）の右辺に対し、“ $T_{RF} \times INVL_stat / 2$ ”を加算したものである。式（2）における“INVL_stat”は、ラッチ状態信号L_statの論理値の反転値を持つ（後述の式（2a）においても同様）。但し“INVL_stat”の値を定めるラッチ状態信号L_statは、図13のDFF704が停止トリガ信号trig_stp'のアップエッジタイミングにてD端子の入力信号をラッチした後に、Q端子から出力されるラッチ状態信号L_statである。当該ラッチ状態信号L_statがハイレベルのとき、開始側位相検出ユニット100で利用されるクロック信号clk_strと同じ位相を有したクロック信号clk_stp（クロック信号723；図13参照）が停止側位相検出ユニット200で利用されるため、“ $INVL_stat = 0$ ”とされる。一方、当該ラッチ状態信号L_statがローレベルのとき、開始側位相検出ユニット100で利用されるクロック信号clk_strに対し 180° だけ位相の進んだクロック信号clk_stp（クロック信号724；図13参照）が停止側位相検出ユニット200で利用されるため、位相の進み分を演算部400

にて考慮するべく、“INVL__stat=1”とされる。

[0084] 第2実施形態によれば、第1実施形態と同様、図20の従来構成では実現困難であった、高時間分解能によるトリガ信号間の時間間隔測定が可能となる。また、開始トリガ信号trig__str及び停止トリガ信号trig__stpの入力タイミングに依存せず、1クロック分のジッタの発生を確実に回避することができると共に直線性の良好な部分で位相 ϕ str及び ϕ stpを検出できるため、高精度の時間間隔測定が担保される。

[0085] 尚、開始トリガ信号trig__strが 180° のクロック信号と同期していることが予め決まっている場合、即ち、開始トリガ信号trig__strのアップエッジタイミング t_A が 180° のクロック信号のアップエッジタイミングと一致していることが予め決まっている場合、開始側位相検出ユニット100及び開始側トリガ検出部600を時間測定装置から省略することができる。この場合、信号clk及びtrig__str'そのものが夫々信号clk__str及びL__trig__strとして取り扱われてカウンタ部300及び停止側トリガ検出部700に供給され、演算部400は、式(2a)に従って時間間隔 T_{INT} を求める。

$$T_{INT} = T_{RF} \times (N + INVL_stat / 2) + T_{RF} \times \phi_{stp} / 360 \quad \dots (2a)$$

[0086] これに類似して、停止トリガ信号trig__stpが 180° のクロック信号と同期していることが予め決まっている場合、即ち、停止トリガ信号trig__stpのアップエッジタイミング t_B が 180° のクロック信号のアップエッジタイミングと一致していることが予め決まっている場合、停止側位相検出ユニット200及び停止側トリガ検出部700を時間測定装置から省略することができる。この場合、図5の構成を基準として、カウンタ部300に対しクロック信号clk__strの代わりにクロック信号clkが入力されると共に信号L__trig__stpの代わりに信号trig__stp（又はtrig__stp'）が入力される。開始側位相検出ユニット100には、位相読み取り範囲が 90° から 270° となるようにクロック信号clk__strが供給される。その上で、演算部400は、式(2b)に従って時間間隔 T_{INT} を求めればよい。この際、カウンタ部300（

カウンタ304)は、タイミング t_B におけるクロック信号clk_strのアップエッジをカウントするものとする。尚、式(2b)におけるINVL_statは、図6のDFF604が開始トリガ信号trig_str'のアップエッジタイミングにてD端子の入力信号622をラッチした後に、DFF604のQ端子から出力される信号の論理値の反転値を持つ(従って当該信号がハイレベルのとき式(2b)のINVL_statはゼロの値を持ち、当該信号がローレベルのとき式(2b)のINVL_statは1の値を持つ)。

$$T_{INT} = T_{RF} \times (N - INVL_stat / 2) - T_{RF} \times (360 - \phi_{str}) / 360 \quad \dots (2b)$$

[0087] <<本発明の考察>>

第1及び第2実施形態にて具体化された、本発明に係る技術について考察する。

[0088] 本発明の一側面に係る構成J₁の時間測定装置は、各々がパルス状の第1対象信号及び第2対象信号の入力タイミング(t_A 、 t_B)の時間間隔(T_{INT})を測定する時間測定装置であって、所定のクロック周波数及びクロック周期のクロック信号を用い、前記クロック周期を単位として前記時間間隔を検出する周期数検出部(30、300)と、前記第1及び第2対象信号の内の少なくとも一方をフィルタ対象信号として受けて前記フィルタ対象信号から前記クロック周波数の信号成分を抽出するバンドパスフィルタを有し、その抽出信号と前記クロック信号との位相差を検出する位相検出ユニットと、前記周期数検出部の検出結果(N)と前記位相検出ユニットによる検出位相差(ϕ_{str} 、 ϕ_{stp})を用い、前記クロック周期よりも小さな分解能にて前記時間間隔を求める演算部(40、400)と、を備えている。

[0089] パルス状のフィルタ対象信号はクロック周波数を含む様々な周波数の信号成分を内包しているため、バンドパスフィルタを用いることで、フィルタ対象信号からクロック周波数の信号成分を抽出することが可能である。この抽出信号とクロック信号との位相差は、前記時間間隔の内の、前記クロック周期よりも小さな時間成分を表しているため、前記周期数検出部の検出結果と

前記位相検出ユニットによる検出位相差を用いれば、前記クロック周期よりも小さな分解能にて前記時間間隔を求めることが可能である。前記時間間隔の内の、前記クロック周期よりも小さな時間成分を測定するに際し、スイッチSW（図20）のような部品に頼る必要がないため、当該時間間隔を高精度で測定することが可能となる。

[0090] 尚、第1及び第2実施形態における第1及び第2対象信号は、開始トリガ信号及び停止トリガ信号であると考えることができる。この際、開始トリガ信号 trig_str も信号強度低減が成された開始トリガ信号 $\text{trig_str}'$ も第1対象信号に属し、且つ、停止トリガ信号 trig_stp も信号強度低減が成された停止トリガ信号 $\text{trig_stp}'$ も第2対象信号に属する。

[0091] 第1実施形態において、開始トリガ信号及び停止トリガ信号がクロック信号と同期しているかどうかは不明であるときには、上記式(1)が用いられ、第1及び第2対象信号としての開始トリガ信号及び停止トリガ信号の夫々がフィルタ対象信号となる。

[0092] つまり例えば、第1実施形態に関し、構成 J_1 に属する構成 J_9 の時間測定装置において、前記位相検出ユニットは、前記第1対象信号(trig_str)から前記クロック周波数の信号成分を第1抽出信号として抽出する第1バンドパスフィルタ(11)を有し、その第1抽出信号と前記クロック信号との位相差(ϕ_{str})を検出する第1位相検出ユニット(10)と、前記第2対象信号(trig_stp)から前記クロック周波数の信号成分を第2抽出信号として抽出する第2バンドパスフィルタ(21)を有し、その第2抽出信号と前記クロック信号との位相差(ϕ_{stp})を検出する第2位相検出ユニット(20)と、を備え、前記演算部(40)は、前記周期数検出部(30)の検出結果(N)と前記第1及び第2位相検出ユニットによる検出位相差(ϕ_{str} 、 ϕ_{stp})とを用いて、前記クロック周期よりも小さな分解能にて前記時間間隔(T_{INT})を求めることができる。

[0093] 第1実施形態において、開始トリガ信号又は停止トリガ信号がクロック信号と同期していることが決まっている場合には上記式(1a)又は(1b)

を用いることができ、開始トリガ信号及び停止トリガ信号の何れか一方をフィルタ対象信号としてバンドパスフィルタ（11又は21）に入力すれば足る。

[0094] 第2実施形態において、開始トリガ信号及び停止トリガ信号がクロック信号と同期しているかどうかは不明であるときには、上記式（2）が用いられ、第1及び第2対象信号としての開始トリガ信号及び停止トリガ信号の夫々がフィルタ対象信号となる。

[0095] つまり例えば、第2実施形態に関し、構成J₁に属する構成J₅の時間測定装置は、前記第1対象信号と前記クロック周波数を有する原クロック信号（clk）とのタイミング関係に基づき、前記原クロック信号と同一又は異なる位相を有するクロック信号（623又は624；clk_str）を選択的に出力する第1クロック選択部（601、602、604～607；図6参照）と、前記第2対象信号と前記第1クロック選択部の出力クロック信号（clk_str）とのタイミング関係に基づき、前記第1クロック選択部の出力クロック信号（clk_str）と同一又は異なる位相を有するクロック信号（723又は724；clk_stp）を選択的に出力する第2クロック選択部（701、702、704～707；図13参照）と、を更に備え、前記位相検出ユニットは、前記第1対象信号から前記クロック周波数の信号成分を抽出する第1バンドパスフィルタ（101）を有し、前記第1バンドパスフィルタの抽出信号と前記第1クロック選択部の出力クロック信号（clk_str）との位相差（ ϕ_{str} ）を検出する第1位相検出ユニット（100）と、前記第2対象信号から前記クロック周波数の信号成分を抽出する第2バンドパスフィルタ（201）を有し、前記第2バンドパスフィルタの抽出信号と前記第2クロック選択部の出力クロック信号（clk_stp）との位相差を検出する第2位相検出ユニット（200）と、から成り、前記演算部（400）は、前記周期数検出部（300）の検出結果（N）と前記第1及び第2位相検出ユニットによる検出位相差（ ϕ_{str} 、 ϕ_{stp} ）とを用いて、前記クロック周期よりも小さな分解能にて前記時間間隔（ T_{INT} ）を求めることができる。

[0096] 第1及び第2クロック選択部を設けて上記の如く第1及び第2位相検出ユニットを構成することにより、位相差の検出に適した位相を有するクロック信号を選択的に用いることが可能となる。結果、1クロック分のジッタの発生を回避可能となると共に直線性の良好な部分で位相差 (ϕ_{str} 、 ϕ_{stp}) を検出できるようになるため、高精度の時間間隔測定が担保される。

[0097] より具体的には例えば、第2実施形態に関し、構成J₅に属する構成J₆の時間測定装置において、前記第1クロック選択部(601、602、604～607；図6参照)は、前記第1対象信号と前記原クロック信号(clk)とのタイミング関係に基づき、前記原クロック信号と同一の位相を有する又は前記原クロック信号の位相を反転させたクロック信号(623又は624； clk_str)を選択的に出力し、前記第2クロック選択部(701、702、704～707；図13参照)は、前記第2対象信号と前記第1クロック選択部の出力クロック信号(clk_str)とのタイミング関係に基づき、前記第1クロック選択部の出力クロック信号と同一の位相を有する又は前記第1クロック選択部の出力クロック信号の位相を反転させたクロック信号(723又は724； clk_stp)を選択的に出力することができる。

[0098] 更に具体的には例えば、第2実施形態に関し、構成J₆に属する構成J₇の時間測定装置において、測定される前記時間間隔(T_{INT})は、前記第1対象信号の信号レベルが所定の第1レベルから所定の第2レベルに遷移したタイミング(T_A)と、前記第2対象信号の信号レベルが前記第1レベルから前記第2レベルに遷移したタイミング(T_B)との間の時間長さであり、前記第1クロック選択部(601、602、604～607；図6参照)は、前記第1対象信号の信号レベルが前記第1レベルから前記第2レベルに遷移したタイミング(図9～図12における $trig_str'$ のアップエッジタイミング)が、前記原クロック信号(clk)の位相における90°から270°の範囲(P2又はP3；図10及び図11参照)に属するとき(ケースA2及びA3；図10及び図11参照)、前記原クロック信号と同一の位相を有するクロック信号(0°のクロック信号)を出力する一方、そうでないとき(ケースA1及び

A 4 ; 図 9 及び図 1 2 参照)、前記原クロック信号の位相を反転させたクロック信号 (180° のクロック信号) を出力し、前記第 2 クロック選択部 (701、702、704~707 ; 図 1 3 参照) は、前記第 2 対象信号の信号レベルが前記第 1 レベルから前記第 2 レベルに遷移したタイミング (図 1 5 ~ 図 1 8 における trig__stp' のアップエッジタイミング) が、前記第 1 クロック選択部の出力クロック信号 (clk__str) の位相における 90° から 270° の範囲 (Q 2 又は Q 3 ; 図 1 6 及び図 1 7 参照) に属するとき (ケース B 2 及び B 3 ; 図 1 6 及び図 1 7 参照)、前記第 1 クロック選択部の出力クロック信号 (clk__str) と同一の位相を有するクロック信号を出力する一方、そうでないとき (ケース B 1 及び B 4 ; 図 1 5 及び図 1 8 参照)、前記第 1 クロック選択部の出力クロック信号の位相を反転させたクロック信号 (clk__str の反転信号) を出力すると良い。

[0099] これにより、前記第 1 対象信号の信号レベルが前記第 1 レベルから前記第 2 レベルに遷移したタイミングが、前記原クロック信号 (clk) の位相における 90° から 270° の範囲に属するとき (ケース A 2 及び A 3 ; 図 1 0 及び図 1 1 参照)、第 1 クロック選択部より、前記原クロック信号と同一の位相を有するクロック信号 (0° のクロック信号) が出力されることになるが、この際、第 1 位相検出ユニットにより検出される位相差 (ϕ_{str}) は、 90° から 270° の範囲に属することになる。第 1 位相検出ユニットは、第 1 クロック選択部の出力クロック信号 (0° のクロック信号、即ち clk) を用いて位相差 (ϕ_{str}) を検出するからである。

[0100] 一方、前記第 1 対象信号の信号レベルが前記第 1 レベルから前記第 2 レベルに遷移したタイミングが、前記原クロック信号 (clk) の位相における 90° から 270° の範囲に属さないとき (ケース A 1 及び A 4 ; 図 9 及び図 1 2 参照)、第 1 クロック選択部より、前記原クロック信号の位相を反転させたクロック信号 (180° のクロック信号) が出力されることになるが、この際も、第 1 位相検出ユニットにより検出される位相差 (ϕ_{str}) は、 90° から 270° の範囲に属することになる。第 1 位相検出ユニットは、第 1 クロ

ック選択部の出力クロック信号（ 180° のクロック信号、即ちclkの反転信号）を用いて位相差（ ϕ_{str} ）を検出するからである。

[0101] 同様の理由により、上記構成 J_7 によれば、第2位相検出ユニットにより検出される位相差（ ϕ_{stp} ）も 90° から 270° の範囲に属することになる。検出される位相差が 90° から 270° の範囲に属するように、位相差検出用のクロック信号の位相を調整することにより、1クロック分のジッタの発生を確実に回避することができると共に直線性の良好な部分で位相差（ ϕ_{str} 、 ϕ_{stp} ）を検出できるようになるため、高精度の時間間隔測定が担保される。

[0102] 尚、第2実施形態では、第1及び第2レベルが夫々ハイレベル及びローレベルとなっているが、それらの関係は逆であっても構わない。第1実施形態についても同様のことが言える。

[0103] また例えば、第2実施形態に関し、構成 $J_5 \sim J_7$ に属する構成 J_8 の時間測定装置において、前記周期数検出部（300）は、前記第1対象信号及び前記原クロック信号（clk）に基づく信号（L_trig_str）と、前記第2対象信号及び前記第1クロック選択部の出力クロック信号（clk_str）に基づく信号（L_trig_stp）を用いて、前記クロック周期を単位として前記時間間隔を検出すると良い。

[0104] 第2実施形態において、開始トリガ信号又は停止トリガ信号がクロック信号clkと同期していることが決まっている状況を想定した場合、上記式（2a）又は（2b）を用いることができ、開始トリガ信号及び停止トリガ信号の何れか一方をフィルタ対象信号としてバンドパスフィルタ（101又は201）に入力すれば足る。

[0105] 上記状況を考慮すれば、第2実施形態に関し、構成 J_1 に属する構成 J_2 の時間測定装置は、前記フィルタ対象信号（開始トリガ信号又は停止トリガ信号）と前記クロック周波数を有する基準クロック信号（clk又はclk_str）とのタイミング関係に基づき、前記基準クロック信号と同一又は異なる位相を有するクロック信号を選択的に出力するクロック選択部（図6の601、602

及び604～607、又は、図13の701、702及び704～707)を更に備え、前記位相検出ユニット(100又は200)は、前記バンドパスフィルタ(101又は201)の抽出信号と前記クロック選択部の出力クロック信号(clk_str 又は clk_stp)との位相差(ϕ_{str} 又は ϕ_{stp})を検出すると良い。

[0106] クロック選択部を設けて上記の如く位相検出ユニットを構成することにより、位相差の検出に適した位相を有するクロック信号を選択的に用いることが可能となる。結果、1クロック分のジッタの発生を回避可能となると共に直線性の良好な部分で位相差(ϕ_{str} 又は ϕ_{stp})を検出できるようになるため、高精度の時間間隔測定が担保される。

[0107] より具体的には例えば、第2実施形態に関し、構成J₂に属する構成J₃の時間測定装置において(図6又は図13参照)、前記クロック選択部は、前記タイミング関係に基づき、前記基準クロック信号(clk 又は clk_str)と同一の位相を有するクロック信号(623又は723)又は前記基準クロック信号の位相を反転させたクロック信号(624又は724)を選択的に出力すると良い。

[0108] 更に具体的には例えば、第2実施形態に関し、構成J₃に属する構成J₄の時間測定装置において、測定される前記時間間隔(T_{INT})は、前記第1対象信号の信号レベルが所定の第1レベルから所定の第2レベルに遷移したタイミング(t_A)と、前記第2対象信号の信号レベルが前記第1レベルから前記第2レベルに遷移したタイミング(t_B)との間の時間長さであり、前記クロック選択部は、前記フィルタ対象信号(開始トリガ信号又は停止トリガ信号)の信号レベルが前記第1レベルから前記第2レベルに遷移したタイミングが、前記基準クロック信号(clk 又は clk_str)の位相における90°から270°の範囲に属するとき(ケースA2及びA3、又は、ケースB2及びB3)、前記基準クロック信号と同一の位相を有するクロック信号を出力する一方、そうでないとき(ケースA1及びA4、又は、ケースB1及びB4)、前記基準クロック信号の位相を反転させたクロック信号を出力すると良い。

[0109] 構成J₄によれば、構成J₇の説明で述べたのと同様、1クロック分のジッタの発生を確実に回避することができると共に直線性の良好な部分で位相差（ ϕ_{str} 又は ϕ_{stp} ）を検出できるようになるため、高精度の時間間隔測定が担保される。

[0110] <<変形等>>

本発明の実施形態は、特許請求の範囲に示された技術的思想の範囲内において、適宜、種々の変更が可能である。以上の実施形態は、あくまでも、本発明の実施形態の例であって、本発明ないし各構成要件の用語の意義は、以上の実施形態に記載されたものに制限されるものではない。上述の説明文中に示した具体的な数値は、単なる例示であって、当然の如く、それらを様々な数値に変更することができる。

[0111] 本発明の時間測定装置は、X線自由電子レーザ加速器においてパルス動作するビームチョッパの動作間隔測定及び制御や、ポンプ・プローブ法におけるポンプ光とプローブ光の時間間隔測定及び制御に利用できる。この他、任意の2つのパルス信号間の時間間隔測定に本発明の時間測定装置を適用できる。

符号の説明

[0112] 10、100 開始側位相検出ユニット
11、101 バンドパスフィルタ
13、103 位相検出部
20 200 停止側位相検出ユニット
21、201 バンドパスフィルタ
23、203 位相検出部
30、300 カウンタ部（周期数検出部）
40、400 演算部
600 開始側トリガ検出部
700 停止側トリガ検出部

請求の範囲

- [請求項1] 各々がパルス状の第1対象信号及び第2対象信号の入力タイミングの時間間隔を測定する時間測定装置であって、
- 所定のクロック周波数及びクロック周期のクロック信号を用い、前記クロック周期を単位として前記時間間隔を検出する周期数検出部と、
- 前記第1及び第2対象信号の内の少なくとも一方をフィルタ対象信号として受けて前記フィルタ対象信号から前記クロック周波数の信号成分を抽出するバンドパスフィルタを有し、その抽出信号と前記クロック信号との位相差を検出する位相検出ユニットと、
- 前記周期数検出部の検出結果と前記位相検出ユニットによる検出位相差を用い、前記クロック周期よりも小さな分解能にて前記時間間隔を求める演算部と、を備えたことを特徴とする時間測定装置。
- [請求項2] 前記フィルタ対象信号と前記クロック周波数を有する基準クロック信号とのタイミング関係に基づき、前記基準クロック信号と同一又は異なる位相を有するクロック信号を選択的に出力するクロック選択部を更に備え、
- 前記位相検出ユニットは、前記バンドパスフィルタの抽出信号と前記クロック選択部の出力クロック信号との位相差を検出することを特徴とする請求項1に記載の時間測定装置。
- [請求項3] 前記クロック選択部は、前記タイミング関係に基づき、前記基準クロック信号と同一の位相を有する又は前記基準クロック信号の位相を反転させたクロック信号を選択的に出力することを特徴とする請求項2に記載の時間測定装置。
- [請求項4] 測定される前記時間間隔は、前記第1対象信号の信号レベルが所定の第1レベルから所定の第2レベルに遷移したタイミングと、前記第2対象信号の信号レベルが前記第1レベルから前記第2レベルに遷移

したタイミングとの間の時間長さであり、

前記クロック選択部は、前記フィルタ対象信号の信号レベルが前記第1レベルから前記第2レベルに遷移したタイミングが、前記基準クロック信号の位相における 90° から 270° の範囲に属するとき、前記基準クロック信号と同一の位相を有するクロック信号を出力する一方、そうでないとき、前記基準クロック信号の位相を反転させたクロック信号を出力する

ことを特徴とする請求項3に記載の時間測定装置。

[請求項5]

前記第1対象信号と前記クロック周波数を有する原クロック信号とのタイミング関係に基づき、前記原クロック信号と同一又は異なる位相を有するクロック信号を選択的に出力する第1クロック選択部と、

前記第2対象信号と前記第1クロック選択部の出力クロック信号とのタイミング関係に基づき、前記第1クロック選択部の出力クロック信号と同一又は異なる位相を有するクロック信号を選択的に出力する第2クロック選択部と、を更に備え、

前記位相検出ユニットは、

前記第1対象信号から前記クロック周波数の信号成分を抽出する第1バンドパスフィルタを有し、前記第1バンドパスフィルタの抽出信号と前記第1クロック選択部の出力クロック信号との位相差を検出する第1位相検出ユニットと、

前記第2対象信号から前記クロック周波数の信号成分を抽出する第2バンドパスフィルタを有し、前記第2バンドパスフィルタの抽出信号と前記第2クロック選択部の出力クロック信号との位相差を検出する第2位相検出ユニットと、から成り、

前記演算部は、前記周期数検出部の検出結果と前記第1及び第2位相検出ユニットによる検出位相差とを用いて、前記クロック周期よりも小さな分解能にて前記時間間隔を求める

ことを特徴とする請求項1に記載の時間測定装置。

[請求項6] 前記第1クロック選択部は、前記第1対象信号と前記原クロック信号とのタイミング関係に基づき、前記原クロック信号と同一の位相を有する又は前記原クロック信号の位相を反転させたクロック信号を選択的に出力し、

前記第2クロック選択部は、前記第2対象信号と前記第1クロック選択部の出力クロック信号とのタイミング関係に基づき、前記第1クロック選択部の出力クロック信号と同一の位相を有する又は前記第1クロック選択部の出力クロック信号の位相を反転させたクロック信号を選択的に出力する

ことを特徴とする請求項5に記載の時間測定装置。

[請求項7] 測定される前記時間間隔は、前記第1対象信号の信号レベルが所定の第1レベルから所定の第2レベルに遷移したタイミングと、前記第2対象信号の信号レベルが前記第1レベルから前記第2レベルに遷移したタイミングとの間の時間長さであり、

前記第1クロック選択部は、前記第1対象信号の信号レベルが前記第1レベルから前記第2レベルに遷移したタイミングが、前記原クロック信号の位相における 90° から 270° の範囲に属するとき、前記原クロック信号と同一の位相を有するクロック信号を出力する一方、そうでないとき、前記原クロック信号の位相を反転させたクロック信号を出力し、

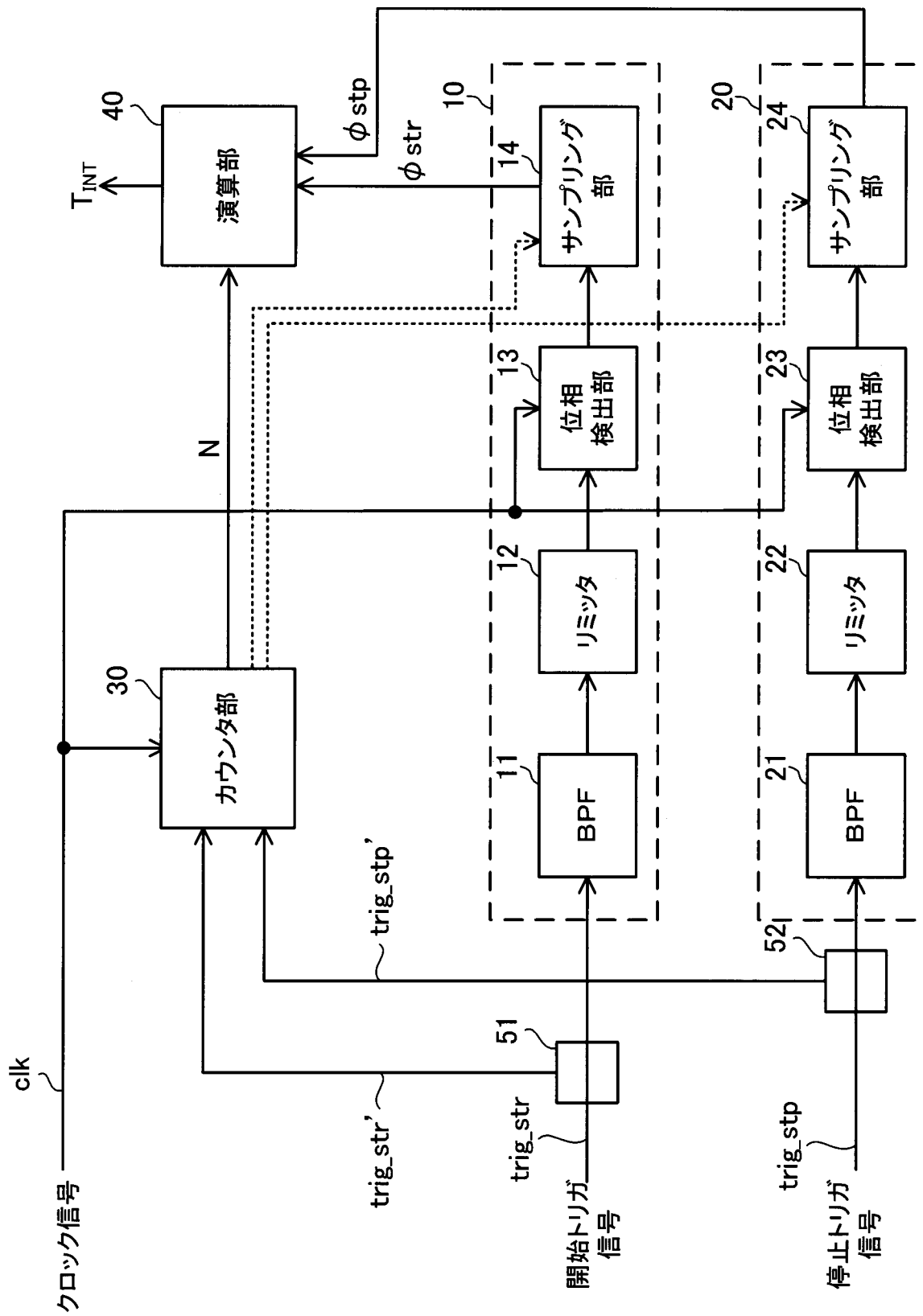
前記第2クロック選択部は、前記第2対象信号の信号レベルが前記第1レベルから前記第2レベルに遷移したタイミングが、前記第1クロック選択部の出力クロック信号の位相における 90° から 270° の範囲に属するとき、前記第1クロック選択部の出力クロック信号と同一の位相を有するクロック信号を出力する一方、そうでないとき、前記第1クロック選択部の出力クロック信号の位相を反転させたクロック信号を出力する

ことを特徴とする請求項6に記載の時間測定装置。

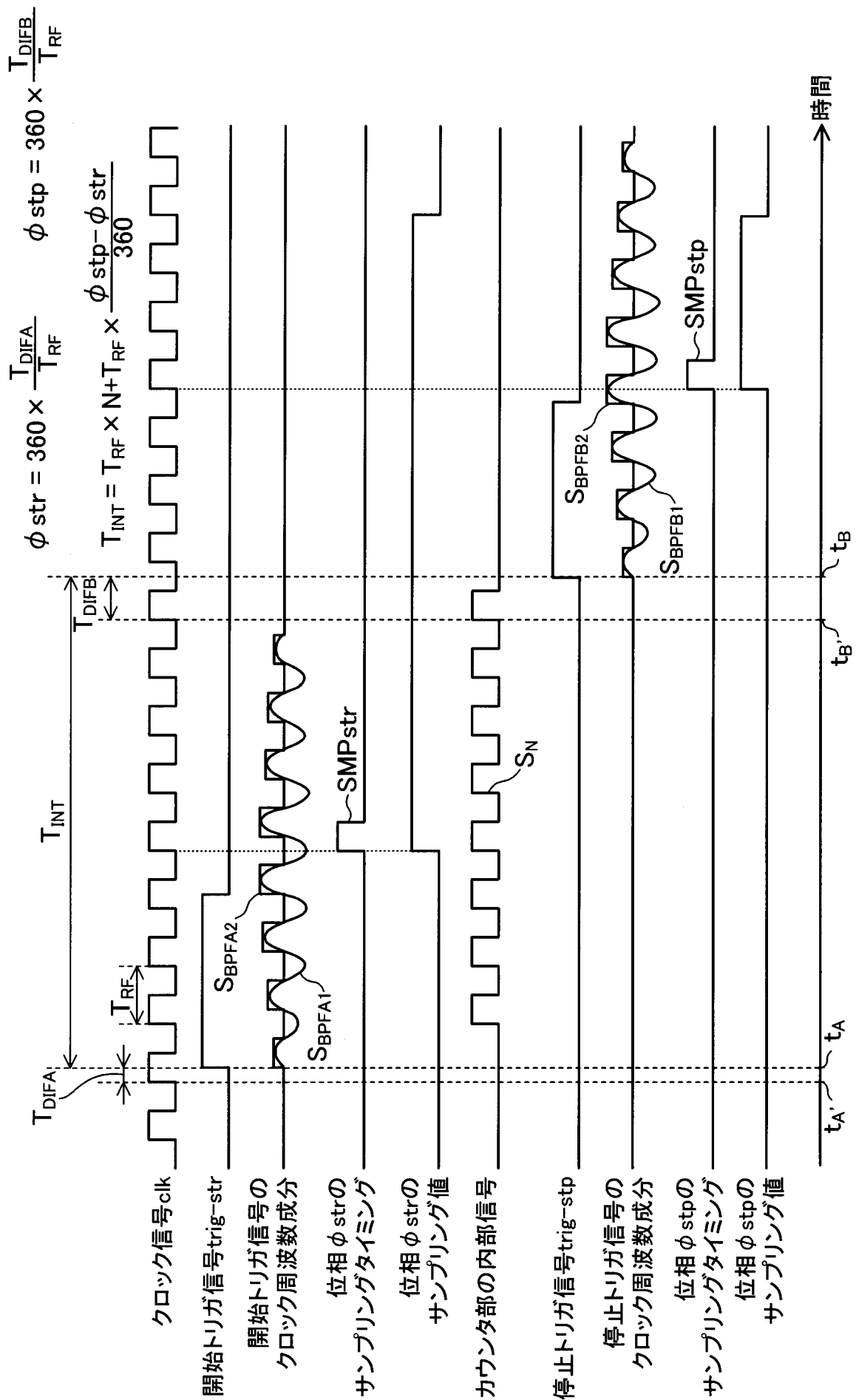
[請求項8] 前記周期数検出部は、前記第1対象信号及び前記原クロック信号に基づく信号と、前記第2対象信号及び前記第1クロック選択部の出力クロック信号に基づく信号を用いて、前記クロック周期を単位として前記時間間隔を検出することを特徴とする請求項5～7の何れかに記載の時間測定装置。

[請求項9] 前記位相検出ユニットは、
前記第1対象信号から前記クロック周波数の信号成分を第1抽出信号として抽出する第1バンドパスフィルタを有し、その第1抽出信号と前記クロック信号との位相差を検出する第1位相検出ユニットと、
前記第2対象信号から前記クロック周波数の信号成分を第2抽出信号として抽出する第2バンドパスフィルタを有し、その第2抽出信号と前記クロック信号との位相差を検出する第2位相検出ユニットと、
を備え、
前記演算部は、前記周期数検出部の検出結果と前記第1及び第2位相検出ユニットによる検出位相差とを用いて、前記クロック周期よりも小さな分解能にて前記時間間隔を求めることを特徴とする請求項1に記載の時間測定装置。

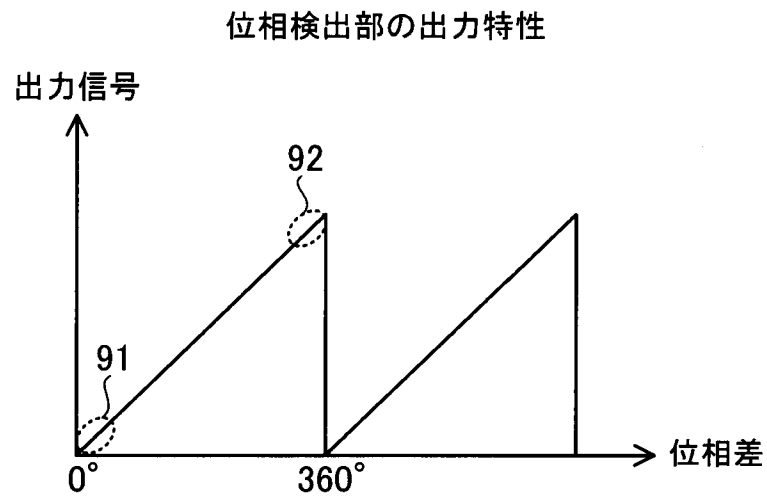
[図1]



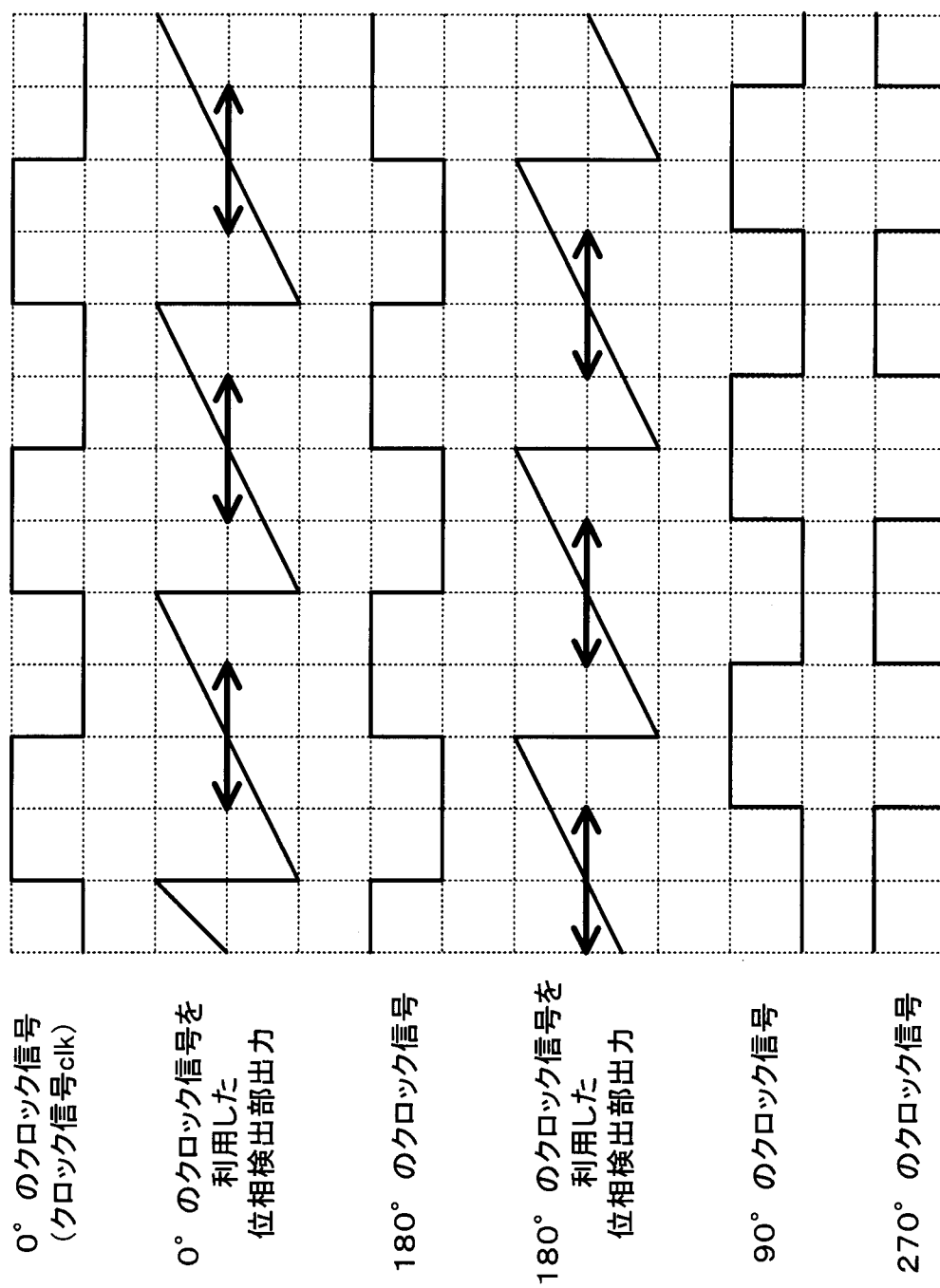
[図2]



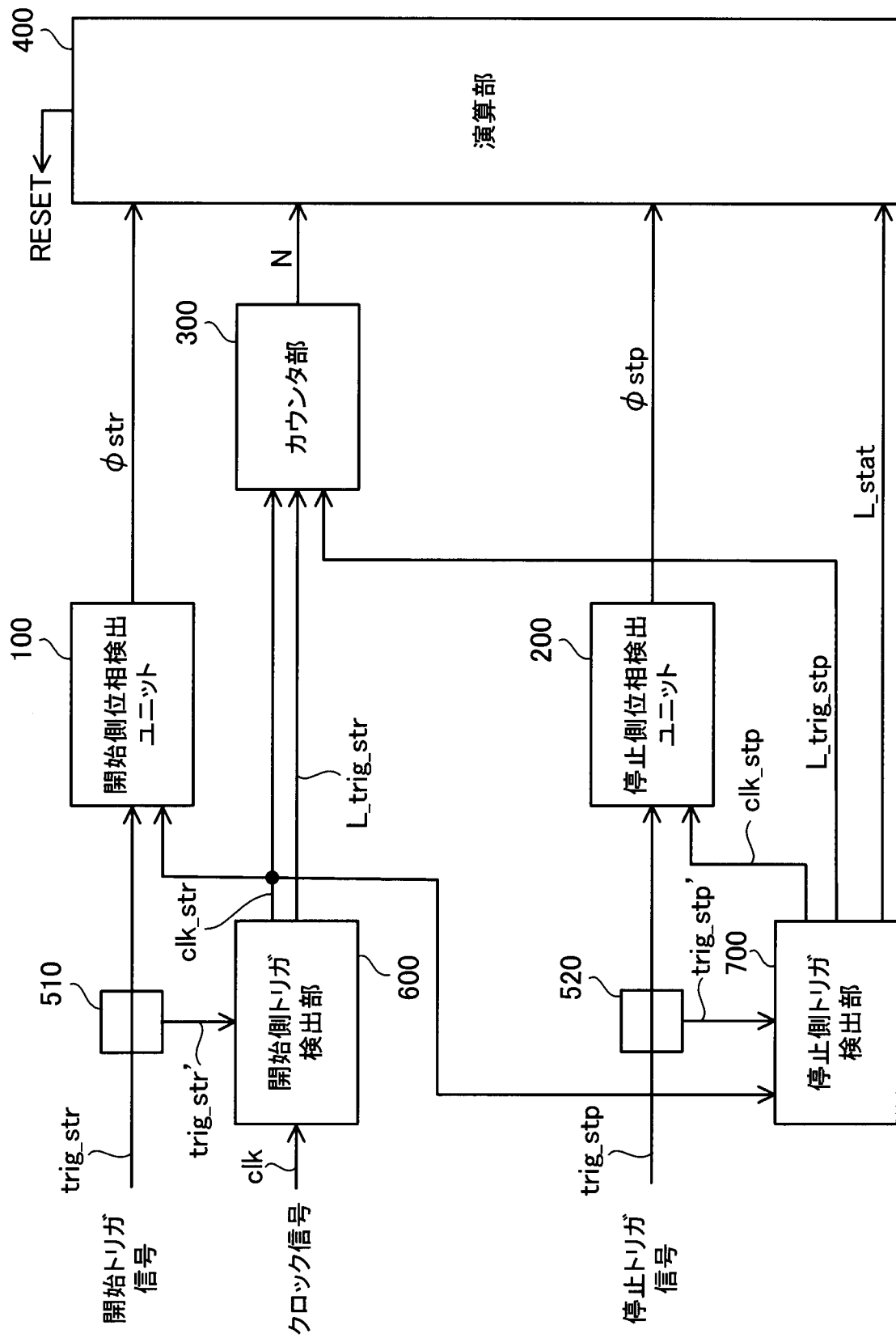
[図3]



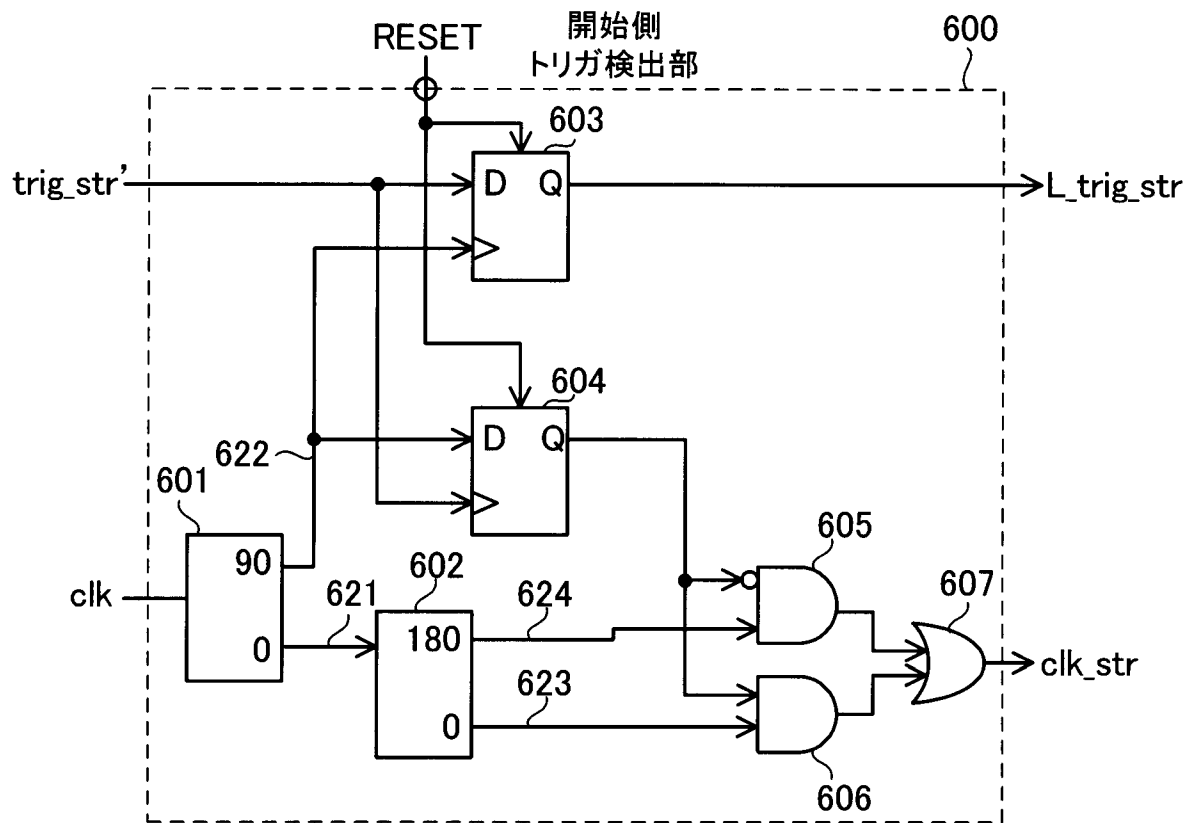
[図4]



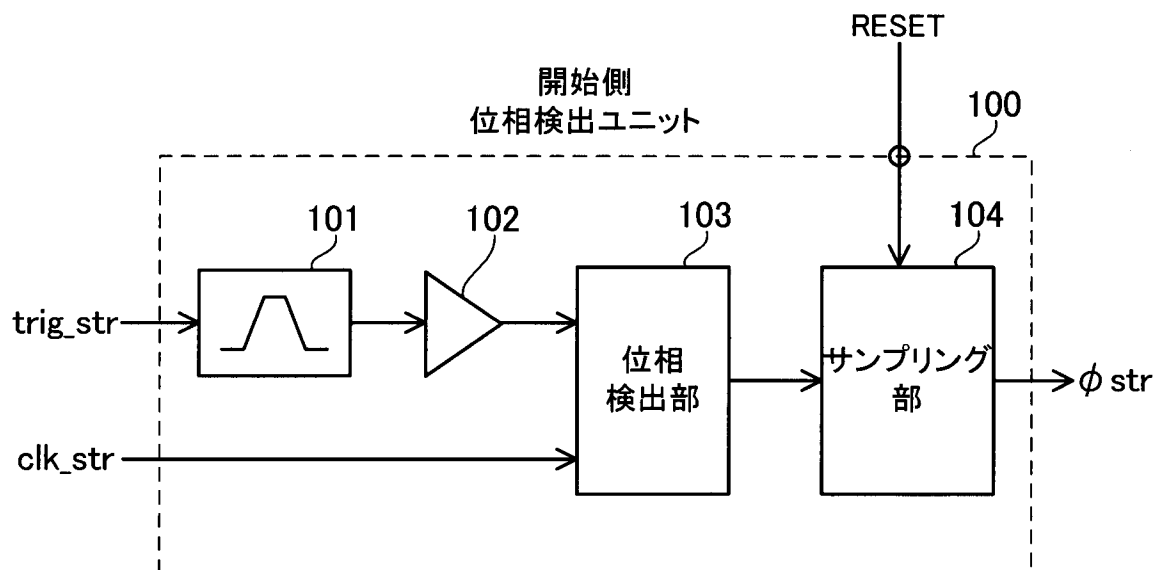
[図5]



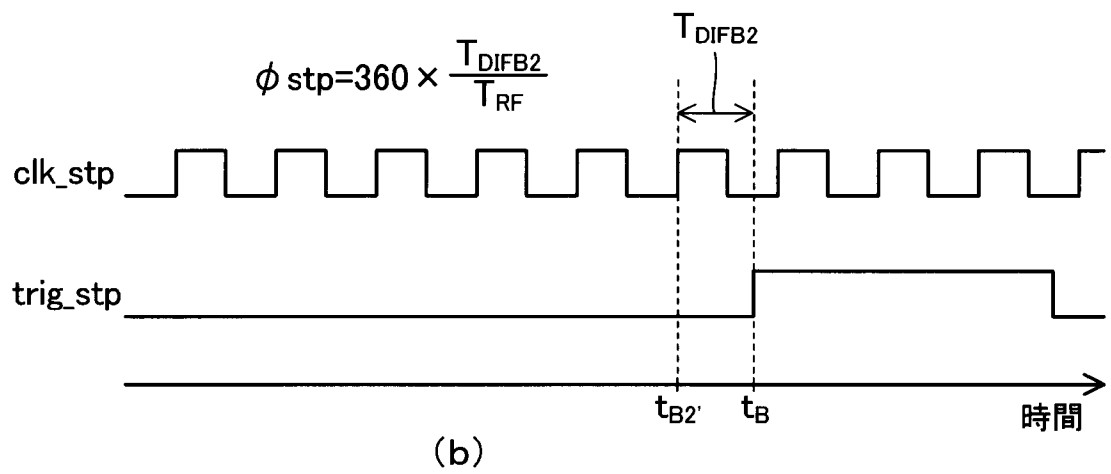
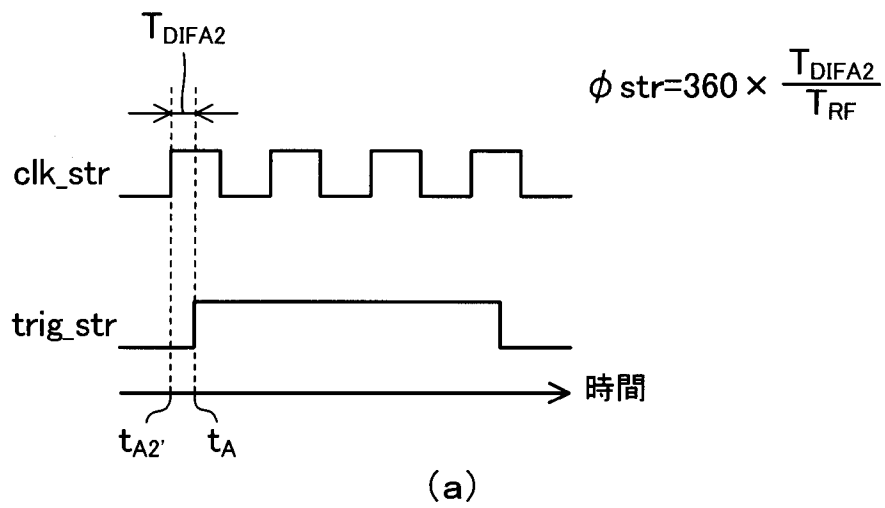
[図6]



[図7]

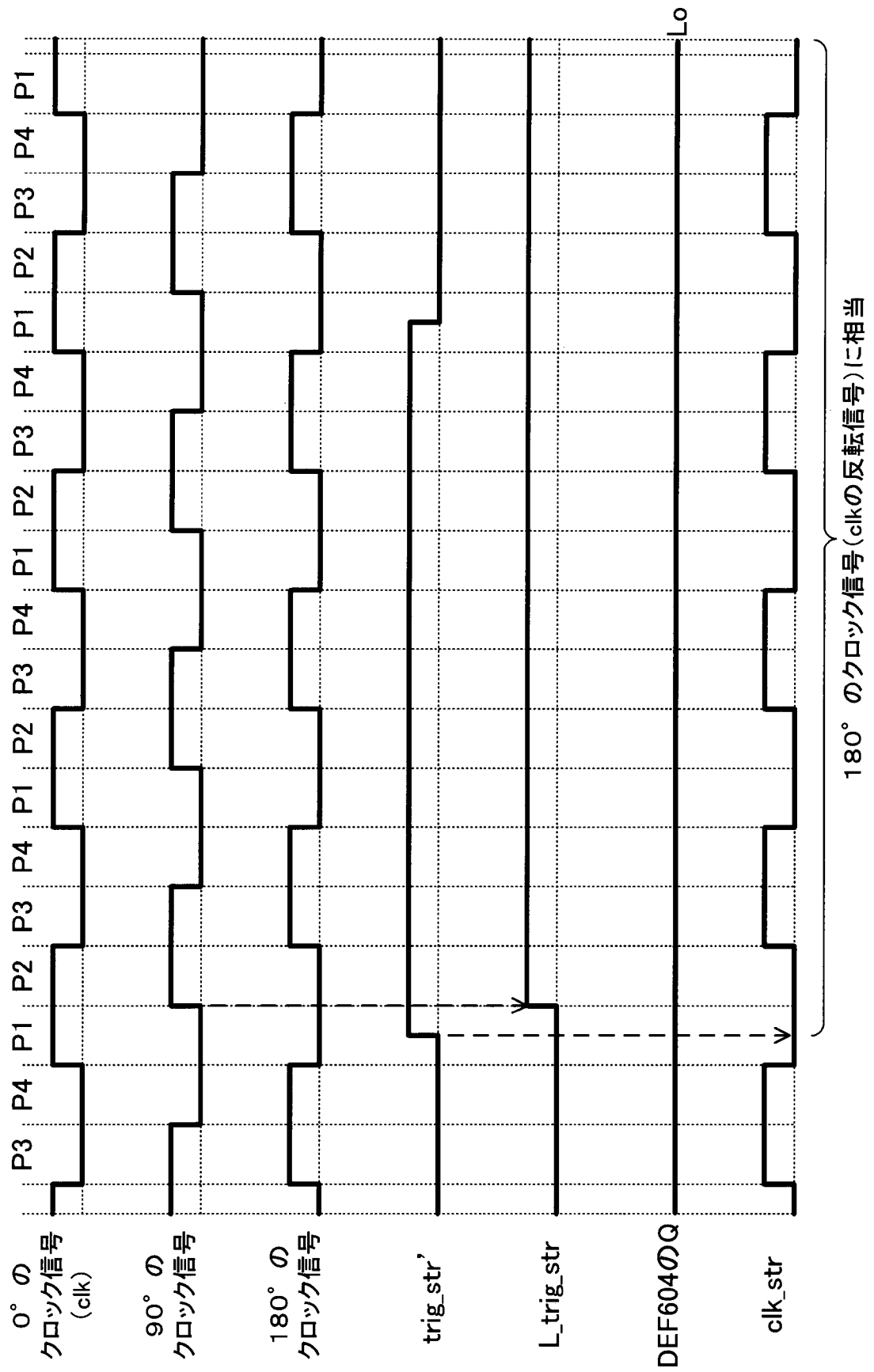


[図8]



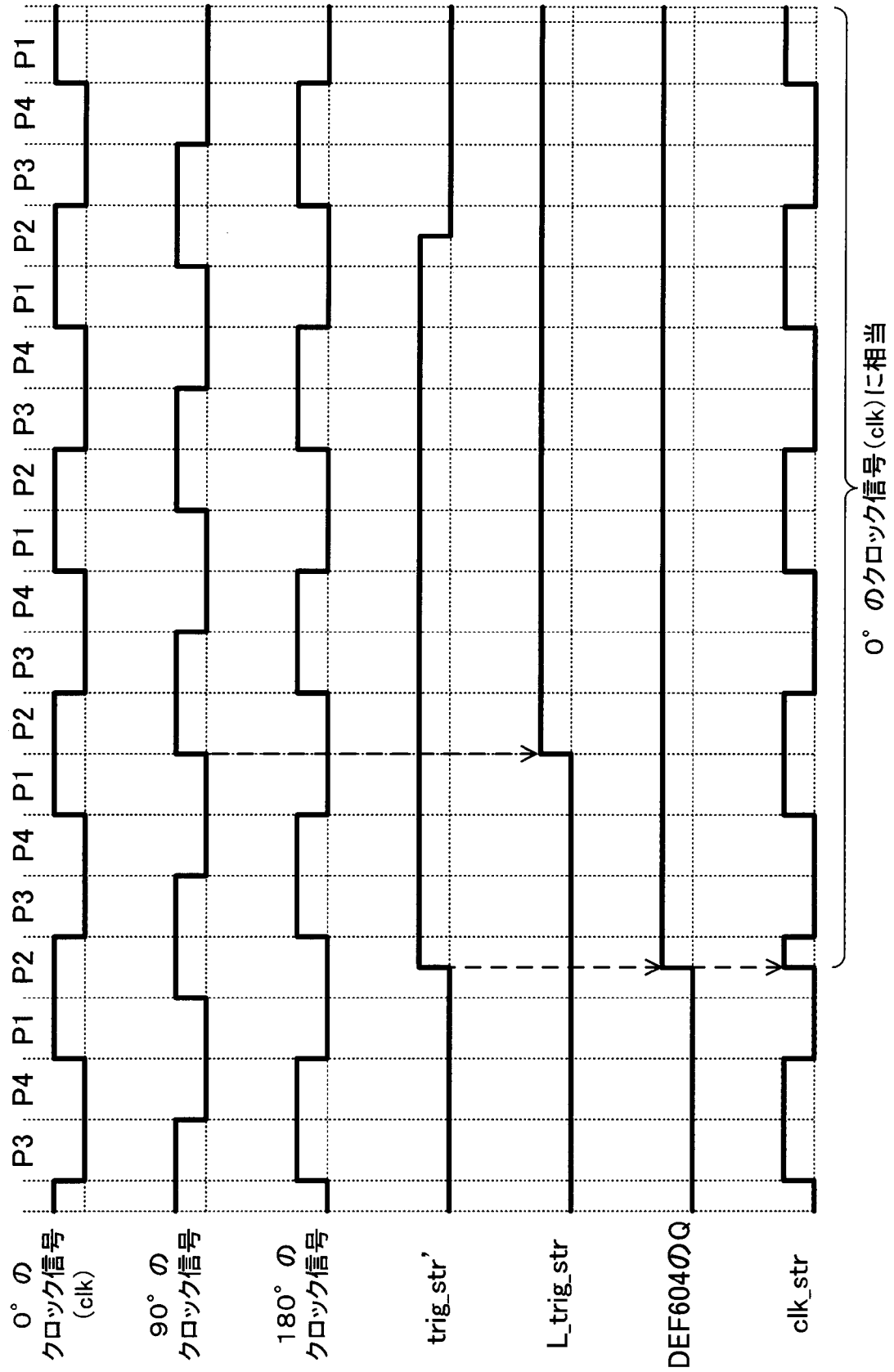
[図9]

ケースA1(開始トリガ信号のアップエッジタイミングが
クロック信号clkの位相における $0^\circ \sim 90^\circ$ の範囲内)



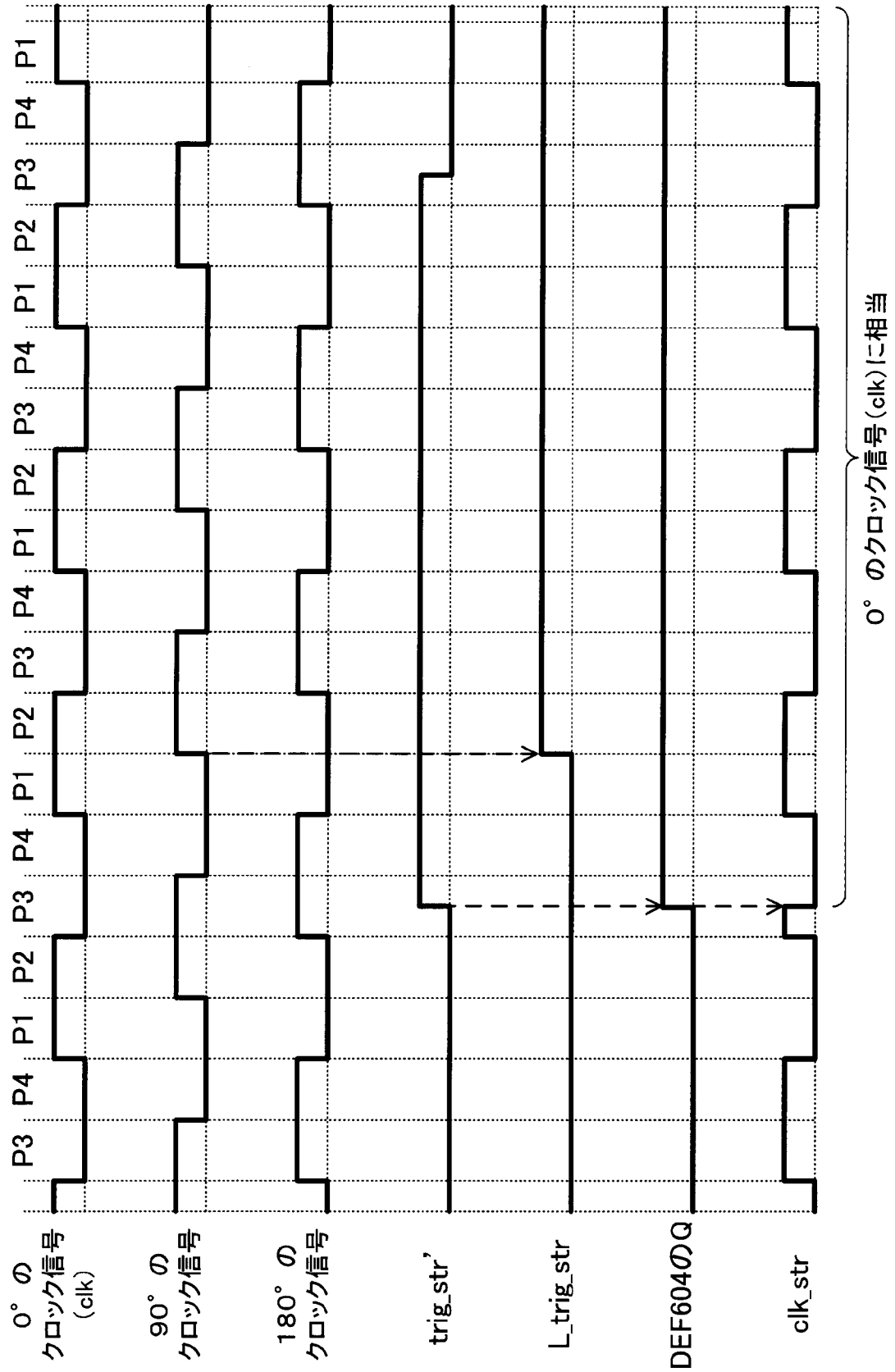
[図10]

ケースA2(開始トリガ信号のアップエッジタイミングが
クロック信号clkの位相における $90^\circ \sim 180^\circ$ の範囲内)



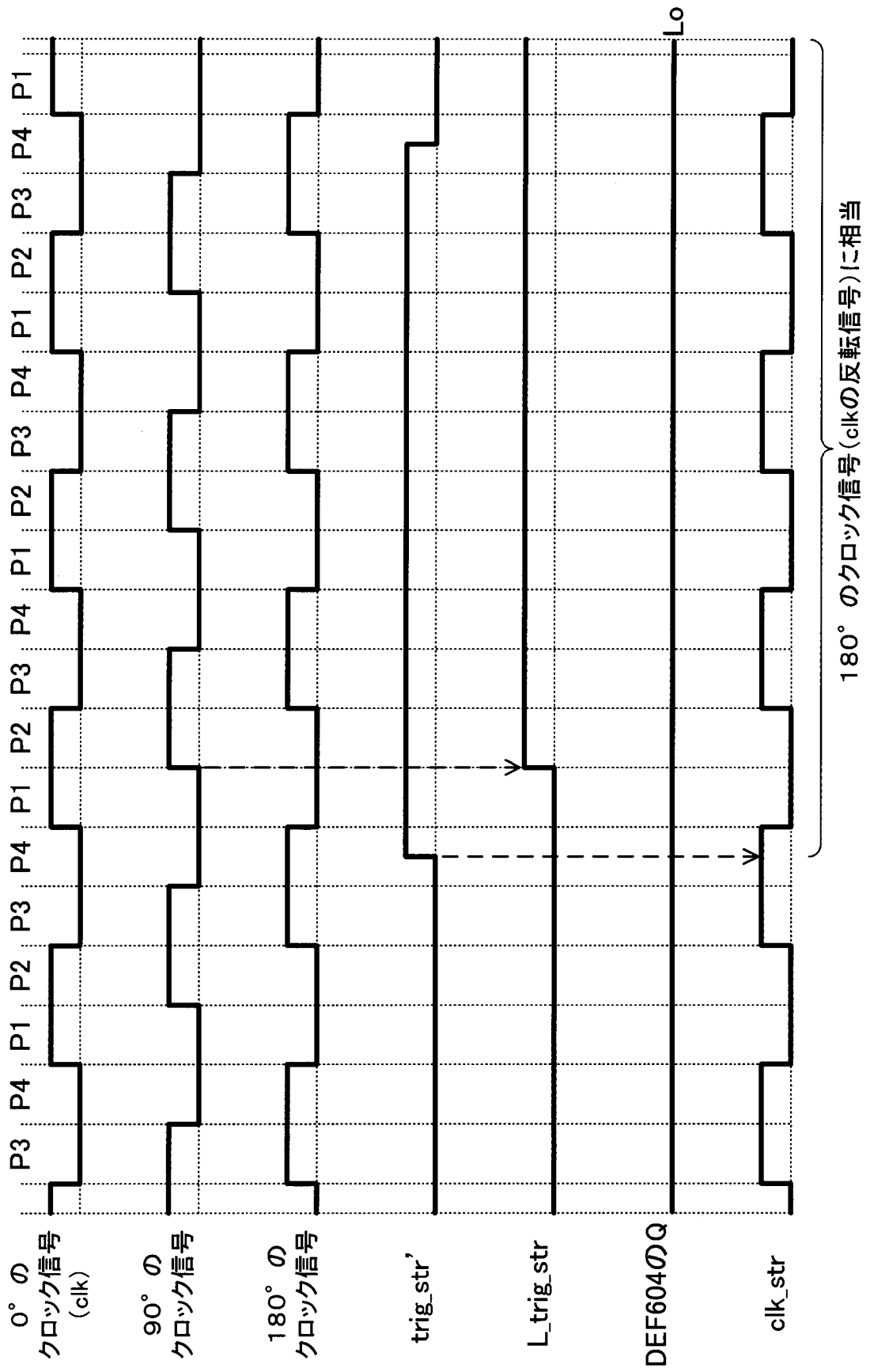
[図11]

ケースA3(開始トリガ信号のアップエッジタイミングが
クロック信号clkの位相における 180° ~ 270° の範囲内)

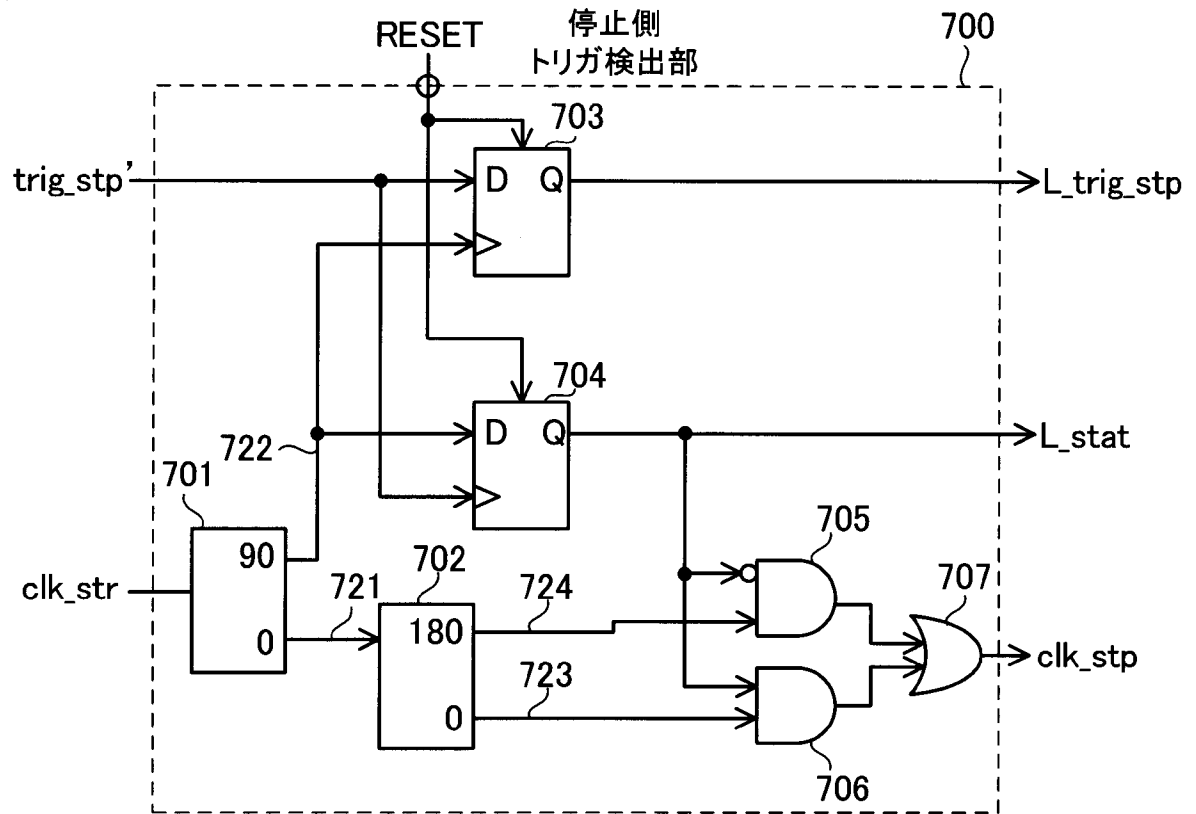


[図12]

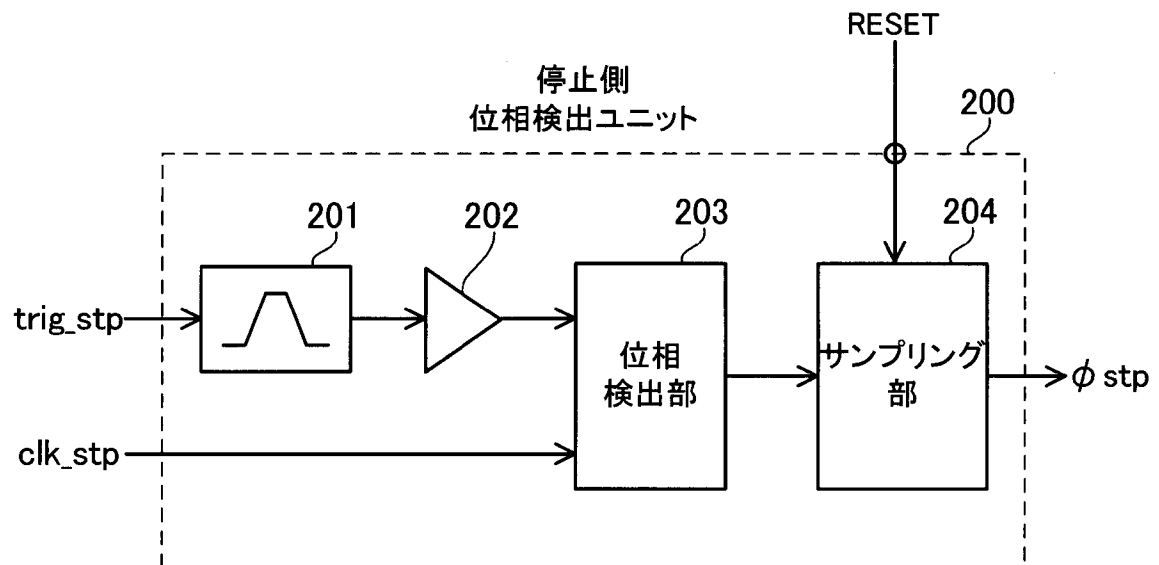
ケースA4 (開始トリガ信号のアップエッジタイミングが
クロック信号clkの位相における $270^\circ \sim 360^\circ$ の範囲内)



[図13]

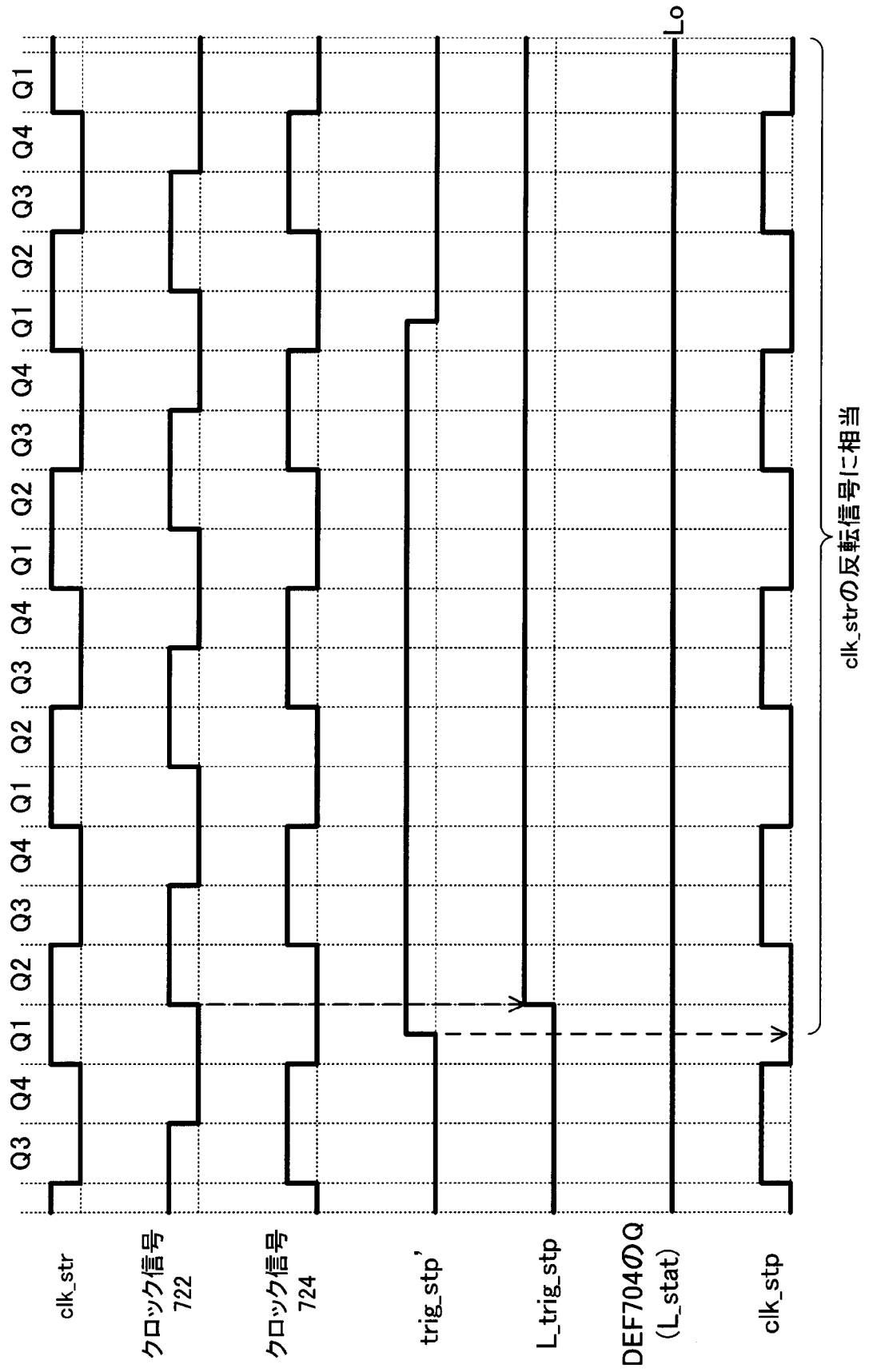


[図14]



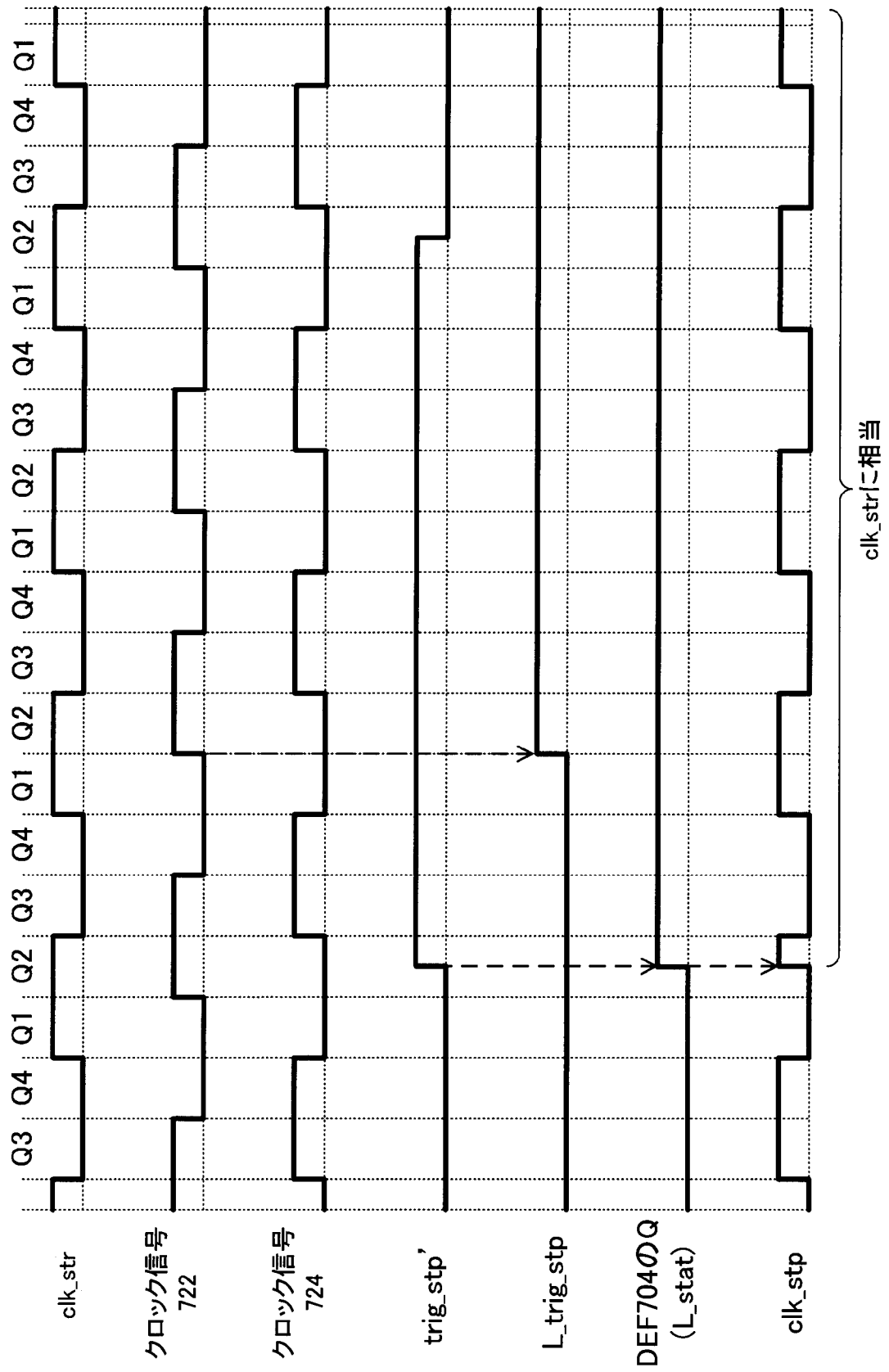
[図15]

ケースB1 (停止トリガ信号のアップエッジタイミングが
クロック信号clk_strの位相における $0^\circ \sim 90^\circ$ の範囲内)



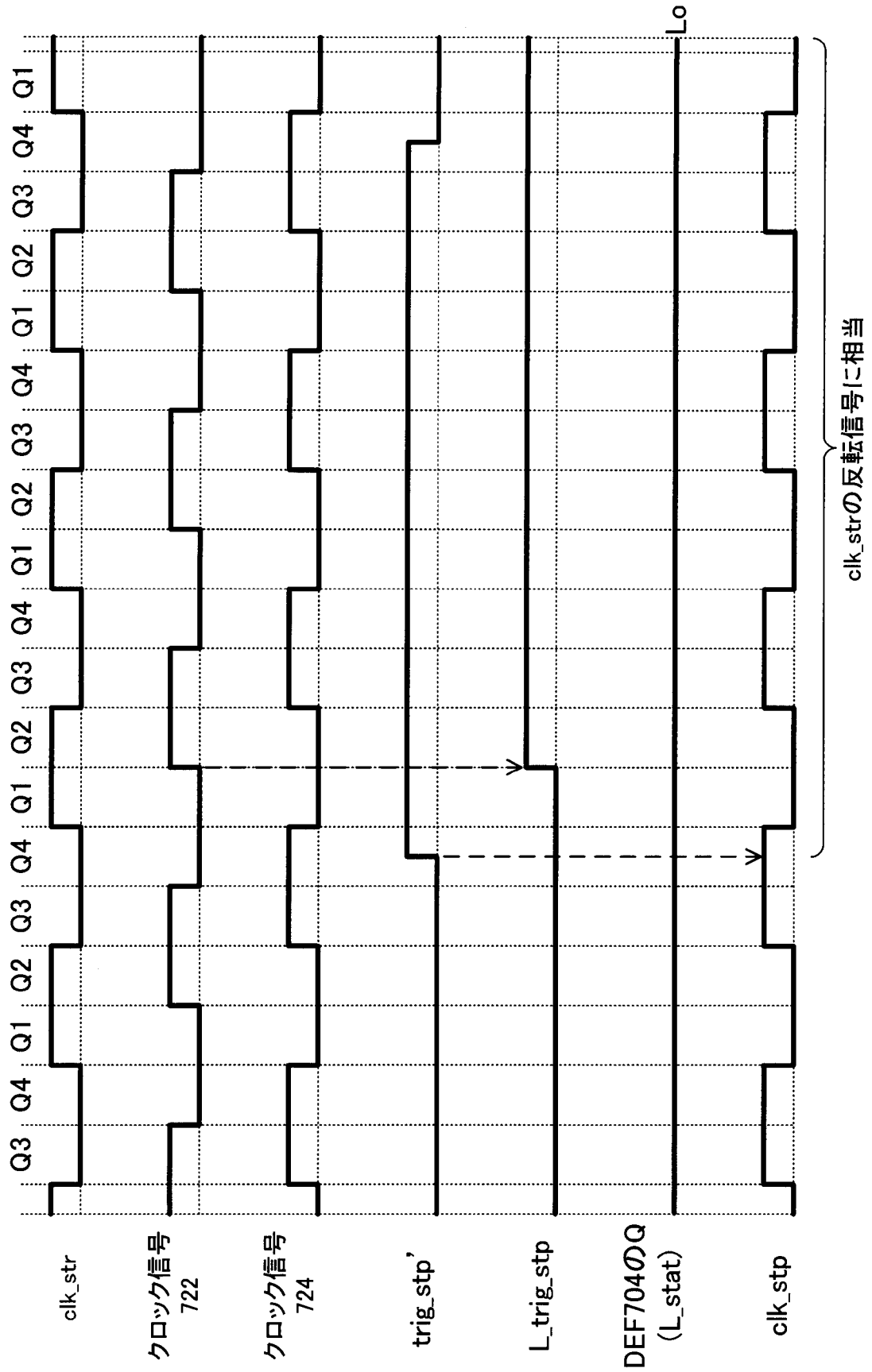
[図16]

ケースB2(停止トリガ信号のアップエッジタイミングが
クロック信号clk_strの位相における90° ~ 180° の範囲内)

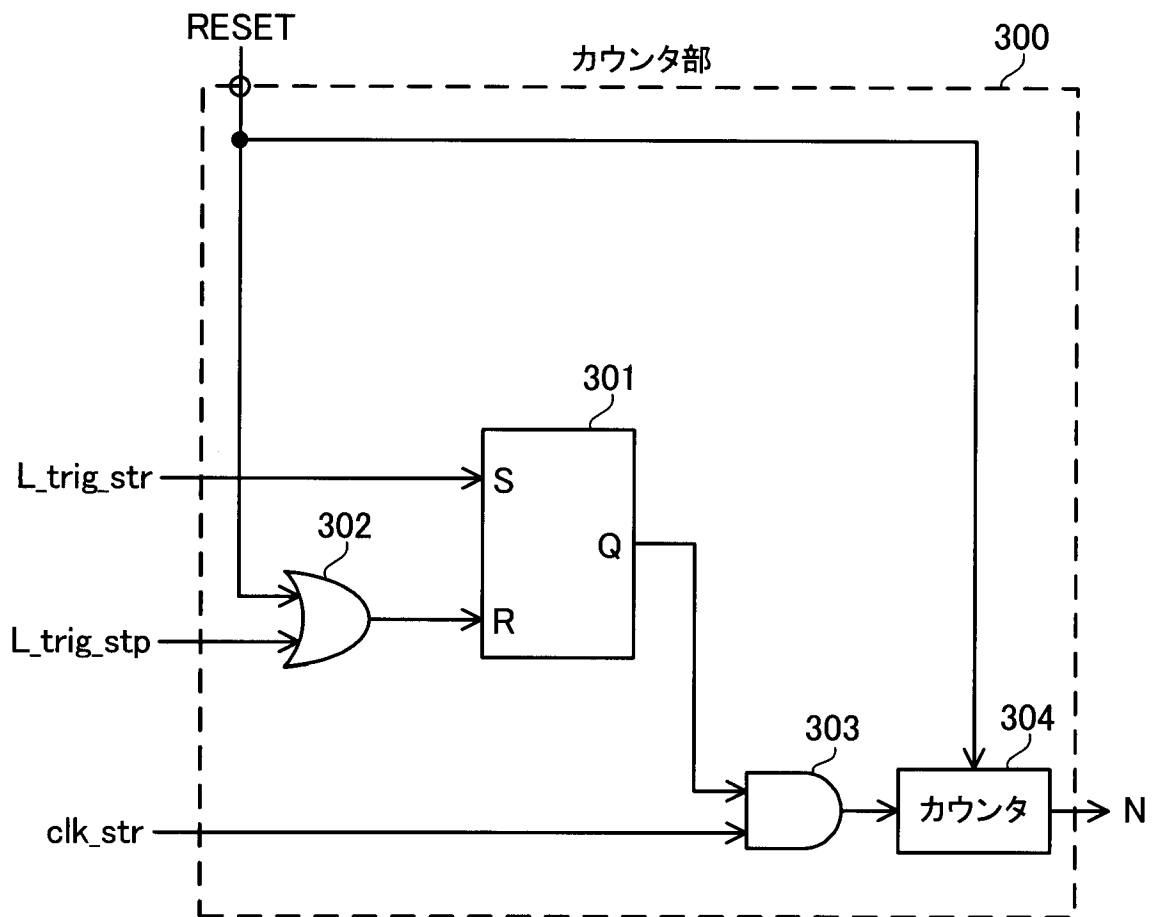


[図18]

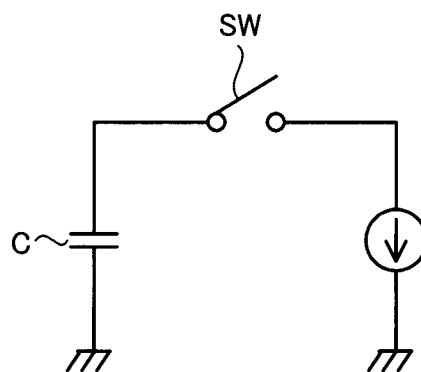
ケースB4(停止トリガ信号のアップエッジタイミングが
クロック信号clk_strの位相における $270^{\circ} \sim 360^{\circ}$ の範囲内)



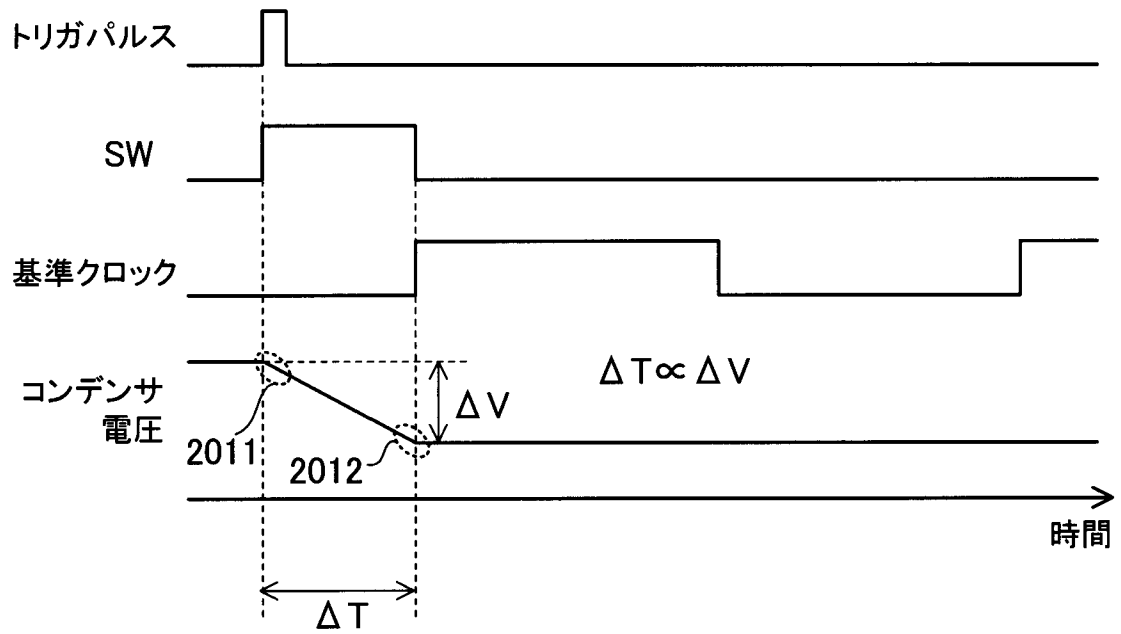
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/050335

A. CLASSIFICATION OF SUBJECT MATTER

G04F10/04(2006.01)i, G04F10/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G04F10/04, G04F10/06, G01R29/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-322232 A (Canon Inc.), 13 December 2007 (13.12.2007), paragraphs [0042] to [0063]; fig. 4 to 9 (Family: none)	1-9
A	JP 06-138261 A (Mitsubishi Electric Corp.), 20 May 1994 (20.05.1994), paragraphs [0015] to [0022]; fig. 1, 2 (Family: none)	1-9
A	JP 62-095487 A (Yokogawa Electric Corp.), 01 May 1987 (01.05.1987), page 1, lower right column, line 12 to page 5, upper left column, line 14; fig. 1 to 6 (Family: none)	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 March 2016 (30.03.16)

Date of mailing of the international search report
12 April 2016 (12.04.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G04F10/04(2006.01)i, G04F10/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G04F10/04, G04F10/06, G01R29/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-322232 A（キヤノン株式会社）2007.12.13, 段落【0042】－【0063】、第4－9図（ファミリーなし）	1-9
A	JP 06-138261 A（三菱電機株式会社）1994.05.20, 段落【0015】－【0022】、第1, 2図（ファミリーなし）	1-9
A	JP 62-095487 A（横河電機株式会社）1987.05.01, 第1頁右下欄第12行－第5頁左上欄第14行、第1－6図 （ファミリーなし）	1-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

30.03.2016

国際調査報告の発送日

12.04.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

藤田 憲二

2 F

3488

電話番号 03-3581-1101 内線 3216