(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 35/32 (2006.01)

(45) 공고일자 2006년03월10일
(11) 등록번호 10-0558802
(24) 등록일자 2006년03월02일

(21) 출원번호 10-2003-7007300
(22) 출원일자 2003년05월30일
번역문 제출일자 2003년05월30일
(86) 국제출원번호 PCT/GB2001/005195
국제출원일자 2001년11월23일

(65) 공개번호 10-2003-0059298
(43) 공개일자 2003년07월07일
(87) 국제공개번호 WO 2002/47178
국제공개일자 2002년06월13일

(81) 지정국 국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바르바도스, 불가리아, 브라질, 벨라루스, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬랜드, 일본, 케냐, 키르키즈스탐, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크맨, 터어키, 트리니아드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 안티구와바부다, 코스타리카, 도미니카, 알제리, 모로코, 탄자니아, 남아프리카, 벨리제, 모잠비크, 에쿠아도르, 필리핀, 콜롬비아, 가나, 감비아, 인도네시아, 시에라리온, 짐바브웨, 그라나다, 세르비아 앤 몬테네그로, 크로아티아, 인도, 캐나다,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 모잠비크, 탄자니아, 짐바브웨,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탐, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크맨,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스, 터어키,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우, 적도 기니,

(30) 우선권주장 09/731,614 2000년12월07일 미국(US)

(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자 그호스할,우탐,시야말린두
미국78733텍사스주오스틴인디고브롬루프10421

(74) 대리인 주성민
장수길

심사관 : 하정균

(54) 열전 장치 및 그 제조 방법 및 시스템

요약

개선된 효율을 가진 열전 장치가 제공된다. 일 실시예에서, 열전 장치는 냉온 판에 열적으로 결합된 전기 전도체와 전기 전도체에 전기적으로 결합된 열소자를 포함한다. 열소자는 열전 재료로 이루어지고 열소자가 전기 전도체에 전기적으로 결합되는 복수의 팁을 포함한다. 열전 팁은 열전 전도체와 열소자 사이의 열 전도를 최소화하는 동시에 저저항 접속을 제공한다.

대표도

도 2

색인어

열소자, 열전 장치, 열전 팁, 전기 전도체, 열 전도체

명세서

기술분야

본 발명은 집적 회로 칩과 같은 물체를 냉각하기 위한 열전 장치에 관한 것으로, 특히, 열전 냉각기에 관한 것이지만, 이에 한정되지는 않는다.

배경기술

컴퓨터의 속도가 계속 증가되어 감에 따라, 컴퓨터 내의 회로들에 의해 발생되는 열도 계속 증가되어 가고 있다. 회로와 애플리케이션이 많아지므로, 이렇게 증가된 열은 컴퓨터의 성능을 저하시킨다. 이들 회로는 최고의 효율로 작동하기 위해서는 냉각될 필요가 있다. 개인용 컴퓨터와 같은 많은 저급 컴퓨터에 있어서, 이들 컴퓨터는 단지 대류 냉각을 위한 팬 및 핀을 이용하여 냉각될 수 있다. 하지만, 고속으로 동작하여 더 많은 열을 생성하는 메인 프레임과 같은 고급(대용량) 컴퓨터에 대해서는, 이와 같은 방식은 통하지 않는다.

현재, 메인 프레임에서는, 증기 압축 냉각기를 이용하여 그 컴퓨터를 냉각시킨다. 이러한 증기 압축 냉각기는 가정에서 이용되는 중앙 냉방 장치(central air conditioning unit)와 본질적으로 같은 원리로 수행된다. 하지만, 증기 압축 냉각기는, 과열되면 성능이 감소하는 민감한 특정 영역을 냉각시키기 위해 메인 프레임의 각종 부품에 대하여 동작하는 절연 및 호스(hoses)가 필요해져서 기계적으로 상당히 복잡해진다.

냉각기의 더 단순하고 더 저렴한 형태가 열전 냉각기이다. 열전 냉각기는, 두개의 상이한 재료에 전원으로부터의 DC 전류가 인가되면 2개의 상이한 재료의 접합에서 열이 흡수되는 펠티어 효과(Peltier Effect)로 알려진 물리적 원리를 이용한다. 따라서, 열은 고온 기판으로부터 제거되고 히트 싱크(heat sink)로 전달되고 이에 의해서 고온 기판이 냉각된다. 열전 냉각기는 집적 회로 칩 내에 제조될 수도 있고 증기 압축 냉각기에 의해서 요구되는 복잡한 기계적 시스템 없이 직접 특정 고온 부분을 냉각시킬 수도 있다.

그러나, 현재 열전 냉각기는 증기 압축 냉각기만큼 효율이 좋지 않기 때문에 동일한 냉각 용량을 성취하기 위해서는 더 많은 전력이 요구된다. 또한, 현재 열전 냉각기는 증기 압축 냉각기만큼 많은 물체를 냉각시킬 수 없다. 따라서, 복잡한 증기 압축 냉각기를 예를 들면 메인 프레임 컴퓨터, 고온 칩의 열관리, RF 통신 회로, 자기 판독/기록 헤드, 광학 장치 및 레이저 및 자동 냉동 시스템과 같은 소형 냉동 애플리케이션으로부터 제거하기 위해서, 개선된 효율과 냉각 용량을 가진 열전 냉각기가 요구된다.

발명의 개요

본 발명은 개선된 효율을 가진 열전 장치를 제공한다. 일 실시예에서, 열전 장치는 냉온 판에 열적으로 결합된 전기 전도체와 전기 전도체에 전기적으로 결합된 열소자(thermoelement)를 포함한다. 열소자는 열전 재료로 이루어지고 열소자가 전기 전도체에 전기적으로 결합되는 복수의 팁을 포함한다. 열전 팁은 열전 전도체와 열소자 사이의 열 전도를 최소화하는 동시에 저저항 접속을 제공한다.

본 발명의 제1 실시예에 따르면,

평면 전기 전도체; 및

상기 평면 전기 전도체에 전기적으로 결합되는 복수의 팁이 형성된 열전 재료로 이루어진 열소자를 포함하는 열전 장치가 제공되어 있다.

본 발명의 제2 실시예에 따르면,

팁 인터페이스(tipped interface)를 가진 열소자를 포함하는 열전 장치를 제조하는 방법에 있어서,

열전 결정 재료의 제1 면을 금속 전극에 본딩하는 단계;

형성될 팁의 위치를 규정하기 위해 열전 결정 재료의 제2 면에서 포토레지스트 마스크를 패터닝하는 단계; 및

상기 열전 결정 재료에 복수의 팁을 형성하기 위해 상기 포토레지스트 마스크가 있는 상태에서 상기 제2 면을 에칭하는 단계를 포함하는 방법이 제공되어 있다.

도면의 간단한 설명

본 발명의 신규한 특징과 특성은 첨부된 청구범위에서 알 수 있다. 그러나 첨부된 도면을 참조하여 이하의 실시예의 상세한 설명을 숙지하면 바람직한 실시예 뿐만 아니라 발명 그 자체와 그의 목적과 이점이 더욱 잘 이해되어질 것이다.

도 1은 종래 기술에 따른 열전 냉각(TEC: thermoelectric cooling) 장치의 최상위 블록도이고;

도 2는 본 발명에 따라 개선된 구조의 인터페이스를 가진 열전 냉각기의 단면도이고;

도 3은 본 발명에 따른 도 2의 열전 냉각기(200)의 평면도이고;

도 4a 및 도 4b는 본 발명에 따라 도 2의 팁(250) 중 하나로 실시될 수도 있는 팁의 단면도이고;

도 5는 본 발명에 따라 초격자에 근접하는 팁의 온도 필드를 나타낸 단면도이고;

도 6은 본 발명에 따라 모든 금속 팁이 개선된 구조의 인터페이스를 가지는 열전 냉각기의 단면도이고;

도 7은 본 발명에 따라 모든 금속 팁을 형성하기 위한 희생 실리콘 템플릿의 단면도이고;

도 8은 본 발명에 따른 실리콘 희생 템플릿을 사용하여 모든 금속 콘(cone)을 제조하는 예시적인 방법을 나타내는 플로차트이고;

도 9는 본 발명에 따라 패터닝된 포토레지스트를 사용하여 형성된 모든 금속 콘의 단면도이고;

도 10은 본 발명에 따라 포토레지스트를 사용하여 모든 금속 콘을 형성하는 예시적인 방법을 나타낸 단면도이고;

도 11은 본 발명에 따른 인터페이스에서의 팁에 금속 전도층보다는 열전 재료가 형성된 개선된 구조의 인터페이스를 가지는 열전 냉각기의 단면도이고;

도 12는 본 발명에 따른 열전 냉각기를 제조하는 예시적인 방법의 플로차트이고,

도 13은 열전 재료에 팁을 제조하는데 필요한 포토레지스트의 위치결정을 나타낸 단면도이고,

도 14는 본 발명에 따라 표면에 대한 팁의 위치결정을 나타내는 열전 냉각기에 사용하기 위한 표면상의 냉각 포인트 팁을 나타낸 도면이고,

도 15는 열전 전력 발생기의 개략도를 나타낸 도면이다.

바람직한 실시예의 상세한 설명

본 발명에 따른 여러 냉각(TEC) 장치의 상위 블록도가 도 1에 도시되어 있다. 열전 냉각의 잘 아려진 원리는 펠티어 효과(Peltier Effect)에 기초하는데, 이 효과에 따르면 DC 전류가 2개의 다른 재료를 가로질러 인가되면 2개의 다른 재료의 접합부에서 열이 흡수된다.

통상적으로 알려진 열전 냉각 장치(100)는 열 전도 특성이 양호하지만 전기 전도 특성이 열악한 전기 전도체(108)와, 전기 전도체(110 및 104) 사이에 각각 개재된 p-형 반도체(104)와 n-형 반도체(106)를 이용한다. n-형 반도체(106)는 전자가 과도한 반면 n-형 반도체(104)는 전자가 부족하다. DC 전원(102)은 2개의 전기 전도체(114) 사이에 접속되어 있다.

전자가 전기 전도체(110)로부터 n-형 반도체(106)로 이동함으로써, 열원(112)으로부터 흡수된 열에너지에 기인하여 전자의 에너지 상태가 상승한다. 이 공정은 n-형 반도체(106)와 전기 전도체(114)를 통하여 흐르는 전자를 경유하여 히트 소스(heat source)(112)로부터 히트 싱크(heat sink)(116)로 열에너지가 전달되는 효과를 갖는다. 이들 전자는 낮은 에너지 상태로 떨어지고 전기 전도체(114)에서 열에너지로 방출된다.

열전 냉각기(100)와 같은 냉각 동결기의 성능 계수 η는 그 동결기의 냉각 용량을 총 소비전력으로 나눈 비율이다. 따라서, 성능 계수는

$$\eta = \frac{\alpha I T_c - \frac{1}{2} I^2 R - K\Delta T}{I^2 R + \alpha I \Delta T}$$

으로 주어진다.

αIT_c항은 열전 냉각에 기인하고, $1/2I^2R$항은 주울열 배류(backflow)에 기인하고, $K\triangle T$항은 열 전도에 기인하고, I^2R항은 주울 손실에 기인하고, $\alpha I\triangle T$항은 펠티어 전압에 대하여 이루어진 일에 기인하고, α는 재료에 대한 제베크(seebeck) 계수이고, K는 펠티어 장치의 열 전도율이고, T_c는 히트 소스의 온도이고, $\triangle T$는 히트 싱크의 온도 T_h로부터의 히트 소스의 온도차이다.

최대 성능 계수는 전류 I를 최적화 함으로써 유도되고, 다음 관계식으로 주어진다.

$$\eta_{max} = \left(\frac{T_c}{\Delta T}\right)\left[\frac{\gamma - T_h/T_c}{\gamma + 1}\right]$$

여기서 파라미터 γ는

$$\gamma = \sqrt{1 + \frac{\alpha^2 \sigma}{\lambda}\left(\frac{T_h + T_c}{2}\right)}$$

으로 표현될 수 있고, 여기서 σ는 전기 전도율이고 λ는 열 전도율이다.

동결기의 효율 배수 ε은 다음 식으로 주어진다.

$$\varepsilon = \frac{\gamma - T_h/T_c}{\gamma + 1}$$

이득의 형태 ZT는 다음 식으로 주어진다.

$$ZT = \frac{\alpha^2 \sigma T}{\lambda}$$

여기서, 열 전도율 λ는 두 성분으로 이루어지는데 λ_e 성분은 전자에 기인하는 것이고 λ_L성분은 격자에 기인하는 것이고 T는 온도 T_c와 T_h의 평균이다. 따라서, 최대 효율 ε은 이득의 형태 ZT가 무한대에 근접하는 것으로 얻어진다. 증기 압축 동결기의 효율은 약 0.3이다. 도 1의 열전 냉각기(100)와 같은 종래 열전 냉각기의 효율은 통상적으로 0.1 미만이다. 따라서, 증기 압축 동결기(refrigerater)와 대등한 범위로 열전 냉각기의 효율을 증가시키기 위해서, 이득 형태 ZT는 2보다 크게 해야한다. 2보다 큰 이득 형태 ZT에 대한 값이 만족되면, 열적 냉각기는 증기 압축 동결기와 동일한 효율과 동일한 냉각 용량을 가지는 상태가 될 수 있다.

도 2를 참조하면, 개선된 구조의 인터페이스를 가지는 열전 냉각기의 단면도가 본 발명에 따라 도시되어 있다. 열전 냉각기(200)는 히트 싱크(226)를 포함하고, 이는 지적된 바와 같이 전류 I가 흐름에 따라서 열이 히트 싱크(202)로 방출 및 유도된다. 히트 소스(226)는 냉각되기를 바라는 어떤 물질에 열적으로 결합될 수도 있다. 히트 싱크(202)는, 히트 소스(226) 및/또는 쿨 히트 소스(cool heat source)(226)로부터 열을 일소하기 위해서, 예를 들면 히트 파이프, 핀(fin) 및/또는 압축 유닛과 같은 장치에 열적으로 결합될 수도 있다.

히트 소스(226)는 p- 형 도핑 실리콘으로 이루어진다. 히트 소스(226)는 팁(250)의 n+ 형 도핑 실리콘 영역(224 및 222)에 열적으로 결합된다. n+ 형 영역(224 및 222)은 양호한 열 전도체일 뿐만 아니라 전기 전도도된다. n+ 형 영역(224 및 222)의 각각이 히트 소스(226)와 역 다이오드를 형성하기 때문에 히트 소스(226)와 n+ 형 영역(224 및 222) 사이에 전류가 흐르지 않아, 전기 전도체(218 및 220)로부터 히트 소스(226)의 전기적인 격리가 이루어진다.

히트 싱크(202)는 p- 형 도핑 실리콘으로 이루어진다. 히트 싱크(202)는 n+ 형 도핑 실리콘 영역(204 및 206)에 열적으로 결합된다. n+ 형 영역(204 및 206)은 전기적으로 전도성이며 양호한 열 전도체이다. n+ 형 영역(204 및 206) 및 히트 싱크(202)의 각각이 역다이오드를 형성하기 때문에, n+ 형 영역(204 및 206)과 히트 싱크(202) 사이에 전류가 흐르지 않아 전기 전도체(208)로부터 히트 싱크의 전기적인 격리가 이루어진다. 열전 냉각기의 전기 격리에 대한 더 많은 정보는, 1999년 12월 9일에 "Electrically Isolated Ultra-Thin Substrates for Thermoelectric Coolers"를 제목으로 출원되고 New York의 Armonk의 International Business Machines Corporation에 양수된 미국 특허 제6,222,113 B1에서 알 수 있으면 다양한 목적으로 본 명세서에 포함되어 있다.

만일, 히트 싱크(202)와 히트 소스(226)가 도핑되지 않은 비전기(non-electrically) 전도 실리콘으로 전체적으로 구성되어 있다면, 히트 싱크(202)로부터 전도체(208)를 그리고 히트 소스(226)로부터 전도체(218 및 220)를 전기적으로 격리하

기 위해서 n+ 및 p- 영역과 역다이오드를 형성할 필요가 없다. 그러나, 실리콘이 전체적으로 도핑되어 있지 않다는 것을 확인하는 것이 매우 어렵다. 따라서, n+ 및 p- 영역에 의해서 형성된 역다이오드가 있으면 히트 싱크(202)와 히트 소스(226)가 전도체(208, 218 및 220)로부터 전기적으로 격리되어 있다는 것을 보장할 수 있다. 또한, 역다이오드를 사용하는 동일한 전기 격리가 다른 방식으로, 예를 들면 기술된 p- 및 n+ 형보다 p+ 형 도핑 실리콘 및 n- 형 도핑 실리콘을 사용함으로써 이루질 수 있음을 주목해야 한다. 여기에서 사용되는 n+ 및 p+ 라는 용어는 각각 고농도 n 도핑 반도체 재료와 고농도 p 도핑 반도체 재료를 의미하는 것이다. 여기에서 사용되는 n- 및 p- 라는 용어는 각각 저농도 n 도핑 반도체 재료와 저농도 p 도핑 반도체 재료를 의미하는 것이다.

열전 냉각기(200)는 도 1의 열전 냉각기(100)와 구성이 유사하다. 그러나, n-형(106) 및 p-형(104) 반도체 구조 인터페이스는 전기 전도체(208)에 의해서 전기적으로 결합되는 초격자 열소자 구조체(210 및 212)로 대체되었다. 전기 전도체(208)는 백금(Pt)으로 이루어질 수도 있고, 또는 대안적으로 예를 들면 텅스텐(W), 니켈(Ni), 또는 티타늄 구리 니켈(Ti/Cu/Ni) 금속 필름과 같은 다른 전도성 재료로 이루어질 수도 있다.

초격자는 각각 수 나노미터 두께를 가지는 2개의 다른 반도체 재료의 교대층으로 이루어진 구조이다. 열소자(210)는 n-형 반도체 재료의 교대층으로 이루어지고 열소자(212)의 초격자는 p-형 반도체 재료의 교대층으로 이루어져 있다. 열소자(210 및 212) 각각에서의 각 대안 재료층은 10나노미터(nm) 두께이다. 2개의 반도체 재료의 초격자는 열 전도율 λ이 낮고 동일한 2개의 반도체 재료로 구성된 합금과 동일한 전기 전도율 σ을 갖는다.

일실시예에서, 초격자 열소자(212)는 예를 들면 $Bi_{0.5}Sb_{1.5}Te_3$의 층과 Bi_2Te_3/Sb_2Te_3의 대안 층과 같은 p-형 비스무트 칼코겐 재료의 교대층을 포함하고, 열소자(210)의 초격자는 Bi_2Se_3의 층과 함께 Bi_2Te_3의 교대층과 같은 n-형 비스무트 칼코겐 재료의 교대층을 포함한다. 반도체 재료의 다른 타입이 마찬가지로 열소자(210 및 212)를 위한 초격자에 사용될 수도 있다. 예를 들면, 비스무트 칼코겐 재료보다는, 열소자(210 및 212)의 초격자가 코발트 안티몬 스쿠테리다이트(skutteridite) 재료로 일루어질 수도 있다.

또한 열전 냉각기(200)는 팁(250)을 포함하고, 이는 전류 I가 열소자(212)로 통과하고, 그다음 열소자(210)로부터 전도체(218)로 통과한다. 팁(250)은 예를 들면 백금(Pt)과 같은 전도성 재료의 얇은 오버코팅층(218 및 220)과 포인트 콘형 구조로 형성되는 n+ 형 반도체(222 및 224)를 포함한다. 백금 대신에 사용될 수도 있는 다른 전도 재료는 예를 들면 텅스텐(W), 니켈(Ni) 및 티타늄 구리 니켈(Ti/Cu/Ni) 금속 필름을 포함한다. 팁(250)과 열전 재료(210 및 212) 사이 및 그 주변은 예를 들면 드라이 니트로겐과 같은 가스로 밀봉되거나 배기되어야 한다.

전도층(218 및 220)을 덮는 팁(250)의 일단 상에 반도체 재료(214 및 216)의 박층이 형성되어 있다. 층(214)은 팁(250)에 대하여 열소자(212)의 초격자의 가장 가까운 층과 동일한 제베크 계수 α를 가지는 p-형 재료로 형성된다. 층(216)은 팁(250)에 대하여 열소자(210)의 가장 가까운 층과 동일한 제베크 계수 α를 가지는 n-형 재료로 형성된다. p-형 열전 오버코팅층(214)은, 전자와 정공이 생성되는 금속에 가까운 영역에서 냉각이 발생되기 때문에 열전소자 냉각기(200)가 기능을 수행할 필요가 있다. n-형 열전 오버 코팅층(216)은 제베크 계수의 기울기(변화도)가 최대인 경우에 최대 냉각이 일어나기 때문에 이점이 된다. p-형 영역에 대한 열전 오버코팅(214)은 거의 60nm의 두께를 갖는다. n-형 열전 오버코팅(216)의 특정 두께가 완전히 규정된 것은 아니지만 열전 오버 코팅(214)의 두께와 거의 유사한 두께 범위에 있는 것으로 기대된다.

플레이너(planer) 인터페이스보다 포인트 팁(250)으로 도 1의 전도체(110)와 같은 전기 전도체를 만듦으로써, 냉각 효율의 향상이 성취된다. 팁(250)의 포인트에서의 격자 열 전도율 λ은 격자 부정합 때문에 매우 작다. 예를 들면, 비스무트 칼코겐의 열 전도율 λ은 통상적으로 약 1watt/meter *kelvin이다. 그러나, 팁(250)과 같은 포인트 팁 구조에서, 그 포인트에서의 격자 부정합에 기인하여 열전 전도율이 약 0.2 watt/meter*kelvin으로 감소한다. 그러나, 열전 재료의 전기 전도율은 비교적 변하지 않는다. 따라서, 이점의 형태 ZT는 이러한 종류의 재료에 대하여 2.5보다 크게 증가할 수 있다. 열소자(210 및 212)의 초격자에 가능한 다른 타입의 재료로는 코발트 안티몬 스쿠테리다이트가 있다. 통상적인 이들 타입의 재료는 이들에게 통상적으로 바람직하지 않은 매우 높은 열 전도율 λ을 갖는다. 그러나, 포인트 팁(250)을 사용함으로써 열전도율이 최소로 감소될 수 있고 따라서 이들 재료에 대한 이점 특성 ZT이 4보다 커지기 때문에 이들 재료는 열소자(210 및 212)에 사용하는 데에는 매우 매력적이다. 따라서, 포인트 팁(250)의 사용으로 증기 압축 동결기에 대등하도록 열전 냉각기(200)의 효율을 더욱 증가시킬 수 있다.

냉각 포인트 구조의 다른 이점은 (그들의 운동 에너지에 대응하는) 파장보다 작은 크기로 전자들이 제한된다는 것이다. 이러한 형태의 제한은 제베크 계수를 이송시킬 수 있는 또는 효율적으로 증가시킬 수 있는 국부 상태 밀도를 증가시킨다. 따라서, 8 증가 또는 감소로 이점 형태 ZT가 증가한다.

도 1에 도시된 종래 열전 냉각기의 정상 냉각 용량은 약 60 kelvin의 히트 싱크와 히트 소스 사이에 온도차 △T를 생성할 수 있다. 그러나, 열전 냉각기(200)는 150 kelvin 정도의 온도차를 생성할 수 있다. 따라서, 서로 결합된 2개의 열전 냉각기로, 액체 질소의 범위(100 kelvin보다 작음)의 온도로 냉각시키는 것이 가능하다. 그러나, 상이한 재료가 열소자(210 및 212)에 사용되도록 할 필요가 있다. 예를 들면, 비스무트 텔루라이드(telluride)는 저온(즉, 섭씨 -100도 미만)에서 매우 낮은 α를 갖는다. 그러나, 비스무트 안티몬 합금은 저온에서 잘 수행된다.

온도와 무관한, 비스무트 칼코겐 재료에 대한 코발트 안티몬 스쿠테리다이트 재료의 다른 이점은 비스무트 칼코겐 재료가 구조적으로 약한 반면 코발트 안티몬 스쿠테리다이트 재료가 구조적으로 더 안정하다는 사실에 있다.

당해 분야의 통상의 기술을 가진 자들은 도 2의 열전 냉각기의 구조는 실시에 따라서 가변될 수도 있다. 예를 들면, 도 1에 나타낸 것보다 많거나 또는 적은 열의 팁(250)이 포함될 수도 있다. 나타낸 예는 본 발명에 대한 구조 한정을 의도로 하는 것은 아니다.

이하 도 3을 참조하면, 본 발명에 따라 도 2의 열전 냉각기(200)의 평면도가 도시되어 있다. 열전 냉각기(300)는 n-형 열전 재료부(302)와 p-형 열전 재료부(304)를 포함한다. n-형 열전 재료부(302)와 p-형 열전 재료부(304)는 실리콘 몸체를 덮는 전도 재료의 박층을 포함한다.

n-형 열전 재료부(302)는 열소자(210)에 대한 초격자의 가장 가까운 층과 동일한 타입의 n-형 재료(308)의 박층으로 각각 덮여있는 콘형 팁(310)의 어레이를 포함한다. p-형 열전 재료부(304)는 열소자(212)에 대한 초격자의 가장 가까운 층과 동일한 타입의 p-형 재료(314)의 박층으로 각각 덮여있는 콘형 팁(312)의 어레이를 포함한다.

이하, 도 4a 및 도 4b를 참조하면, 본 발명에 따라 도 2의 팁(250) 중 하나로서 실시될 수도 있는 팁의 단면도가 도시되어 있다. 팁(400)은 약 35도의 콘 각도로 형성된 실리콘 콘을 포함한다. 백금(pt)과 같은 전도성 재료의 박층(404)은 실리콘(402)을 오버코팅하고 있다. 열전 재료(406)의 박층은 팁(400)의 끝단을 덮는다. 모든 층이 증착된 후에 콘 각도는 약 45도이다. 팁(400)의 유효한 팁 반경은 약 50 나노미터이다.

팁(408)은 팁(250) 중 하나인 팁의 대안적 실시예이다. 팁(408)은 그 포인트에 대하여 열전 재료층(410)과 전도층(412)과 실리콘 콘(414)을 포함한다. 그러나, 팁(408)은 팁(400)보다 더 예리한 콘 각도를 가진다. 팁(408)의 유효 팁반경은 약 10 나노미터이다. 이때 팁에 대한 콘 각도가 더 넓은 것이 바람직한지 좁은 것이 바람직한지는 모른다. 본 실시예에서는, 도 4a에 나타낸 바와 같이, 이러한 각이 콘 각도의 가능한 범위의 중앙에 있기 때문에 그리고 이러한 형태가 백금 오버 코팅된 실리콘으로 용이하게 형성되기 때문에 팁에 대한 45도의 콘 각도가 선택되어져 있다. 이는 실리콘의 100면을 따라 KOH 에칭이 자연스럽게 이루어져 54도의 콘 각도를 형성하기 때문이다. 따라서, 전도성 및 열전 오버코팅이 부가된 후에 콘 각도는 약 45도이다.

도 5를 참조하면, 본 발명에 따라 초격자에 가까운 팁의 온도 필드를 나타내는 단면도가 도시되어 있다. 팁(504)은 도 2에서의 팁(250) 중 하나로서 실현될 수도 있다. 팁(504)은 30-50 나노미터의 유효 팁 반경 a를 갖는다. 따라서, 온도 필드는 약 2a 또는 약 60 ~ 100나노미터인 미소 거리 r에 국한된다. 따라서, 초격자(502)는 소수 층의 두께만 약 100나노미터의 두께 d로 될 필요가 있다. 따라서, 포인트 팁을 사용하면, 초격자에 대한 5-10층만을 가진 열전 냉각기면 충분하다.

따라서, 예를 들면, 열전 냉각기(200)와 같은 열전 냉각기를 제조하는데는 크게 시간이 소모되지 않는데 그 이유는 많은 시간이 소비되는 다수의 층이 아니라 단지 초격자 일부 층만을 형성하면 되기 때문이다. 따라서, 열전 냉각기(200)는 3밀리미터 이상의 두께 정도에 있는 종래 열전 냉각기에 비하여 매우 얇게 제조될 수 있다(100나노미터 두께 정도).

본 발명에 따라 포인트 팁 인터페이스를 가진 열전 냉각기의 다른 이점은 팁 인터페이스에서의 도 2의 열소자(210 및 212)와 같은 열소자의 열 전도율의 최소화를 포함한다. 또한, 온도/전위 하강은, 스케일링(scaling)을 서브-100-나노미터 길이로 효율적으로 행함으로서 팁 근방의 영역에 국한된다. 더욱이 포인트 팁을 사용함으로써 열소자 길이를 유효하게 줄임으로써 초격자 성장에 대한 층의 수가 최소화된다. 본 발명은 또한 박막 구조의 전극 증착이 가능하고 플립칩 본딩이 회피될 수 있다. 크기가 작으면 작을 수록 n-형 열소자와 p-형 열소자의 단일체 집적이 가능하다.

본 발명의 열전 냉각기는 예를 들면 메인 프레임 컴퓨터내의 특정 부분, 레이저, 광학 전자 기기, 검광기 및 유전 PCR과 같은 냉각 아이템에 이용될 수도 있다.

도 6을 참조하면, 본 발명에 따라 모든 금속 팁이 개선된 구조의 인터페이스를 가진 열전 냉각기의 단면도가 도시되어 있다. 비록, 본 발명이 n+ 반도체 영역(224 및 222)으로 구성된 실리콘 콘으로 이루어진 팁(250)을 갖는 것으로 기술되어 있지만, 도 2의 팁(250)은 도 6에 도시되어 있는 바와 같이 팁(650)으로 대체될 수도 있다. 팁(650)은 모든 금속 콘(618 및 620)을 갖는다. 상기한 실시예에서, 콘(618 및 620)은 구리로 이루어지고 니켈 오버코팅층(660 및 662)을 갖는다. 열전 냉각기(600)는 팁(650)에 대하여 열전 오버코팅(216 및 214)을 포함하여 다른 모든 점에 있어서도 열전 냉각기(200)와 동일하다. 또한 열전 냉각기(600)는 열전 냉각기(200)와 동일한 이점을 제공한다. 그러나, 전도성 재료로 덮여진 실리콘 콘보다 오히려 모두 금속 콘을 사용함으로써 콘 내의 기생 저항이 매우 낮아지고, 이에 따라서 이미 증가된 열전 냉각기(200)의 효율에 대하여 열전 냉각기(600)의 효율이 더욱 증가한다. 팁(650)을 둘러싸는 영역 및 팁(650)과 열전 재료(210 및 212) 사이의 영역은 예를 들면 드라이 니트로겐과 같은 가스로 밀봉되거나 배기되어야 한다.

또한, 도 2에 나타낸 바와 같이, 히트 소스(226)는 p- 형 도핑 실리콘으로 이루어진다. 그러나 도 2와는 대조적으로, 히트 소스(226)는, 도 2의 n+ 영역(224 및 222)과 같은 팁 구조의 일부를 형성하는 영역 보다 오히려 팁 구조(650)의 일부를 형성하지 않는 n+ 형 도핑 실리콘 영역(624 및 622)에 열적으로 결합되어 있다. n+ 형 도핑 실리콘 영역(624 및 622)은 도 2의 영역(224 및 222)에 의해서 형성된 전기 격리 기능을 여전히 수행한다.

일부 방법은 도 6에 도시된 모든 금속 콘을 형성하기 위해 이용될 수도 있다. 예를 들면, 이하 도 7을 참조하면, 본 발명에 따라 모두 금속 팁을 형성하는데 이용될 수도 있는 희생 실리콘 템플릿의 단면도가 도시되어 있다. 희생 실리콘 템플릿(702)이 콘 피트(pit)를 갖도록 구성된 후에, 금속층이 그 템플릿(702) 위에 증착되어 모든 금속 콘(704)이 생성된다. 그후 모든 금속 콘(704)은 열전 냉각기(600)에 사용될 수도 있다.

도 8을 참조하면, 본 발명에 따라 실리콘 희생 템플릿을 사용하여 모든 금속 콘을 생성하는 예시적인 방법을 나타낸 프로차트가 도시되어 있다. 우선, 콘 피트가 실리콘의 비등방성 에칭에 의해서 제조되어 몰드를 형성한다(단계 802). 이는 KOH 에칭, 산화 및/또는 포커스 이온-빔 에칭의 조합에 의해서 행해질 수도 있다. 실리콘 콘을 제조하는 이러한 기술은 종래 기술에 잘 알려져 있다.

그 다음 실리콘 희생 템플릿이 예를 들면 티탄 또는 백금과 같은 시드(seed) 금속의 얇은 스퍼터링 층으로 코팅된다(단계 804). 콘 피트를 바로 순응하는 티탄보다 백금이 약간 더 둥근 팁을 형성하기 때문에 티탄이 바람직하다. 다음으로, 희생 실리콘 템플릿의 함몰부(콘 피트)를 채우도록 전기화학적으로 구리가 증착된다(806). 그 다음 구리의 최상면이 평탄화된다(단계 808). 금속층을 평탄화하는 방법은 종래에 잘 알려져 있다. 그 다음 실리콘 기판은 종래 잘 알려진 선택 에칭법에 의해서 제거된다(단계 810). 그 다음에 이 방법으로 제조된 모든 금속 콘은 예를 들면 니켈 또는 티탄과 같은 다른 금속의 코팅으로 덮일 수도 있고 그 다음 열전 재료의 초박막층으로 덮일 수 있다. 니켈 또는 티탄 오버코팅이 열전 금속 오버코팅의 전기 증착에서 부가될 수 있다.

[모든 금속 콘을 생성하는 이 방법의 하나의 이점은 생성된 몰드(mold)가 재 사용될 수 있다는데 있다. 이 몰드는 몰드가 감소되어 사용할 수 없게 되기 전에 약 10회까지 재 사용할 수도 있다.] 이러한 방식으로 템플릿을 형성하면, 실리콘 에칭이 매우 범용적이고 피트의 기울기를 계산할 수 있고 극소 나노미터로 생성되는 콘의 샤프니스를 계산할 수 있기 때문에, 모든 금속콘 팁이 매우 균일하게 생성될 수 있고 제어가 매우 잘 이루어진다.

모든 금속 콘을 형성하는 다른 방법이 마찬가지로 사용될 수도 있다. 예를 들면, 이하, 도 9를 참조하면, 본 발명에 따라 패터닝된 포토레지스트를 사용하여 형성된 모든 금속 콘(902)의 단면도가 도시되어 있다. 이 방법에서, 금속 층은 부분적으로 제조된 열전 냉각기의 바닥부 상에 형성된다. 그 다음, 패터닝된 포토레지스트(904-908)가 직접 전기화학 에칭법으로 모든 금속 콘(902)을 형성하는데 사용된다.

도 10을 참조하면, 본 발명에 따른 포토 레지스트를 사용하여 모든 금속 콘을 형성하는 예시적인 방법을 나타내는 프로차트가 도시되어 있다. 우선, 포토 레지스트의 소부분이, 도 6에서의 열전 냉각기(600)와 같이 부분적으로 제조된 열전 냉각기의 구리와 같은 금속층에 패터닝된다(단계 1002). 포토 레지스트는 포토레지스트를 포함하는 섹션의 어레이로 패터닝될 수도 있으며, 이 어레이 내의 포토레지스트의 각 영역은 모든 금속 콘에 대한 팁이 형성되기를 소망하는 영역에 대응한다. 그 다음 금속이 직접 전기화학적으로 에칭되어(단계 1004) 도 9에 도시된 바와 같이 콘(902)이 생성된다. 그 다음 포토레지스트가 제거되고 그 다음 모든 금속 콘의 팁이 예를 들면 니켈과 같은 다른 금속으로 코팅될 수도 있다(딘계 1006). 그 다음 모든 금속 콘에 대한 제2 금속 코팅은 열전 재료의 초박층으로 코팅될 수도 있다(단계 1008). 따라서, 팁 상의 열

전층과 모든 금속 콘은 예를 들면 열전 냉각기(600)와 같은 열전 장치에 사용될 수도 있는 형태로 될 수도 있다. 이 방식으로 생성된 모든 금속 콘 포인트는 도 8에 도시된 방법을 사용하여 제조되는 것만큼 균일하지는 않다. 그러나, 현재로서는 이 방법이 가장 저렴하고 따라서 비용이 중요한 요인이라면 더 바람직한 방법이 될 수도 있다.

기술된 모든 금속 콘을 제조하는 방법은 단지 예일 뿐이다. 다른 방법들도 마찬가지로 열전 냉각기를 가지고 사용하기 위한 모든 금속 콘을 제조하는데 사용될 수도 있다. 더욱이, 구리 이외의 모든 금속 콘에 대하여 금속의 다른 타입이 사용될 수도 있다.

도 11을 참조하면, 본 발명에 따라 금속 전도층이외의 열전 재료가 그 인터페이스에서의 팁에 형성되는 개선된 구조의 인터페이스를 가진 열전 냉각기의 단면도가 도시되어 있다. 열전 냉각기(1100)는 냉온 판(1116)과 고온 판(1102)을 포함하고, 냉온 판이 냉각될 기판과 열적으로 접촉하여 있다. 열 전도체(1114 및 1118)는 전기 전도판(1112 및 1120) 사이에 각각 열적으로 결합되어 있다. 열적 전도체(1114 및 1118)는 냉온 판(1116)의 p- 재료와 역 바이어스 다이오드를 형성함으로써 냉온 판(1116)과 전도체(1112 및 1120) 사이에 전기 격리를 제공하는 고농도 n 도핑된 (n+) 반도체 재료로 구성된다. 따라서, 열은 전도체(1112 및 1120)를 통해 냉온 판(1116)으로부터 균일하게 고온 판(1102)으로 전달되고 이는 냉각될 기판과 열전 냉각기(1100) 사이의 전기적인 결합을 하지 않고 일소될 수 있다. 마찬가지로, 상술한 바와 같이 p- 도핑 반도체 재료의 고온 판(1102)과 역 바이어스를 형성함으로써 고온 판과 전기 전도 판(1108) 사이의 전기 격리를 유지하는 동안, 열 전도체(1104)는 전기 전도 판(1108)과 고온 판(1102) 사이에 열적 접속을 제공한다. 열 전도체(1104)는 또한 n+ 형 도핑 반도체 재료이다. 전기 전도체 판(1108, 1112 및 1120)은 본 실시예에서 백금(Pt)으로 이루어진다. 그러나, 전기 전도성과 열 전도성 둘 다를 가진 다른 재료가 마찬가지로 사용될 수도 있다. 또한, 팁(1130-1140)을 둘러싸는 영역과 팁(1130-1140)과 열전 재료(1122 및 1110) 사이의 영역이 배기되어 진공상태가 되거나 또는 예를 들면 드라이 니트로겐과 같은 가스로 밀봉되어야 한다.

본 실시예에서, 도 2 및 도 6에서와 같이 금속 전극에서의 포인트의 어레이를 통해 열소자와 시트 소스(냉온 단) 금속 전극(전도체) 사이에 접촉을 제공하기보다는 오히려, 열소자(1124와 1126)에서의 포인트(1130-1140)의 어레이에 의해서 열소자와 금속 전극 사이의 포인트의 어레이가 제공된다. 도 2 및 도 6을 참조한 상술한 실시예에서, 냉온 단에서의 금속 전극이 실리콘 팁 상에 형성되거나 또는 대안적으로 금속 패턴이 직접 에칭되어 모든 금속 팁이 형성되었다. 그러나, 이들 방법은 전기화학 방법에 의해서 냉온 전극과 고온 전극에 대하여 증착될 열전 재료를 필요로 한다. 전기 증착 재료는 다결정이지만 초평면 표면을 가지지는 않는 경향이 있다. 또한, 표면 열전 특성은 단결정 열전 재료보다 우수할 수도 우수하지 않을 수도 있다. 어닐링은 다결정 재료의 열전 특성을 향상시키지만 표면 평활도는 100nm의 러프니스 레벨 미만이므로 문제가 생긴다. 본 실시예의 팁(1130-1140)은 전기 화학 에칭에 의해서 단결정 또는 다결정 열전 재료로 형성될 수도 있다.

일 실시예에서, 열소자(1124)는 단결정 Bi_2Te_3/Sb_2Te_3 및 $Bi_{0.5}Sb_{1.5}Te_3$의 초격자로 이루어지고, 열소자(1126)는 단결정 Bi_2Te_3/Bi_2Se_3 및 $Bi_2Te_{2.0}Se_{0.1}$의 초격자로 이루어진다. 전기 전도 판(1120)은 가장 가까운 박층(1120)인 팁(1130-1134)의 재료와 동일한 열전 재료의 박층(1122)으로 코팅된다. 전기 전도 판(1112)은 가장 가까운 박층(1112)인 팁(1136-1140)의 재료와 동일한 열전 재료의 박층(1110)으로 코팅된다.

도 12를 참조하면, 본 발명에 따라 예를 들면 도 11의 열전 냉각기(1100)와 같은 열전 냉각기를 제조하는 예시적인 방법을 나타내는 플로차트가 개시되어 있다. 먼저, 최적화된 단결정 재료가 종래 수단에 의해서 금속 전극에 접착되고 금속 전극이 단결정 재료에 증착되어 전극 접속 패턴이 형성된다(단계 1202). 열전 재료(1314)의 타측은 도 13에 도시된 바와 같이 포토레지스트(1302-1306)에 의해서 패터닝되고(단계 1204), 금속 전극은 애노드로서 전기화학 욕조에 사용되어 전기 화학적으로 표면을 에칭한다(단계 1206). 도 3에 도시된 바와 같이 팁(1308-1312)은 적절한 시간에서 에칭 공정을 제어하고 그리고 멈추게 함으로써 형성된다.

제2 단결정 기판은, 화학-기계 연마하고 전체 기판을 나노미터 필름으로 전기적으로 에칭함으로써 얇아진다(단계 1210). 초박막 기판과 제2 기판은 냉온 단을 형성하고 2개의 기판(하나는 초박막 열전 재료이고 다른 하나는 열전 팁이다)은 함께 압력을 받아 클램프된다(단계 1212). 이 구조는 팁에서의 인터페이스 이외의 모든 영역에서 높은 결정성을 보유한다. 또한, 동일한 방법이 단결정 구조이외에 다결정 구조를 제조하는데 사용될 수 있다.

이하, 도 14를 참조하면, 본 발명에 따라 표면에 대한 팁의 위치결정을 나타내는 열전 냉각기에 사용하기 위해 표면 상의 냉각 포인트 팁을 나타낸 도면이 도시되어 있다. 그 팁이 모든 금속 팁 또는 금속 코팅 팁인지 열전 팁인지에 대해서는 설명하였지만 팁과 대향하는 표면과 접촉되는 것에 대하여는 설명하지 않았다. 그러나, 비록 팁이 대향 표면과 접촉될 수 있다 하더라도 도 14에 도시된 바와 같이 표면을 접촉하지 않고 대향 표면과 팁이 가까이에 있는 것이 바람직하다. 도 14의 팁(1402)은 대향 표면(1404)에 근접하여 위치되지만 대향 표면과 물리적으로 접촉되어 있지는 않다. 바람직하게는, 팁

(1402)은 대향 표면(1404)보다 작거나 또는 5 나노미터의 정도에서의 거리 d가 되어야 한다. 실제로, 열전 냉각기는 수천 개의 팁을 포함하고 있고 그 중 일부 팁은 대향 표면과 접촉될 수도 있는 반면, 다른 것들은 대향 표면이 완전 평면으로부터 편차에 기인하여 접촉되지 않는다.

대향 표면과의 접촉으로부터 그 팁을 제거함으로써, 열전 냉각기의 냉온 판과 고온 판 사이의 열 전도율의 크기가 감소될 수도 있다. 그러나, 전기 전도율은 팁과 대향 표면 사이의 전자의 터널링에 기인하여 유지된다. 본 발명의 팁은 또한 상술하였으며 이미 완전한 포인트 팁으로서 기술하였다. 그러나, 도 14에 도시한 바와 같이, 실제로 팁은 전형적인 팁(1402)의 경우에 비해 약간 더 둥근 팁을 가진다. 그러나, 완전한 포인트 팁에 더 가까울 수록, 팁은 냉온 온도와 고온 온도 사이이 온도 구배를 성취하기 위해 요구되는 초격자의 수가 줄어든다.

바람직하게는, 팁(1402)의 곡선단의 곡률 반경 r_0는 수십 나노미터의 정도이다. 표면(1404) 아래의 열전 재료의 인접 영역 사이의 온도차는 팁(1402)의 단부의 곡률 반경 r_0의 2배 내지 3배의 거리에 대하여 0에 근접한다. 따라서, 초격자(1406-1414)의 일부 층만이 필요해진다. 따라서, 고온 판과 냉온 판 사이의 전기 접촉이 본 발명의 팁을 이용하여 이루어지는 경우 팁에 대향하는 초격자 재료는 실현 가능하다. 이는 팁 없이 초격자 구조를 사용하기 위해서 온도 구배가 0에 근접하게 하기에 충분한 두께를 갖도록 10000개 이상의 초격자층이 필요했던 종래 기술과는 대조적이다. 이러한 수의 층은 비실용적이지만 본 발명에서와 같이 5 또는 6개의 층만을 사용하는 것은 매우 실용적이다.

비록 본 발명은 냉각에 사용되는 팁 인터페이스를 가진 열전 냉각 장치(또는 펠티어 장치)에 대하여 앞서 설명하였지만, 당해 분야의 통상의 지식을 가진 자에 의해서 본 발명을 전기 발전에 마찬가지로 이용할 수 있음이 인식되어질 것이다. 당해 분야의 통상의 지식을 가진 자에 의해서 (상술한 바와 같이) 동결기에 대한 펠티어 모드에서 또는 전력 발생에 대한 제베크 모드 중 어느 하나에 열전 장치를 사용할 수 있음이 인식되어질 것이다. 도 15를 참조하면, 열전 전력 발생기의 개략도가 도시되어 있다. 열전 전력 발생에 대한 이해와 설명을 용이하게 하기 위해서, 본 발명의 냉각 포인트 팁을 이용하는 열전 전력 발생기보다는 오히려 종래 기술에 따른 열전 전력 발생기에 대하여 설명한다. 그러나 이는 본 발명에 따른 열전 전력 발생기의 일 실시예에서 열소자(1506 및 1504)가 냉각 포인트 팁, 예를 들면, 위에서 상세하게 설명한 바와 같이 실시예 중 어느 냉각 포인트 팁으로 대체된 것임을 주목해야 한다.

열전 전력 발생기(1500)에서는, 도 1에 도시된 바와 같이 전원(102)으로부터 열전 장치를 통해 전류가 흐른 다기 보다는 오히려 열전 장치(1500)를 가로질러 온도차(T_H-T_L)가 발생한다. 도 15에 나타낸 바와 같이 이러한 온도차(T_H-T_L)는 저항 부하 소자(1502)를 통해 전류 I를 유도한다. 이는 도 1에 나타낸 동작 모드와는 반대의 동작 모드이다.

따라서, 저항(1502)과 전원(102)을 대체하고 히트 소자(1512 및 1516)를 유지하여, 히트 소스(Q_H 및 Q_L)각각으로 온도(T_H 및 T_L)를 각각 일정하게 하는 것 이외에는, 열전 장치(1500)는 도 1의 열전 장치(102)의 부품과 동일하다. 따라서, 열전 냉각 장치(1506)는 양호한 열전도 특성을 가지는 저급 전기 전도체(1508)들 사이에 끼워진 p-형 반도체(1504) 및 n-형 반도체(1506)를 이용한다. 소자(1504, 1506 및 1508) 각각은 도 1의 소자(104, 106 및 108)에 각각 대응한다. 또한 열전 장치(1500)는 도 1의 전기 전도체(110 및 114)에 대응하는 전기 전도체(1510 및 1514)를 포함한다. 열전 전력 발생기에 대한 더 많은 정보는 CRC Handbook of Thermoelectircs edited by D. M. Rowe, Ph.D., D.Sc., CRC Press, New York, (1995) pp. 479-488 및 Advanced Engineering Thermodynamics, 2nd Edition by Adiran Bejan, John Wiley & Sons, Inc., New York(1997), pp. 675-682에서 알 수 있으며 이들 둘 다는 여러 가지 목적으로 여기에 포함되어 있다.

본 발명은 콘형 팁을 참조하여 앞서 설명하였지만 다른 형태의 팁, 예를 들면 피라미드형 팁 등이 마찬가지로 사용될 수도 있다. 사실, 팁의 형태는, 열전 냉각기의 두 단 사이에 전기 전도성이 제공되는 실질상 포인트 팁의 분리 세트가 제공되기만 하면 대칭이거나 또는 균일할 필요는 없다. 본 발명은 예를 들면 메인 프레임 컴퓨터의 냉각, 고온 칩 및 RF 통신 회로의 열관리, 디스크 드라이브용 자기 헤드의 냉각, 자동 냉각 및 광학 장치 및 레이저 장치의 냉각과 같은 어떤 소형 냉동 애프리케이션에 사용된다.

본 발명의 설명은 설명과 기술을 위한 것이며 개시된 형태의 발명에 한정하는 것을 의도로 하지 않는다. 당해 분야의 통상의 지식을 가진 자에 의해서 많은 변형과 수정이 이루어질 수 있음이 명백하다. 실시예들은 본 발명의 원리, 실제 응용을 설명하기 위해, 그리고 당해 분야의 통상의 지식을 가진 자가 특정 사용을 고려하여 적절하게 각종 변경을 가한 각종 실시예에 대한 본 발명의 이해를 돕기 위해 선택되어지고 설명되어진 것이다.

(57) 청구의 범위

청구항 1.

평면 전기 전도체; 및

상기 평면 전기 전도체에 전기적으로 결합되는 복수의 팁이 형성된 열전 재료로 이루어진 열소자를 포함하고,

상기 팁은 약 50 나노미터 미만의 유효 팁 반경을 가지도록 형성되는 것을 특징으로 하는 열전 장치.

청구항 2.

삭제

청구항 3.

제1항에 있어서,

상기 열전 재료는 단결정 재료인 것을 특징으로 하는 열전 장치.

청구항 4.

제1항에 있어서,

상기 열전 재료는 다결정 재료인 것을 특징으로 하는 열전 장치.

청구항 5.

제1항에 있어서,

상기 열전 재료는 2개의 열전 재료의 초격자를 포함하는 것을 특징으로 하는 열전 장치.

청구항 6.

평면 전기 전도체; 및

상기 평면 전기 전도체에 전기적으로 결합되는 복수의 팁이 형성된 열전 재료로 이루어진 열소자를 포함하고,

상기 열전 재료는 2개의 열전 재료의 초격자를 포함하며,

상기 2개의 열전 재료는 $Bi_{0.5}Sb_{1.5}Te_3$ 및 Bi_2Te_3/Sb_2Te_3을 포함하는 것을 특징으로 하는 열전 장치.

청구항 7.

평면 전기 전도체; 및

상기 평면 전기 전도체에 전기적으로 결합되는 복수의 팁이 형성된 열전 재료로 이루어진 열소자를 포함하고,

상기 열전 재료는 2개의 열전 재료의 초격자를 포함하며,

상기 2개의 열전 재료는 $Bi_2Te_{2.9}Se_{0.1}$ 및 Bi_2Te_3/Bi_2Se_3을 포함하는 것을 특징으로 하는 열전 장치.

청구항 8.

제1항에 있어서,

상기 전기 전도체는 백금으로 이루어진 것을 특징으로 하는 열전 장치.

청구항 9.

평면 전기 전도체;

상기 평면 전기 전도체에 전기적으로 결합되는 복수의 팁이 형성된 열전 재료로 이루어진 열소자; 및

상기 전기 전도체 상에 배치된 열전 재료층을 포함하고,

상기 열전 재료층은 상기 열소자와 동일한 불순물형 열전 재료로 이루어진 것을 특징으로 하는 열전 장치.

청구항 10.

삭제

청구항 11.

제9항에 있어서,

상기 복수의 팁 중 적어도 하나는 상기 전기 전도체의 표면과 물리적으로 접촉하고 있지 않는 것을 특징으로 하는 열전 장치.

청구항 12.

제9항에 있어서,

상기 복수의 팁 중 마지막 팁은 통상적으로 상기 전기 전도체의 가장 인접하는 표면의 100나노미터 내에 있는 것을 특징으로 하는 열전 장치.

청구항 13.

삭제

청구항 14.

팁 인터페이스(tipped interface)를 가진 열소자를 포함하는 열전 장치를 제조하는 방법에 있어서,

열전 결정 재료의 제1 면을 금속 전극에 본딩하는 단계;

형성될 팁의 위치를 규정하기 위해 열전 결정 재료의 제2 면 상에 포토레지스트 마스크를 패터닝하는 단계; 및

상기 열전 결정 재료에 복수의 팁을 형성하기 위해 상기 포토레지스트 마스크가 있는 상태에서 상기 제2 면을 에칭하는 단계

를 포함하는 것을 특징으로 하는 열전 장치 제조 방법.

청구항 15.

제14항에 있어서,

상기 열전 결정 재료의 제2 면을 에칭하는 단계는 전기화학 에칭을 수행하는 단계를 포함하는 것을 특징으로 하는 열전 장치 제조 방법.

청구항 16.

팁 인터페이스를 가진 열소자를 포함하는 열전 장치를 제조하는 시스템으로서,

열전 결정 재료의 제1 면을 금속 전극에 접착하는 수단;

형성될 팁의 위치를 규정하기 위해 상기 열전 결정 재료의 제2 면 상에 포토레지스트 마스크를 패터닝하는 수단; 및

상기 열전 결정 재료에 복수의 팁을 형성하기 위해 상기 포토레지스트 마스크가 있는 상태에서 상기 제2 면을 에칭하는 수단

을 포함하는 것을 특징으로 하는 열전 장치 제조 시스템.

청구항 17.
삭제

청구항 18.
삭제

청구항 19.
삭제

청구항 20.
삭제

청구항 21.
삭제

청구항 22.
삭제

청구항 23.
삭제

청구항 24.

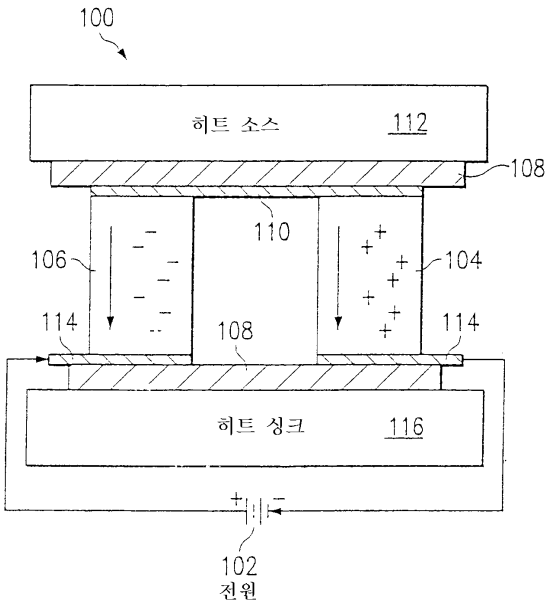
삭제

청구항 25.

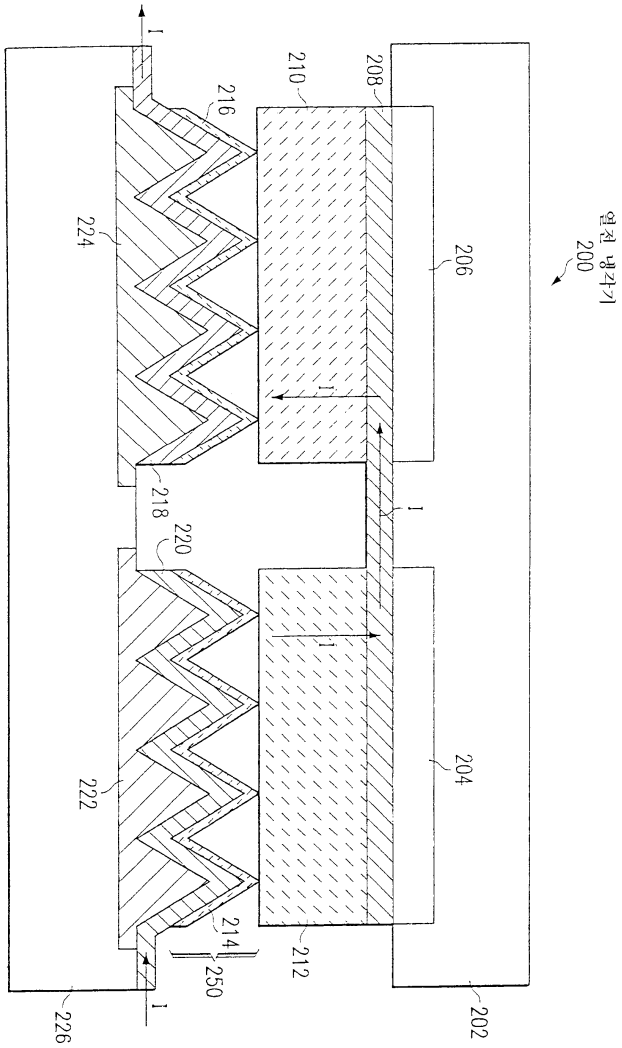
삭제

도면

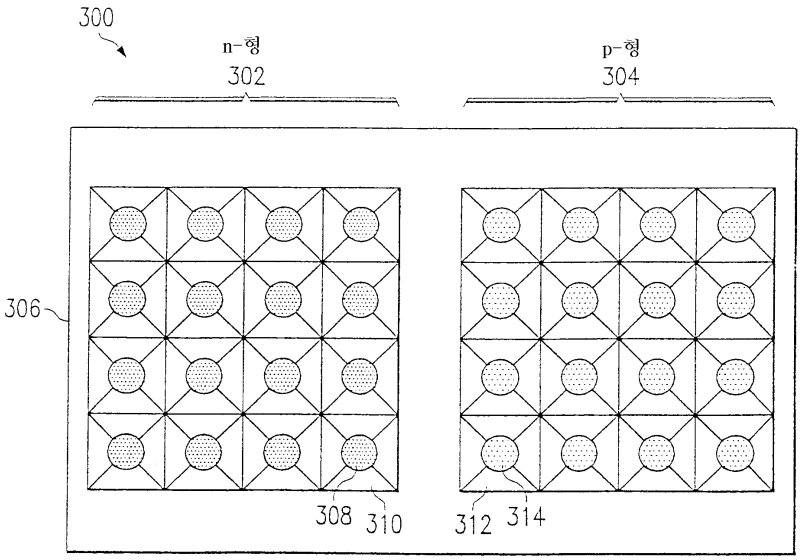
도면1



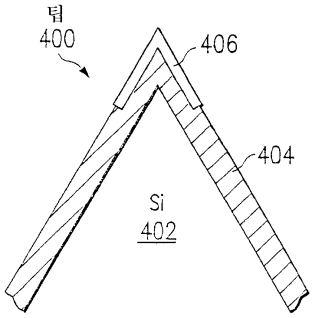
도면2


I
210
208
216
224
206
열전 냉각기
200
218
220
I
I
I
222
204
214
250
212
I
226
202

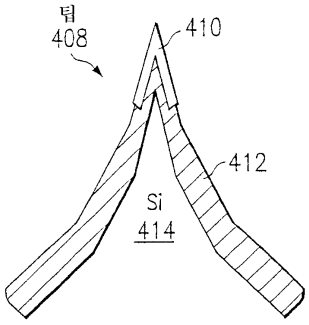
도면3


300
n-형
302
p-형
304
306
308
310
312
314

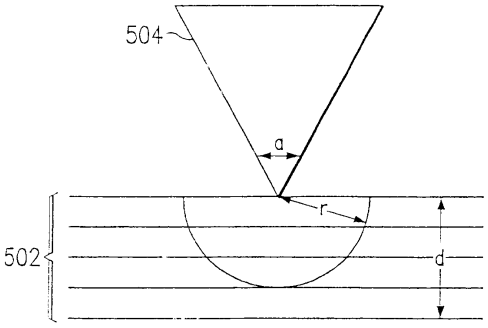
도면4a



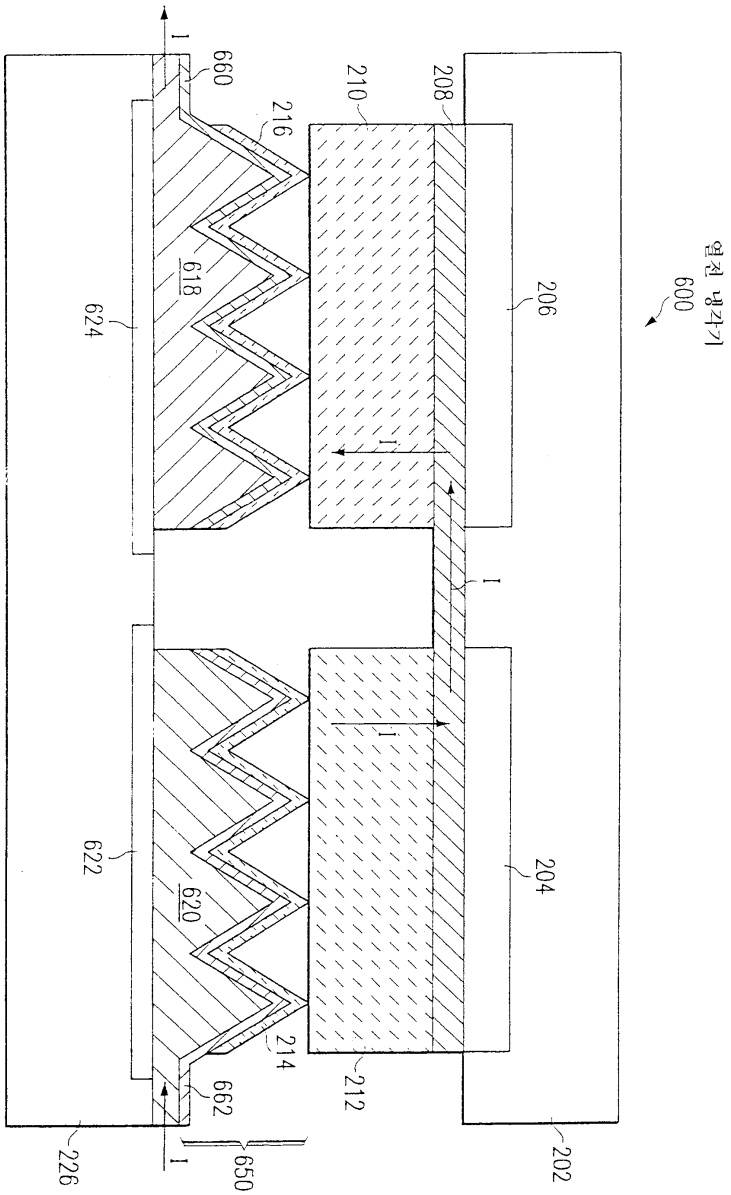
도면4b



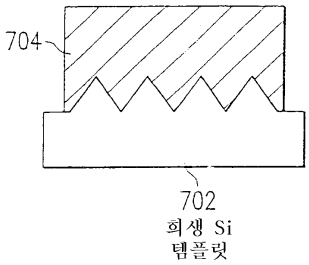
도면5



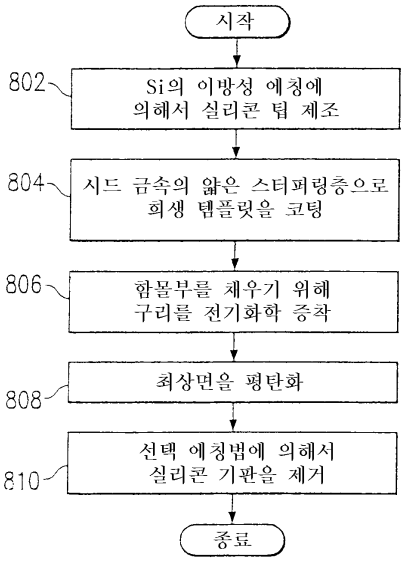
도면6


I
660
216
210
208
618
624
206
열전 냉각기
600
622
620
204
214
662
212
226
650
202

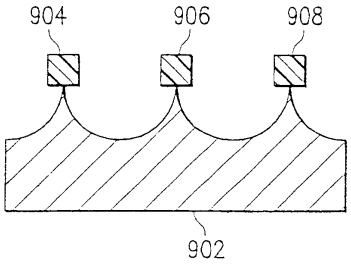
도면7


704
702
희생 Si
템플릿

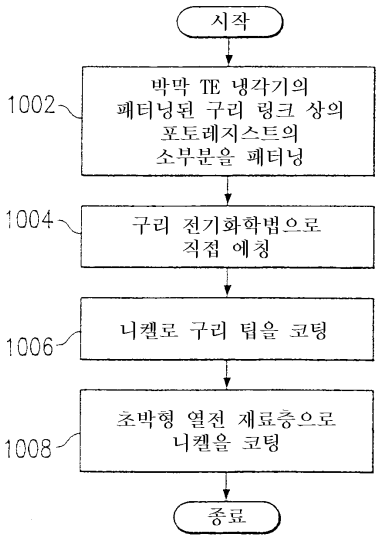
도면8


시작
802
Si의 이방성 에칭에
의해서 실리콘 팁 제조
804
시드 금속의 얇은 스터퍼링층으로
희생 템플릿을 코팅
806
함몰부를 채우기 위해
구리를 전기화학 증착
808
최상면을 평탄화
810
선택 에칭법에 의해서
실리콘 기판을 제거
종료

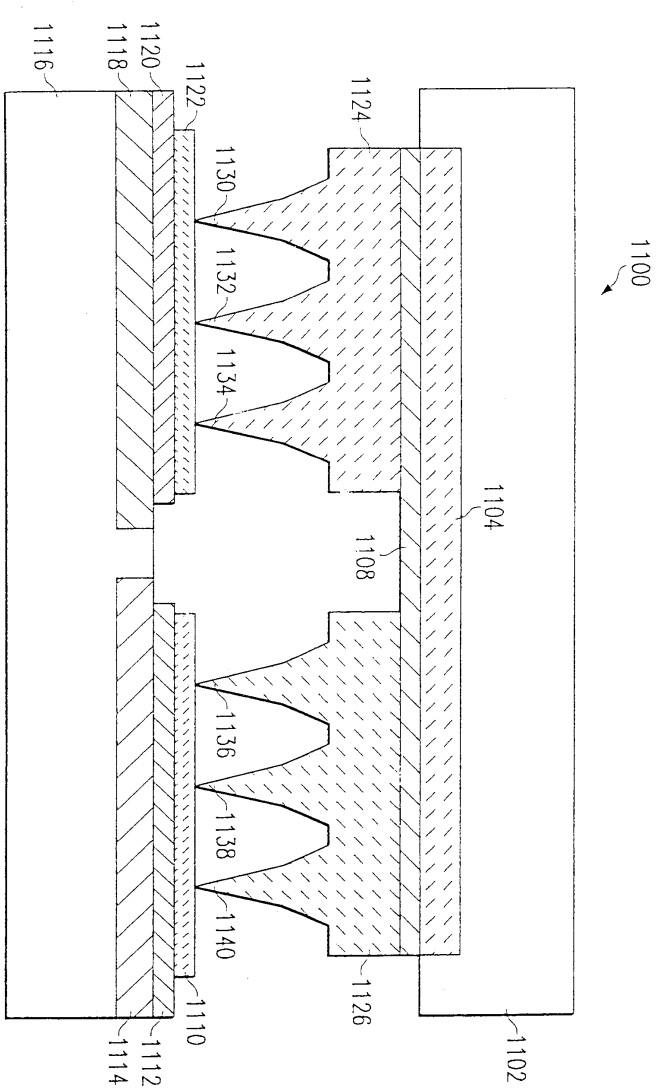
도면9


904
906
908
902

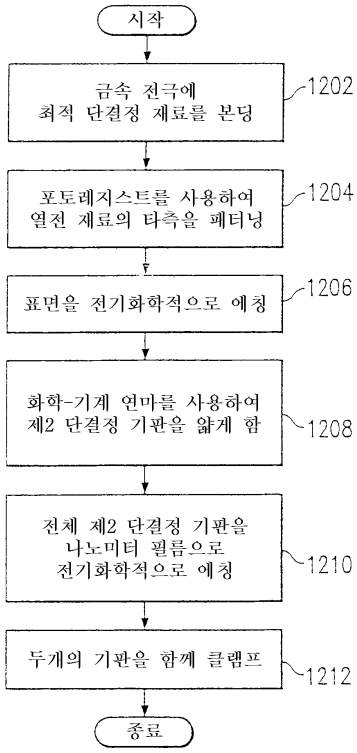
도면10


시작
1002
박막 TE 냉각기의
패터닝된 구리 링크 상의
포토레지스트의
소부분을 패터닝
1004
구리 전기화학법으로
직접 에칭
1006
니켈로 구리 팁을 코팅
1008
초박형 열전 재료층으로
니켈을 코팅
종료

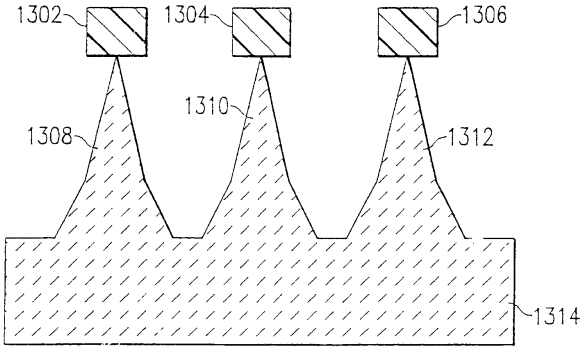
도면11


1100
1102
1104
1108
1110
1112
1114
1116
1118
1120
1122
1124
1126
1130
1132
1134
1136
1138
1140

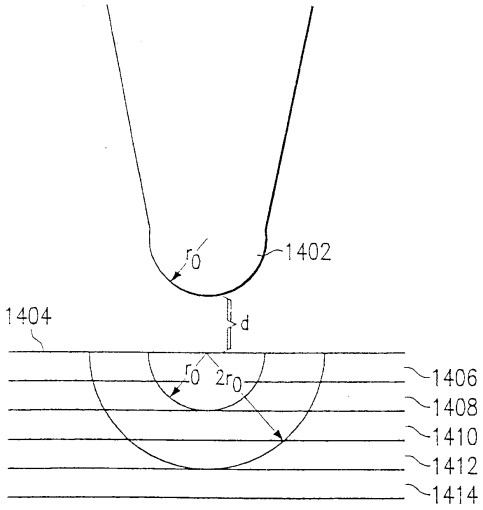
도면12


시작
금속 전극에
촉적 단결정 재료를 본딩
1202
포토레지스트를 사용하여
열전 재료의 다측을 패터닝
1204
표면을 전기화학적으로 에칭
1206
화학-기계 연마를 사용하여
제2 단결정 기판을 얇게 함
1208
전체 제2 단결정 기판을
나노미터 필름으로
전기화학적으로 에칭
1210
두개의 기판을 함께 클램프
1212
종료

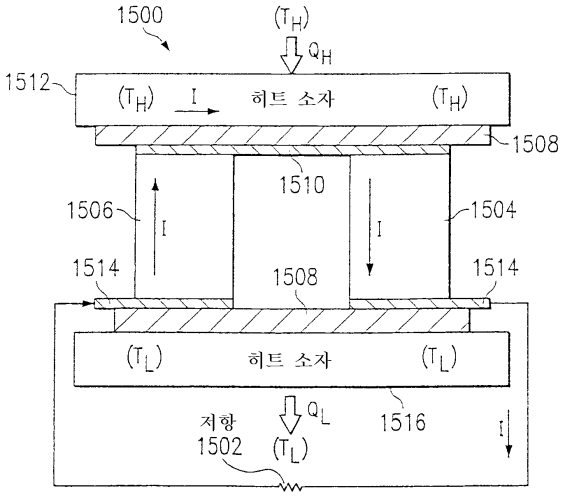
도면13


1302
1304
1306
1310
1308
1312
1314

도면14


r0
1402
d
1404
r0
2r0
1406
1408
1410
1412
1414

도면15


1500
(TH)
QH
1512
(TH)
I
히트 소자
(TH)
1508
1510
1506
I
I
1504
1514
1508
1514
(TL)
히트 소자
(TL)
QL
저항
1502
(TL)
1516
I