【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成17年6月23日(2005.6.23)

【公開番号】特開2003-197881(P2003-197881A)
【公開日】平成15年7月11日(2003.7.11)
【出願番号】特願2001-398200(P2001-398200)
【国際特許分類第７版】
　Ｈ０１Ｌ　27/12
　Ｈ０１Ｌ　21/306
　Ｈ０１Ｌ　21/331
　Ｈ０１Ｌ　21/336
　Ｈ０１Ｌ　21/338
　Ｈ０１Ｌ　27/15
　Ｈ０１Ｌ　29/737
　Ｈ０１Ｌ　29/778
　Ｈ０１Ｌ　29/786
　Ｈ０１Ｌ　29/812
【ＦＩ】
　Ｈ０１Ｌ　27/12　　Ｂ
　Ｈ０１Ｌ　27/15　　Ａ
　Ｈ０１Ｌ　29/78　　６２７Ｄ
　Ｈ０１Ｌ　29/72　　Ｈ
　Ｈ０１Ｌ　29/80　　Ｈ
　Ｈ０１Ｌ　21/306　　Ｃ

【手続補正書】
【提出日】平成16年10月1日(2004.10.1)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
　半導体基板に半導体素子を形成し、
　前記半導体基板における表層であって前記半導体素子を含む機能層のみを当該半導体基板から切り離す、
　ことを特徴とする半導体集積回路の製造方法。
【請求項２】
　半導体基板に半導体素子を形成し、
　前記半導体基板における前記半導体素子が形成された面側にフィルムを貼り付け、
　前記半導体基板における前記半導体素子を含む機能層を当該半導体基板から切り離す、
　ことを特徴とする半導体集積回路の製造方法。
【請求項３】
　前記半導体素子は、化合物半導体デバイスであって、発光ダイオード、面発光レーザ、フォト・ダイオード、高電子移動度トランジスタ、インダクター、キャパシター、抵抗及びヘテロバイポーラ・トランジスタの内の少なくとも一つを有する、
　ことを特徴とする請求項１又は２に記載の半導体集積回路の製造方法。
【請求項４】

前記半導体素子は、シリコン半導体デバイスであって、集積回路、フォト・ダイオード、トランジスタ及びダイオードの内の少なくとも一つをなす、
ことを特徴とする請求項１乃至３のいずれかに記載の半導体集積回路の製造方法。
【請求項５】
前記フィルムに貼り付られた前記機能層を、シリコン、石英、サファイヤ、金属、セラミックス及びプラスチックフィルムのいずれかからなる基板に接合する、
ことを特徴とする請求項２乃至４のいずれかに記載の半導体集積回路の製造方法。
【請求項６】
前記半導体基板は、前記機能層の下層に配置された犠牲層を有し、当該犠牲層をエッチングすることで、当該半導体基板から当該機能層を切り離す、
ことを特徴とする請求項１乃至５のいずれかに記載の半導体集積回路の製造方法。
【請求項７】
前記半導体基板は、ガリウム・ヒ素化合物半導体からなり、前記犠牲層は、アルミニウム・ヒ素化合物半導体、アルミニウム・ガリウム・砒素化合物半導体、インジウム・燐化合物半導体もしくは、インジウム・ガリウム・燐化合物半導体からなる、
ことを特徴とする請求項６に記載の半導体集積回路の製造方法。
【請求項８】
前記半導体基板は、シリコン・オン・インシュレータ（ＳＯＩ）基板に形成されており、前記犠牲層は、シリコン酸化膜からなる、
ことを特徴とする請求項６に記載の半導体集積回路の製造方法。
【請求項９】
前記半導体基板には分離溝が設けられ、当該分離溝を設けるとともに前記犠牲層をエッチングすることで、当該半導体基板から前記機能層を切り離す、
ことを特徴とする請求項６乃至８のいずれかに記載の半導体集積回路の製造方法。
【請求項１０】
前記分離溝は、ドライエッチング及びウエットエッチングのいずれかの方法で形成される、
ことを特徴とする請求項９に記載の半導体集積回路の製造方法。
【請求項１１】
前記分離溝は、少なくとも前記犠牲層に到達する深さをもつ、ことを特徴とする請求項９又は１０に記載の半導体集積回路の製造方法。
【請求項１２】
前記犠牲層を、低濃度の塩酸又はフッ酸、緩衝フッ酸によってエッチングする、
ことを特徴とする請求項７に記載の半導体集積回路の製造方法。
【請求項１３】
エッチングによって除去することが可能な犠牲層を有する半導体基板に半導体素子を形成し、
前記半導体基板に、少なくとも前記犠牲層に到達する深さをもつ分離溝を形成し、
前記半導体基板の表面に、フィルムを貼付し、
前記分離溝にエッチング液を注入し前記犠牲層をエッチングすることにより、前記半導体素子を前記半導体基板から切り離す、
ことを特徴とする半導体集積回路の製造方法。
【請求項１４】
前記フィルムに貼り付けられた前記半導体素子を、前記半導体基板とは異なる基板に接合する、
ことを特徴とする請求項１３に記載の半導体集積回路の製造方法。
【請求項１５】
前記基板に接合された前記半導体素子を、当該基板上に形成された回路と接続する、
ことを特徴とする請求項１４に記載の半導体集積回路の製造方法。
【請求項１６】

半導体基板に形成された半導体素子を、当該半導体基板から切り離して半導体素子部材としたものであって、当該半導体素子部材がフィルムに貼り付けられている、
ことを特徴とする半導体素子部材。
【請求項１７】
請求項１６に記載の半導体素子部材が、請求項１６に記載の半導体基板とは異なる基板に接合されてなり、当該半導体素子部材と当該基板の回路とが接続され集積回路が形成されてなる、
ことを特徴とする半導体集積回路。
【請求項１８】
請求項１７に記載の半導体集積回路を備えたことを特徴とする電気光学装置。
【請求項１９】
請求項１乃至５のいずれかに記載の半導体基板から切り離された半導体素子を含む機能層と、請求項１３に記載の半導体基板から切り離された半導体素子と、のうち少なくとも１つを備えたことを特徴とする電気光学装置。
【請求項２０】
前記電気光学装置は、マトリクス状に形成された複数の走査線及び複数のデータ線と、前記走査線とデータ線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを有することを特徴とする請求項１８又は１９に記載の電気光学装置。
【請求項２１】
前記電気光学装置は、発光素子を有することを特徴とする請求項１８又は１９に記載の電気光学装置。
【請求項２２】
請求項１８乃至２１のいずれか一項に記載の電気光学装置を備えたことを特徴とする電子機器。
【請求項２３】
前記分離溝は、基板に到達する深さを持つ溝とする、
ことを特徴とする請求項９又は１３に記載の半導体集積回路の製造方法。