



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년05월14일
(11) 등록번호 10-1857693
(24) 등록일자 2018년05월08일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) G02F 1/1368 (2006.01)
(21) 출원번호 10-2012-7016747
(22) 출원일자(국제) 2010년11월11일
심사청구일자 2015년10월23일
(85) 번역문제출일자 2012년06월27일
(65) 공개번호 10-2012-0089763
(43) 공개일자 2012년08월13일
(86) 국제출원번호 PCT/JP2010/070517
(87) 국제공개번호 WO 2011/068032
국제공개일자 2011년06월09일
(30) 우선권주장
JP-P-2009-276454 2009년12월04일 일본(JP)
(56) 선행기술조사문헌
KR1020090084642 A*
JP07168170 A*
JP2007123861 A
JP2008281988 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 7 항

심사관 : 최혜미

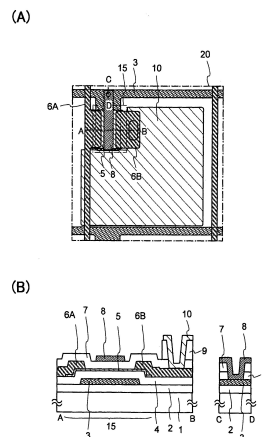
(54) 발명의 명칭 표시 장치

(57) 요약

본 발명은 표시 장치의 화소부에 이용되는 고신뢰성을 갖는 산화물 반도체막을 포함하는 트랜지스터를 제공한다.

제 1 게이트 전극과, 제 1 게이트 전극 위에 형성된 제 1 게이트 절연막과, 제 1 게이트 절연막 위에 형성된 산화물 반도체막과, 산화물 반도체막 위에 형성된 소스 전극 및 드레인 전극과, 소스 전극, 드레인 전극 및 산화물 반도체막 위에 형성된 제 2 게이트 절연막과, 제 2 게이트 절연막 위에 형성된 제 2 게이트 전극과, 제 2 게이트 절연막 위에 형성된 평탄성을 갖는 유기 수지막과, 평탄성을 갖는 유기 수지막 위에 형성된 화소 전극을 갖고, 산화물 반도체막은 이차이온 질량 분석법으로 검출되는 수소 원자의 농도가 $1 \times 10^{16} \text{ cm}^{-3}$ 미만인 표시 장치이다.

대표도



명세서

청구범위

청구항 1

표시 장치로서,

제 1 게이트 전극;

상기 제 1 게이트 전극 위의 제 1 게이트 절연막;

상기 제 1 게이트 절연막 위의 산화물 반도체막;

상기 산화물 반도체막에 전기적으로 접속되는, 상기 산화물 반도체막 위의 소스 전극 및 드레인 전극;

상기 소스 전극, 상기 드레인 전극, 및 상기 산화물 반도체막 위의 제 2 게이트 절연막;

상기 제 2 게이트 절연막 위의 제 2 게이트 전극;

상기 제 2 게이트 절연막 위의, 평탄성을 갖는 유기 수지막;

상기 소스 전극 또는 상기 드레인 전극 중 한쪽과 전기적으로 접속되는, 상기 평탄성을 갖는 유기 수지막 위의 화소 전극;

상기 제 2 게이트 전극 및 상기 화소 전극 위의 제 1 배향막;

상기 제 1 배향막 위의 액정층;

상기 액정층 위의 제 2 배향막;

상기 제 2 배향막 위의 대향 전극; 및

상기 대향 전극 위의 대향 기판을 포함하고,

상기 유기 수지막은 상기 제 2 게이트 전극과 중첩되지 않고,

상기 산화물 반도체막에 함유되고, 이차이온질량분석법으로 측정되는 수소 원자의 농도가 $1 \times 10^{16} \text{ cm}^{-3}$ 미만인, 표시 장치.

청구항 2

표시 장치로서,

제 1 게이트 전극;

상기 제 1 게이트 전극 위의 제 1 게이트 절연막;

상기 제 1 게이트 절연막 위의 산화물 반도체막;

상기 산화물 반도체막에 전기적으로 접속되는, 상기 산화물 반도체막 위의 소스 전극 및 드레인 전극 ;

상기 소스 전극, 상기 드레인 전극, 및 상기 산화물 반도체막 위의 제 2 게이트 절연막;

상기 제 2 게이트 절연막 위의 제 2 게이트 전극;

상기 제 2 게이트 절연막 위의, 평탄성을 갖는 유기 수지막;

상기 소스 전극 또는 상기 드레인 전극 중 한쪽과 전기적으로 접속되는, 상기 평탄성을 갖는 유기 수지막 위의 화소 전극;

상기 화소 전극 위의 EL층;

상기 EL층 위의 대향 전극;

상기 제 2 게이트 전극 및 상기 대향 전극 위의 봉지재; 및
 상기 봉지재 위의 대향 기판을 포함하고,
 상기 유기 수지막은 상기 제 2 게이트 전극과 중첩되지 않고,
 상기 산화물 반도체막에 함유되고, 이차이온질량분석법으로 측정되는 수소 원자의 농도가 $1 \times 10^{16} \text{ cm}^{-3}$ 미만인, 표시 장치.

청구항 3

표시 장치로서,
 제 1 게이트 전극;
 상기 제 1 게이트 전극 위의 제 1 게이트 절연막;
 상기 제 1 게이트 절연막 위의 산화물 반도체막;
 상기 산화물 반도체막에 전기적으로 접속되는, 상기 산화물 반도체막 위의 소스 전극 및 드레인 전극;
 상기 소스 전극, 상기 드레인 전극, 및 상기 산화물 반도체막 위의 제 2 게이트 절연막;
 상기 제 2 게이트 절연막 위의 제 2 게이트 전극;
 상기 제 2 게이트 절연막 위의, 평탄성을 갖는 유기 수지막;
 상기 소스 전극 또는 상기 드레인 전극 중 한쪽과 전기적으로 접속되는, 상기 평탄성을 갖는 유기 수지막 위의 화소 전극; 및
 상기 제 2 게이트 전극 및 상기 화소 전극 위의 충전재를 포함하고,
 상기 충전재에는 캐비티를 포함하는 구형 입자가 제공되고, 상기 캐비티는 흑색 영역 및 백색 영역을 함유하고,
 상기 캐비티의 주위 공간은 액체로 채워지고,
 상기 유기 수지막은 상기 제 2 게이트 전극과 중첩되지 않고,
 상기 산화물 반도체막에 함유되고, 이차이온질량분석법으로 측정되는 수소 원자의 농도가 $1 \times 10^{16} \text{ cm}^{-3}$ 미만인, 표시 장치.

청구항 4

표시 장치로서,
 제 1 게이트 전극;
 상기 제 1 게이트 전극 위의 제 1 게이트 절연막;
 상기 제 1 게이트 절연막 위의 산화물 반도체막;
 상기 산화물 반도체막에 전기적으로 접속되는, 상기 산화물 반도체막 위의 소스 전극 및 드레인 전극;
 상기 소스 전극, 상기 드레인 전극, 및 상기 산화물 반도체막 위의 제 2 게이트 절연막;
 상기 제 2 게이트 절연막 위의 제 2 게이트 전극;
 상기 제 2 게이트 절연막 위의, 평탄성을 갖는 유기 수지막;
 상기 소스 전극 또는 상기 드레인 전극 중 한쪽과 전기적으로 접속되는, 상기 평탄성을 갖는 유기 수지막 위의 화소 전극; 및
 상기 제 2 게이트 전극 및 상기 화소 전극 위의 전자 잉크층으로서, 플러스로 대전된 흰 미립자와 마이너스로

대전된 검은 미립자가 봉입된 마이크로 캡셀을 포함하는 상기 전자 잉크층을 포함하고,

상기 유기 수지막은 상기 제 2 게이트 전극과 중첩되지 않고,

상기 산화물 반도체막에 함유되고, 이차이온질량분석법으로 측정되는 수소 원자의 농도가 $1 \times 10^{16} \text{ cm}^{-3}$ 미만인, 표시 장치.

청구항 5

삭제

청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 게이트 전극 및 상기 제 2 게이트 절연막 위에서, 상기 제 2 게이트 전극 및 상기 제 2 게이트 절연막에 접촉하는 패시베이션막을 더 포함하는, 표시 장치.

청구항 7

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 산화물 반도체막의 캐리어 밀도가 300K에서 $1 \times 10^{12} \text{ cm}^{-3}$ 미만인, 표시 장치.

청구항 8

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 산화물 반도체막은, In-Sn-Ga-Zn-O, In-Ga-Zn-O, In-Sn-Zn-O, In-Al-Zn-O, Sn-Ga-Zn-O, Al-Ga-Zn-O, Sn-Al-Zn-O, In-Zn-O, Sn-Zn-O, Al-Zn-O, Zn-Mg-O, Sn-Mg-O, In-Mg-O, In-O, Sn-O, 및 Zn-O 로 이루어지는 그룹으로부터 선택된 재료를 포함하는, 표시 장치.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 발명은 트랜지스터를 갖는 표시 장치에 관한 것으로서, 이 트랜지스터의 채널은 산화물 반도체막을 갖는다.

배경 기술

[0002] 특허문헌 1은, 기판 위에 제 1 게이트 전극이 형성되고, 이 제 1 게이트 전극을 덮도록 제 1 게이트 절연층이 형성되고, 이 제 1 게이트 절연층 위에 산화물 반도체로 이루어진 반도체층이 형성되고, 이 반도체층 위에 제 2 게이트 절연층이 형성되고, 이 제 2 게이트 절연층 위에 제 2 게이트 전극이 형성되고, 상기 반도체층과 접속하여 드레인 전극 및 소스 전극이 형성되고, 상기 제 2 게이트 전극의 두께는 상기 제 1 게이트 전극의 두께 이상의 두께를 갖는 박막트랜지스터를 개시한다(청구항 1). 특허문헌 1은, 상기 박막트랜지스터는 액정 디스플레이나 유기 EL 디스플레이의 구동용 전계 효과 트랜지스터로 이용 가능하다(단락 0114).

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본국 특개 2009-176865호 공보

발명의 내용

해결하려는 과제

[0004] 특허문헌 1은 박막트랜지스터의 전달 특성에서의 험프(hump)의 발현을 억제할 수 있다고 되어 있다(단락 0026).

[0005] 그러나 트랜지스터의 특성을 개선하기 위해서는 상기 구성만으로는 불충분하다. 따라서 본 발명의 일 양태는, 액정 디스플레이나 유기 EL 디스플레이 등의 표시 장치의 화소부에 이용되는, 산화물 반도체막을 포함하는 트랜

지스터에 관한 것으로, 고신뢰성을 갖는 트랜지스터를 제공한다.

과제의 해결 수단

- [0006] 이하의 실험에서, 산화물 반도체막을 갖는 트랜지스터에 대해, 수소가 미치는 영향을 조사하였다. 그리고 수소를 제거함으로써, 트랜지스터의 특성을 향상할 수 있는 것을 발견하고, 상기 과제를 해결할 수 있다는 사고에 이르렀다.
- [0007] <실험. 수소와 트랜지스터의 특성>
- [0008] 도 1에 실험 제작한 산화물 반도체막(비정질 In-Ga-Zn-O막, 본 실험에서는 a-IGZO이라고도 한다.)을 갖는 트랜지스터의 모식도와 이 트랜지스터의 특성을 나타낸다. 도 1(a)는 층간막에 플라즈마 CVD법에 의해 제작한 SiO_x(PECVD-SiO_x이라고도 한다.)를 이용한 경우, 도 1(b)는 층간막에 스퍼터링법에 의해 제작한 SiO_x(Sputtered-SiO_x 또는 Sputtering-SiO_x라고도 한다.)를 이용한 경우이다. 기타 다른 제작 방법은 동일하다. 플라즈마 CVD법에 의한 SiO_x의 경우는 노멀리·온의 트랜지스터 특성을 얻었다. 또한 측정 온도에 의한 트랜지스터 특성의 변화가 컸다. 한편, 스퍼터링법에 의한 SiO_x인 경우는, 노멀리·오프의 트랜지스터 특성을 얻었고, 측정 온도에 의한 트랜지스터 특성의 변화는 작았다. 이 2개의 트랜지스터의 수소 농도를 이차이온 질량 분석법으로 측정한 결과, 플라즈마 CVD SiO_x인 경우는 트랜지스터 안에 수소를 다량으로 포함하지만, 스퍼터링 SiO_x인 경우는 수소가 적은 것이 명확해졌다(도 2).
- [0009] 또한 a-IGZO의 전자적 성질을 해결하기 위해 제 1 원리 계산에 의한 해석을 하였다. (A) 화학량론비를 만족하는 a-IGZO, (B) 수소가 첨가된 a-IGZO를 가정하고, 전자 상태를 계산하였다. 84 원자, 조성비는 In:Ga:Zn:O=1:1:1:4, 밀도는 5.9g/cm³의 단위셀을 가정하고, 고전분자동력학법에 의해 아몰퍼스 구조를 재현하고, 나아가 양자분자동력학법에 의해 구조의 최적화를 도모하고, 그 전자 상태를 계산하였다.
- [0010] 계산 결과를 도 3에 나타내었다. 도 3은 a-IGZO의 DOS(Density Of States, 전자 상태 밀도)를 나타낸다. Energy가 0(zero)을 나타내는 곳이, 페르미 준위를 나타내고 있다. (A)의 화학량론비를 만족하는 a-IGZO는 페르미 준위가 가전자대에 존재하나, (B)의 수소가 첨가된 경우는, 전도대 중에도 전자가 존재하는 것을 알 수 있다. 즉, a-IGZO에서 수소는 도너 준위를 형성하고, 전자를 공급하는 것을 알 수 있다.
- [0011] 수소를 제거하는 것은, 산화물 반도체막 중의 도너를 제거하게 된다. 도너를 제거함으로써, 산화물 반도체막을, 진성 반도체 또는 실질적으로 진성인 반도체로 할 수 있다.
- [0012] 트랜지스터의 채널이 수소가 저감된 산화물 반도체막을 갖는 경우에서의, 이 트랜지스터(채널 길이(L)=10.0μm, 채널 폭(W)=1μm)의 오프 전류를 실온(25℃)에서, 측정한 결과, 1×10^{-12} A 이하가 되었다(도 4). W=1μm로 환산한 경우, 오프 전류는 1×10^{-18} A 이하가 된다.
- [0013] 산화물 반도체막에 포함되는 수소 원자를 최대한 적게 함으로써, 산화물 반도체막을 진성 또는 실질적으로 진성인 반도체로 할 수 있다. 이에 따라 트랜지스터의 특성을 향상할 수 있고, 상기 과제를 해결할 수 있다.
- [0014] 본 발명의 일 양태는, 제 1 게이트 전극과, 제 1 게이트 전극 위에 형성된 제 1 게이트 절연막과, 제 1 게이트 절연막 위에 형성된 산화물 반도체막과, 산화물 반도체막 위에 형성된 소스 전극 및 드레인 전극을 갖고, 소스 전극 및 드레인 전극은 산화물 반도체막에 전기적으로 접속되고, 소스 전극, 드레인 전극 및 산화물 반도체막 위에 형성된 제 2 게이트 절연막과, 제 2 게이트 절연막 위에 형성된 제 2 게이트 전극을 갖고, 제 2 게이트 전극은 제 1 게이트 전극에 전기적으로 접속되고, 제 2 게이트 절연막 위에 형성된 평탄성을 갖는 유기 수지막과, 평탄성을 갖는 유기 수지막 위에 형성된 화소 전극을 갖고, 화소 전극은 상기 소스 전극 및 드레인 전극 중 한 쪽과 전기적으로 접속되고, 제 2 게이트 전극 및 화소 전극 위에 접하여 형성된 제 1 배향막과, 제 1 배향막 위에 형성된 액정층과, 액정층 위에 형성된 제 2 배향막과, 제 2 배향막 위에 형성된 대향 전극과, 대향 전극 위에 형성된 대향 기판을 갖고, 산화물 반도체막은 이차이온 질량 분석법으로 검출되는 수소 원자의 농도가 $1 \times 10^{16} \text{ cm}^{-3}$ 미만인 표시 장치이다.
- [0015] 본 발명의 일 양태는, 제 1 게이트 전극과, 제 1 게이트 전극 위에 형성된 제 1 게이트 절연막과, 제 1 게이트 절연막 위에 형성된 산화물 반도체막과, 산화물 반도체막 위에 형성된 소스 전극 및 드레인 전극을 갖고, 소스 전극 및 드레인 전극은 산화물 반도체막에 전기적으로 접속되고, 소스 전극, 드레인 전극 및 산화물 반도체막

위에 형성된 제 2 게이트 절연막과, 제 2 게이트 절연막 위에 형성된 제 2 게이트 전극을 갖고, 제 2 게이트 전극은 제 1 게이트 전극에 전기적으로 접속되고, 제 2 게이트 절연막 위에 형성된 평탄성을 갖는 유기 수지막과, 평탄성을 갖는 유기 수지막 위에 형성된 화소 전극을 갖고, 화소 전극은 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고, 화소 전극 위에 형성된 Et층과, Et층 위에 형성된 대향 전극과, 제 2 게이트 전극 및 대향 전극 위에 접하여 형성된 봉지재와, 봉지재 위에 형성된 대향 기판을 갖고, 산화물 반도체막은 이차이온 질량 분석법으로 검출되는 수소 원자의 농도가 $1 \times 10^{16} \text{ cm}^{-3}$ 미만인 표시 장치이다.

[0016] 본 발명의 일 양태는, 제 1 게이트 전극과, 제 1 게이트 전극 위에 형성된 제 1 게이트 절연막과, 제 1 게이트 절연막 위에 형성된 산화물 반도체막과, 산화물 반도체막 위에 형성된 소스 전극 및 드레인 전극을 갖고, 소스 전극 및 드레인 전극은 산화물 반도체막에 전기적으로 접속되고, 소스 전극, 드레인 전극 및 산화물 반도체막 위에 형성된 제 2 게이트 절연막과, 제 2 게이트 절연막 위에 형성된 제 2 게이트 전극을 갖고, 제 2 게이트 전극은 제 1 게이트 전극에 전기적으로 접속되고, 제 2 게이트 절연막 위에 형성된 평탄성을 갖는 유기 수지막과, 평탄성을 갖는 유기 수지막 위에 형성된 화소 전극을 갖고, 화소 전극은 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고, 제 2 게이트 전극 및 화소 전극 위에 접하여 형성된 충전재, 를 갖고, 충전재에는 캐비티를 포함하는 구형 입자가 형성되고, 캐비티는 흑색 영역 및 백색 영역을 갖고, 캐비티의 주위는 액체로 채워지고, 산화물 반도체막은 이차이온 질량 분석법으로 검출되는 수소 원자의 농도가 $1 \times 10^{16} \text{ cm}^{-3}$ 미만인 표시 장치이다.

[0017] 본 발명의 일 양태는, 제 1 게이트 전극과, 제 1 게이트 전극 위에 형성된 제 1 게이트 절연막과, 제 1 게이트 절연막 위에 형성된 산화물 반도체막과, 산화물 반도체막 위에 형성된 소스 전극 및 드레인 전극을 갖고, 소스 전극 및 드레인 전극은 산화물 반도체막에 전기적으로 접속되고, 소스 전극, 드레인 전극 및 산화물 반도체막 위에 형성된 제 2 게이트 절연막과, 제 2 게이트 절연막 위에 형성된 제 2 게이트 전극을 갖고, 제 2 게이트 전극은 제 1 게이트 전극에 전기적으로 접속되고, 제 2 게이트 절연막 위에 형성된 평탄성을 갖는 유기 수지막과, 평탄성을 갖는 유기 수지막 위에 형성된 화소 전극을 갖고, 화소 전극은 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고, 제 2 게이트 전극 및 화소 전극 위에 접하여 형성된 전자 잉크층을 갖고, 전자 잉크층에는, 플러스로 대전된 흰 미립자와 마이너스로 대전된 검은 미립자가 봉입된 마이크로 캡셀이 형성되고, 산화물 반도체막은 이차이온 질량 분석법으로 검출되는 수소 원자의 농도가 $1 \times 10^{16} \text{ cm}^{-3}$ 미만인 표시 장치이다.

발명의 효과

[0018] 본 발명의 일 양태에서는, 채널이 형성되는 산화물 반도체막의, 이차이온 질량 분석법으로 검출되는 수소 원자의 농도가 $1 \times 10^{16} \text{ cm}^{-3}$ 미만이다. 이에 따라 산화물 반도체막은 진성 또는 실질적으로 진성인 반도체가 된다. 이 산화물 반도체막의 캐리어 밀도는 매우 적어진다. 트랜지스터의 오프 전류는 매우 적어진다. 또한 애벌란시 항복이 발생하기 어렵다.

[0019] 한편, 수소 원자의 농도에 관한 특허문헌으로 일본국 특개 2007-103918호 공보를 들 수 있다. 일본국 특개 2007-103918호 공보는 In 또는 Zn을 포함하는 아몰퍼스 산화물막으로 이루어진 채널층을 갖는 전계 효과 트랜지스터로, 이 아몰퍼스 산화물막이 10^{16} cm^{-3} 이상 10^{20} cm^{-3} 이하인 수소 원자 또는 중수소 원자를 함유하고 있는 것을 개시하고 있다. 그러나 이들은 수소 원자를 적극적으로 첨가한다고 하는 기술 사상이다. 한편, 본 발명의 일 양태는 수소 원자를 최대한 적게 한다고 하는 기술 사상이다. 따라서 양자의 기술 사상은 정반대이며 전혀 다른 것이다. 본 발명의 일 양태에서는, 산화물 반도체막 중의 수소 원자의 농도가 $1 \times 10^{16} \text{ cm}^{-3}$ 미만인 것에 의해, 산화물 반도체막을 진성 또는 실질적으로 진성인 반도체로 할 수 있고, 캐리어 밀도를 매우 적게 할 수 있고, 트랜지스터의 오프 전류는 매우 적게 할 수 있다.

[0020] 본 발명의 일 양태에서는, 화소 전극에 전기적으로 접속된 트랜지스터는 평탄성을 갖는 유기 수지막, 화소 전극으로 덮여 있지 않다. 유기 수지막의 수소 원자가 트랜지스터에 영향을 주는 일이 없다. 화소 전극에 인가되는 전위가 트랜지스터에 영향을 주는 일이 없다.

[0021] 본 발명의 일 양태에서는, 소스 전극 및 드레인 전극 위에는 제 2 게이트 절연막이 형성된다. 따라서 소스 전극 및 드레인 전극은 제 2 게이트 절연막에 의해 보호된다.

도면의 간단한 설명

[0022]

도 1(A) 및 도 1(B)는, 트랜지스터의 모식도와 그 특성을 나타낸 도면이다.

도 2는, 트랜지스터의 수소 농도 프로파일을 나타낸 도면이다.

도 3(A) 및 도 3(B)는, 계산 결과를 나타낸 도면이다.

도 4는, 트랜지스터 특성을 나타낸 도면이다.

도 5(A) 및 도 5(B)는, 표시 장치를 나타낸 도면이다.

도 6(A) 및 도 6(B)는, 표시 장치를 나타낸 도면이다.

도 7은, 트랜지스터의 단면을 나타낸 도면이다.

도 8(A) 및 도 8(B)는, 트랜지스터의 에너지 밴드를 나타낸 도면이다.

도 9(A) 및 도 9(B)는, 트랜지스터의 에너지 밴드를 나타낸 도면이다.

도 10은, 트랜지스터의 에너지 밴드를 나타낸 도면이다.

도 11(A) 내지 도 11(C)는, 표시 장치의 제작 방법을 나타낸 도면이다.

도 12(A) 및 도 12(B)는, 표시 장치의 제작 방법을 나타낸 도면이다.

도 13은, 표시 장치의 제작 방법을 나타낸 도면이다.

도 14(A) 및 도 14(B)는, 표시 장치를 나타낸 도면이다.

도 15(A) 및 도 15(B)는, 표시 장치를 나타낸 도면이다.

도 16(A) 및 도 16(B)는, 표시 장치를 나타낸 도면이다.

도 17은, CV 측정을 설명한 도면이다.

도 18(A) 및 도 18(B)는, CV 측정을 설명한 도면이다.

도 19(A) 및 도 19(B)는, 단면 TEM을 나타낸 도면이다.

도 20(A) 및 도 20(B)는, 단면 TEM을 나타낸 도면이다.

도 21(A)는 시료 A의 표층부의 확대 사진을 나타내고, 도 21(B)는 결정 영역의 전자선 회절 패턴을 나타낸다.

도 22(A) 및 도 21(B)는, 표시 장치를 나타낸 도면이다.

도 23(A) 및 도 23(B)는, 휴대 전화기 및 휴대 정보 단말을 나타낸 도면이다.

도 24(A) 및 도 24(B)는, 텔레비전 장치 및 디지털 포토 프레임을 나타낸 도면이다.

도 25는, 휴대형 유기기를 나타낸 도면이다.

도 26은, 전자 서적을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0023]

이하, 본 발명의 실시형태를 설명한다. 단, 본 발명은 많은 다른 양태로 실시할 수 있고, 본 발명의 취지 및 그 범위에서 벗어나지 않는 범위에서 그 형태 및 상세한 내용을 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 실시형태의 기재 내용에 한정되어 해석되어서는 안 된다. 한편 이하에서, 동일 부분 또는 동일한 기능을 갖는 부분에는, 다른 도면에서도 동일한 부호를 공통으로 이용하며, 반복되는 설명은 생략한다.

[0024]

(실시형태 1)

- [0025] 본 실시형태는, 제 1 게이트 전극과, 제 1 게이트 전극 위에 형성된 제 1 게이트 절연막과, 제 1 게이트 절연막 위에 형성된 산화물 반도체막과, 산화물 반도체막 위에 형성된 소스 전극 및 드레인 전극을 갖고, 소스 전극 및 드레인 전극은 산화물 반도체막에 전기적으로 접속되고, 소스 전극, 드레인 전극 및 산화물 반도체막 위에 형성된 제 2 게이트 절연막과, 제 2 게이트 절연막 위에 형성된 제 2 게이트 전극을 갖고, 제 2 게이트 전극은 제 1 게이트 전극에 전기적으로 접속되고, 제 2 게이트 절연막 위에 형성된 평탄성을 갖는 유기 수지막과, 평탄성을 갖는 유기 수지막 위에 형성된 화소 전극을 갖고, 화소 전극은 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고, 제 2 게이트 전극 및 화소 전극 위에 접하여 형성된 표시 매체를 갖는 표시 장치를 개시한다.
- [0026] 도 5(A), 도 5(B)에 나타난 바와 같이 표시 장치는 화소(20)를 갖는다. 표시 장치는 화소(20)를 복수 개 가져도 좋다. 화소(20)는 트랜지스터(15)를 갖는다. 트랜지스터(15)는, 제 1 게이트 전극(3)과, 제 1 게이트 절연막(4)과, 산화물 반도체막(5)과, 전극(6A)(소스 전극 및 드레인 전극 중 한쪽)과, 전극(6B)(소스 전극 및 드레인 전극 중 다른 한쪽)과, 제 2 게이트 절연막(7)과, 제 2 게이트 전극(8), 을 갖는다. 화소(20)는 그 외 평탄성을 갖는 유기 수지막(9)과, 화소 전극(10), 을 갖는다. 도 5(A)는 화소(20)의 상면도이고, 도 5(B)는 도 5(A)의 A-B 단면 및 C-D 단면을 나타낸다.
- [0027] 트랜지스터(15)는 기판(1) 위에 형성된다. 기판(1) 위에는 하지막이 되는 절연막(2)이 형성된다. 절연막(2) 위에는 제 1 게이트 전극(3)이 형성된다. 제 1 게이트 전극(3) 위에는, 제 1 게이트 절연막(4)이 제 1 게이트 전극(3)을 덮도록 형성된다. 제 1 게이트 절연막(4) 위에는 산화물 반도체막(5)이 형성된다. 산화물 반도체막(5) 위에는 전극(6A), 전극(6B)이 형성된다. 전극(6A), 전극(6B) 및 산화물 반도체막(5) 위에는 제 2 게이트 절연막(7)이 형성된다. 제 2 게이트 절연막(7)은 전극(6A), 전극(6B) 및 산화물 반도체막(5)을 덮는다. 제 2 게이트 절연막(7) 위에는 제 2 게이트 전극(8)이 형성된다.
- [0028] 도 5(A)에서는 제 2 게이트 전극(8)은 제 1 게이트 전극(3)에 전기적으로 접속되나, 제 2 게이트 전극(8)은 제 1 게이트 전극(3)에 전기적으로 접속되어 있지 않아도 좋다(도 6). 제 2 게이트 전극(8)이 제 1 게이트 전극(3)과 전기적으로 접속되는 경우는, 제 2 게이트 전극(8)은 제 1 게이트 전극(3)과 동전위가 된다. 한편, 제 2 게이트 전극(8)이 제 1 게이트 전극(3)에 전기적으로 접속되지 않은 경우는, 제 2 게이트 전극(8)은 제 1 게이트 전극(3)과 동전위가 되지 않을 수도 있다.
- [0029] 제 1 게이트 전극(3)은 주사선 구동 회로(도시하지 않음)에 전기적으로 접속된다. 주사선 구동 회로에서는 선택 신호가 제 1 게이트 전극(3)에 인가된다. 제 1 게이트 전극(3)이 제 2 게이트 전극(8)에 전기적으로 접속되어 있는 경우에는, 제 2 게이트 전극(8)에도 동일한 선택 신호가 인가된다. 제 1 게이트 전극(3)과, 제 2 게이트 전극(8)이 전기적으로 접속되어 있지 않은 경우에는, 제 2 게이트 전극(8)은 다른 주사선 구동 회로에 전기적으로 접속되고, 이 주사선 구동 회로에서 다른 선택 신호가 인가된다.
- [0030] 전극(6A)은 신호선 구동 회로(도시하지 않음)에 전기적으로 접속된다. 신호선 구동 회로에서는 화상 신호가 전극(6A)에 인가된다.
- [0031] 제 2 게이트 절연막(7) 위에는 평탄성을 갖는 유기 수지막(9)이 형성된다. 유기 수지막(9)은 제 2 게이트 전극(8) 위에는 형성되지 않는다. 유기 수지막(9) 위에는 화소 전극(10)이 형성된다. 제 2 게이트 전극(8), 제 2 게이트 절연막(7) 및 화소 전극(10) 위에는 표시 매체가 형성된다(도 14(A), 도 14(B), 도 15(A), 도 15(B), 도 16(A), 도 16(B), 22(A) 및 도 22(B)).
- [0032] 본 실시형태의 표시 장치에는 유지 용량을 형성하지 않았다. 트랜지스터(15)의 오프 전류는 매우 낮으므로, 전극(6B) 및 화소 전극(10)에 인가된 전위는 저하되지 않고 유지된다. 따라서 유지 용량은 불필요해진다. 그러나 유지 용량을 형성해도 좋은 것은 당연하다.
- [0033] 전극(6A), 전극(6B)이 형성되어 있지 않은 영역에서, 제 1 게이트 절연막(4)과 제 2 게이트 절연막(7)은 접해도 좋다(도 5(B), 도 6(B), 도 7). 제 1 게이트 절연막(4)과 제 2 게이트 절연막(7)이 접함으로써, 산화물 반도체막(5)은 제 1 게이트 절연막(4)과 제 2 게이트 절연막(7)에 의해 커버되게 되고, 불순물이 산화물 반도체막(5)으로 침입하는 것을 방지할 수 있다.
- [0034] 표시 장치의 특징을 이하에 설명한다. 채널이 형성되는 산화물 반도체막(5)에 포함되는 수소 원자의 농도는 $1 \times 10^{16} \text{ cm}^{-3}$ 미만이고, 진성 또는 실질적으로 진성인 반도체이다. 이에 대해서는 후술한다.
- [0035] 전극(6A), 전극(6B)은 제 2 게이트 절연막(7)으로 덮인다. 전극(6A), 전극(6B)은 제 2 게이트 절연막(7)에 의해 보호된다.

- [0036] 도 5(B) 및 도 6(B)에 나타난 바와 같이, 트랜지스터(15) 위에는 유기 수지막(9) 및 화소 전극(10)이 형성되지 않는다. 유기 수지막(9)의 수소 원자가 트랜지스터(15)에 영향을 주는 일이 없다. 화소 전극(10)에 인가되는 전위가 트랜지스터(15)에 영향을 주는 일이 없다.
- [0037] 다음으로 표시 장치의 각 구성을 설명한다.
- [0038] 먼저 산화물 반도체막(5)에 대해 설명한다. 산화물 반도체막(5)에는 채널이 형성된다. 산화물 반도체막(5)은 2nm-200nm의 두께를 가지면 된다.
- [0039] (조성)
- [0040] 산화물 반도체막(5)으로는, 사원계 금속 산화물인 In-Sn-Ga-Zn-O나, 삼원계 금속 산화물인 In-Ga-Zn-O, In-Sn-Zn-O, In-Al-Zn-O, Sn-Ga-Zn-O, Al-Ga-Zn-O, Sn-Al-Zn-O나, 이원계 금속 산화물인 In-Zn-O, Sn-Zn-O, Al-Zn-O, Zn-Mg-O, Sn-Mg-O, In-Mg-O나, In-O, Sn-O, Zn-O 등의 산화물 반도체를 이용할 수 있다. 또한, 상기 산화물 반도체는 SiO₂를 포함하여도 좋다.
- [0041] 또한, 산화물 반도체막(5)은, InMO₃(ZnO)_m(m>0)로 표기되는 박막을 이용할 수 있다. 여기서, M은, Ga, Al, Mn 및 Co에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어 M으로, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다. InMO₃(ZnO)_m(m>0)으로 표기되는 구조의 산화물 반도체막(5) 중, M으로 Ga를 포함하는 구조의 산화물 반도체를, 상기한 In-Ga-Zn-O 산화물 반도체라 하고, 그 박막을 In-Ga-Zn-O막이라고도 하기로 한다.
- [0042] (수소 농도)
- [0043] 산화물 반도체막(5)에서는, 이차이온 질량 분석법으로 검출되는 수소 농도가 $1 \times 10^{16} \text{ cm}^{-3}$ 미만이다. 바람직하게는 $1 \times 10^{14} \text{ cm}^{-3}$ 미만이다. 상기한 바와 같이 수소가 저감된 산화물 반도체막(5)은 진성 또는 실질적으로 진성인 반도체가 된다. 한편 산화물 반도체막(5)은 도너 준위, 억셉터 준위를 형성하는 불순물 원소를 포함하지 않는 것이 바람직하다.
- [0044] 이차이온 질량 분석법은, 그 원리상, 시료 표면 근방이나, 재질이 다른 막과의 적층 계면 근방의 데이터를 정확히 얻는 것이 어려운 것으로 알려져 있다. 따라서, 막 중에서의 수소 농도의 두께 방향의 분포를, 이차이온 질량 분석법으로 분석하는 경우, 수소 농도는, 대상이 되는 막이 존재하는 범위에서, 극단적인 변동이 없고, 거의 일정한 강도를 얻을 수 있는 영역에서의 평균값을 채용한다. 또한, 측정 대상이 되는 막의 두께가 작은 경우, 인접하는 막 내의 수소 농도의 영향을 받아, 거의 일정한 강도가 얻어지는 영역을 발견할 수 없는 경우가 있다. 이 경우, 이 막이 존재하는 영역에서의, 최대치 또는 최소치를, 수소 농도로 채용한다. 또한, 이 막이 존재하는 영역에서, 최대치를 갖는 산형의 피크, 최소치를 갖는 계곡형 피크가 존재하지 않는 경우, 변곡점의 값을 수소 농도로 채용한다.
- [0045] 산화물 반도체막(5)에 포함되는 수소 원자는 0인 것이 바람직하다. 수소 원자의 농도는 0 cm^{-3} 이상, $1 \times 10^{16} \text{ cm}^{-3}$ 미만이다. 그러나 수소 원자가 0인 것을 이차이온 질량 분석법으로 검출하기는 어렵다. 따라서, 적어도 수소 원자의 농도는 이차이온 질량 분석법으로 검출 한계 이하인 것이 바람직하다.
- [0046] (캐리어 밀도)
- [0047] 상기 수소 원자 농도를 갖는 산화물 반도체막(5)의 캐리어 밀도는 300K에서 $1 \times 10^{12} \text{ cm}^{-3}$ 미만이 된다. 산화물 반도체막(5)의 캐리어 밀도는 300K에서 $1 \times 10^{12} \text{ cm}^{-3}$ 미만이 좋다. 바람직하게는 산화물 반도체막(5)의 캐리어 밀도는 300K에서 $1 \times 10^{10} \text{ cm}^{-3}$ 미만이다. 캐리어 밀도는 홀 측정 등에 의해 측정할 수 있으나, 여기서 이용한 측정 방법에 대해서는 실시예에서 설명한다.
- [0048] 여기서, 산화물 반도체의 진성 캐리어 밀도에 대해 설명한다. 진성 캐리어 밀도란 진성 반도체의 캐리어 밀도를 말한다.
- [0049] 반도체에 포함되는 진성 캐리어 밀도(n_i)는, 페르미·디랙 통계에 의한 페르미·디랙 분포를 볼츠만 분포의 식(수학식 1 참조)으로 근사함으로써 구할 수 있다.

[0050] [수학식 1]

$$n_i = \sqrt{N_c N_v} \exp\left(-\frac{E_g}{2kT}\right)$$

[0051]

[0052] 근사식에 의해 구해지는 진성 캐리어 밀도(n_i)는, 전도대에서의 실효 상태 밀도(N_c), 가전자대에서의 실효 상태 밀도(N_v), 및 밴드갭(E_g)의 관계식이고, 상기 수학식에서 실리콘의 진성 캐리어 밀도(n_i)는 $1.4 \times 10^{10} \text{ cm}^{-3}$, 산화물 반도체(여기에서는, In-Ga-Zn-O막)의 진성 캐리어 밀도(n_i)는 $1.2 \times 10^{-7} \text{ cm}^{-3}$ 가 된다. 실리콘과 비교하여, 산화물 반도체의 진성 캐리어 밀도가 매우 낮은 것을 알 수 있다.

[0053] 상기 수소 원자 농도를 갖는 산화물 반도체막(5)의 캐리어 밀도는 매우 낮고, 산화물 반도체막(5)을 갖는 트랜지스터(15)의 오프 전류는 매우 낮아진다.

[0054] 다음으로, 산화물 반도체막(5) 이외의 구성을 설명한다.

[0055] 기판(1)은, 후의 가열 처리에 견딜 수 있는 정도의 내열성을 갖는다. 기판(1)으로는, 바륨 붕규산 유리나 알루미늄 붕규산 유리 등의 유리 기판을 이용한다. 또한 기판(1)은, 세라믹 기판, 석영 기판, 사파이어 기판, 결정화 유리 기판 등의 절연체로 이루어진 기판이어도 좋다. 후의 가열 처리에 견딜 수 있는 정도의 내열성을 갖고 있으면, 폴리에틸렌 테레프탈레이트, 폴리이미드, 아크릴 수지, 폴리카보네이트, 폴리프로필렌, 폴리에스테르, 폴리염화비닐 등의 플라스틱 필름 등을 이용하여도 좋다.

[0056] 절연막(2)은 산화 규소막, 질화 규소막, 산화질화 규소막 등을 이용한다. 절연막(2)에는 수소, 수산기 또는 수분 등의 수소 원자를 포함하는 물질이 포함되지 않도록 하는 것이 바람직하다. 절연막(2)은 10nm-200nm의 두께를 가지면 된다. 절연막(2)은 기판(1)에 포함되는 불순물이 제 1 게이트 절연막(4)이나 산화물 반도체막(5)으로 침입하는 것을 방지한다. 기판(1)에 포함되는 불순물을 고려할 필요가 없다면 절연막(2)을 형성하지 않아도 좋다.

[0057] 제 1 게이트 전극(3)은, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 이용하여, 단층 또는 적층하여 형성한다. 제 1 게이트 전극(3)에는 수소, 수산기 또는 수분 등의 수소 원자를 포함하는 물질이 포함되지 않도록 하는 것이 바람직하다. 제 1 게이트 전극(3)은 10nm-200nm의 두께를 가지면 된다.

[0058] 제 1 게이트 절연막(4)은, 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 하프늄 실리케이트(HfSiO_x)막, N이 첨가된 HfSi_xO_y 막, 질소가 첨가된 하프늄 알루미늄네이트(HfAlO_x)막, 산화하프늄막, 산화 이트륨막을 단층 또는 적층하여 형성한다. 하프늄 실리케이트(HfSiO_x)막, N이 첨가된 HfSi_xO_y 막, 질소가 첨가된 하프늄 알루미늄네이트(HfAlO_x)막, 산화하프늄막, 산화 이트륨막 등의 high-k 재료를 이용함으로써 게이트 리크를 저감할 수 있다. 제 1 게이트 절연막(4)에는 수소, 수산기 또는 수분 등의 수소 원자를 포함하는 물질이 포함되지 않도록 하는 것이 바람직하다. 제 1 게이트 절연막(4)은 10nm-500nm의 두께를 가지면 된다.

[0059] 제 1 게이트 절연막(4)에 할로겐 원소(예를 들어, 불소 또는 염소)를 $5 \times 10^{18} - 1 \times 10^{20} \text{ cm}^{-3}$ 정도 포함시켜도 좋다. 할로겐 원소에 의해 산화물 반도체막(5), 또는 제 1 게이트 절연막(4)과 산화물 반도체막(5)과의 계면에 존재할 수 있는, 수소, 수분, 수산기 또는 수소화물 등의 수소 원자를 포함하는 물질을 배제할 수 있다. 예를 들어 제 1 게이트 절연막(4)으로, 질화 실리콘막과 산화 실리콘막의 적층막으로 하는 경우는, 산화물 반도체막(5)에 접하는 측을, 상기 농도에서 할로겐 원소를 포함하는 산화 실리콘막으로 하면 된다. 질화 실리콘막이 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 한다.) 등의 불순물이 산화 실리콘막에 침입하는 것을 방지한다.

[0060] 전극(6A)(소스 전극 및 드레인 전극 중 한쪽), 전극(6B)(소스 전극 및 드레인 전극 중 다른 한쪽)은 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐, 이트륨 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료, 또는 인듐주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐주석 산화물, 인듐아연 산화물, 산화규소

를 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 이용하여, 단층 또는 적층하여 형성한다. 전극(6A), 전극(6B)에는 수소, 수산기 또는 수분이 포함되지 않도록 하는 것이 바람직하다. 전극(6A), 전극(6B)은 10nm-500nm의 두께를 가지면 된다.

[0061] 제 2 게이트 절연막(7)은 제 1 게이트 절연막(4)과 동일한 재료로 형성할 수 있다. 예를 들어 산화 실리콘막을 이용한다. 제 2 게이트 절연막(7)에는 수소, 수산기 또는 수분이 포함되지 않도록 하는 것이 바람직하다. 제 2 게이트 절연막(7)은 10nm-200nm의 두께를 가지면 된다. 한편 산화 실리콘막 대신, 산화질화 실리콘막, 산화 알루미늄막, 또는 산화질화 알루미늄막 등을 이용할 수도 있다.

[0062] 또한 제 2 게이트 절연막(7)은 결함을 갖고 있어도 좋다. 결함은 산화물 반도체막(5)에 포함되는 수소 원자를 포획할 수 있다. 이에 따라 산화물 반도체막(5) 중의 수소 원자를 더욱 저감시킬 수 있다.

[0063] 제 2 게이트 절연막(7)에 할로젠 원소(예를 들어, 불소 또는 염소)를 $5 \times 10^{18} - 1 \times 10^{20} \text{ cm}^{-3}$ 정도 포함시켜도 좋다. 할로젠 원소에 의해 산화물 반도체막(5), 또는 제 2 게이트 절연막(7)과 산화물 반도체막(5)의 계면에 존재할 수 있는, 수소, 수분, 수산기 또는 수소화물 등의 불순물을 배제할 수 있다.

[0064] 제 2 게이트 전극(8)은 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 이용하여, 단층 또는 적층하여 형성한다. 제 2 게이트 전극(8)에는 수소, 수산기 또는 수분 등의 수소 원자를 포함하는 물질이 포함되지 않도록 하는 것이 바람직하다. 제 2 게이트 전극(8)은 10nm-200nm의 두께를 가지면 된다. 제 2 게이트 전극(8)은 제 1 게이트 전극(3)의 두께 이상의 두께를 가져도 좋다. 제 2 게이트 전극(8)은 제 1 게이트 전극(3)과 동일한 재료로 형성하여도 좋다.

[0065] 유기 수지막(9)은 예를 들어 평탄성을 갖는 아크릴 수지막, 폴리이미드 수지막 등을 이용한다. 유기 수지막(9)은 1.0 μm -2.0 μm 의 두께를 가지면 된다.

[0066] 화소 전극(10)은, 대표적으로는, 알루미늄, 구리, 티탄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐에서 선택된 원소로 이루어진 단층, 상술한 원소를 성분으로 하는 합금, 상술한 원소를 성분으로 하는 화합물(산화물이나 질화물) 등의 반사성 또는 차광성을 갖는 도전 재료를 이용할 수 있다. 또한, 인듐주석 산화물, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐주석 산화물, 인듐아연 산화물, 산화규소를 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 적용할 수도 있다. 또한, 이들 재료를 포함하는 적층 구조를 적용할 수도 있다. 화소 전극(10)은 50nm-500nm의 두께를 가지면 된다.

[0067] 다음으로, 에너지 밴드도를 이용하여, 산화물 반도체막(5)을 갖는 트랜지스터(15)의 동작을 설명한다.

[0068] 도 7은, 산화물 반도체막을 이용한 역스태거형의 박막트랜지스터의 일반적인 종단면도를 나타낸다. 게이트 전극(GE) 위에 제 1 게이트 절연막(GI)을 개재하여 산화물 반도체막(OS)이 형성된다. 산화물 반도체막 및 제 1 게이트 절연막 위에 소스 전극(S) 및 드레인 전극(D)이 형성된다. 소스 전극 및 드레인 전극 위에 패시베이션 절연막(PI)이 형성된다. 소스 전극 및 드레인 전극이 형성되어 있지 않은 영역에서 제 1 게이트 절연막과 패시베이션 절연막은 접한다.

[0069] 도 8(A) 및 도 8(B)는, 도 7에 나타난 A-A' 단면에서의 에너지 밴드도(모식도)를 나타낸다. 도 8(A)는 소스와 드레인 사이의 전압을 등전위(VD=0V)로 한 경우를 나타내고, 도 8(B)는 소스에 대해 드레인에 플러스 전위(VD>0)를 가한 경우를 나타낸다.

[0070] 도 9(A) 및 도 9(B)는, 도 7에서의 B-B'의 단면에서의 에너지 밴드도(모식도)이다. 도 9(A)는 게이트(GE)에 플러스 전위(+VG)가 인가된 상태이고, 소스 전극과 드레인 전극 사이에 캐리어(전자)가 흐르는 온 상태를 나타내고 있다. 또한, 도 9(B)는, 게이트(GE)에 마이너스 전위(-VG)가 인가된 상태이고, 오프 상태(소수 캐리어는 흐르지 않음)인 경우를 나타낸다.

[0071] 도 10은, 진공 준위와 금속의 일함수(ϕ_M), 산화물 반도체의 전자 친화력(χ)의 관계를 나타낸다.

[0072] 금속은 축퇴되어 있으므로, 전도자대와 페르미 준위는 일치한다. 한편, 종래의 산화물 반도체는 일반적으로 n형이고, 이 경우의 페르미 준위(Ef)는, 밴드갭 중앙에 위치하는 진성 페르미 준위(Ei)에서 떨어져, 전도대 쪽에 위치하게 된다. 한편, 산화물 반도체에서 수소는 도너이며, 산화물 반도체를 n형화하는 하나의 요인이다.

[0073] 이에 반해 본 실시형태에 관한 산화물 반도체막은, n형 불순물인 수소 원자를 산화물 반도체막에서 제거하고, 산화물 반도체막의 주성분 이외의 불순물이 최대한 포함되지 않도록 고순도화함으로써 진성(i형)으로 하고, 또

는 진성형에 가까운 것으로 한 것이다. 즉, 불순물을 첨가하여 i형화하는 것이 아니라, 수소 원자를 최대한 제거함으로써, 고순도화된 i형(진성 반도체) 또는 이에 가깝게 하는 것을 특징으로 한다. 이렇게 함으로써, 페르미 준위(E_f)는 진성 페르미 준위(E_i)와 동일한 레벨로까지 할 수 있다.

- [0074] 산화물 반도체의 밴드갭(E_g)이 3.15eV인 경우, 전자 친화력(χ)은 4.3eV이라 여겨진다. 예를 들어 티탄을 이용하여 소스 전극 및 드레인 전극을 형성하면, 티탄의 일함수는, 산화물 반도체의 전자 친화력(χ)과 거의 동등하다. 이 경우, 금속-산화물 반도체 계면에서, 전자에 대해 쇼트키형의 장벽은 형성되지 않는다.
- [0075] 즉, 금속의 일함수(ϕ_M)와 산화물 반도체의 전자 친화력(χ)이 동등한 경우, 양자가 접촉하면 도 8(A)에서 나타낸 바와 같은 에너지 밴드도(모식도)가 나타난다.
- [0076] 도 8(B)에서 검은 원(●)은 전자를 나타낸다. 드레인에 플러스 전위가 인가되면, 전자는 배리어(h)를 넘어 산화물 반도체막에 주입되고, 드레인을 향하여 흐른다. 이 경우, 배리어(h)의 높이는, 게이트 전압과 드레인 전압에 의존하여 변화하나, 플러스 드레인 전압이 인가된 경우에는, 전압 인가가 없는 도 8(A)의 배리어 높이, 즉 밴드갭(E_g)의 1/2보다 배리어 높이(h)는 작은 값이 된다.
- [0077] 이때, 전자는, 도 9(A)에 나타낸 바와 같이 게이트 절연막과 고순도화된 산화물 반도체막의 계면에서의, 산화물 반도체막 측의 에너지적으로 안정적인 최저부를 이동한다.
- [0078] 또한, 도 9(B)에서, 게이트 전극(GE)에 마이너스 전위(역바이어스)가 인가되면, 소수 캐리어인 홀은 실질적으로 0이므로, 전류는 무한대로 0에 가까운 값이 된다.
- [0079] 또한 산화물 반도체의 밴드갭(E_g)이 3.15eV인 경우, 실리콘의 E_g 보다 3배 정도의 크기가 된다. 이와 같은 E_g 를 갖는 산화물 반도체는 애벌란시 항복이 발생하기 어렵다. 수소 원자가 저장된 산화물 반도체막을 이용한 트랜지스터에서는 드레인 전극에 인가하는 전압을, 수소 원자가 저장되어 있지 않은 산화물 반도체막을 이용한 트랜지스터나 실리콘을 이용한 트랜지스터보다 크게 할 수 있다.
- [0080] 이상과 같이, 수소 원자가 저장된 산화물 반도체막(5)은 트랜지스터(15)의 동작을 양호하게 한다.
- [0081] 다음으로 표시 장치의 제작 방법을 설명한다.
- [0082] 플라즈마 CVD법 또는 스퍼터링법 등에 의해, 기판(1) 위에 하지막이 되는 절연막(2)을 형성한다(도 11(A)). 절연막(2) 중에 수소가 다량으로 포함되지 않도록 하기 위해 스퍼터링법으로 성막하는 것이 바람직하다.
- [0083] 예를 들어 산화 규소막을 형성하는 경우를 설명한다. 수소, 물, 수산기 또는 수소화물(수소 화합물이라고도 한다.) 등이 제거된 고순도 산소를 포함하는 스퍼터링 가스를 도입하고 실리콘 반도체의 타겟을 이용하여, 기판(1) 위에 산화 규소막을 성막한다. 기판(1)의 온도는 실온이어도 좋으며, 기판(1)을 가열하여도 좋다.
- [0084] 그 외에, 석영(바람직하게는 합성 석영)을 이용하여, 기판 온도 108℃, 타겟과 기판 사이의 거리를 60mm, 압력 0.4Pa, 고주파 전원 1.5kW, 산소 및 아르곤(산소 유량 25sccm:아르곤 유량 25sccm=1:1) 분위기 하에서 RF 스퍼터링법에 의해 산화 규소막을 성막한다. 스퍼터링 가스로 산소 또는, 산소 및 아르곤의 혼합 가스를 이용한다.
- [0085] 성막실 내의 잔류 수분을 제거하면서 절연막(2)을 성막하는 것이 바람직하다. 절연막(2)에 수소, 물, 수산기 또는 수소화물 등이 포함되지 않도록 하기 위함이다.
- [0086] 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티탄 승화 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로는, 터보 펌프에 콜드 트랩을 구비한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 성막실은, 예를 들어, 수소, 물, 수산기 또는 수소화물 등이 배기되므로, 이 성막실에서 성막하여 절연막(2)에 포함되는 불순물 농도를 저감할 수 있다.
- [0087] 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물이, 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스를 이용하는 것이 바람직하다.
- [0088] 스퍼터링법에는 스퍼터링용 전원에 고주파 전원을 이용하는 RF 스퍼터링법과, DC 스퍼터링법이 있고, 또한 펄스적으로 바이어스를 가하는 펄스 DC 스퍼터링법도 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 이용되고, DC 스퍼터링법은 주로 금속막을 성막하는 경우에 이용된다.
- [0089] 재료가 다른 타겟을 복수 설치할 수 있는 다원 스퍼터링 장치도 있다. 다원 스퍼터링 장치는, 동일한 챔버에서 다른 재료막을 적층 성막 할 수도, 동일한 챔버에서 복수 종류의 재료를 동시에 방전시켜 성막할 수도 있다.
- [0090] 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 이용하는 스퍼터링 장치나, 글로 방전을 사용하지 않

고 마이크로파를 이용하여 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법을 이용하는 스퍼터링 장치가 있다.

- [0091] 스퍼터링법을 이용하는 성막 방법으로, 성막 중에 타겟 물질과 스퍼터링 가스 성분을 화학 반응시켜 이들 화합물 박막을 형성하는 리액티브 스퍼터링법이나, 성막 중에 기관에도 전압을 가하는 바이어스 스퍼터링법도 있다.
- [0092] 본 명세서의 스퍼터링에서는, 상기 스퍼터링 장치 및 스퍼터링 방법을 적절히 이용할 수 있다.
- [0093] 절연막(2)으로 질화 규소막과 산화 규소막을 적층하는 경우, 질화 규소막과 산화 규소막을 동일한 성막실에서, 공통의 실리콘 타겟을 이용하여 성막한다. 먼저 질소를 포함하는 스퍼터링 가스를 도입하여, 성막실 내에 장착된 실리콘 타겟을 이용하여 질화 규소막을 형성하고, 다음으로 산소를 포함하는 스퍼터링 가스로 전환하여 동일한 실리콘 타겟을 이용하여 산화 규소막을 성막한다. 질화 규소막과 산화 규소막을 대기에 노출시키지 않고 연속하여 형성할 수 있으므로, 질화 규소막 표면에 수소, 물, 수산기 또는 수소화물 등의 불순물이 흡착하는 것을 방지할 수 있다.
- [0094] 절연막(2) 위에 도전막을 형성한 후, 포토 리소그래피 공정에 의해 형성한 레지스트 마스크를 이용하여 에칭하여 제 1 게이트 전극(3)을 형성한다(도 11(A)). 도전막에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위해 스퍼터링법으로 성막하는 것이 바람직하다. 제 1 게이트 전극(3)의 단부는 테이퍼 형상인 경우, 후에 적층하는 제 1 게이트 절연막(4)의 피복성이 향상되므로 바람직하다.
- [0095] 제 1 게이트 전극(3) 위에 제 1 게이트 절연막(4)을 형성한다. 제 1 게이트 절연막(4)에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위해 스퍼터링법으로 성막하는 것이 바람직하다. 이로 인해 성막의 전처리로, 스퍼터링 장치의 예비 가열실에서 제 1 게이트 전극(3)이 형성된 기관(1)을 예비 가열하고, 기관(1)에 흡착한 수소, 물, 수산기 또는 수소화물 등의 불순물을 탈리하여 배기하는 것이 바람직하다. 한편, 예비 가열 온도로는, 100℃ 이상 400℃ 이하, 바람직하게는 150℃ 이상 300℃ 이하이다. 한편, 예비 가열실에 구비하는 배기 수단은 크라이오 펌프가 바람직하다. 한편, 이 예비 가열 처리는 생략할 수도 있다.
- [0096] 예를 들어 제 1 게이트 절연막(4)으로 산화 실리콘막을 성막하는 경우에는, 타겟으로 실리콘 타겟 또는 석영 타겟을 이용하고, 스퍼터링 가스로 산소 또는, 산소 및 아르곤의 혼합 가스를 이용하여 행한다.
- [0097] 제 1 게이트 절연막(4) 위에 산화물 반도체막을 스퍼터링법에 의해 형성한다. 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하고, 제 1 게이트 절연막(4)의 표면에 부착되어 있는 가루형 물질(파티클, 먼지라고도 한다.)을 제거하는 것이 바람직하다. 역스퍼터링이란, 타겟 측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기관 측에 고주파 전원을 이용하여 전압을 인가하여 기관에 플라즈마를 형성하여 표면을 개질하는 방법이다. 한편, 아르곤 분위기 대신 질소, 헬륨, 산소 등을 이용하여도 좋다.
- [0098] 산화물 반도체의 타겟을 이용한다. 예를 들어, 산화 아연을 주성분으로 하는 금속 산화물의 타겟을 이용한다. 금속 산화물 타겟의 다른 예로는, In, Ga, 및 Zn을 포함하는 산화물 반도체 타겟(조성비로, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1[\text{mol}\%]$, 즉, $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5[\text{atom}\%]$)을 이용할 수 있다. 또한, In, Ga, 및 Zn을 포함하는 산화물 반도체 타겟으로, $\text{In}:\text{Ga}:\text{Zn}=1:1:1[\text{atom}\%]$, 또는 $\text{In}:\text{Ga}:\text{Zn}=1:1:2[\text{atom}\%]$ 조성비를 갖는 타겟을 이용할 수도 있다. 산화물 반도체 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 산화물 반도체 타겟을 이용함으로써, 성막한 산화물 반도체막은 치밀한 막이 된다. SiO_2 를 2중량% 이상 10중량% 이하 포함하는 타겟을 이용하여도 좋다.
- [0099] 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기 하에서, 산화물 반도체막을 성막한다.
- [0100] 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물이, 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스를 이용하는 것이 바람직하다.
- [0101] 감압 상태로 유지된 성막실 내에 기관(1)을 유지하고, 성막실 내의 잔류 수분을 제거하면서 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 스퍼터링 가스를 도입하고, 상기 타겟을 이용하여 산화물 반도체막을 성막한다. 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티탄 승화 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로는, 터보 펌프에 콜드 트랩을 구비한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 성막실은, 예를 들어, 수소 원자, 물(H_2O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물) 등이 배기되

로, 이 성막실에서 성막한 산화물 반도체막에 포함되는 불순물 농도를 저감할 수 있다. 또한, 산화물 반도체막 성막 시에 기관(1)을, 예를 들어 400℃ 미만의 온도로 가열하여도 좋다.

- [0102] 성막 조건의 일 예로는, 기관(1)의 온도를 실온으로 하고, 기관과 타겟 사이의 거리를 110mm, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소 및 아르곤(산소 유량 15sccm:아르곤 유량 30sccm) 분위기 하의 조건이 적용된다. 한편, 펄스 직류(DC) 전원을 이용하면, 파티클을 경감할 수 있고, 막후 분포도 균일해지므로 바람직하다. 산화물 반도체막은 바람직하게는 2nm 이상 200nm 이하로 한다. 한편, 적용하는 산화물 반도체 재료에 따라 적절한 막후는 다르며, 재료에 따라 적절히 막후를 선택하면 된다.
- [0103] 다음으로, 산화물 반도체막을 포토 리소그래피 공정에 의해 형성한 레지스트 마스크를 이용하여 에칭하고, 산화물 반도체막(5)을 형성한다(도 11(A)). 한편, 산화물 반도체막의 에칭은, 건식 에칭이어도 습식 에칭이어도 좋으며, 양쪽을 모두 이용하여도 좋다.
- [0104] 건식 에칭에 이용하는 에칭 가스로는, 염소를 포함하는 가스(염소계 가스, 예를 들어 염소(Cl_2), 염화 붕소(BCl_3), 염화 규소(SiCl_4), 사염화 탄소(CCl_4) 등)가 바람직하다.
- [0105] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들어 사불화 탄소(CF_4), 육불화 유황(SF_6), 삼불화 질소(NF_3), 트리플루오로메탄(CHF_3) 등), 브롬화 수소(HBr), 산소(O_2), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스, 등을 이용할 수 있다.
- [0106] 건식 에칭법으로는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma:유도 결합형 플라즈마) 에칭법을 이용할 수 있다.
- [0107] 습식 에칭에 이용하는 에칭액으로는, 인산과 초산과 질산을 섞은 용액 또는 암모니아과수(31중량% 과산화수소수:28중량% 암모니아수:물=5:2:2) 등을 이용할 수 있다. 또한, IT007N(칸토 카가꾸)을 이용하여도 좋다.
- [0108] 산화물 반도체막(5)에 가열 처리(제 1 가열 처리라고도 한다.)를 하여도 좋다. 가열처리의 온도는 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상, 기관(1)의 변형점 미만으로 한다. 가열 처리 시간은 0.5시간-5시간이 좋다. 가열 처리에 의해 산화물 반도체막(5)에 포함되는 수소 원자를 제거할 수 있다. 예를 들어 전기로에서 산화물 반도체막(5)에 대해 질소 분위기 하 450℃에서 1시간, 또는 650℃ 1시간의 가열 처리를 한 후, 대기에 접촉시키지 않음으로써, 산화물 반도체막(5)으로의 수소 원자의 재침입을 방지할 수 있다. 한편 제 1 가열 처리에 의해, 산화물 반도체막(5)은 결정화되는 경우가 있다. 650℃ 1시간의 가열 처리를 한 경우의 TEM 분석을 실시예 2에 나타낸다.
- [0109] 한편, 가열 처리 장치는 전기로에 한정되지 않으며, 저항 발열체 등의 발열체에서의 열전도 또는 열복사에 의해, 산화물 반도체막(5)을 가열하는 장치를 구비하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는, 할로젠 램프, 메탈 할라이드 램프, 크세논아크 램프, 카본아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프에서 발하는 광(전자파)의 복사에 의해, 산화물 반도체막(5)을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 이용하여 가열 처리를 하는 장치이다. 기체에는, 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 의해 산화물 반도체막(5)과 반응하지 않는 불활성 기체가 이용된다.
- [0110] GRTA는 산화물 반도체막(5)을 650℃~700℃의 고온으로 가열한 불활성 가스 분위기에서 2-5분간 가열한다. GRTA를 이용하면 단시간에 고온의 가열 처리가 가능해진다.
- [0111] 가열 처리에서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 수소, 물, 수산기 또는 수소화물 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 하는 것이 바람직하다.
- [0112] 상기한 바와 같이, 가열 처리의 조건, 또는 산화물 반도체막의 재료에 따라서는, 산화물 반도체막은 결정화되고, 미세 결정막 또는 다결정막이 되는 경우도 있다. 예를 들어, 결정화율이 90% 이상, 또는 80% 이상인 미세 결정 산화물 반도체막이 되는 경우도 있다. 또한, 제 1 가열 처리의 조건, 또는 산화물 반도체막의 재료에 따라서는, 결정 성분을 포함하지 않는 비정질 산화물 반도체막이 되는 경우도 있다. 또한, 비정질 산화물 반도체 중에 미세 결정부(입경 1nm 이상 20nm 이하(대표적으로는 2nm 이상 4nm 이하))가 혼재하는 산화물 반도체

체막이 되는 경우도 있다.

- [0113] 또한 상기 가열 처리 후에, 수소, 물, 수산기 또는 수소화물 등이 포함되지 않는 산소 분위기 하 또는 수소, 물, 수산기 또는 수소화물 등이 포함되지 않는 질소 및 산소 분위기 하에서, 제 2 가열 처리를 하여도 좋다. 상기 가열 처리에 의해 산화물 반도체막(5)에서 산소가 제거되는 경우가 있으므로, 제 2 가열 처리에 의해 산화물 반도체막(5)에 산소를 도입할 수 있다.
- [0114] 한편, 다음 공정의 도전막을 형성하기 전에 역스퍼터링을 행하고, 산화물 반도체막(5) 및 제 1 게이트 절연막(4)의 표면에 부착되어 있는 레지스트 잔사 등을 제거하는 것이 바람직하다.
- [0115] 산화물 반도체막(5) 및 제 1 게이트 절연막(4) 위에 도전막을 스퍼터링법으로 형성한다. 도전막에 수소, 수산기 및 수분이 되도록 포함되지 않도록 하기 위해, 성막 전에 상기 전처리를 행하는 것이 바람직하다. 도전막을 포토 리소그래피 공정에 의해 형성한 레지스트 마스크를 이용하여 에칭하고, 전극(6A)(소스 전극 및 드레인 전극 중 한쪽), 전극(6B) (소스 전극 및 드레인 전극 중 다른 한쪽)을 형성한다(도 11(B)).
- [0116] 다음으로, N_2O , N_2 , 또는 Ar 등의 가스를 이용한 플라즈마 처리에 의해 노출되어 있는 산화물 반도체막(5)의 표면에 부착된 흡착수 등을 제거한다. 또는 산소와 아르곤의 혼합 가스를 이용하여 플라즈마 처리를 한다.
- [0117] 플라즈마 처리 후, 대기에 접하지 않고, 산화물 반도체막(5), 전극(6A), 전극(6B) 위에 제 2 게이트 절연막(7)을 형성한다(도 11(C)). 산화물 반도체막(5)이 전극(6A), 전극(6B)과 접하는 영역 이외의 영역에서, 산화물 반도체막(5)과 제 2 게이트 절연막(7)이 접한다. 또한 제 2 게이트 절연막(7)은 전극(6A), 전극(6B)을 덮는다.
- [0118] 제 2 게이트 절연막(7)은, 기판(1)을 실온 또는 100℃ 미만의 온도로 가열한 상태에서, 수소 및 수분이 제거된 고순도 산소를 포함하는 스퍼터링 가스를 도입하고, 실리콘 반도체의 타겟을 이용하여, 예를 들어 결합을 포함하는 산화 실리콘막을 성막한다.
- [0119] 예를 들어, 순도가 6N이고, 보론이 도핑된 실리콘 타겟(저항값 0.01Ωcm)을 이용하여, 타겟과 기판 사이의 거리를 89mm, 압력 0.4Pa, 직류(DC) 전원 6kW, 산소(산소유량비율 100%) 분위기 하에서 펄스 DC 스퍼터링법에 의해 산화 실리콘막을 성막한다. 실리콘 타겟 대신 석영(바람직하게는 합성 석영)을, 산화 실리콘막을 성막하기 위한 타겟으로 이용할 수 있다. 스퍼터링 가스로 산소 또는, 산소 및 아르곤의 혼합 가스를 이용하여 행한다.
- [0120] 이 경우, 처리실 내의 잔류 수분을 제거하면서 제 2 게이트 절연막(7)을 성막하는 것이 바람직하다. 산화물 반도체막(5) 및 제 2 게이트 절연막(7)에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위함이다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형 진공 펌프를 이용하는 것이 바람직하다.
- [0121] 제 2 게이트 절연막(7)과 산화물 반도체막(5)이 접한 상태에서 100℃ 내지 400℃로 가열 처리를 하여도 좋다. 제 2 게이트 절연막(7)은 결합을 많이 포함한다. 가열 처리에 의해 산화물 반도체막(5) 중에 포함되는 수소, 수분, 수산기 또는 수소화물 등의 불순물을 제 2 게이트 절연막(7)에 확산시키고, 산화물 반도체막(5) 중에 포함되는 수소 원자를 더욱 저감시킬 수 있다.
- [0122] 제 2 게이트 절연막(7) 위에 도전막을 형성한다. 포토 리소그래피 공정에 의해 형성한 레지스트 마스크를 이용하여 도전막을 에칭하여 제 2 게이트 전극(8)을 형성한다(도 11(C)). 도전막에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위해 스퍼터링법으로 성막하는 것이 바람직하다. 제 2 게이트 전극(8)과 제 1 게이트 전극(3)을 전기적으로 접속하는 경우는, 도전막을 형성하기 전에 제 2 게이트 절연막(7) 및 제 1 게이트 절연막(4)에 콘택트홀을 형성한다. 콘택트홀은 제 1 게이트 전극(3)에 달한다. 콘택트홀을 형성한 후, 도전막을 형성한다. 도전막에서 제 2 게이트 전극(8)을 형성한다.
- [0123] 제 2 게이트 절연막(7) 위에 평탄화막으로 유기 수지막을 형성한다. 유기 수지막은 스핀코팅법 등에 의해 형성한다. 유기 수지막을 선택적으로 에칭하여 유기 수지막(9)을 형성한다(도 12(A)).
- [0124] 유기 수지막(9) 및 제 2 게이트 절연막(7)에 전극(6B)에 달하는 개구를 형성한다. 이 개구에, 화소 전극(10)을 형성한다(도 12(B)). 화소 전극(10)은 전극(6B)과 전기적으로 접속한다.
- [0125] 화소 전극(10), 제 2 게이트 전극(8) 및 제 2 게이트 절연막(7) 위에는 표시 매체가 형성된다(도 14(A), 15(A), 16(A), 22(A)).
- [0126] 제 2 게이트 전극(8) 및 제 2 게이트 절연막(7) 위에, 패시베이션막이 되는 절연막(21)을 10nm-200nm의 두께로 형성하여도 좋다(도 13). 절연막(21)으로는 산화 규소막, 질화 규소막 등을 이용할 수 있다. 절연막(21)은, 기판(1)을 실온 또는 100℃ 미만의 온도로 가열한 상태에서, 수소 및 수분이 제거된 고순도 산소를 포함하는 스

퍼터링 가스를 도입하고 실리콘 반도체의 타겟을 이용하여 산화 규소막, 질화 규소막 등을 성막한다.

- [0127] 절연막(21) 위에 평탄화막으로 유기 수지막(9)을 형성한다. 유기 수지막(9), 절연막(21) 및 제 2 게이트 절연막(7)에 전극(6B)에 달하는 개구를 형성한다. 이 개구에, 화소 전극(10)을 형성한다(도 13). 화소 전극(10), 절연막(21) 위에는 표시 매체가 형성된다(도 14(B), 15(B), 16(B), 22(B)).
- [0128] 이하, 표시 매체로, 액정, EL, 전자 페이퍼를 설명한다. 한편 표시 매체는 액정, EL, 전자 페이퍼에 한정되는 것은 아니다.
- [0129] <액정>
- [0130] 도 14(A)는 표시 매체가 액정인 경우를 나타낸다. 화소 전극(10) 위에 제 1 배향막(22)이 형성된다. 제 1 배향막(22)은 제 2 게이트 전극(8), 제 2 게이트 절연막(7) 위에도 접하여 형성된다. 제 1 배향막(22) 위에는 액정층(23)이 형성된다. 액정층(23) 위에는 제 2 배향막(24)이 형성된다. 액정층(23)은 제 1 배향막(22) 및 제 2 배향막(24)에 협지된다. 제 2 배향막(24) 위에는 대향 전극이 되는 전극(25)이 형성되고, 전극(25) 위에는 대향 기판이 되는 기판(26)이 형성된다. 제 1 배향막(22) 및 제 2 배향막(24)을 형성하지 않아도 액정층(23)이 배향된다면, 제 1 배향막(22) 및 제 2 배향막(24)을 형성하지 않아도 좋다. 셀 갭을 유지하기 위해 스페이서를 구비하여도 좋다.
- [0131] 액정 표시에 이용하는 모드는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 이용할 수 있다. 그 외에도 블루상 모드를 이용하여도 좋다.
- [0132] 제 1 배향막(22), 제 2 배향막(24), 전극(25), 전극(26)은 공지의 재료를 이용한다.
- [0133] 제 1 배향막(22), 액정층(23), 제 2 배향막(24), 전극(25)은 공지의 방법으로 제작한다.
- [0134] 상술한 바와 같이 패시베이션막이 되는 절연막(21)을 형성하여도 좋다(도 14(B)). 절연막(21) 및 화소 전극(10) 위에 접하여 제 1 배향막(22)이 형성된다.
- [0135] <EL>
- [0136] 도 15(A)는 표시 매체가 EL인 경우를 나타낸다. 화소 전극(10) 위에 EL층(31)이 형성된다. EL층(31) 위에는 대향 전극으로 전극(32)이 형성된다. EL층(31) 및 전극(32)은 제 2 게이트 전극(8) 및 제 2 게이트 절연막(7) 위에는 형성하지 않아도 좋다. 제 2 게이트 전극(8), 제 2 게이트 절연막(7) 및 전극(32) 위에는 봉지재(33)가 접하여 형성된다. 봉지재(33) 위에는 봉지 기판으로 기판(34)이 형성된다.
- [0137] EL층은 유기 EL층 또는 무기 EL층으로 분류된다. 무기 EL층인 경우는 분산형 무기 EL과 박막형 무기 EL로 다시 분류된다.
- [0138] 유기 EL층인 경우, EL층(31)은 예를 들어 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층 등으로 이루어진다. 발광층에는 호스트 재료로 도펀트 재료가 첨가된다. 도펀트 재료에는 인광 발광 재료 또는 형광 발광 재료가 이용된다.
- [0139] 분산형 무기 EL의 경우, EL층(31)은 발광 재료 입자를 바인더 중에 분산시킨 발광층을 갖는다. 박막형 무기 EL의 경우, EL층(31)은 발광층을 유전체층으로 끼운 구성이 된다.
- [0140] 봉지재(33)로는 질소나 아르곤 등의 불활성 기체 외에, 자외선 경화 수지 또는 열 경화 수지를 이용할 수 있고, PVC(폴리비닐클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌비닐아세테이트)를 이용할 수 있다.
- [0141] EL층(31), 전극(32), 봉지재(33), 기판(34)은 공지의 재료가 이용된다. 또한 EL층(31), 전극(32), 봉지재(33)는 공지의 방법으로 제작된다.
- [0142] 상술한 바와 같이 패시베이션막이 되는 절연막(21)을 형성하여도 좋다(도 15(B)). 절연막(21) 및 전극(32) 위에 접하여 봉지재(33)가 형성된다.
- [0143] <전자 페이퍼>

- [0144] 도 16(A)는 표시 매체가 전자 페이퍼인 경우를 나타낸다. 도 16(A)에서는, 트위스트볼 표시 방식을 이용하였다. 트위스트볼 표시 방식이란, 흑과 백에 나누어 도포된 구형 입자를 표시 소자로 이용하고, 화소 전극(10) 및 전극(44) 사이에 배치하여, 화소 전극(10) 및 전극(44)에 전위차를 발생시킨 구형 입자의 방향을 제어함으로써, 표시하는 방법이다.
- [0145] 화소 전극(10), 제 2 게이트 전극(8) 및 제 2 게이트 절연막(7) 위에 수지 등의 충전재(43)가 접하여 형성된다. 충전재(43) 중에는, 캐비티(42)를 포함하는 구형 입자가 형성된다. 캐비티(42)는 흑색 영역(41) 및 백색 영역(40)을 갖는다. 충전재(43) 위에는 대향 전극이 되는 전극(44)이 형성된다. 전극(44) 위에는 대향 기판이 되는 기판(45)이 형성된다.
- [0146] 트위스트볼 표시 방식 대신, 전기 영동 표시 방식을 이용하는 것도 가능하다(도 22(A)). 화소 전극(10), 제 2 게이트 전극(8) 및 제 2 게이트 절연막(7) 위에 전자 잉크층(51)이 접하여 형성된다. 전자 잉크층(51) 중에는, 플러스로 대전된 흰 미립자와 마이너스로 대전된 검은 미립자를 봉입한 직경 $10\mu\text{m}\sim 200\mu\text{m}$ 정도의 마이크로 캡셀(52)이 형성된다. 전자 잉크층(51) 위에는 대향 전극이 되는 전극(53)이 형성되고, 전극(53) 위에는 대향 기판이 되는 기판(54)이 형성된다.
- [0147] 충전재(43), 캐비티(42), 전극(44), 기판(45), 전자 잉크층(51), 마이크로 캡셀(52), 전극(53), 기판(54)은 공지의 재료를 이용한다. 또한 충전재(43), 캐비티(42), 전극(44), 전자 잉크층(51), 마이크로 캡셀(52), 전극(53)은 공지의 방법으로 제작한다.
- [0148] 상술한 바와 같이 패시베이션막이 되는 절연막(21)을 형성하여도 좋다(도 16(B), 도 22(B)). 절연막(21) 및 화소 전극(10) 위에 접하여 충전재(43) 또는 전자 잉크층(51)이 형성된다.
- [0149] 표시 장치는, 다양한 전자 기기(유기기도 포함)에 적용할 수 있다. 전자 기기로는, 예를 들어, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 한다.), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 한다.), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파칭코기 등의 대형 게임기 등을 들 수 있다.
- [0150] 도 23(A)는, 휴대 전화기의 일 예를 나타내고 있다. 휴대 전화기(1100)는, 하우징(1101)에 내장된 표시부(1102) 외에, 조작 버튼(1103), 외부 접속 포트(1104), 스피커(1105), 마이크(1106) 등을 구비하고 있다. 그리고 표시부(1102)에는 상기 표시 장치가 형성된다.
- [0151] 도 23(B)는 휴대형 정보 단말의 일 예이다. 휴대형 정보 단말은, 하우징(2800) 및 하우징(2801)의 2개의 하우징으로 구성되어 있다. 하우징(2800)에는, 표시 패널(2802), 스피커(2803), 마이크(2804), 포인팅 디바이스(2806), 카메라용 렌즈(2807), 외부 접속 단자(2808) 등을 구비하고, 하우징(2801)에는, 키보드(2810), 외부 메모리 슬롯(2811) 등을 구비하고 있다. 또한, 안테나는 하우징(2801) 내부에 내장되어 있다. 그리고 표시 패널(2802)에는 상기 표시 장치가 형성된다.
- [0152] 도 24(A)는, 텔레비전 장치의 일 예를 나타내고 있다. 텔레비전 장치(9600)는, 하우징(9601)에 표시부(9603)가 내장되어 있다. 표시부(9603)에 의해, 영상을 표시할 수 있다. 또한, 여기에서는, 스탠드(9605)에 의해 하우징(9601)을 지지한 구성을 나타냈다.
- [0153] 텔레비전 장치(9600)의 조작은, 하우징(9601)이 구비하는 조작 스위치나, 별도의 리모콘 조작기(9610)에 의해 행할 수 있다. 리모콘 조작기(9610)가 구비하는 조작키(9609)에 의해, 채널이나 음량의 조작을 할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모콘 조작기(9610)에, 이 리모콘 조작기(9610)에서 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성이어도 좋다. 그리고 표시부(9603) 및 표시부(9607)에는 상기 표시 장치가 형성된다.
- [0154] 도 24(B)는, 디지털 포토 프레임의 일 예를 나타내고 있다. 예를 들어, 디지털 포토 프레임(9700)은, 하우징(9701)에 표시부(9703)가 내장되어 있다. 표시부(9703)는, 각종 화상을 표시하는 것이 가능하고, 예를 들어 디지털 카메라 등으로 촬영한 화상 데이터를 표시함으로써, 통상의 사진 앨범과 마찬가지로 기능시킬 수 있다. 그리고 표시부(9703)에는 상기 표시 장치가 형성된다.
- [0155] 도 25는 휴대형 유기기기이고, 하우징(9881)과 하우징(9891)의 2개의 하우징으로 구성되며, 연결부(9893)에 의해, 개폐 가능하도록 연결되어 있다. 하우징(9881)에는 표시부(9882)가 내장되고, 하우징(9891)에는 표시부(9883)가 내장되어 있다. 그리고 표시부(9883)에는 상기 표시 장치가 형성된다.
- [0156] 도 26은, 전자 서적의 일 예를 나타내고 있다. 예를 들어, 전자 서적(2700)은, 하우징(2701) 및 하우징(2703)

의 2개의 하우스징으로 구성되어 있다. 하우스징(2701) 및 하우스징(2703)은, 축부(2711)에 의해 일체로 되어 있고, 이 축부(2711)를 축으로 개폐 동작을 행할 수 있다. 이와 같은 구성에 의해, 종이 서적과 같은 동작을 행할 수 있게 된다.

[0157] 하우스징(2701)에는 표시부(2705)가 내장되고, 하우스징(2703)에는 표시부(2707)가 내장되어 있다. 표시부(2705) 및 표시부(2707)는, 연속 화면을 표시하는 구성이어도 좋으며, 다른 화면을 표시하는 구성이어도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들어 우측의 표시부(도 26에서는 표시부(2705))에 문장을 표시하고, 좌측 표시부(도 26에서는 표시부(2707))에 화상을 표시할 수 있다.

[0158] 또한, 도 26에서는, 하우스징(2701)에 조작부 등을 구비한 예를 도시하였다. 예를 들어, 하우스징(2701)에서, 전원(2721), 조작키(2723), 스피커(2725) 등을 구비하고 있다. 조작키(2723)에 의해, 페이지를 보낼 수 있다. 한편, 하우스징의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성이어도 좋다. 또한, 하우스징의 뒷면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비하는 구성이어도 좋다. 나아가, 전자 서적(2700)은, 전자 서적으로서의 기능을 갖게 한 구성이어도 좋다.

[0159] 표시부(2705) 및 표시부(2707)에는 상기 표시 장치가 형성된다.

[0160] [실시예 1]

[0161] 본 실시예에서는, 산화물 반도체막의 캐리어 밀도를 구하는 방법에 대해, 도 17 및 도 18을 이용하여 설명한다.

[0162] 우선, CV(Capacitance-Voltage) 측정에 이용한 시료의 구조에 대해, 도 17을 이용하여 설명한다.

[0163] 유리 기판(501) 위에 두께 300nm의 티탄막(503)을 스퍼터링법에 의해 형성하고, 그 위에 두께 100nm의 질화 티탄막(505)을 스퍼터링법에 의해 형성하였다.

[0164] 질화 티탄막(505) 위에 수소 원자를 저장한 산화물 반도체막(507)으로, 두께 2000nm의 In-Ga-Zn-O막을 스퍼터링법에 의해 형성하였다. 이 때의 퇴적 조건은, 스퍼터링 가스로 유량 30sccm의 Ar, 유량 15sccm의 산소를 이용하고, 타겟 및 기판 간격을 60mm로 하고, 직류(DC) 전원 0.5kW, 퇴적 분위기 온도를 실온으로 하였다.

[0165] 다음으로, CVD법에 의해 두께 300nm의 산화질화 실리콘막(509)을 형성하고, 그 위에 두께 300nm의 은막(511)을 형성하였다.

[0166] 다음으로, 이 시료를 300K에서 CV 측정한 결과를 도 18(A)에 나타내고, 도 18(A)에 나타난 측정 결과에서 전압에 대한 C^{-2} 의 곡선을 도 18(B)에 나타낸다. 여기서, 시료의 약반전 상태에서의 C^{-2} 곡선의 기울기를 수학적 2에 대입함으로써, 캐리어 밀도를 구할 수 있다. 한편, 도 18(B)에서 C^{-2} 곡선을 실선으로 나타내고, 약반전 상태에서의 C^{-2} 기울기를 파선으로 나타낸다. 기울기는 $-1.96 \times 10^{18} \text{ F}^{-2} \text{ V}^{-1}$ 이었다.

[0167] [수학적 2]

$$N_d = - \left(\frac{2}{e \epsilon_0 \epsilon} \right) \left/ \frac{d(1/C)^2}{dV} \right.$$

[0168]

[0169] 한편, e는 전자 1개당 전하량, ϵ 는 비유전율, ϵ_0 는 진공 유전율, N_d 는 캐리어 밀도이다.

[0170] 수학적 2에서, 본 실시예의 산화물 반도체의 캐리어 밀도는, $6 \times 10^{10} \text{ cm}^{-3}$ 이었다. 이러한 점에서, 본 실시예에 나타난 산화물 반도체의 캐리어 밀도가 매우 낮은 것을 알 수 있다.

[0171] [실시예 2]

[0172] 본 실시예에서는, 가열처리에 의해 수소 원자를 저장한 산화물 반도체막에 대해, TEM 분석법을 이용하여 해석한 결과를 설명한다.

- [0173] 우선 시료의 제작 방법을 설명한다.
- [0174] 기판(601) 위에 스퍼터링법에 의해 산화물 반도체막을 성막하였다.
- [0175] 여기에서는, 기판(601)으로, EagleXG 기판(코닝사)을 이용하였다. 산화물 반도체막은, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 의 산화물 반도체 타겟을 사용하여, In-Ga-Zn-O막(603)을 퇴적하였다. 이 시료를 비교예인 시료 B로 한다. 시료 B는 수소 원자가 저감되어 있지 않다.
- [0176] 다음으로, In-Ga-Zn-O막(603)에 대해, 전기로를 이용하여 질소 가스 분위기에서 650°C , 1시간의 가열 처리를 하여 수소 원자를 저감시켰다. 가열 처리한 In-Ga-Zn-O막을 산화물 반도체막(605)으로 한다. 이 시료를 시료 A라 한다.
- [0177] 각각의 시료 단면을 고분해능 투과 전자 현미경(히타치 제작소 'H9000-NAR':TEM)으로 가속 전압을 300kV로 하여, 결정 상태를 관찰하였다. 도 19에 시료 A의 단면 사진을 나타내고, 도 20에 시료 B의 단면 사진을 나타낸다. 한편, 도 19(A), 도 20(A)는 저배율 사진(200만배), 도 19(B), 도 20(B)는 고배율 사진(400만배)이다.
- [0178] 도 19에 나타난 650°C 에서 1시간, 전기로에서 가열 처리한 시료 A는, 그 단면에서, 표층부에 연속한 격자상이 관찰되었다. 특히 도 19(B)의 고배율 사진에서는, 흰 윤곽으로 둘러싸인 영역에 명확한 격자상이 관찰되어, 정렬된 결정의 존재를 시사하고 있다. 이러한 점에서, 650°C 에서 1시간, 전기로에서의 가열 처리에서 In-Ga-Zn-O계 비단결정막의 표층부는 결정화하고, 결정 영역을 갖게 되는 것이 명확해졌다. 한편, 표층부를 제외한 다른 영역에서는, 연속한 명료한 격자상은 관찰되지 않고, 비정질 영역의 곳곳에 미세 결정 입자가 떠있는 모습이 확인되었다. 미세 결정 입자 크기는 2nm 이상 4nm 이하이었다.
- [0179] 한편, 도 20(시료 B)의 단면 사진에서는 막후 방향의 어느 영역에서도 명료한 격자상은 관찰되지 않아, 비정질인 것이 확인되었다.
- [0180] 다음으로, 650°C 에서 1시간, 전기로에서 가열 처리한 시료 A의 표층부의 확대 사진을 도 21(A)에 나타내고, 결정 영역의 전자선 회절 패턴을 도 21(B)에 나타낸다. 표층부의 확대 사진인 도 21(A)에는, 격자상이 나열된 방향을 도시한 1-5의 화살표가 나타나 있으며, 막의 표면에 수직으로 침형의 결정이 성장해 있는 것을 알 수 있다. 도 21(B), (C), (D), (E), (F)에 나타난 전자선 회절 패턴은 각각, 화살표 번호인 1, 2, 3, 4, 5의 위치에서 관측된 것으로, C축 방향의 배향이 확인되었다.
- [0181] 이상의 해석 결과에 의해, 650°C 에서 1시간, 전기로에서 가열 처리한 시료는, 그 표층부에 결정 영역이 존재하는 것을 확인할 수 있었다.

부호의 설명

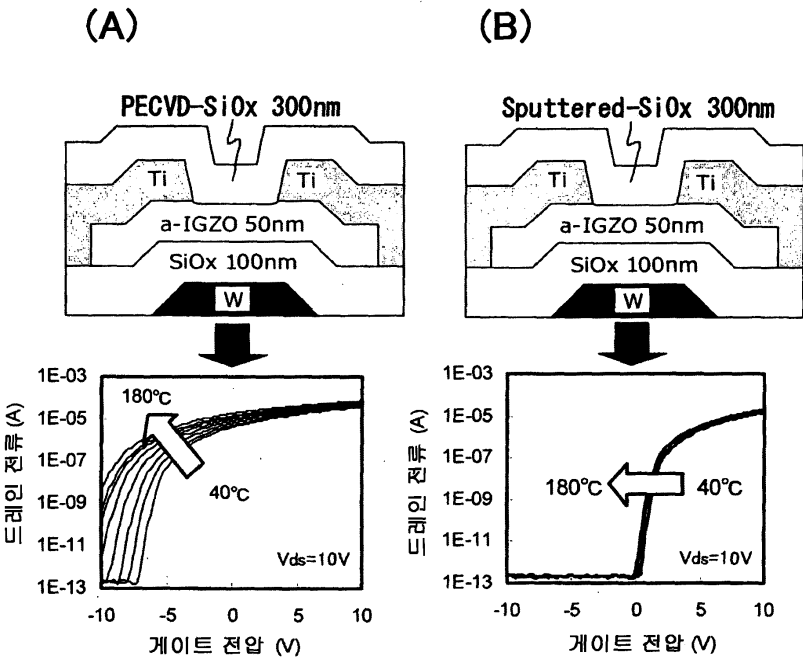
- [0182]

1; 기판	2; 절연막
3; 제 1 게이트 전극	4; 제 1 게이트 절연막
5; 산화물 반도체막	6A; 전극(소스 전극 및 드레인 전극 중 한쪽)
6B; 전극(소스 전극 및 드레인 전극 중 다른 한쪽)	
7; 제 2 게이트 절연막	8; 제 2 게이트 전극
9; 유기 수지막	10; 화소 전극
15; 트랜지스터	20; 화소
21; 절연막	22; 제 1 배향막
23; 액정층	24; 제 2 배향막
25; 전극	26; 기판
31; EL층	32; 전극
33; 봉지재	34; 기판

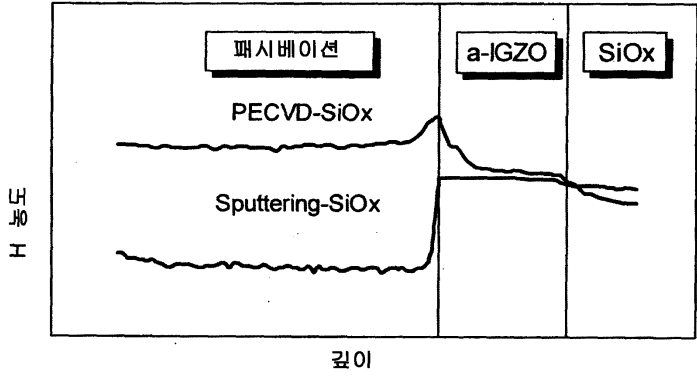
40; 백색 영역	41; 흑색 영역
42; 캐비티	43; 충전재
44; 전극	45; 기관
51; 전자 잉크층	52; 마이크로 캡셀
53; 전극	54; 기관
501; 유리 기관	503; 티탄막
505; 질화 티탄막	507; 산화물 반도체막
509; 산화질화 실리콘막	511; 은막
601; 기관	603; In-Ga-Zn-O막
605; 산화물 반도체막	1100; 휴대 전화기
1101; 하우징	1102; 표시부
1103; 조작 버튼	1104; 외부 접속 포트
1105; 스피커	1106; 마이크
2700; 전자 서적	2701; 하우징
2703; 하우징	2705; 표시부
2707; 표시부	2711; 측부
2721; 전원	2723; 조작키
2725; 스피커	2800; 하우징
2801; 하우징	2802; 표시 패널
2803; 스피커	2804; 마이크로폰
2806; 포인팅 디바이스	2807; 카메라용 렌즈
2808; 외부 접속 단자	2810; 키보드
2811; 외부 메모리 슬롯	9600; 텔레비전 장치
9601; 하우징	9603; 표시부
9605; 스탠드	9607; 표시부
9609; 조작키	9610; 리모콘 조작기
9700; 디지털 포토 프레임	9701 하우징
9703; 표시부	9881; 하우징
9891; 하우징	9893; 연결부
9882; 표시부	9883; 표시부

도면

도면1

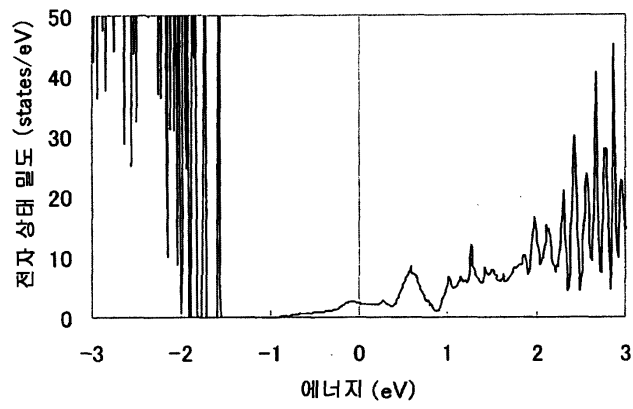


도면2

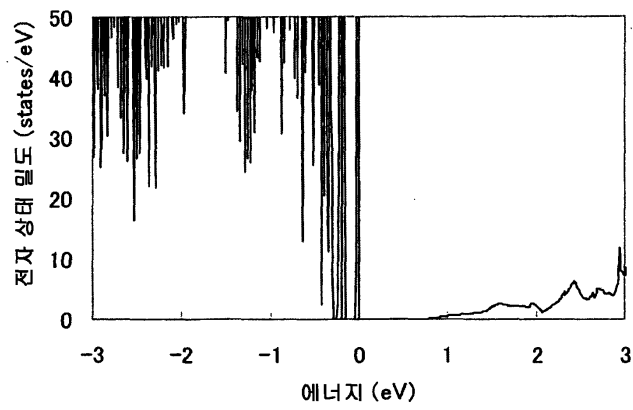


도면3

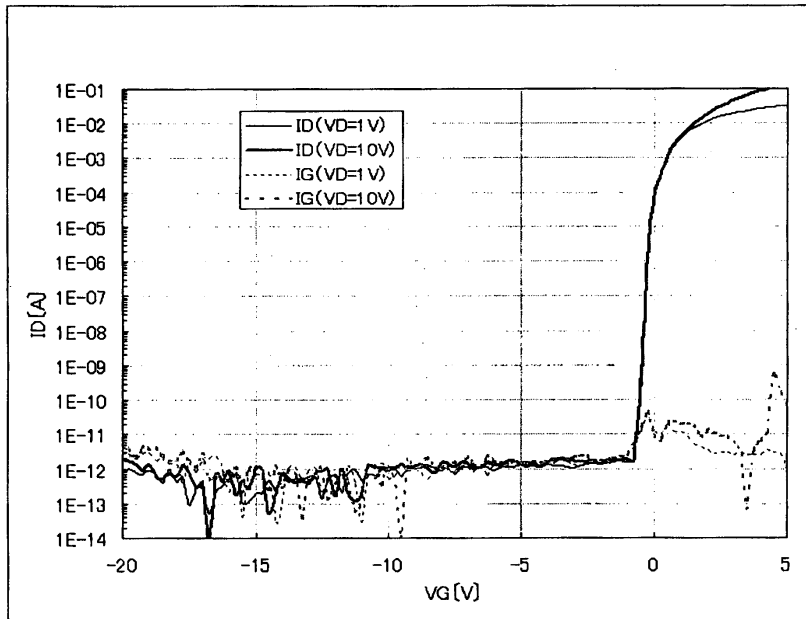
(A)



(B)

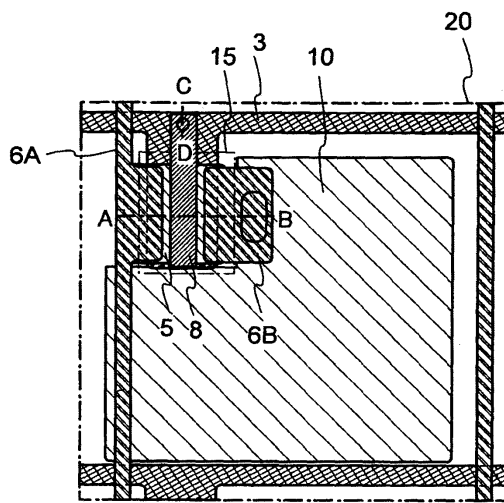


도면4

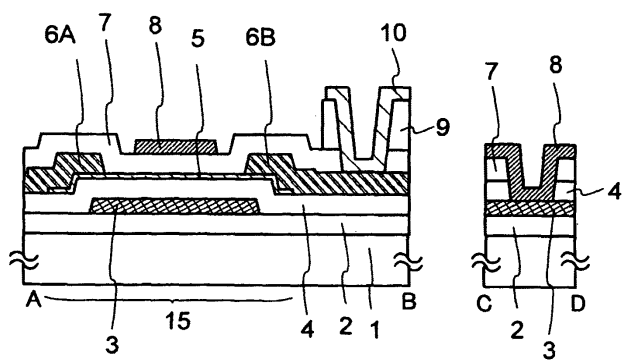


도면5

(A)

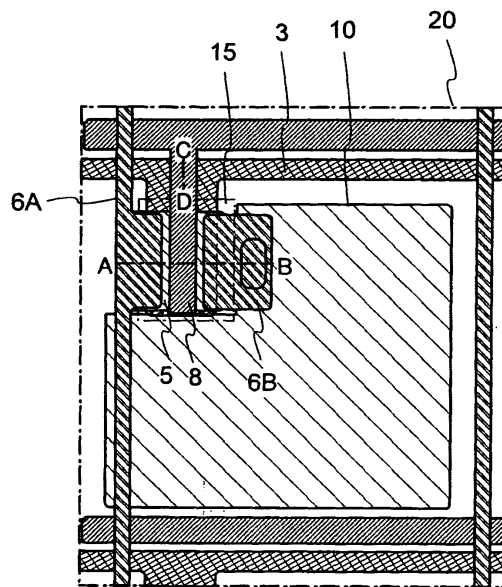


(B)

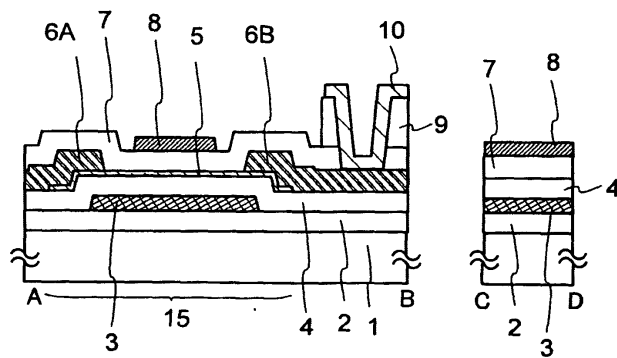


도면6

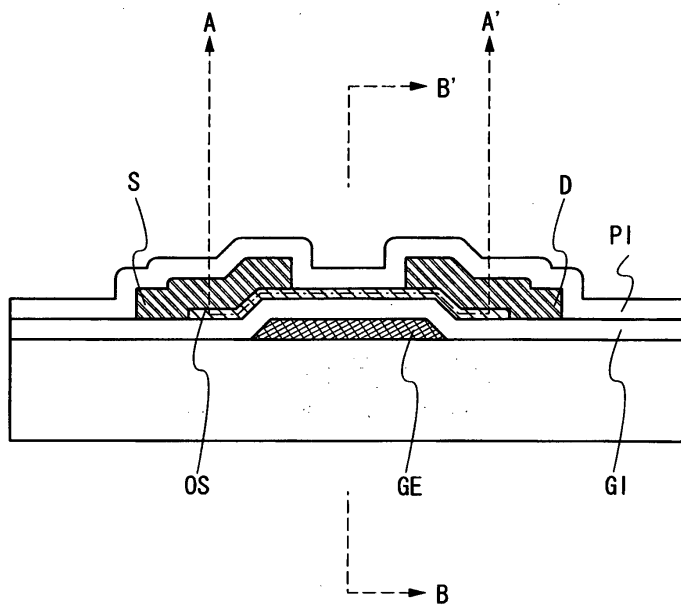
(A)



(B)

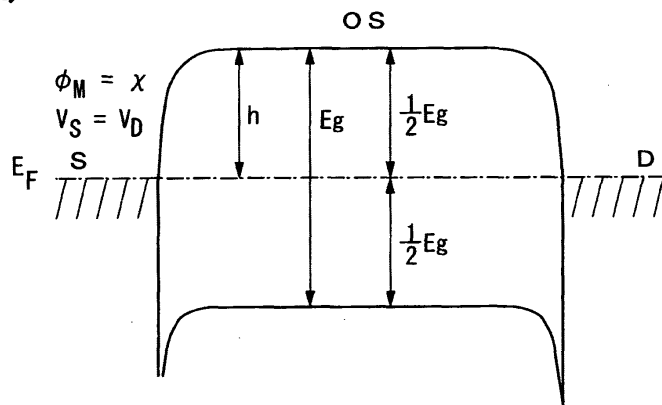


도면7

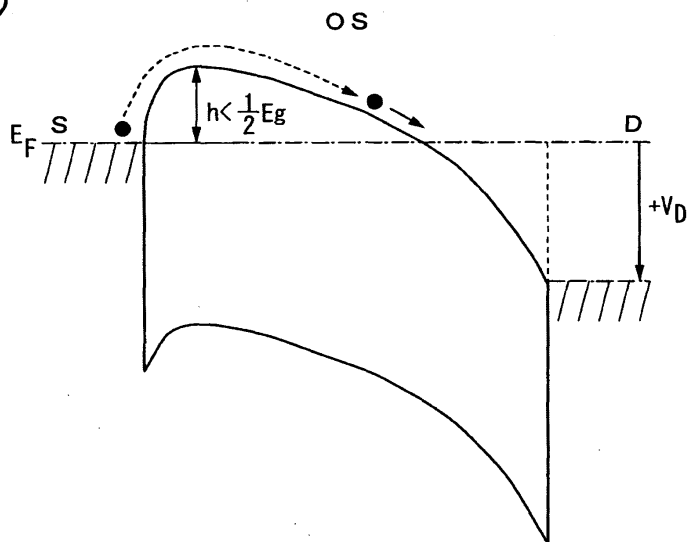


도면8

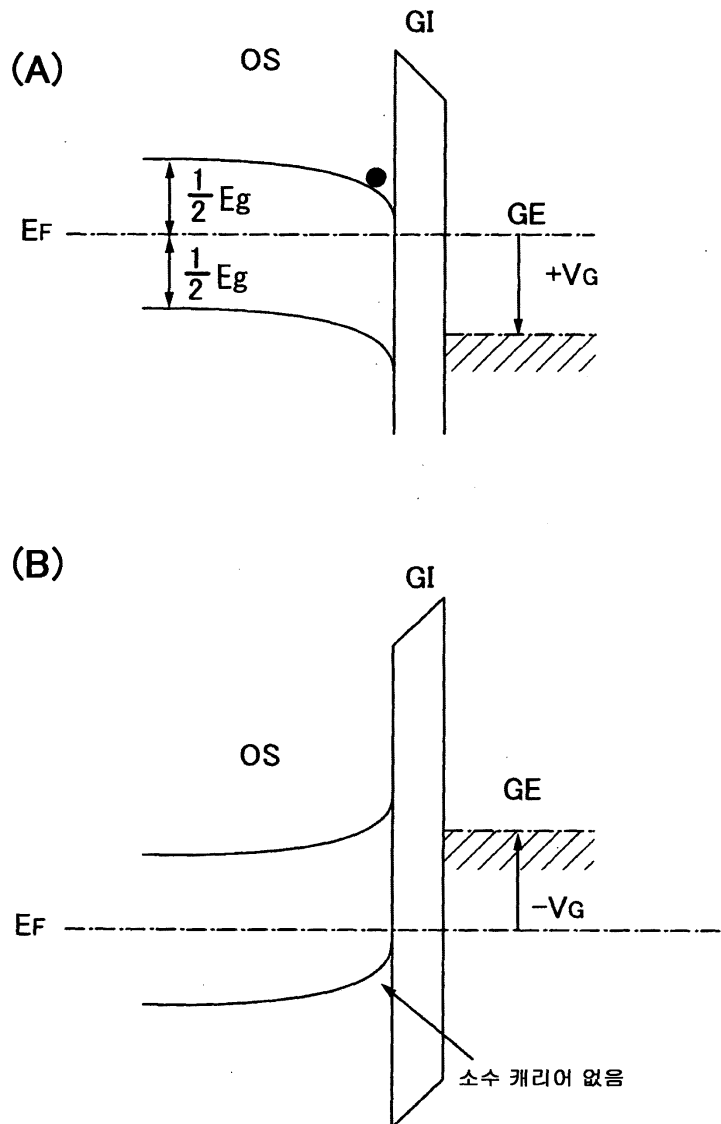
(A)



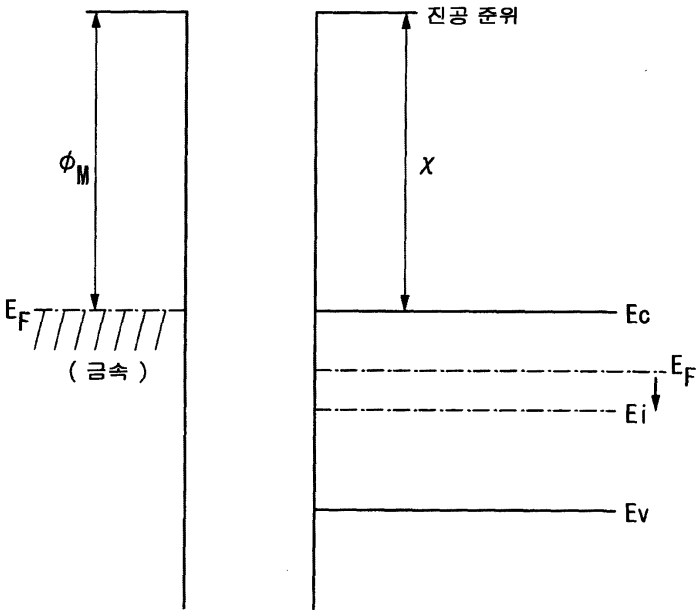
(B)



도면9

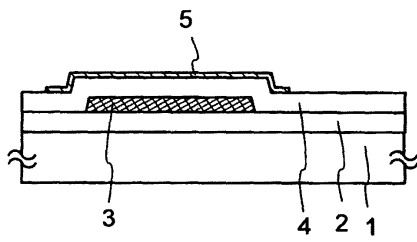


도면10

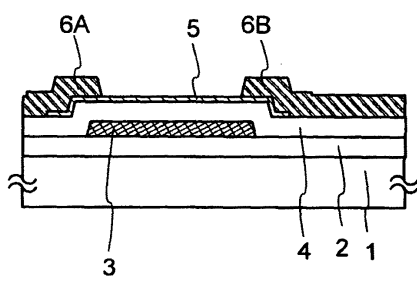


도면11

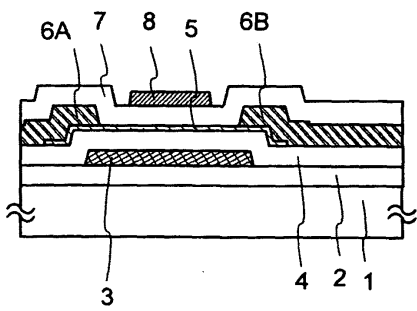
(A)



(B)

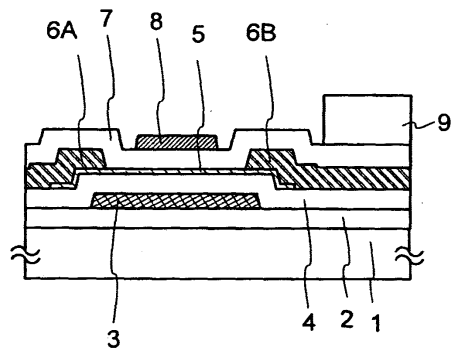


(C)

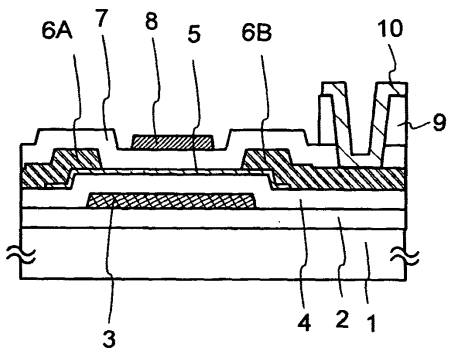


도면12

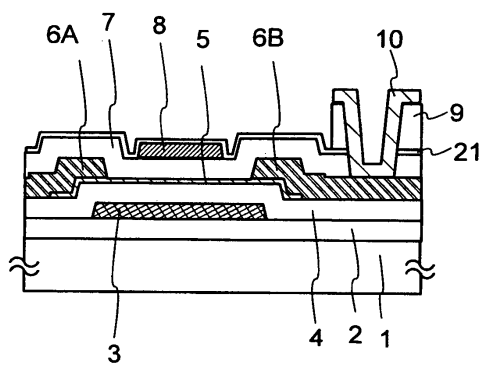
(A)



(B)

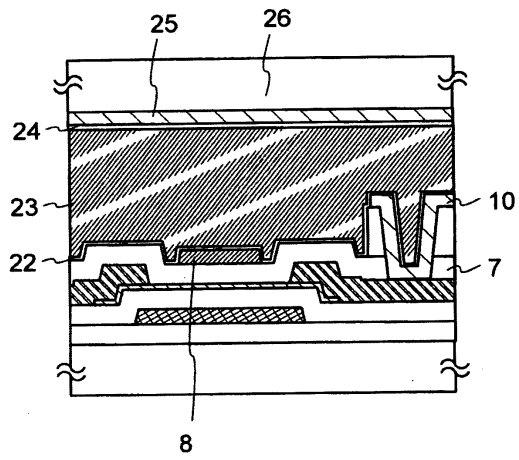


도면13

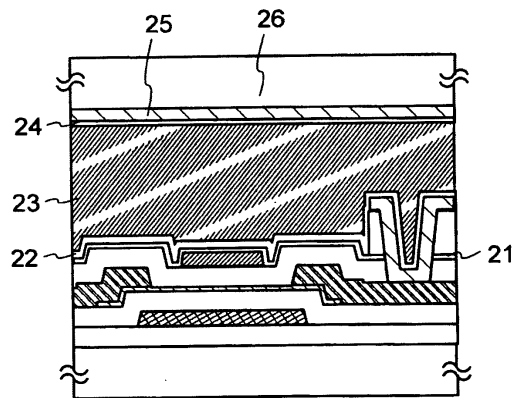


도면14

(A)

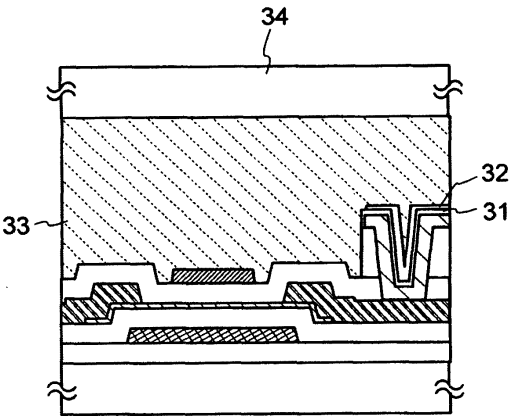


(B)

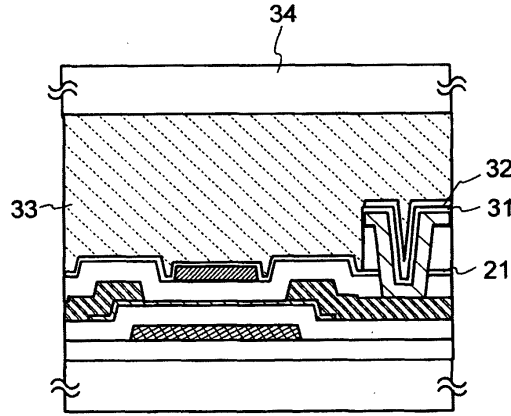


도면15

(A)

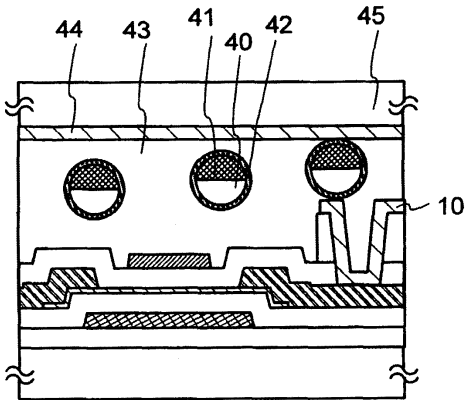


(B)

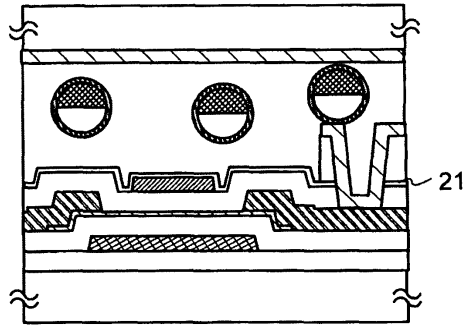


도면16

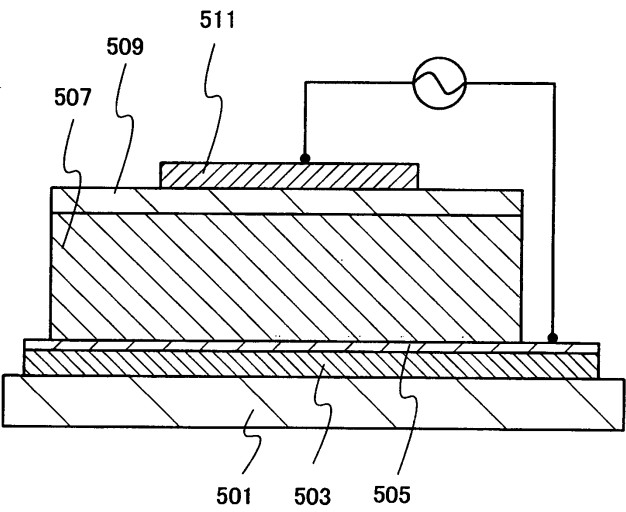
(A)



(B)

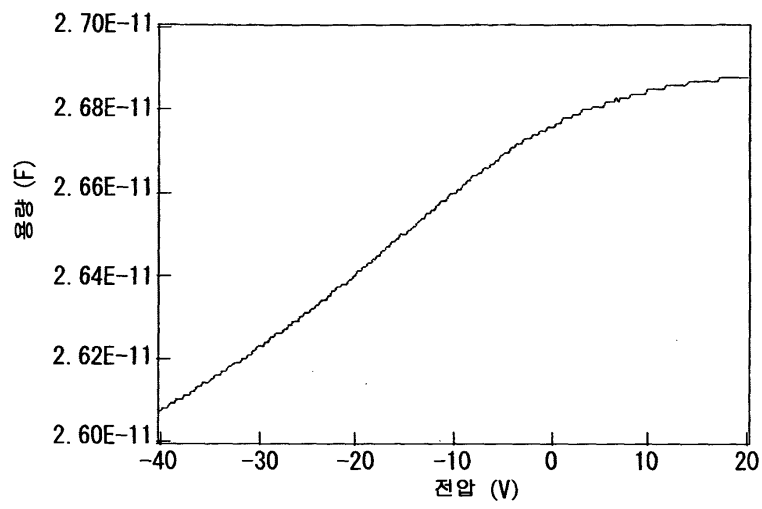


도면17

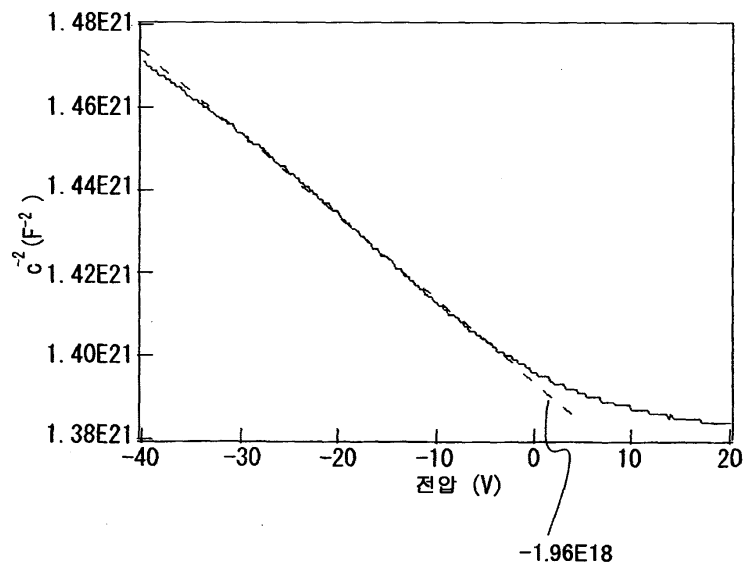


도면18

(A)

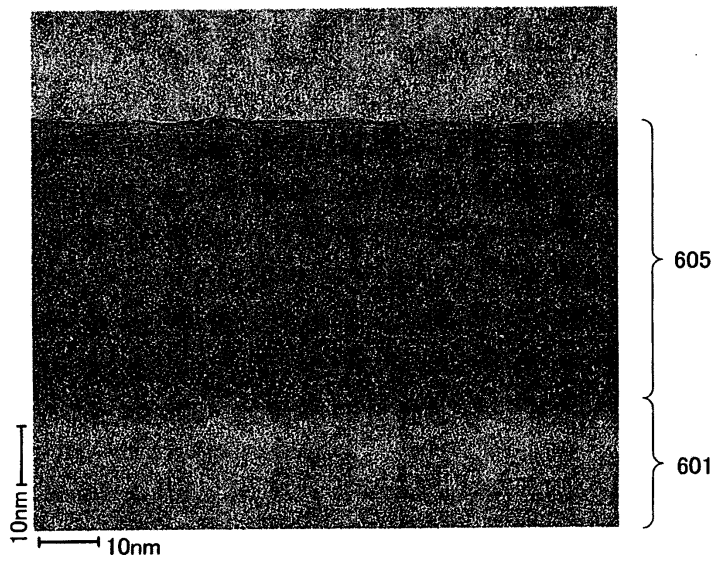


(B)

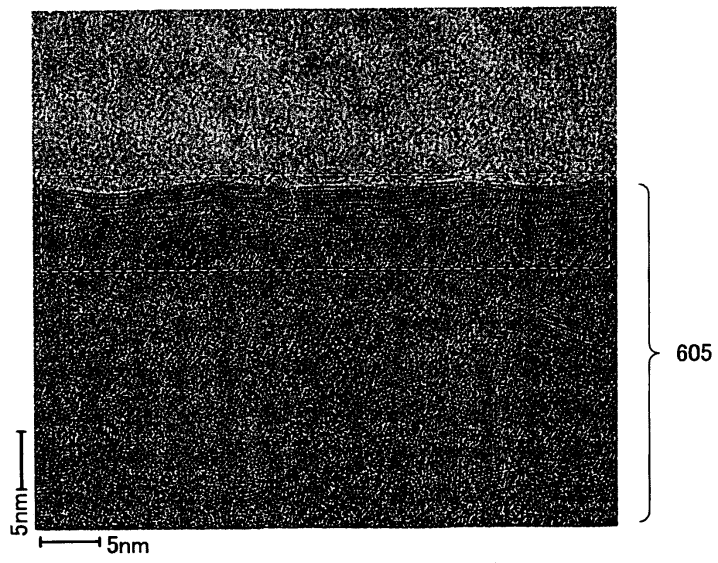


도면19

(A)

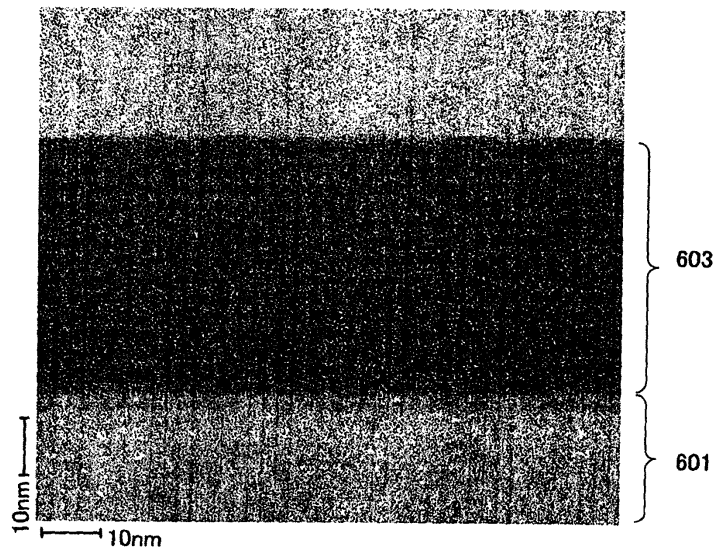


(B)

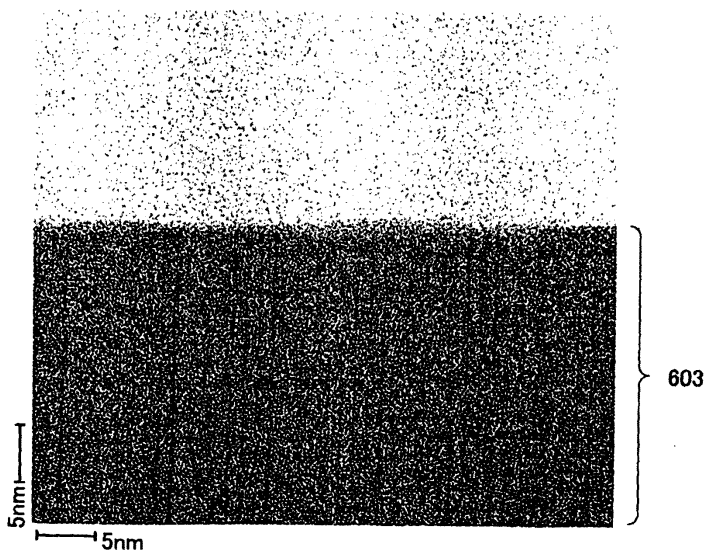


도면20

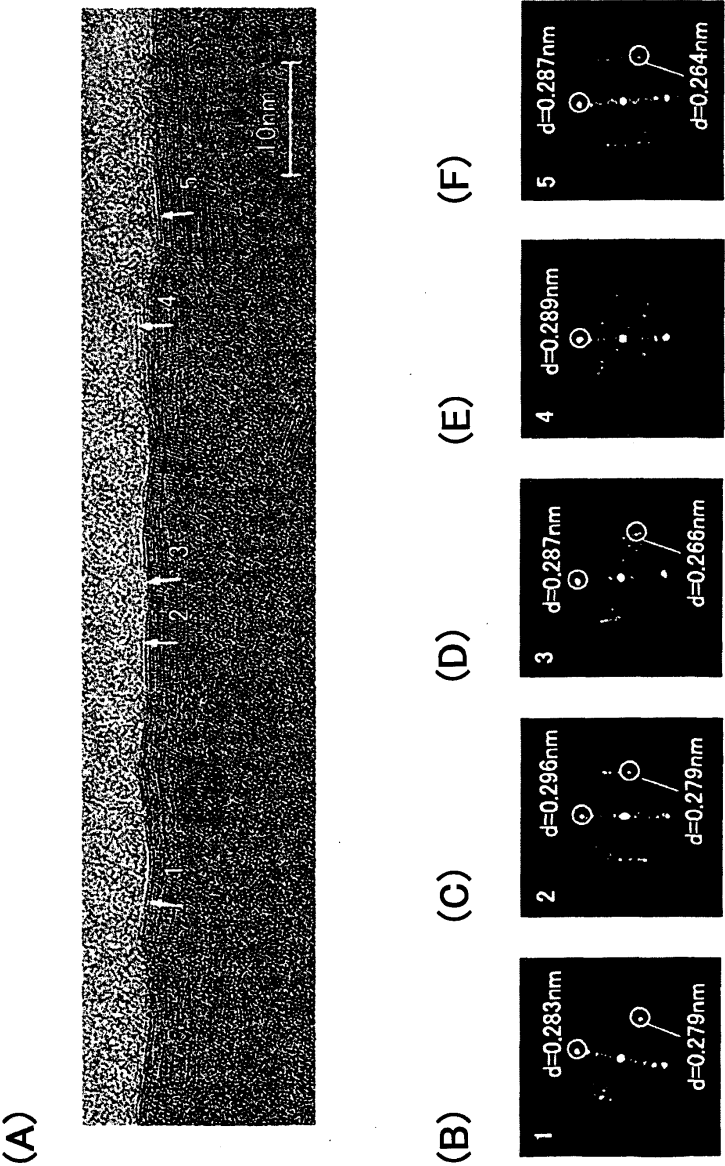
(A)



(B)

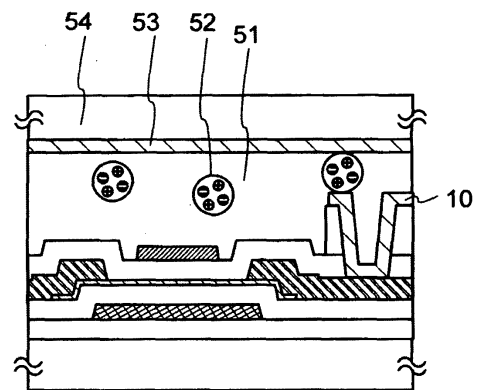


도면21

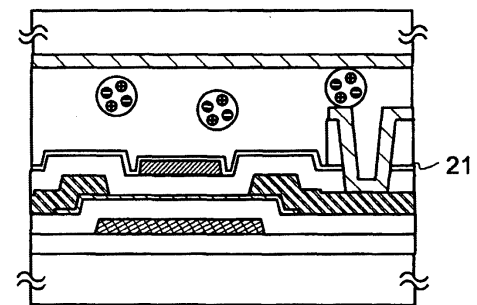


도면22

(A)

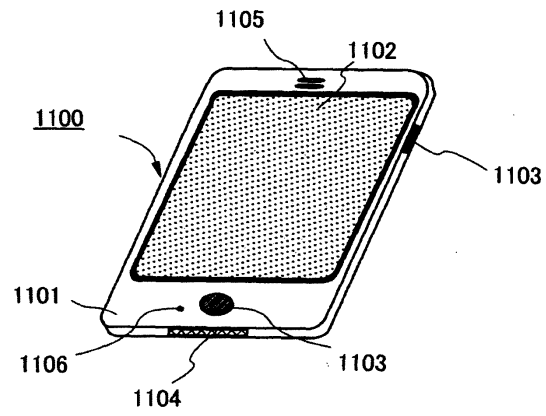


(B)

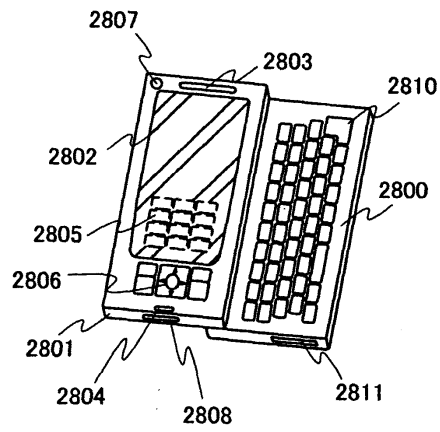


도면23

(A)

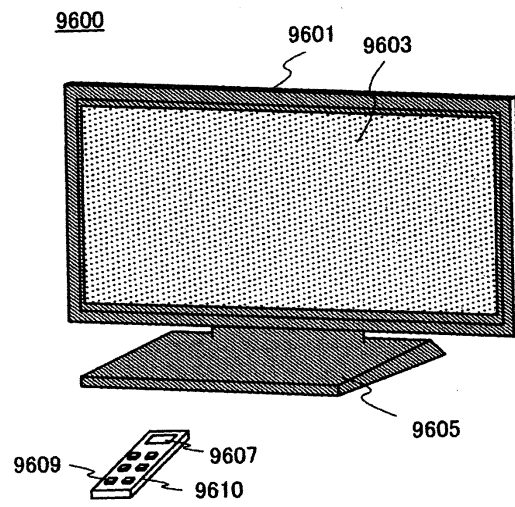


(B)

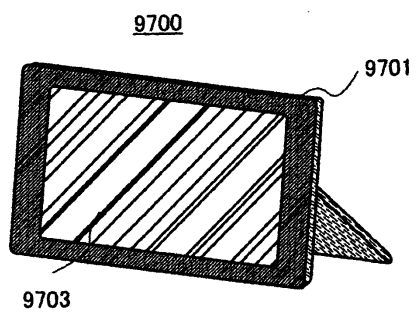


도면24

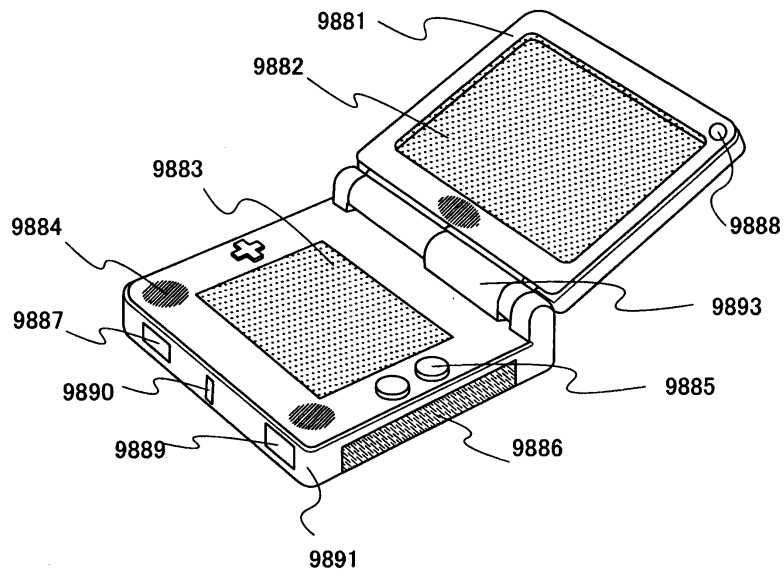
(A)



(B)



도면25



도면26

