



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0099420
(43) 공개일자 2017년09월01일

(51) 국제특허분류(Int. Cl.)

G09G 3/20 (2006.01)

(52) CPC특허분류

G09G 3/20 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2016-0020923

(22) 출원일자 2016년02월23일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

김상국

서울특별시 관악구 낙성대역8길 34, 302호

최원준

경기도 화성시 동탄중앙로 200, D동 2404호

(뒷면에 계속)

(74) 대리인

박영우

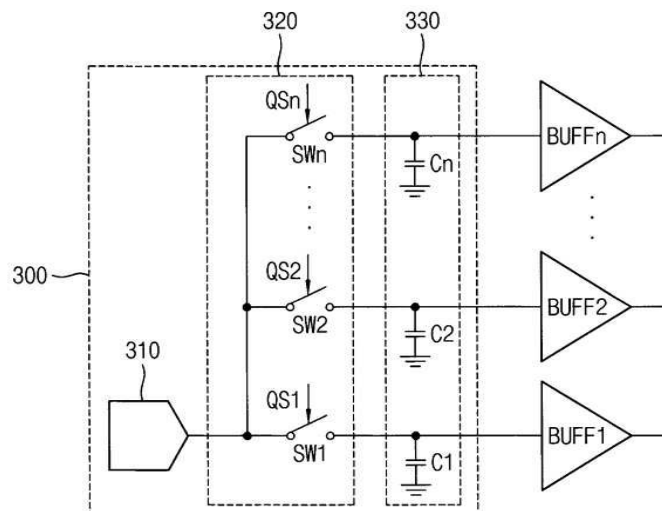
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 디지털 아날로그 변환기, 이를 포함하는 구동 집적회로 및 표시 장치

(57) 요약

디지털 아날로그 변환기는 제1 구간 동안 N 비트의 영상 데이터 중 적어도 일부 비트에 기초하여 제1 아날로그 신호를 생성하고, 상기 제1 구간과 다른 제2 구간 동안 상기 영상 데이터에 기초하여 제2 아날로그 신호를 생성하는 변환부 및 상기 제1 구간 동안 상기 제1 아날로그 신호를 출력 단자들에 순차적으로 분배하고, 상기 제2 구간 동안 상기 제2 아날로그 신호를 상기 출력 단자들에 역순차적으로 분배하는 분배부를 포함할 수 있다.

대표도 - 도3



(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2310/0286 (2013.01)

(72) 발명자

황문상

서울특별시 광진구 구의강변로3가길 39, 702동 302호

안태지

서울특별시 마포구 백범로10길 26, 105호

이승훈

서울특별시 용산구 이촌로 310 (이촌동, 래미안 첼리투스), 101동 2303호

김원강

경기도 군포시 금산로 91 래미안하이어스아파트, 107동 2503호

박준상

서울특별시 동작구 사당로2길 2-32(상도동, 상도현대아파트), 102동 1203호

이 발명을 지원한 국가연구개발사업

과제고유번호 NRF 2013R1A1A2004829

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 한국연구재단 일반연구자지원사업

ADC 연구 연구과제명 최소한의 커패시터를 사용하는 CR 하이브리드 DAC기반의 12비트 10MS/s 0.11um CMOS SAR

기 여 율 1/2

주관기관 서강대학교 산학협력단

연구기간 2013.06.01 ~ 2016.05.31이 발명을 지원한 국가연구개발사업

과제고유번호 1711026804

부처명 미래창조과학부

연구관리전문기관 정보통신산업진흥원 (NIPA)

연구사업명 정보통신기술인력양성

연구과제명 정보통신용 아날로그IP 기술 개발

기 여 율 1/2

주관기관 서강대학교 산학협력단

연구기간 2010.06.01 ~ 2015.12.31

명세서

청구범위

청구항 1

제1 구간 동안 N 비트의 영상 데이터 중 적어도 일부 비트에 기초하여 제1 아날로그 신호를 생성하고, 상기 제1 구간과 다른 제2 구간 동안 상기 영상 데이터에 기초하여 제2 아날로그 신호를 생성하는 변환부; 및

상기 제1 구간 동안 상기 제1 아날로그 신호를 출력 단자들에 순차적으로 분배하고, 상기 제2 구간 동안 상기 제2 아날로그 신호를 상기 출력 단자들에 역순차적으로 분배하는 분배부를 포함하는 디지털 아날로그 변환기.

청구항 2

제 1 항에 있어서, 상기 변환부는,

상기 제1 아날로그 신호를 생성하는 제1 서브 변환 유닛;

상기 제2 아날로그 신호를 생성하는 제2 서브 변환 유닛; 및

상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 순차적으로 상기 분배부에 전달하는 스위칭 유닛을 포함하는 것을 특징으로 하는 디지털 아날로그 변환기.

청구항 3

제 2 항에 있어서, 상기 제1 서브 변환 유닛은 상기 영상 데이터 중 적어도 일부 비트에 기초하여 제1 내지 제N 코오스 전압들을 순차적으로 생성하고(단, N은 2 이상의 정수),

상기 제2 서브 변환 유닛은 상기 영상 데이터에 기초하여 제1 내지 제N 파인 전압들을 역순차적으로 생성하며,

상기 제1 아날로그 신호는 상기 제1 내지 제N 코오스 전압들을 포함하고,

상기 제2 아날로그 신호는 상기 제1 내지 제N 파인 전압들을 포함하는 것을 특징으로 하는 디지털 아날로그 변환기.

청구항 4

제 2 항에 있어서, 상기 제1 서브 변환 유닛의 제1 구동 주파수는 상기 제2 서브 변환 유닛의 제2 구동 주파수와 다른 것을 특징으로 하는 디지털 아날로그 변환기.

청구항 5

제 1 항에 있어서, 상기 스위칭 유닛은,

상기 제1 구간 동안 상기 제1 서브 변환 유닛의 출력단 및 상기 분배부의 입력단을 연결하는 제1 변환 스위치; 및

상기 제2 구간 동안 상기 제2 서브 변환 유닛의 출력단 및 상기 분배부의 상기 입력단을 연결하는 제2 변환 스위치를 포함하는 것을 특징으로 하는 디지털 아날로그 변환기.

청구항 6

제 1 항에 있어서, 상기 분배부의 상기 출력 단자들은 제1 출력 단자 및 제2 출력 단자를 포함하고,

상기 분배부는 상기 제1 구간 동안 상기 제1 아날로그 신호에 포함된 제1 코오스 전압 및 제2 코오스 전압을 상기 제1 출력 단자 및 상기 제2 출력 단자에 순차적으로 분배하고, 상기 제2 구간 동안 상기 제2 아날로그 신호에 포함된 제2 파인 전압 및 제1 파인 전압을 상기 제2 출력 단자 및 상기 제1 출력 단자에 순차적으로 분배하는 것을 특징으로 하는 디지털 아날로그 변환기.

청구항 7

제 1 항에 있어서,

상기 제1 구간 및 상기 제2 구간 동안 상기 분배부의 상기 출력 단자들 각각을 통해 출력되는 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 일시적으로 저장하는 샘플링부를 더 포함하는 것을 특징으로 하는 디지털 아날로그 변환기.

청구항 8

제 7 항에 있어서,

상기 샘플링부를 외부 장치와 연결하는 스위칭부를 더 포함하는 것을 특징으로 하는 것을 특징으로 하는 디지털 아날로그 변환기.

청구항 9

제 8 항에 있어서, 상기 스위칭부는 상기 제1 구간과 상기 제2 구간 사이의 제2 시점에서 상기 샘플링부를 상기 외부 장치와 연결하는 것을 특징으로 하는 디지털 아날로그 변환기.

청구항 10

제 1 항에 있어서, 상기 변환부는 제3 구간 동안 상기 영상 데이터에 기초하여 제3 아날로그 신호를 생성하고,

상기 분배부는 상기 제3 구간 동안 상기 제3 아날로그 신호를 상기 출력 단자들에 순차적으로 분배하며,

상기 제3 구간은 상기 제1 구간 및 상기 제2 구간과 상이하고,

상기 제3 아날로그 신호의 제3 파형은 상기 제1 아날로그 신호의 제1 파형과 동일한 것을 특징으로 하는 디지털 아날로그 변환기.

청구항 11

N 비트의 영상 데이터에 기초하여 아날로그 신호들을 생성하는 디지털 아날로그 변환 블록; 및

버퍼들을 구비하고, 상기 버퍼들을 통해 상기 아날로그 신호들을 안정화하여 외부 장치로 출력하는 버퍼 블록을 포함하고,

상기 디지털 아날로그 변환 블록은,

제1 구간 동안 상기 영상 데이터 중 적어도 일부 비트에 기초하여 제1 아날로그 신호를 생성하고, 상기 제1 구간과 다른 제2 구간 동안 상기 영상 데이터에 기초하여 제2 아날로그 신호를 생성하는 변환부; 및

상기 제1 구간 동안 상기 제1 아날로그 신호를 출력 단자들을 통해 상기 버퍼들에 순차적으로 분배하고, 상기 제2 구간 동안 상기 제2 아날로그 신호를 상기 버퍼들에 역순차적으로 분배하는 분배부를 포함하는 구동 집적회로.

청구항 12

제 11 항에 있어서, 상기 변환부는,

상기 제1 아날로그 신호를 생성하는 제1 서브 변환 유닛;

상기 제2 아날로그 신호를 생성하는 제2 서브 변환 유닛; 및

상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 순차적으로 상기 분배부에 전달하는 스위칭 유닛을 포함하는 것을 특징으로 하는 구동 집적회로.

청구항 13

제 12 항에 있어서, 상기 제1 서브 변환 유닛은 상기 영상 데이터 중 적어도 일부 비트에 기초하여 제1 내지 제 N 코오스 전압들을 순차적으로 생성하고(단, N은 2 이상의 정수),

상기 제2 서브 변환 유닛은 상기 영상 데이터에 기초하여 제1 내지 제N 파인 전압들을 역순차적으로 생성하며,

상기 제1 아날로그 신호는 상기 제1 내지 제N 코오스 전압들을 포함하고,

상기 제2 아날로그 신호는 상기 제1 내지 제N 파인 전압들을 포함하는 것을 특징으로 하는 구동 집적회로.

청구항 14

제 12 항에 있어서, 상기 제1 서브 변환 유닛의 제1 구동 주파수는 상기 제2 서브 변환 유닛의 제2 구동 주파수와 다른 것을 특징으로 하는 구동 집적회로.

청구항 15

제 11 항에 있어서, 상기 스위칭 유닛은,

상기 제1 구간 동안 상기 제1 서브 변환 유닛의 출력단 및 상기 분배부의 입력단을 연결하는 제1 변환 스위치; 및

상기 제2 구간 동안 상기 제2 서브 변환 유닛의 출력단 및 상기 분배부의 상기 입력단을 연결하는 제2 변환 스위치를 포함하는 것을 특징으로 하는 구동 집적회로.

청구항 16

제 11 항에 있어서, 상기 디지털 아날로그 변환 블록은,

상기 제1 구간 및 상기 제2 구간 동안 상기 분배부의 상기 출력 단자들 각각을 통해 출력되는 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 일시적으로 저장하는 샘플링부를 더 포함하는 것을 특징으로 하는 구동 집적회로.

청구항 17

제 16 항에 있어서, 상기 디지털 아날로그 변환 블록은,

상기 샘플링부를 외부 장치와 연결하는 스위칭부를 더 포함하는 것을 특징으로 하는 것을 특징으로 하는 구동 집적회로.

청구항 18

제 17 항에 있어서, 상기 스위칭부는 상기 제1 구간과 상기 제2 구간 사이의 제2 시점에서 상기 샘플링부를 상기 외부 장치와 연결하는 것을 특징으로 하는 구동 집적회로.

청구항 19

제 11 항에 있어서, 상기 변환부는 제3 구간 동안 상기 영상 데이터에 기초하여 제3 아날로그 신호를 생성하고,

상기 분배부는 상기 제3 구간 동안 상기 제3 아날로그 신호를 상기 출력 단자들에 순차적으로 분배하며,

상기 제3 구간은 상기 제1 구간 및 상기 제2 구간과 상이하고,

상기 제3 아날로그 신호의 제3 파형은 상기 제1 아날로그 신호의 제1 파형과 동일한 것을 특징으로 하는 구동 집적회로.

청구항 20

데이터선들 및 상기 데이터선들에 각각 연결되는 화소들을 포함하는 표시 패널;

N비트의 영상 데이터에 기초하여 데이터 신호를 생성하고, 상기 데이터 신호를 상기 데이터선들을 통해 상기 화소들에 제공하는 구동 집적회로를 포함하고,

상기 구동 집적회로는,

상기 영상 데이터에 기초하여 아날로그 신호들을 생성하는 디지털 아날로그 변환 블록; 및

버퍼들을 구비하고, 상기 버퍼들을 통해 상기 아날로그 신호들을 안정화하여 상기 표시 패널에 제공하는 버퍼 블록을 포함하고,

상기 디지털 아날로그 변환 블록은,

제1 구간 동안 상기 영상 데이터 중 적어도 일부 비트에 기초하여 제1 아날로그 신호를 생성하고, 상기 제1 구간과 다른 제2 구간 동안 상기 영상 데이터에 기초하여 제2 아날로그 신호를 생성하는 변환부; 및

상기 제1 구간 동안 상기 제1 아날로그 신호를 출력 단자들을 통해 상기 버퍼들에 순차적으로 분배하고, 상기 제2 구간 동안 상기 제2 아날로그 신호를 상기 버퍼들에 역순차적으로 분배하는 분배부를 포함하며,

상기 제1 아날로그 신호 및 상기 제2 아날로그 신호는 상기 데이터 신호에 포함되는 것을 특징으로 하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로, 보다 상세하게는 영상 데이터를 데이터 신호로 변환하는 디지털 아날로그 변환기, 디지털 아날로그 변환기를 포함하는 구동 집적회로 및 구동 집적회로를 포함하는 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 표시 패널 및 영상 데이터를 데이터 신호로 변환하여 표시 패널에 제공하는 데이터 구동부를 포함한다. 데이터 구동부는 하나의 화소열에 포함된 화소들에 대응하는 디지털 신호(또는, 계조 값들)에 기초하여 아날로그 신호(즉, 데이터 신호)를 순차적으로 생성하는 디지털 아날로그 변환기 및 아날로그 신호를 화소들에 전송하는 버퍼를 포함한다.

[0003] 최근에는, 하나의 디지털 아날로그 변환기 및 디멀티플렉서를 이용하여 복수의 화소열들에 아날로그 신호들을 공급하는 기술이 제안되었으나, 디지털 아날로그 변환기 및 디멀티플렉서의 고속 동작을 요구한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 완화된 동작 속도를 가지고 복수의 화소열들에 아날로그 신호들을 공급할 수 있는 디지털 아날로그 변환기를 제공하고자 한다.

[0005] 본 발명의 다른 목적은 상기 디지털 아날로그 변환기를 포함하는 구동 집적회로를 제공하고자 한다.

[0006] 본 발명의 또 다른 목적은 상기 구동 집적회로를 포함하는 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0007] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 디지털 아날로그 변환기는, 제1 구간 동안 N 비트의 영상 데이터 중 적어도 일부 비트에 기초하여 제1 아날로그 신호를 생성하고, 상기 제1 구간과 다른 제2 구간 동안 상기 영상 데이터에 기초하여 제2 아날로그 신호를 생성하는 변환부 및 상기 제1 구간 동안 상기 제1 아날로그 신호를 출력 단자들에 순차적으로 분배하고, 상기 제2 구간 동안 상기 제2 아날로그 신호를 상기 출력 단자들에 역순차적으로 분배하는 분배부를 포함 할 수 있다.

[0008] 일 실시예에 의하면, 상기 변환부는, 상기 제1 아날로그 신호를 생성하는 제1 서브 변환 유닛, 상기 제2 아날로그 신호를 생성하는 제2 서브 변환 유닛 및 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 순차적으로 상기 분배부에 전달하는 스위칭 유닛을 포함 할 수 있다.

[0009] 일 실시예에 의하면, 상기 제1 서브 변환 유닛은 상기 영상 데이터 중 적어도 일부 비트에 기초하여 제1 내지 제N 코오스 전압들을 순차적으로 생성하고(단, N은 2 이상의 정수), 상기 제2 서브 변환 유닛은 상기 영상 데이터에 기초하여 제1 내지 제N 파인 전압들을 역순차적으로 생성하며, 상기 제1 아날로그 신호는 상기 제1 내지 제N 코오스 전압들을 포함하고, 상기 제2 아날로그 신호는 상기 제1 내지 제N 파인 전압들을 포함 할 수 있다.

[0010] 일 실시예에 의하면, 상기 제1 서브 변환 유닛의 제1 구동 주파수는 상기 제2 서브 변환 유닛의 제2 구동 주파수와 다를 수 있다.

[0011] 일 실시예에 의하면, 상기 스위칭 유닛은, 상기 제1 구간 동안 상기 제1 서브 변환 유닛의 출력단 및 상기 분배

부의 입력단을 연결하는 제1 변환 스위치 및 상기 제2 구간 동안 상기 제2 서브 변환 유닛의 출력단 및 상기 분배부의 상기 입력단을 연결하는 제2 변환 스위치를 포함 할 수 있다.

- [0012] 일 실시예에 의하면, 상기 분배부의 상기 출력 단자들은 제1 출력 단자 및 제2 출력 단자를 포함하고, 상기 분배부는 상기 제1 구간 동안 상기 제1 아날로그 신호에 포함된 제1 코오스 전압 및 제2 코오스 전압을 상기 제1 출력 단자 및 상기 제2 출력 단자에 순차적으로 분배하고, 상기 제2 구간 동안 상기 제2 아날로그 신호에 포함된 제2 파인 전압 및 제1 파인 전압을 상기 제2 출력 단자 및 상기 제1 출력 단자에 순차적으로 분배 할 수 있다.
- [0013] 일 실시예에 의하면, 디지털 아날로그 변환기는, 상기 제1 구간 및 상기 제2 구간 동안 상기 분배부의 상기 출력 단자들 각각을 통해 출력되는 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 일시적으로 저장하는 샘플링부를 더 포함 할 수 있다.
- [0014] 일 실시예에 의하면, 디지털 아날로그 변환기는 상기 샘플링부를 외부 장치와 연결하는 스위칭부를 더 포함 할 수 있다.
- [0015] 일 실시예에 의하면, 상기 스위칭부는 상기 제1 구간과 상기 제2 구간 사이의 제2 시점에서 상기 샘플링부를 상기 외부 장치와 연결 할 수 있다.
- [0016] 일 실시예에 의하면, 상기 변환부는 제3 구간 동안 상기 영상 데이터에 기초하여 제3 아날로그 신호를 생성하고, 상기 분배부는 상기 제3 구간 동안 상기 제3 아날로그 신호를 상기 출력 단자들에 순차적으로 분배하며, 상기 제3 구간은 상기 제1 구간 및 상기 제2 구간과 상이하고, 상기 제3 아날로그 신호의 제3 파형은 상기 제1 아날로그 신호의 제1 파형과 동일 할 수 있다.
- [0017] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 구동 집적회로는, N 비트의 영상 데이터에 기초하여 아날로그 신호들을 생성하는 디지털 아날로그 변환 블록; 및 버퍼들을 구비하고, 상기 버퍼들을 통해 상기 아날로그 신호들을 안정화하여 외부 장치로 출력하는 버퍼 블록을 포함하고, 상기 디지털 아날로그 변환 블록은, 제1 구간 동안 상기 영상 데이터 중 적어도 일부 비트에 기초하여 제1 아날로그 신호를 생성하고, 상기 제1 구간과 다른 제2 구간 동안 상기 영상 데이터에 기초하여 제2 아날로그 신호를 생성하는 변환부 및 상기 제1 구간 동안 상기 제1 아날로그 신호를 출력 단자들을 통해 상기 버퍼들에 순차적으로 분배하고, 상기 제2 구간 동안 상기 제2 아날로그 신호를 상기 버퍼들에 역순차적으로 분배하는 분배부를 포함 할 수 있다.
- [0018] 일 실시예에 의하면, 상기 변환부는, 상기 제1 아날로그 신호를 생성하는 제1 서브 변환 유닛, 상기 제2 아날로그 신호를 생성하는 제2 서브 변환 유닛 및 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 순차적으로 상기 분배부에 전달하는 스위칭 유닛을 포함 할 수 있다.
- [0019] 일 실시예에 의하면, 상기 제1 서브 변환 유닛은 상기 영상 데이터 중 적어도 일부 비트에 기초하여 제1 내지 제N 코오스 전압들을 순차적으로 생성하고(단, N은 2 이상의 정수), 상기 제2 서브 변환 유닛은 상기 영상 데이터에 기초하여 제1 내지 제N 파인 전압들을 역순차적으로 생성하며, 상기 제1 아날로그 신호는 상기 제1 내지 제N 코오스 전압들을 포함하고, 상기 제2 아날로그 신호는 상기 제1 내지 제N 파인 전압들을 포함 할 수 있다.
- [0020] 일 실시예에 의하면, 상기 제1 서브 변환 유닛의 제1 구동 주파수는 상기 제2 서브 변환 유닛의 제2 구동 주파수와 다를 수 있다.
- [0021] 일 실시예에 의하면, 상기 스위칭 유닛은, 상기 제1 구간 동안 상기 제1 서브 변환 유닛의 출력단 및 상기 분배부의 입력단을 연결하는 제1 변환 스위치 및 상기 제2 구간 동안 상기 제2 서브 변환 유닛의 출력단 및 상기 분배부의 상기 입력단을 연결하는 제2 변환 스위치를 포함 할 수 있다.
- [0022] 일 실시예에 의하면, 상기 디지털 아날로그 변환 블록은, 상기 제1 구간 및 상기 제2 구간 동안 상기 분배부의 상기 출력 단자들 각각을 통해 출력되는 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 일시적으로 저장하는 샘플링부를 더 포함 할 수 있다.
- [0023] 일 실시예에 의하면, 상기 디지털 아날로그 변환 블록은, 상기 샘플링부를 외부 장치와 연결하는 스위칭부를 더 포함 할 수 있다.
- [0024] 일 실시예에 의하면, 상기 스위칭부는 상기 제1 구간과 상기 제2 구간 사이의 제2 시점에서 상기 샘플링부를 상기 외부 장치와 연결 할 수 있다.
- [0025] 일 실시예에 의하면, 상기 변환부는 제3 구간 동안 상기 영상 데이터에 기초하여 제3 아날로그 신호를

생성하고, 상기 분배부는 상기 제3 구간 동안 상기 제3 아날로그 신호를 상기 출력 단자들에 순차적으로 분배하며, 상기 제3 구간은 상기 제1 구간 및 상기 제2 구간과 상이하고, 상기 제3 아날로그 신호의 제3 파형은 상기 제1 아날로그 신호의 제1 파형과 동일 할 수 있다.

[0026] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 표시 장치는, 데이터선들 및 상기 데이터선들에 각각 연결되는 화소들을 포함하는 표시 패널; N비트의 영상 데이터에 기초하여 데이터 신호를 생성하고, 상기 데이터 신호를 상기 데이터선들을 통해 상기 화소들에 제공하는 구동 집적회로를 포함하고, 상기 구동 집적회로는, 상기 영상 데이터에 기초하여 아날로그 신호들을 생성하는 디지털 아날로그 변환 블록 및 버퍼들을 구비하고, 상기 버퍼들을 통해 상기 아날로그 신호들을 안정화하여 상기 표시 패널에 제공하는 버퍼 블록을 포함하고, 상기 디지털 아날로그 변환 블록은, 제1 구간 동안 상기 영상 데이터 중 적어도 일부 비트에 기초하여 제1 아날로그 신호를 생성하고, 상기 제1 구간과 다른 제2 구간 동안 상기 영상 데이터에 기초하여 제2 아날로그 신호를 생성하는 변환부 및 상기 제1 구간 동안 상기 제1 아날로그 신호를 출력 단자들을 통해 상기 버퍼들에 순차적으로 분배하고, 상기 제2 구간 동안 상기 제2 아날로그 신호를 상기 버퍼들에 역순차적으로 분배하는 분배부를 포함하며, 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호는 상기 데이터 신호에 포함될 수 있다.

발명의 효과

[0027] 본 발명의 실시예들에 따른 디지털 아날로그 변환기는, 영상 데이터의 손실 없는 제2 아날로그 신호와, 영상 데이터의 적어도 일부만을 포함하는 제1 아날로그 신호를 생성하고, 제1 아날로그 신호를 1차적으로 표시 패널(또는, 화소)에 공급하고, 제2 아날로그 신호를 2차적으로 표시 패널(또는, 화소)에 공급함으로써, 데이터 신호의 공급 시간(또는, 화소에 데이터 신호를 기록하는 시간)을 단축시키고, 데이터 신호의 공급이 사용자에게 시인되는 것을 방지할 수 있다.

[0028] 또한, 디지털 아날로그 변환기는 상호 다른 구동 주파수를 가지는 디지털 아날로그 변환기들을 포함함으로써, 구동 주파수를 가변하면서 구동되는 하나의 디지털 아날로그 변환기보다, 구동 안정성을 향상시킬 뿐만 아니라, 소비 전력을 감소시킬 수 있다.

[0029] 본 발명의 실시예들에 따른 구동 집적회로 및 표시 장치는 상기 디지털 아날로그 변환기를 포함하므로, 표시 품질을 향상시키고, 소비 전력을 절감할 수 있다.

[0030] 다만, 본 발명의 효과는 상기 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0031] 도 1은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.

도 2는 도 1의 표시 장치에 포함된 데이터 구동부의 일 예를 나타내는 블록도이다.

도 3은 도 2의 데이터 구동부에 포함된 디지털 아날로그 변환 블록의 일 예를 나타내는 도면이다.

도 4는 도 3의 디지털 아날로그 변환 블록에 포함된 변환부의 일 예를 나타내는 도면이다.

도 5는 도 3의 디지털 아날로그 변환 블록의 동작의 일 예를 설명하는 파형도이다.

도 6은 도 3의 디지털 아날로그 변환 블록의 동작의 다른 일 예를 설명하는 파형도이다.

도 7은 도 2의 데이터 구동부에 포함된 디지털 아날로그 변환 블록의 다른 일 예를 나타내는 도면이다.

도 8은 도 7의 디지털 아날로그 변환 블록의 동작의 일 예를 설명하는 파형도이다.

도 9는 도 7의 디지털 아날로그 변환 블록의 동작의 비교예를 설명하는 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0032] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성 요소에 대해서는 동일하거나 유사한 참조 부호를 사용한다.

[0033] 도 1은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.

[0034] 도 1을 참조하면, 표시 장치(100)는 표시 패널(110), 주사 구동부(120), 데이터 구동부(130) 및 타이밍 제어부

(140)를 포함할 수 있다. 표시 장치(100)는 외부에서 제공되는 영상 데이터(예를 들어, 제1 데이터(DATA1))에 기초하여 영상을 출력할 수 있다. 예를 들어, 표시 장치(100)는 유기 발광 표시 장치일 수 있다.

- [0035] 표시 패널(110)은 주사선들(S1 내지 Sn), 데이터선들(D1 내지 Dm) 및 화소(111)를 포함할 수 있다(단, n과 m은 각각 2이상의 정수). 화소(111)는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차 영역들에 배치될 수 있다. 화소(111)는 주사신호(즉, 주사선들(S1 내지 Sn)을 통해 제공되는 주사신호)에 응답하여 데이터 신호(즉, 데이터선들(D1 내지 Dm)을 통해 제공되는 데이터 신호)를 저장하고, 저장된 데이터 신호에 기초하여 발광할 수 있다.
- [0036] 주사 구동부(120)는 주사 구동제어신호(SCS)에 기초하여 주사신호를 생성할 수 있다. 주사 구동제어신호(SCS)는 타이밍 제어부(150)로부터 주사 구동부(120)에 제공될 수 있다. 주사 구동제어신호(SCS)는 스타트 펄스 및 클럭 신호들을 포함하고, 주사 구동부(120)는 스타트 펄스 및 클럭신호들에 기초하여 순차적으로 주사신호를 생성하는 시프트 레지스터를 포함하여 구성될 수 있다.
- [0037] 데이터 구동부(130)는 데이터 구동제어신호(DCS)에 응답하여 데이터 신호를 생성할 수 있다. 여기서, 데이터 구동제어신호(DCS)는 타이밍 제어부(140)로부터 데이터 구동부(130)에 제공될 수 있다. 데이터 구동부(130)는 디지털 형태의 영상 데이터(예를 들어, 제2 데이터(DATA2))를 아날로그 형태의 데이터 신호로 변환할 수 있다. 데이터 구동부(130)는 기 설정된 계조 전압(또는, 감마 전압)에 기초하여 디지털 신호를 생성하고, 계조 전압은 감마 회로(미도시)로부터 데이터 구동부(130)에 제공될 수 있다. 데이터 구동부(130)는 화소열들에 포함되는 화소들에 데이터 신호를 순차적으로 제공할 수 있다.
- [0038] 실시예들에서, 데이터 구동부(130)는 영상 데이터(예를 들어, 제2 데이터(DATA2))에 기초하여 제1 아날로그 신호 및 제2 아날로그 신호를 생성할 수 있다. 예를 들어, 데이터 구동부(130)는 N 비트(또는, N 비트의 데이터 포맷)를 가지는 영상 데이터 중 일부 비트에 기초하여 제1 아날로그 신호를 생성하고, N비트를 가지는 영상 데이터에 기초하여 제2 아날로그 신호를 생성할 수 있다. 여기서, 제1 아날로그 신호 및 제2 아날로그 신호는 데이터 신호에 포함될 수 있다.
- [0039] 즉, 데이터 구동부(130)는 영상 데이터의 손실 없는 제2 아날로그 신호와, 영상 데이터의 적어도 일부만을 포함하는 제1 아날로그 신호를 생성할 수 있다. 데이터 구동부(130)는 제1 아날로그 신호를 1차적으로 화소(111)에 공급하고, 제2 아날로그 신호를 2차적으로 화소(111)에 공급함으로써, 데이터 신호의 공급 시간(또는, 화소(111)에 데이터 신호를 기록하는 시간)을 단축시키고, 데이터 신호의 공급이 사용자에게 시인되는 것을 방지할 수 있다. 데이터 구동부(130)에 대해서는 도 2를 참조하여 상세히 설명하기로 한다.
- [0040] 한편, 주사 구동부(120) 및 데이터 구동부(130)는 구동 집적회로에 포함되어 구현될 수 있다.
- [0041] 타이밍 제어부(140)는 외부 장치로부터 영상 데이터(예를 들어, 제1 데이터(DATA1)) 및 입력 제어신호들(예를 들어, 수평 동기신호, 수직 동기신호 및 클럭 신호들)을 수신하고, 표시 패널(110)의 영상 표시에 적합한 보정된 영상 데이터(예를 들어, 제2 데이터(DATA2))를 생성할 수 있다. 또한, 타이밍 제어부(140)는 주사 구동부(120), 데이터 구동부(130)를 제어할 수 있다. 타이밍 제어부(160)는 입력 제어신호들에 기초하여 주사 구동제어신호(SCS) 및 데이터 구동제어신호(DCS)를 생성할 수 있다.
- [0042] 도 1에 도시되지 않았으나, 표시 장치(110)는 전원 공급부를 포함할 수 있다. 전원 공급부(150)는 구동 전압을 생성하고, 구동 전압을 표시 패널(110)(또는, 화소(111))에 공급할 수 있다. 여기서, 구동 전압은 화소(111)의 구동에 필요한 전원 전압이고, 예를 들어, 구동 전압은 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)를 포함할 수 있다. 여기서, 제1 전원전압(ELVDD)은 제2 전원전압(ELVSS)보다 클 수 있다.
- [0043] 도 2는 도 1의 표시 장치에 포함된 데이터 구동부의 일 예를 나타내는 블록도이다.
- [0044] 도 2를 참조하면, 데이터 구동부(130)는 쉬프트 레지스터 블록(210), 래치 블록(220), 디지털 아날로그 변환 블록(또는, DAC)(230) 및 버퍼 블록(240)을 포함할 수 있다.
- [0045] 도 1을 참조하여 설명한 바와 같이, 데이터 구동부(130)는 타이밍 제어부(140)로부터 제2 데이터(DATA2) 및 데이터 구동제어신호(DCS)를 수신할 수 있다. 여기서, 데이터 구동제어신호(DCS)는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭(SSC) 및 소스 출력 인에이블(SOE)을 포함할 수 있다. 또한, 데이터 구동부(30)는 감마 회로(미도시)로부터 계조 전압들(V0 내지 V255)를 수신할 수 있다.
- [0046] 쉬프트 레지스터 블록(210)은 1 수평 기간(1H) 이내에, 소스 쉬프트 클럭(SSC)에 기초하여 소스 스타트 펄스(SSP)를 쉬프트시킴으로써, 샘플링 신호를 순차적으로 생성할 수 있다. 예를 들어, 쉬프트 레지스터 블록(210)

은 쉬프트 레지스터들을 포함할 수 있다.

- [0047] 래치 블록(220)은 샘플링 신호(즉, 쉬프트 레지스터 블록(210)에서 생성된 샘플링 신호)에 응답하여 제2 데이터(DATA2)(즉, 타이밍 제어부(140)로부터 제공된 영상 데이터)를 순차적으로 래치할 수 있다.
- [0048] 디지털 아날로그 변환 블록(230)은, 래치 블록(220)으로부터 제2 데이터(DATA2)가 제공되면, 제2 데이터(DATA2)에 대응하는 아날로그 전압(또는, 아날로그 신호, 데이터 신호)를 생성하고, 아날로그 전압을 버퍼 블록(240)에 제공할 수 있다. 예를 들어, 디지털 아날로그 변환 블록(230)은 감마 회로(또는, 계조 전압 생성 블록(미도시))로부터 계조 전압들(V0 내지 V255)를 수신하고, 제2 데이터(DATA2)에 대응하는 아날로그 전압을 생성할 수 있다. 디지털 아날로그 변환 블록(230)은 디지털 아날로그 변환기들을 포함할 수 있다.
- [0049] 버퍼 블록(240)은 아날로그 전압(또는, 데이터 전압)을 데이터선들(D1 내지 Dm)에 공급할 수 있다. 버퍼 블록(240)은 복수의 버퍼들(BUFF)(또는, 소스 채널 버퍼들)을 포함하고, 버퍼들(BUFF) 각각은 연산 증폭기로 구현될 수 있다.
- [0050] 도 3은 도 2의 데이터 구동부에 포함된 디지털 아날로그 변환 블록의 일 예를 나타내는 도면이고, 도 4는 도 3의 디지털 아날로그 변환 블록에 포함된 변환부의 일 예를 나타내는 도면이며, 도 5는 도 3의 디지털 아날로그 변환 블록의 동작의 일 예를 설명하는 파형도이고, 도 6은 도 3의 디지털 아날로그 변환 블록의 동작의 다른 일 예를 설명하는 파형도이다.
- [0051] 도 3 및 도 5를 참조하면, 디지털 아날로그 변환 블록(300)은 제1 구간(P1) 동안 제1 아날로그 신호(또는, 코오스 신호)를 생성하고, 제1 아날로그 신호를 출력 단자들(또는, 버퍼 블록(240)에 포함된 제1 버퍼(BUFF1) 내지 제n 버퍼(BUFFn))에 순차적으로 분배(또는, 제공)할 수 있다. 또한, 디지털 아날로그 변환 블록(300)은 제2 구간(P2) 동안 제2 아날로그 신호(또는, 파인 신호)를 생성하고, 제2 아날로그 신호를 출력 단자들(또는, 버퍼 블록(240)에 포함된 제1 버퍼(BUFF1) 내지 제n 버퍼(BUFFn))에 역순차적으로 분배(또는, 제공)할 수 있다. 여기서, 제2 구간(P2)은 제1 구간(P1)과 다르고, 제1 구간(P1) 및 제2 구간(P2)은 하나의 수평 기간(1H)에 포함될 수 있다. 또한, 영상 데이터(DATA2)는 복수의 화소열들(즉, 도 1에 도시된 데이터선들(D1 내지 Dm)에 각각 연결되는 화소열들)에 포함된 복수의 화소들에 대응하는 계조값들을 포함하고, 제1 아날로그 신호는 상기 화소열들에 대응하는 아날로그 전압들을 포함하며, 제2 아날로그 신호는 상기 화소열들에 대응하는 아날로그 전압들을 포함할 수 있다.
- [0052] 도 3에 도시된 바와 같이, 디지털 아날로그 변환 블록(300)은 변환부(310), 분배부(320) 및 샘플링부(330)를 포함할 수 있다.
- [0053] 변환부(310)는 제1 구간(P1) 동안 N비트의 영상 데이터(예를 들어, 제2 데이터(DATA2)) 중 적어도 일부 비트에 기초하여 제1 아날로그 신호를 생성하고, 제2 구간(P2) 동안 영상 데이터(DATA2)에 기초하여 제2 아날로그 신호를 생성할 수 있다(단, N은 2 이상의 정수).
- [0054] 예를 들어, 변환부(310)는 제1 구간(P1) 동안 8비트의 제2 데이터(DATA2) 중 상위 3비트에 기초하여 제1 아날로그 신호를 생성하고, 제2 구간(P2) 동안 8비트의 제2 데이터(DATA2) 중 8비트에 기초하여 제2 아날로그 신호를 생성할 수 있다. 다른 예를 들어, 변환부(310)는 제1 구간(P1) 동안 8비트의 제2 데이터(DATA2) 중 8비트에 기초하여 제1 아날로그 신호를 생성하고, 제2 구간(P2) 동안 8비트의 제2 데이터(DATA2) 중 8비트에 기초하여 제2 아날로그 신호를 생성할 수 있다.
- [0055] 실시예들에서, 변환부(310)는 제1 구간(P1) 동안 N비트의 영상 데이터(예를 들어, 제2 데이터(DATA2)) 중 적어도 일부 비트에 기초하여 제1 내지 제N 코오스 전압들을 순차적으로 생성하고, 제2 구간(P2) 동안 N비트의 영상 데이터(예를 들어, 제2 데이터(DATA2))에 기초하여 제1 내지 제N 파인 전압들을 역순차적으로 생성할 수 있다. 여기서, 제1 내지 제N 코오스 전압들은 제1 아날로그 신호에 포함되고, 제1 내지 제N 파인 전압들은 제2 아날로그 신호에 포함될 수 있다.
- [0056] 도 5 및 도 6을 참조하면, 변환부(310)는 제1 구간(P1) 동안, 제1 코오스 전압, 제2 코오스 전압 내지 제N 코오스 전압을 순차적으로 포함하는 제1 아날로그 신호를 생성하고, 제2 구간(P2)(또는, 제2 구간(P2)에 포함된 제1 서브 구간(PS1)) 동안 제N 파인 전압 내지 제1 파인 전압을 순차적으로 포함하는 제2 아날로그 신호를 생성할 수 있다.
- [0057] 실시예들에서, 변환부(310)는 변환부(310)의 구동 속도를 가변시킬 수 있다.
- [0058] 도 5를 참조하면, 제1 구간(P1)에서 변환부(310)의 제1 구동 속도는 제2 구간(P2)에서 변환부(310)의 제2 구동

속도보다 빠를 수 있다. 즉, 제1 구간(P1)에서의 변환부(310)의 제1 구동 주파수는 제2 구간(P2)에서의 변환부(310)의 제2 구동 주파수보다 클 수 있다.

- [0059] 예를 들어, 제1 구간(P1)에서, 변환부(310)는 8비트의 제2 데이터(DATA2) 중 3비트에 기초하여 제1 아날로그 신호를 생성하여, 24개의 버퍼들에 분배할 수 있다. 이 경우, 3비트에 대응하는 제1 아날로그 신호의 신호 지연을 고려하여, 제1 구동 속도는 25 MHz로 설정되고, 제1 구간(P1)은 0.96 us로 설정될 수 있다.
- [0060] 또한, 변환부(310)는 8비트의 제2 데이터(DATA2)에 기초하여 제2 아날로그 신호를 생성하여, 24개의 버퍼들에 분배할 수 있다. 이 경우, 8비트에 대응하는 제2 아날로그 신호의 신호 지연을 고려하여, 제2 구동 속도는 8.3MHz로 설정되고, 제2 구간(P2)은 2.88us로 설정될 수 있다.
- [0061] 따라서, 변환부(310)은 제2 구간(P2)에서 제2 구동 속도를 제1 구동 속도보다 완화시킴으로써, 제1 구동 속도만을 가지고 구동되는 변환부(310)에 비해 소비 전력을 감소시킬 수 있다.
- [0062] 유사하게, 분배부(320)의 구동 속도는 변환부(310)의 구동 속도(예를 들어, 제1 구동 속도 및 제2 구동 속도)를 따르므로, 분배부(320)의 소비 전력이 감소될 수 있다.
- [0063] 실시예들에서, 변환부(310)는 제1 서브 변환 유닛(411), 제2 서브 변환 유닛(412) 및 스위칭 유닛(413)을 포함할 수 있다.
- [0064] 도 4를 참조하면, 제1 서브 변환 유닛(411)은 제1 구간(P1) 동안 N 비트의 영상 데이터(예를 들어, 제2 데이터(DATA2)) 중 적어도 일부 비트에 기초하여 제1 아날로그 신호를 생성할 수 있다. 예를 들어, 제1 서브 변환 유닛(411)은 8비트의 영상 데이터 중 3비트에 기초하여 제1 내지 제N 코오스 전압들을 순차적으로 생성할 수 있다.
- [0065] 제2 서브 변환 유닛(412)은 제2 구간(P2) 동안 N 비트의 영상 데이터에 기초하여 제2 아날로그 신호를 생성할 수 있다. 예를 들어, 제2 서브 변환 유닛(512)은 8비트 영상 데이터에 기초하여 제1 내지 제N 파인 전압들을 역 순차적으로 생성할 수 있다.
- [0066] 실시예들에서, 제1 서브 변환 유닛(411) 및 제2 서브 변환 유닛(412)은 디지털 아날로그 변환기로 구현될 수 있다. 즉, 변환부(310)는 디지털 아날로그 변환기들을 포함할 수 있다.
- [0067] 실시예들에서, 제1 서브 변환 유닛(411)의 제1 구동 주파수는 제2 서브 변환 유닛(412)의 제2 구동 주파수와 다를 수 있다. 예를 들어, 제1 서브 변환 유닛(511)의 제1 구동 주파수는 제2 서브 변환 유닛(512)의 제2 구동 주파수보다 클 수 있다. 이 경우, 디지털 아날로그 변환 블록(500)의 제2 서브 변환 유닛(512)의 구동 속도를 완화시킴으로써, 소비 전력을 감소시킬 수 있다.
- [0068] 스위칭 유닛(413)은 제1 아날로그 신호 및 제2 아날로그 신호를 순차적으로 분배부(320)에 전달할 수 있다. 스위칭 유닛(413)은 제1 변환 스위치(CSW1) 및 제2 변환 스위치(CSW2)를 포함할 수 있다.
- [0069] 제1 변환 스위치(CSW1)는 제1 변환 스위치 제어 신호(CS)에 응답하여 제1 서브 변환 유닛(411)의 출력단 및 분배부(320)(또는, 분배부(320)의 입력단)을 연결할 수 있다. 도 6에 도시된 바와 같이, 제1 변환 스위치 제어 신호(CS)는 제1 구간(P1)에서 논리 하이 레벨(또는, 턴온 전압)을 가지고, 제1 변환 스위치(CSW1)는 제1 구간(P1)에서 턴 온될 수 있다.
- [0070] 유사하게, 제2 변환 스위치(CSW2)는 제2 변환 스위치 제어 신호(CSB)에 응답하여 제2 서브 변환 유닛(412)의 출력단 및 분배부(320)(또는, 분배부(320)의 입력단)을 연결할 수 있다. 여기서, 제2 변환 스위치 제어 신호(CSB)는 제1 변환 스위치 제어 신호(CS)의 반전 신호일 수 있다. 도 6에 도시된 바와 같이, 제1 변환 스위치 제어 신호(CS)는 제2 구간(P2)에서 논리 로우 레벨(또는, 턴오프 전압)을 가지므로, 즉, 제2 변환 스위치 제어 신호(CSB)는 제2 구간(P2)에서 논리 하이 레벨(또는, 턴온 전압)을 가지므로, 제2 변환 스위치(CSW2)는 제2 구간(P2)에서 턴 온될 수 있다.
- [0071] 도 4를 참조하여 설명한 바와 같이, 디지털 아날로그 변환 블록(300)은 상호 다른 구동 주파수를 가지는 디지털 아날로그 변환기들을 포함할 수 있다. 이 경우, 하나의 디지털 아날로그 변환기를 구동 주파수를 가변하면서 구동시키는 경우보다, 디지털 아날로그 변환 블록(300)은 구동 안정성을 향상시킬 수 있다. 또한, 디지털 아날로그 변환기들의 평균 구동 속도는 하나의 디지털 아날로그 변환기만을 이용하는 경우보다 완화될 수 있으므로, 디지털 아날로그 변환 블록(300)은 소비 전력을 감소시킬 수 있다.
- [0072] 다시 도 3을 참조하면, 분배부(320)는 제1 구간(P1) 동안 제1 아날로그 신호를 출력 단자들(또는, 버퍼 블록

(240)에 포함된 제1 버퍼(BUFF1) 내지 제n 버퍼(BUFFn))에 순차적으로 분배하고, 제2 구간(P2) 동안 제2 아날로그 신호를 출력 단자들에 역순차적으로 분배할 수 있다. 예를 들어, 분배부(320)는 1:n 디멀티플렉서(즉, 하나의 입력과 n개의 출력을 포함하는 디멀티플렉서)로 구현될 수 있다.

[0073] 실시예들에서, 분배부(320)는 제1 내지 제n 스위치들(SW1 내지 SWn)을 포함할 수 있다. 제1 내지 제n 스위치들(SW1 내지 SWn)은 스위치 제어신호들(QS1 내지 QSn)에 응답하여 순차적으로 턴온되고, 변환부(310) 및 버퍼들(BUFF1 내지 BUFFn)을 순차적으로 연결할 수 있다.

[0074] 샘플링부(330)는 분배부(320)의 출력 단자들을 통해 출력되는 제1 아날로그 신호 및/또는 제2 아날로그 신호를 일시적으로 저장할 수 있다. 샘플링부는 제1 내지 제n 커패시터들(C1 내지 Cn)을 포함하고, 분배부(320)를 통해 분배된 제1 아날로그 신호(및/또는 제2 아날로그 신호)를 각각 저장하며, 저장된 제1 아날로그 신호(및/또는 제2 아날로그 신호)를 버퍼들(BUFF1 내지 BUFFn)에 각각 제공할 수 있다.

[0075] 도 5를 참조하면, 제1 구간(P1) 동안, 변환부(310)는 제1 아날로그 신호(즉, 제1 내지 제n 코오스 전압들을 순차적으로 포함하는 제1 아날로그 신호)를 생성할 수 있다. 즉, 변환부(310)는 제1 시점(T1)에서 제1 코오스 전압을 생성하고, 제2 시점(T2)까지 특정 시간 간격으로(즉, 클럭 신호(CLK)에 응답하여) 제2 코오스 전압 내지 제n 코오스 전압을 순차적으로 생성할 수 있다. 여기서, 시간 간격은 변환부(310)의 동작 속도에 기초하여 결정될 수 있다.

[0076] 이 때, 분배부(320)에 포함된 제1 내지 제n 스위치들(SW1 내지 SWn)은 스위치 제어신호들(QS1 내지 QSn)에 응답하여 순차적으로 턴온될 수 있다. 예를 들어, 제1 내지 제n 스위치들(SW1 내지 SWn)은 논리 하이 레벨(또는, 턴온 전압)을 가지는 스위치 제어신호들(QS1 내지 QSn)에 응답하여 제1 시점(T1)부터 제2 시점(T2)까지 순차적으로 턴온될 수 있다. 따라서, 제1 내지 제n 코오스 전압들은 제1 내지 제n 커패시터들(C1 내지 Cn)(또는, 제1 내지 제n 버퍼들(BUFF1 내지 BUFFn))에 순차적으로 제공될 수 있다.

[0077] 이후, 제2 구간(P2) 동안, 변환부(310)는 제2 아날로그 신호(즉, 제1 내지 제n 파인 전압들을 순차적으로 포함하는 제2 아날로그 신호)를 생성할 수 있다. 즉, 변환부(310)는 제2 시점(T2)에서 제n 파인 전압을 생성하고, 제3 시점(T3)(또는, 제5 시점(T5))까지 특정 시간 간격으로 제n-1 파인 전압 내지 제1 파인 전압을 순차적으로 생성할 수 있다.

[0078] 이 때, 분배부(320)에 포함된 제1 내지 제n 스위치들(SW1 내지 SWn)은 스위치 제어신호들(QS1 내지 QSn)에 응답하여 역순차적으로 턴온될 수 있다. 예를 들어, 제1 내지 제n 스위치들(SW1 내지 SWn)은 논리 하이 레벨(또는, 턴온 전압)을 가지는 스위치 제어신호들(QS1 내지 QSn)에 응답하여 제2 시점(T2)부터 제3 시점(T3)까지 역순차적으로 턴온될 수 있다. 따라서, 제1 내지 제n 파인 전압들은 제1 내지 제n 커패시터들(C1 내지 Cn)(또는, 제1 내지 제n 버퍼들(BUFF1 내지 BUFFn))에 역순차적으로 제공될 수 있다.

[0079] 실시예들에서, 변환부(310)는 제3 구간 동안 영상 데이터(DATA2)에 기초하여 제3 아날로그 신호를 생성하고, 분배부(320)는 제3 구간 동안 제3 아날로그 신호를 출력 단자들(또는, 제1 내지 제n 버퍼들(BUFF1 내지 BUFFn))에 순차적으로 분배할 수 있다. 여기서, 제3 구간은 제1 구간(P1) 및 제2 구간(P2)과 상이하고, 제3 아날로그 신호의 제3 파형은 제1 아날로그 신호의 제1 파형과 동일하거나 또는 유사할 수 있다.

[0080] 도 5에 도시된 바와 같이, 변환부(310)는 제2 서브 구간(PS2) 동안 영상 데이터(DATA2)에 기초하여 제1 파인 전압 내지 제n 파인 전압을 순차적으로 재생성할 수 있다. 즉, 변환부(310)는 제3 시점(T3)에서 제1 파인 전압을 생성하고, 제4 시점(T4)까지 특정 시간 간격으로 제2 파인 전압 내지 제n 파인 전압을 순차적으로 생성할 수 있다.

[0081] 이 때, 분배부(320)에 포함된 제1 내지 제n 스위치들(SW1 내지 SWn)은 스위치 제어신호들(QS1 내지 QSn)에 응답하여 순차적으로 턴온될 수 있다. 예를 들어, 제1 내지 제n 스위치들(SW1 내지 SWn)은 논리 하이 레벨(또는, 턴온 전압)을 가지는 스위치 제어신호들(QS1 내지 QSn)에 응답하여 제3 시점(T3)부터 제4 시점(T4)까지 순차적으로 턴온될 수 있다. 따라서, 제1 내지 제n 파인 전압들은 제1 내지 제n 커패시터들(C1 내지 Cn)(또는, 제1 내지 제n 버퍼들(BUFF1 내지 BUFFn))에 순차적으로 제공될 수 있다.

[0082] 도 5를 참조하여 설명한 바와 같이, 디지털 아날로그 변환 블록(300)은 제2 데이터(DATA2)(또는, 영상 데이터)의 일부 비트에 기초하여 제1 아날로그 신호(또는, 코오스 신호)를 생성하고, 제1 아날로그 신호를 버퍼 블록(240)(또는, 버퍼들(BUFF1 내지 BUFFn))에 순차적으로 제공하며, 제2 데이터(DATA2)에 기초하여 제2 아날로그 신호(또는, 파인 신호)를 생성하고, 제2 아날로그 신호를 버퍼 블록(240)(또는, 버퍼들(BUFF1 내지 BUFFn))에

역순차적으로 제공할 수 있다.

- [0083] 이 경우, 디지털 아날로그 변환 블록(300)을 포함하는 표시 장치(100)(또는, 데이터 구동부(130))는 제1 아날로그 신호(또는, 코오스 신호)를 1차적으로 화소들에 기입하고, 제2 아날로그 신호를 2차적으로 화소들에 기입함으로써, 데이터 신호(예를 들어, 제1 아날로그 신호 및 제2 아날로그 신호를 포함하는 데이터 신호)의 기입이 사용자에게 시인되는 것을 방지하고, 데이터 신호의 기입 시간을 충분히 확보할 수 있다.
- [0084] 예를 들어, 표시 장치(100)는 제2 아날로그 신호만을 포함하는 데이터 신호를 화소들에 기입하는 경우를 가정할 수 있다. 표시 장치(100)가 제2 아날로그 신호만을 순차적으로 화소들에 기입하는 경우, 데이터가 시인될 수 있다. 따라서, 표시 장치(100)는 제2 아날로그 신호를 버퍼들(BUFF1 내지 BUFFn)에 대응하여 분배하여 샘플링부(330)에 저장하고, 이후에 샘플링부(330)에 저장된 제2 아날로그 신호를 동시에 화소들에 제공할 수 있다. 이 경우, 표시 장치(100)는 제2 아날로그 신호가 분배되는 제1 시간과, 제2 아날로그 신호가 버퍼들(BUFF1 내지 BUFFn)에 정착되는 제2 시간과, 화소들에 기입되는 제3 시간 등을 필요로 할 수 있다.
- [0085] 한편, 본 발명의 실시예들에 따른 표시 장치(100)(또는, 데이터 구동부(130))는 제1 아날로그 신호 및 제2 아날로그 신호(및 도 4a에 도시된 제2 서브 구간(PS2)에서의 제3 아날로그 신호 및 제3 서브 구간(PS3)에서의 제4 아날로그 신호)를 순차/역순차적으로 화소들에 제공함으로써, 제2 아날로그 신호가 분배되는 제1 시간만을 필요로 할 수 있다.
- [0086] 도 7은 도 2의 데이터 구동부에 포함된 디지털 아날로그 변환 블록의 다른 일 예를 나타내는 도면이고, 도 8은 도 7의 디지털 아날로그 변환 블록의 동작의 일 예를 설명하는 파형도이다.
- [0087] 도 7 및 도 8을 참조하면, 디지털 아날로그 변환 블록(700)은 변환부(710), 분배부(720), 샘플링부(730) 및 스위칭부(740)를 포함할 수 있다. 변환부(710), 분배부(720) 및 샘플링부(730)는 도 3을 참조하여 설명한 변환부(310), 분배부(320) 및 샘플링부(330)와 실질적으로 동일할 수 있다. 따라서, 중복되는 설명은 반복하지 않기로 한다.
- [0088] 스위칭부(740)는 샘플링부(730)(또는, 분배부(720)의 출력 단자들)을 외부 장치(또는, 버퍼 블록(240))에 연결할 수 있다. 스위칭부(740)는 샘플링부(730)에 구비된 커패시터들(C1 내지 Cn)(또는, 버퍼 블록(240)에 구비된 버퍼들(BUFF1 내지 BUFFn))에 대응하여 출력 스위치들(OSW1 내지 OSWn)을 포함할 수 있다. 출력 스위치들(OSW1 내지 OSWn)은 출력 스위치 제어신호(HIZ)에 응답하여 턴온 될 수 있다.
- [0089] 실시예들에서, 스위칭부(740)는 제1 구간(P1)과 제2 구간(P2) 사이의 제2 시점(T2)에서 샘플링부(730)(또는, 분배부(720)의 출력 단자들)을 외부 장치(또는, 버퍼 블록(240))에 연결할 수 있다.
- [0090] 도 8에 도시된 바와 같이, 출력 스위치 제어신호(HIZ)는 제1 구간(P1)에서 논리 로우 레벨(또는, 턴오프 전압)을 가지고, 제2 구간(P2)에서 논리 하이 레벨(또는, 턴온 전압)을 가질 수 있다. 이 경우, 출력 스위치들(OSW1 내지 OSWn)은, 출력 스위치 제어신호(HIZ)가 천이되는 제2 시점(T2)에서, 턴온될 수 있다. 따라서, 샘플링부(730)에 저장된 제1 아날로그 신호는 동시에 버퍼 블록(240)에 제공될 수 있다. 따라서, 표시 장치(100)(또는, 데이터 구동부(130))는 제2 시점(T2)에 화소들에 제1 아날로그 신호를 동시에 제공하고, 제2 아날로그 신호를 순차적으로 제공할 수 있다.
- [0091] 따라서, 표시 장치(100)는 데이터 신호의 기입이 사용자에게 시인되는 것을 보다 효과적으로 방지할 수 있다.
- [0092] 도 9는 도 7의 디지털 아날로그 변환 블록의 동작의 비교예를 설명하는 파형도이다.
- [0093] 도 7 및 도 9를 참조하면, 디지털 아날로그 변환 블록(700)은 제1 비교 구간(P_DAC)에서, 영상 데이터(예를 들어, 제2 데이터(DATA2))에 기초하여 데이터 신호를 생성하고, 샘플링부(730)에 데이터 신호를 순차적으로 분배할 수 있다. 즉, 변환부(710)는 제1 시점(T1)에서 제1 서브 파인 전압을 생성하고, 제6 시점(T6)까지 특정 시간 간격으로(즉, 클럭 신호(CLK)에 응답하여) 제2 파인 전압 내지 제n 파인 전압을 순차적으로 생성할 수 있다.
- [0094] 한편, 출력 스위치 제어신호(HIZ)는 제1 비교 구간(P_DAC)에서 논리 로우 레벨(또는, 턴오프 전압)을 가지므로, 제1 파인 전압 내지 제n 파인 전압은 샘플링부(730) 내 커패시터들(C1 내지 Cn)에 일시적으로 저장될 수 있다. 순차적으로 생성된 제1 내지 제n 파인 전압들이 순차적으로 (또한, 반복적으로) 외부 장치(예를 들어, 표시 패널(110))에 공급되는 경우, 제1 내지 제n 파인 전압들의 순차적인 공급이 사용자에게 시인될 수 있다. 따라서, 디지털 아날로그 변환 블록(700)은 제n 파인 전압이 최종적으로 생성될 때까지, 제1 내지 제n 파인 전압들을 출력 블록(240)에 공급하지 않을 수 있다.

- [0095] 제6 시점(T6)에서, 출력 스위치 제어신호(HIZ)는 논리 하이 레벨로 천이될 수 있다. 이 경우, 제1 내지 제n 파인 전압들은 버퍼 블록(240)에 동시에 제공될 수 있다.
- [0096] 제2 비교 구간(P_BUFF)동안, 제1 내지 제n 파인 전압들은 버퍼 블록(240)에서 안정화 또는 정착될 수 있고, 제2 비교 구간(P_BUFF)는 제1 내지 제n 파인 전압들(즉, 데이터 신호)의 신호 지연을 고려하여 설정될 수 있다. 예를 들어, 제2 비교 구간(P_BUFF)은 1.0us 일 수 있다.
- [0097] 제7 시점(T7)에서, 데이터 신호는 외부 장치(예를 들어, 표시 패널(110))에 공급될 수 있다.
- [0098] 도 9의 비교 실시예에 따라 동작하는 디지털 아날로그 변환 블록(700)은 데이터 신호를 출력 블록(240)(즉, 출력 블록(240)에 포함된 버퍼들(BUFF1 내지 BUFFn))에 대응하여 분배하여 샘플링부(730)에 저장하고, 이후에 샘플링부(730)에 저장된 데이터 신호(즉, 제1 내지 제n 파인 전압들)를 동시에 화소들에 제공할 수 있다. 이 경우, 데이터 신호의 공급이 사용자에게 시인되는 것을 방지할 수 있다. 그러나, 표시 장치(100)는 데이터 신호가 분배되는 제1 시간과, 데이터 신호가 출력 블록(240)(즉, 버퍼들(BUFF1 내지 BUFFn))에 정착되는 제2 시간과, 화소들에 기입되는 제3 시간 등을 필요로 할 수 있다.
- [0099] 반면, 본 발명의 실시예들에 따른 디지털 아날로그 변환 블록들(300, 700)은 제1 아날로그 신호 및 제2 아날로그 신호를 순차/역순차적으로 출력함으로써, 제1 아날로그 신호 및 제2 아날로그 신호를 분배하는 시간만을 필요로 할 수 있다.
- [0100] 즉, 본 발명의 실시예들에 따른 디지털 아날로그 변환 블록들(300, 700)은 도 9의 비교 실시예에 따라 동작하는 경우보다, 충분한 구동 시간을 가질 수 있다. 따라서, 소비 전력이 감소될 수 있다.
- [0101] 이상, 본 발명의 실시예들에 따른 표시 패널 및 이를 포함하는 표시 장치에 대하여 도면을 참조하여 설명하였지만, 상기 설명은 예시적인 것으로서 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의하여 수정 및 변경될 수 있을 것이다.

산업상 이용가능성

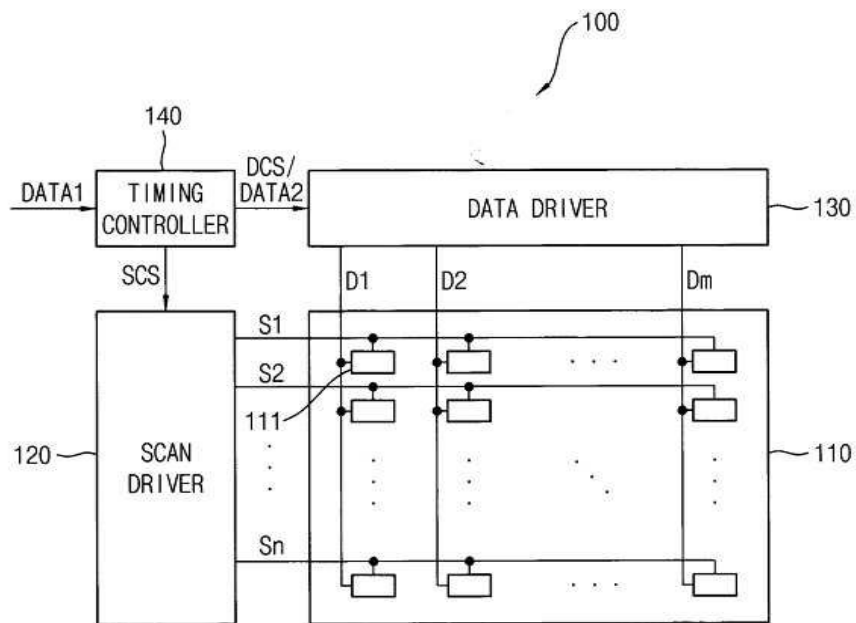
- [0102] 본 발명의 실시예들에 따른 디지털 아날로그 변환기, 이를 포함하는 구동 집적회로 및 표시 장치는 다양한 디스플레이 시스템에 적용될 수 있다. 예를 들어, 디지털 아날로그 변환기, 이를 포함하는 구동 집적회로 및 표시 장치는 텔레비전, 컴퓨터 모니터, 랩탑, 디지털 카메라, 셀룰러 폰, 스마트 폰, PDA, PMP, MP3 플레이어, 네비게이션 시스템, 비디오 폰 등에 적용될 수 있다.

부호의 설명

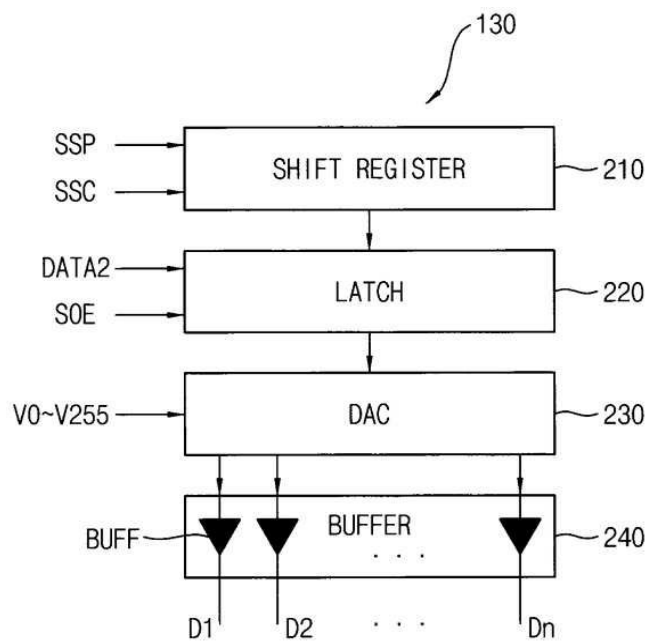
- [0103] 100: 표시 장치 110: 표시 패널
111: 화소 120: 주사 구동부
130: 데이터 구동부 140: 타이밍 제어부
210: 쉬프트 레지스터 블록 220: 래치 블록
230: 디지털 아날로그 변환 블록 240: 버퍼 블록
300: 디지털 아날로그 변환 블록 310: 변환부
320: 분배부 330: 샘플링부
411: 제1 서브 변환 유닛 412: 제2 서브 변환 유닛
413: 스위칭 유닛 700: 디지털 아날로그 변환 블록
710: 변환부 720: 분배부
730: 샘플링부 740: 스위칭부

도면

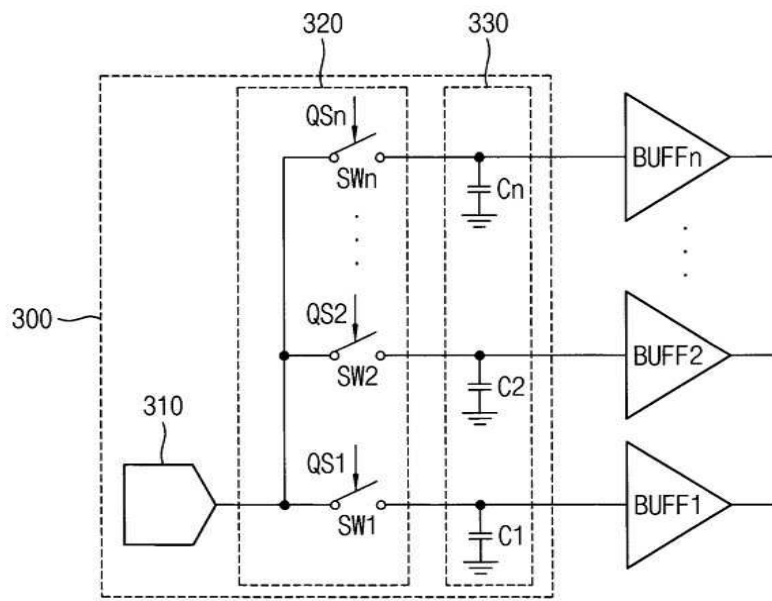
도면1



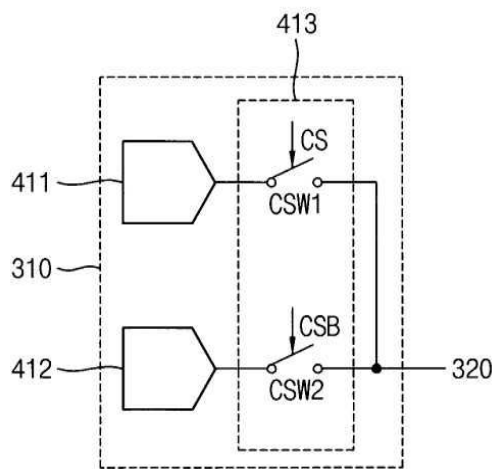
도면2



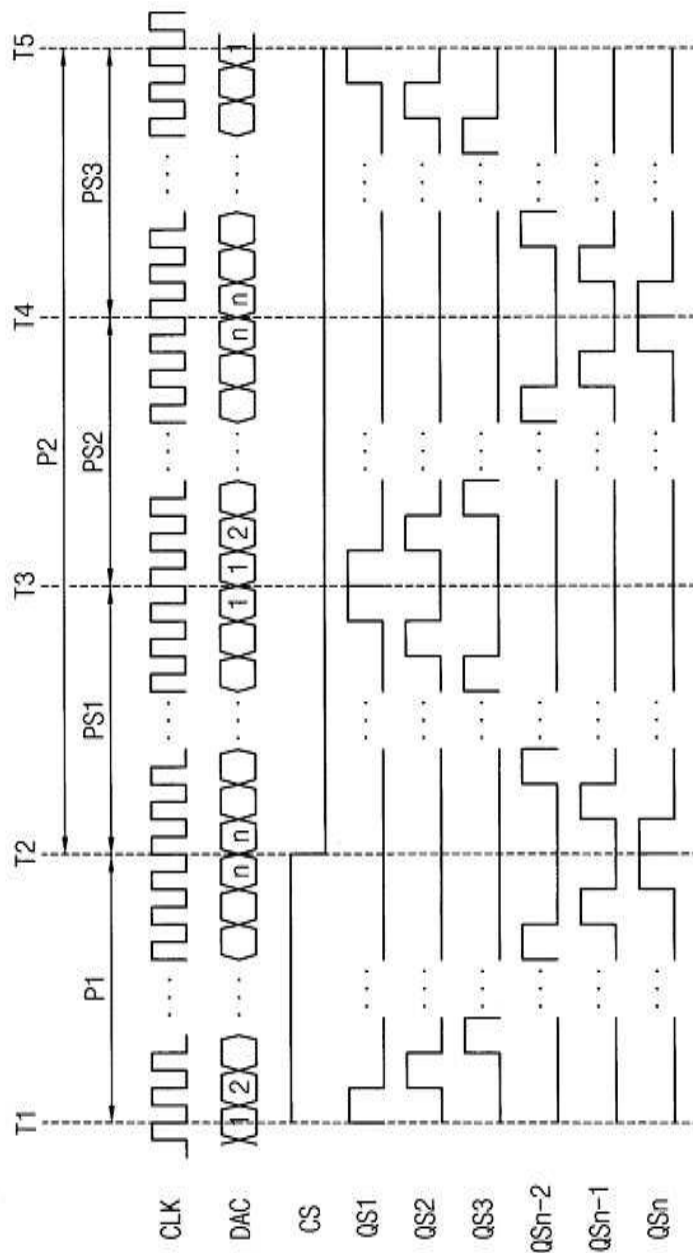
도면3



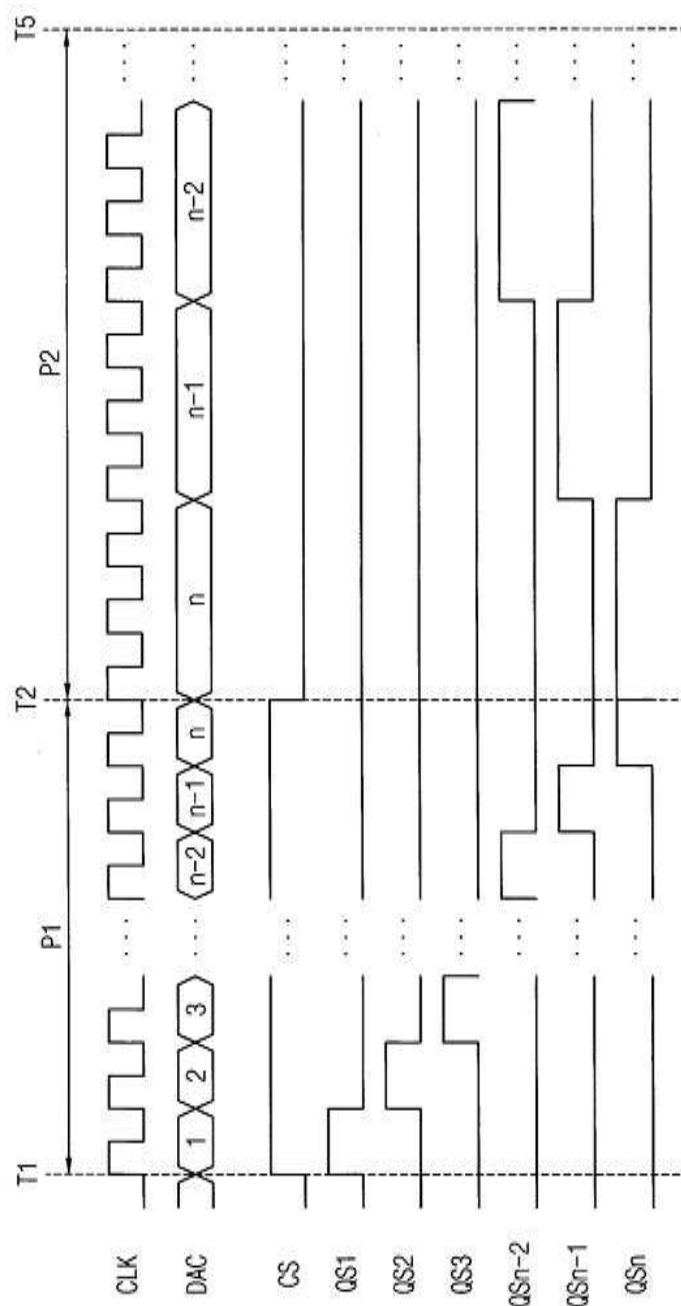
도면4



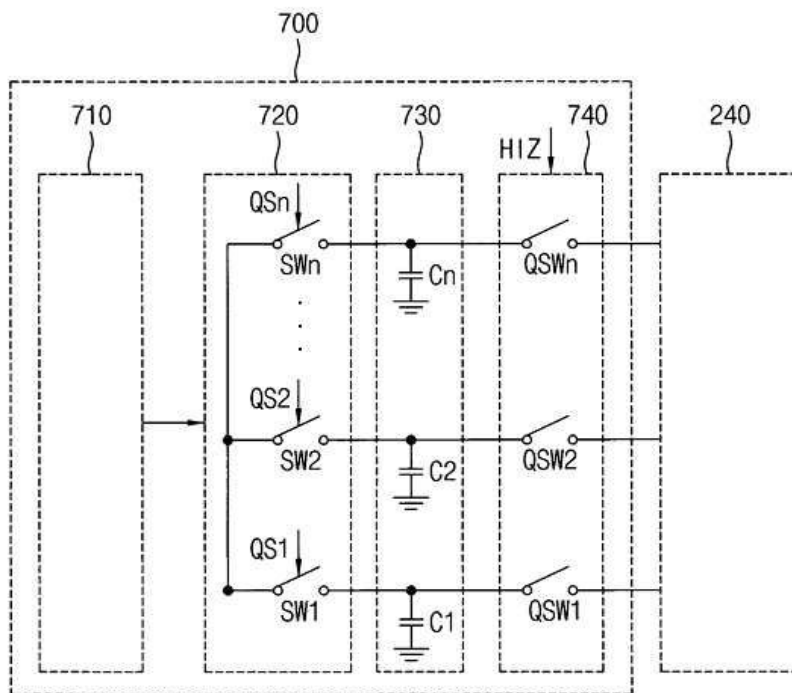
도면5



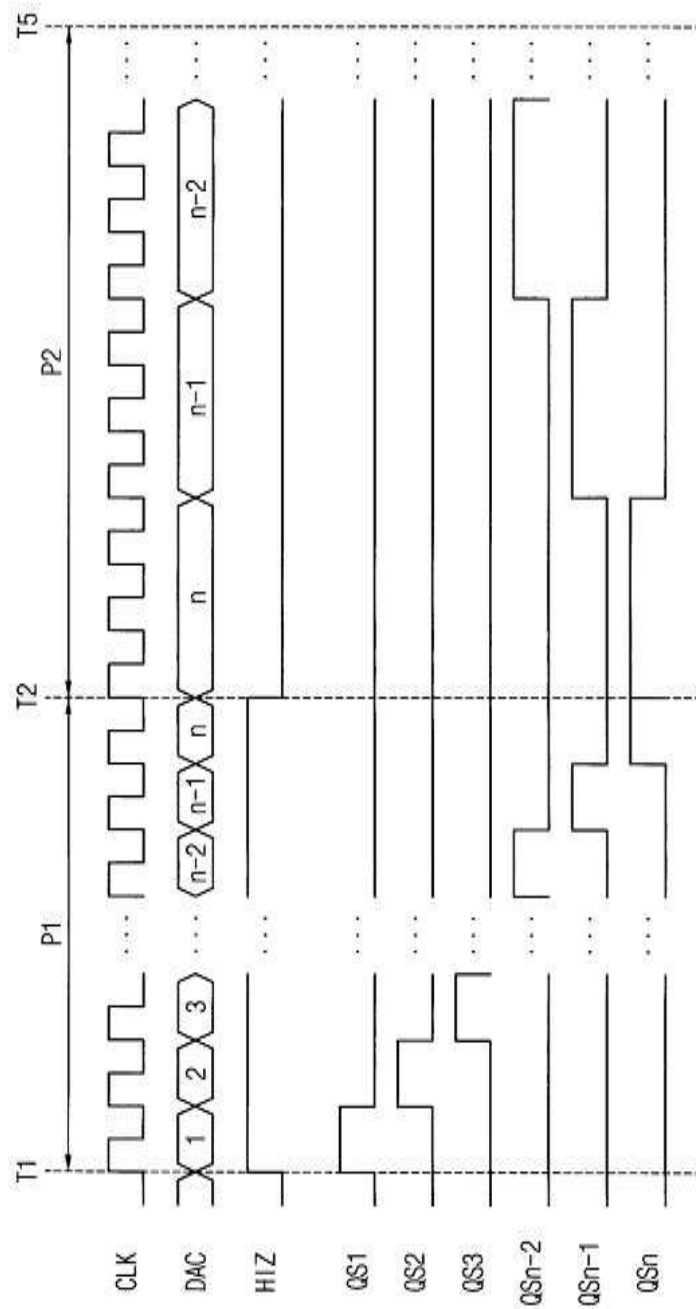
도면6



도면7



도면8



도면9

