

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6685221号
(P6685221)

(45) 発行日 令和2年4月22日(2020.4.22)

(24) 登録日 令和2年4月2日(2020.4.2)

(51) Int.Cl.

F 1

H03K 19/00 (2006.01)
H03K 19/0175 (2006.01)H03K 19/00 210
H03K 19/0175 310

請求項の数 20 (全 21 頁)

(21) 出願番号 特願2016-519823 (P2016-519823)
 (86) (22) 出願日 平成26年9月29日 (2014.9.29)
 (65) 公表番号 特表2016-533662 (P2016-533662A)
 (43) 公表日 平成28年10月27日 (2016.10.27)
 (86) 國際出願番号 PCT/US2014/058011
 (87) 國際公開番号 WO2015/050812
 (87) 國際公開日 平成27年4月9日 (2015.4.9)
 審査請求日 平成29年9月20日 (2017.9.20)
 (31) 優先権主張番号 14/043,565
 (32) 優先日 平成25年10月1日 (2013.10.1)
 (33) 優先権主張国・地域又は機関
米国(US)

(73) 特許権者 390020248
日本テキサス・インスツルメンツ合同会社
東京都新宿区西新宿六丁目24番1号
 (73) 特許権者 507107291
テキサス インスツルメンツ インコーポ
レイテッド
アメリカ合衆国 テキサス州 75265
-5474 ダラス メイル ステイショ
ン 3999 ピーオーボックス 655
474
 (74) 上記1名の代理人 100098497
弁理士 片寄 恒三
 (72) 発明者 デブラジ マサランパリル ラジャゴパル
インド バンガロール, ベランドゥル,
クリスタル ジェイド, ジー 10
最終頁に続く

(54) 【発明の名称】パワーアップ及びパワーダウンシーケンスの間の電流制御

(57) 【特許請求の範囲】

【請求項1】

入力 / 出力 (I/O) 供給電圧によって給電される入力 / 出力 (I/O) 回路であって、
 コア供給電圧を検出して供給検出信号を生成するように構成される供給検出器セルと、
 P A D に接続されて前記供給検出信号を受け取るように構成されるドライバ回路と、
 P A D 電圧を受け取るように構成されるフェイルセーフ回路と、
 を含み、

前記 I/O 供給電圧がトリップ点電圧を下回るときに前記フェイルセーフ回路が前記 P A D からのリーク電流を制御するように構成され、

前記 I/O 供給電圧が前記トリップ点電圧を上回るときに前記供給検出器セルが前記 P A D からの前記リーク電流を制御するように構成される、 I/O 回路。 10

【請求項2】

請求項1に記載の I/O 回路であって、

前記ドライバ回路が、

一対のレベルシフタ回路であって、各レベルシフタ回路が、前記供給検出信号と前記コア供給電圧とを受け取るように構成され、前記供給検出信号をコア供給電圧レベルから I/O 供給電圧レベルに変換するように構成される、前記一対のレベルシフタ回路と、

一対のプリドライバ論理回路であって、各プリドライバ論理回路がレベルシフタ回路の出力に接続される、前記一対のプリドライバ論理回路と、

一対のゲート回路であって、各ゲート回路がプリドライバ論理回路の出力に接続される

10

20

、前記一対のゲート回路と、
最終ドライバ回路と、
を含み、

前記フェイルセーフ回路と前記一対のプリドライバ論理回路とが、前記I/O供給電圧と前記P/A/D電圧とに基づいて前記P/A/Dからの前記リード電流を制御するために前記最終ドライバ回路をディアクティベートする、前記一対のゲート回路を駆動するように構成される、I/O回路。

【請求項3】

請求項1に記載のI/O回路であって、
前記最終ドライバ回路が、最終ドライバPMOSトランジスタと最終ドライバNMOSトランジスタとを含む、I/O回路。 10

【請求項4】

請求項1に記載のI/O回路であって、
前記供給検出器セルが前記I/O供給電圧によって給電され、
前記供給検出器セルが、
前記I/O供給電圧に結合されるダイオード接続トランジスタと、
前記ダイオード接続トランジスタに接続され、前記コア供給電圧を入力として受け取るように構成される、入力インバータ段と、
前記入力インバータ段の出力に接続される第2のインバータ段と、
直列に結合される一対の弱キーパートランジスタであって、前記一対の弱キーパートランジスタのゲート端子が前記第2のインバータ段の出力に接続され、前記一対の弱キーパートランジスタが前記入力インバータ段の前記出力を前記I/O供給電圧レベルまでプルするように構成される、前記一対の弱キーパートランジスタと、
前記第2のインバータ段に結合される出力インバータ段であって、前記出力インバータ段が、前記入力インバータ段の前記出力をバッファリングして前記供給検出信号を生成するように構成される、前記出力インバータ段と、
を含む、I/O回路。 20

【請求項5】

請求項4に記載のI/O回路であって、
前記ダイオード接続トランジスタがNMOSトランジスタとPMOSトランジスタの1つを含む、I/O回路。 30

【請求項6】

請求項4に記載のI/O回路であって、
前記ダイオード接続トランジスタが、前記I/O供給電圧に接続されるドレイン端子とゲート端子とを含む、I/O回路。

【請求項7】

請求項4に記載のI/O回路であって、
前記一対の弱キーパートランジスタが、直列に接続される頂部PMOSトランジスタと底部PMOSトランジスタとを含み、

前記頂部PMOSトランジスタと前記底部PMOSトランジスタとのゲート端子が、前記第2のインバータ段の前記出力を受け取るように構成され、前記頂部PMOSトランジスタのソース端子が前記I/O供給電圧に接続され、前記底部PMOSトランジスタのドレイン端子が前記入力インバータ段の前記出力に接続される、I/O回路。 40

【請求項8】

請求項4に記載のI/O回路であって、
前記供給検出信号が前記I/O供給電圧に基づいて変化するように構成される、I/O回路。

【請求項9】

請求項4に記載のI/O回路であって、
前記I/O供給電圧がランプ関数であって前記コア供給電圧がOFF状態であるときに、 50

前記供給検出信号が、I O供給電圧に従うように構成される、I O回路。

【請求項10】

請求項9に記載のI O回路であって、

前記I O供給電圧が前記トリップ点電圧を上回り、前記P A D電圧が論理H I G Hであるときに、前記供給検出器セルが、前記最終ドライバ回路のディアクティベーションを介して前記P A Dからの前記リーキ電流を制御するように構成される、I O回路。

【請求項11】

請求項1に記載のI O回路であって、

前記フェイルセーフ回路が、

前記I O供給電圧を受け取るように構成されるソース端子を備える第1のPMOSトランジスタと。10

前記P A Dに接続されるソース端子と、前記I O供給電圧に接続されるゲート端子と、基板信号を生成するために前記第1のPMOSトランジスタのドレイン端子に接続されるドレイン端子とを備える第2のPMOSトランジスタであって、前記基板信号が前記最終ドライバPMOSトランジスタに提供される、前記第2のPMOSトランジスタと、

反転段であって、

前記I O供給電圧を受け取るように構成されるゲート端子と、前記P A Dに接続されるソース端子とを備える第3のPMOSトランジスタと、

前記I O供給電圧を受け取るように構成されるゲート端子と、制御信号を生成するために前記第3のPMOSのドレイン端子に接続されるドレイン端子とを備え、前記制御信号が前記ゲート回路の対に提供される、第1のNMOSトランジスタと。20

前記I O供給電圧を受け取るように構成されるゲート端子を備える第2のNMOSトランジスタと、

前記I O供給電圧を受け取るように構成されるゲート端子と、接地に接続されるソース端子とを備える第3のNMOSトランジスタと、

を含み、

前記第1のNMOSトランジスタと前記第2のNMOSトランジスタと前記第3のNMOSトランジスタとがカスコード配置で接続される、前記反転段と、

を含む、I O回路。

【請求項12】

入力／出力(I O)供給電圧によって給電される入力／出力(I O)回路であって、

コア供給電圧を検出するように構成される供給検出器セルと、

一対のレベルシフタ回路であって、各レベルシフタ回路が、前記供給検出器セルの出力を受け取るように構成され、また、前記供給検出器セルの前記出力をコア供給電圧レベルからI O供給電圧レベルに変換するように構成される、前記一対のレベルシフタ回路と、

一対のプリドライバ論理回路であって、各プリドライバ論理回路がレベルシフタ回路の出力に接続される、前記一対のプリドライバ論理回路と、

一対のゲート回路であって、各ゲート回路がプリドライバ論理回路の出力に接続される、前記一対のゲート回路と、

P A D電圧を受け取るように構成されるフェイルセーフ回路と、

を含み、

前記フェイルセーフ回路と前記供給検出器セルとが、前記I O供給電圧と前記P A D電圧とに基づいて前記P A Dからのリーキ電流を制御するように構成される、I O回路。40

【請求項13】

方法であって、

コア供給電圧を検出することと、

入力／出力(I O)供給電圧がトリップ点電圧を下回り、P A Dが論理H I G Hであるときに、最終ドライバ回路のディアクティベーションを介して前記P A Dからのリーキ電流を制御するようにフェイルセーフ回路を構成することと、

前記コア供給電圧がO F F状態のとき、前記I O供給電圧が前記トリップ点電圧を上回50

り、前記 P A D が論理 H I G H であるときに、前記最終ドライバ回路のディアクティベーションを介して前記 P A D からの前記リーク電流を制御するように供給検出器セルを構成することと、

を含む、方法。

【請求項 1 4】

請求項 1 3 に記載の方法であって、

前記 I O 供給電圧がランプ関数であり、前記コア供給電圧が O F F 状態であるときに、前記 I O 供給電圧に従うように構成される供給検出信号を前記供給検出器セルにおいて生成することを更に含む、方法。

【請求項 1 5】

10

請求項 1 3 に記載の方法であって、

コア供給電圧のすべての値で前記供給検出器セルにおいてゼロ静的電流を生成することを更に含む、方法。

【請求項 1 6】

請求項 1 3 に記載の方法であって、

前記 I O 供給電圧によって前記供給検出器セルに給電することを更に含み、

前記供給検出器セルが、

前記 I O 供給電圧に結合されるダイオード接続トランジスタと、

前記ダイオード接続トランジスタに接続され、前記コア供給電圧を入力として受け取るように構成される、入力インバータ段と、

20

前記入力インバータ段の出力に接続される第 2 のインバータ段と、

直列に結合される一対の弱キーパートランジスタであって、前記一対の弱キーパートランジスタのゲート端子が前記第 2 のインバータ段の出力に接続され、前記一対の弱キーパートランジスタが前記入力インバータ段の前記出力を前記 I O 供給電圧レベルまでプルするように構成される、前記一対の弱キーパートランジスタと、

前記第 2 のインバータ段に結合される出力インバータ段であって、前記出力インバータ段が前記入力インバータ段の前記出力をバッファリングして供給検出信号を生成するように構成される、前記出力インバータ段と、

を含む、方法。

【請求項 1 7】

30

請求項 1 3 に記載の方法であって、

前記フェイルセーフ回路が、

前記 I O 供給電圧を受け取るように構成されるソース端子を備える第 1 の P M O S トランジスタと、

前記 P A D に接続されるソース端子と、前記 I O 供給電圧に接続されるゲート端子と、基板信号を生成するために前記第 1 の P M O S トランジスタのドレイン端子に接続されるドレイン端子とを備える第 2 の P M O S トランジスタであって、前記基板信号が前記最終ドライバ P M O S トランジスタに提供される、前記第 2 の P M O S トランジスタと、

反転段であって、

前記 I O 供給電圧を受け取るように構成されるゲート端子と、前記 P A D に接続されるソース端子とを備える第 3 の P M O S トランジスタと、

40

前記 I O 供給電圧を受け取るように構成されるゲート端子と、制御信号を生成するために前記第 3 の P M O S のドレイン端子に接続されるドレイン端子とを備え、前記制御信号が前記ゲート回路の対に提供される、第 1 の N M O S トランジスタと、

前記 I O 供給電圧を受け取るように構成されるゲート端子を備える第 2 の N M O S トランジスタと、

前記 I O 供給電圧を受け取るように構成されるゲート端子と、接地に接続されるソース端子とを備える第 3 の N M O S トランジスタと、

を含み、

前記第 1 の N M O S トランジスタと前記第 2 の N M O S トランジスタと前記第 3 の N M

50

O Sトランジスタとがカスコード配置で接続される、前記反転段と、
を含む、方法。

【請求項 18】

コンピューティングデバイスであって、
処理ユニットと、
前記処理ユニットに結合されるメモリモジュールと、
前記処理ユニットと前記メモリモジュールとに結合される複数の論理回路と、
前記複数の論理回路のうちの少なくとも1つの論理回路に結合される入力／出力（I O）回路と、
を含み、
前記 I O 回路が、

コア供給電圧を検出して供給検出信号を生成するように構成される供給検出器セルと、
P A D に接続されて前記供給検出信号を受け取るように構成されるドライバ回路と、
P A D 電圧を受け取るように構成されるフェイルセーフ回路と、
を含み、

入力／出力（I O）供給電圧がトリップ点電圧を下回るきに前記フェイルセーフ回路が前記 P D からのリーク電流を制御するように構成され、

前記 I O 供給電圧が前記トリップ点電圧を上回るときに前記供給検出器セルが前記 P A D からの前記リーク電流を制御するように構成される、コンピューティングデバイス。

【請求項 19】

請求項 18 に記載のコンピューティングデバイスであって、
前記ドライバ回路が、
一対のレベルシフタ回路であって、各レベルシフタ回路が、前記供給検出信号と前記コア供給電圧とを受け取るように構成され、また、前記供給検出信号をコア供給電圧レベルから I O 供給電圧レベルに変換するように構成される、前記一対のレベルシフタ回路と、
一対のプリドライバ論理回路であって、各プリドライバ論理回路が前記レベルシフタ回路の出力に接続される、前記一対のプリドライバ論理回路と、
一対のゲート回路であって、各ゲート回路が前記プリドライバ論理回路の出力に接続される、前記一対のゲート回路と、

最終ドライバ回路と、

を含み、

前記フェイルセーフ回路と前記一対のプリドライバ論理回路とが、前記 I O 供給電圧と前記 P A D 電圧とに基づいて前記 P A D からの前記リーク電流を制御するために、前記最終ドライバ回路をディアクティベートする前記一対のゲート回路を駆動するように構成される、コンピューティングデバイス。

【請求項 20】

請求項 18 に記載のコンピューティングデバイスであって、
前記供給検出器セルが前記 I O 供給電圧によって給電され、
前記供給検出器セルが、
前記 I O 供給電圧に結合されるダイオード接続トランジスタと、
前記ダイオード接続トランジスタに接続されて前記コア供給電圧を受け取るように構成される入力インバータ段と、
前記入力インバータ段の出力に接続される第 2 のインバータ段と、
直列に結合される一対の弱キーパートランジスタであって、前記一対の弱キーパートランジスタのゲート端子が前記第 2 のインバータ段の出力に接続され、前記一対の弱キーパートランジスタが前記入力インバータ段の前記出力を前記 I O 供給電圧レベルまでプルするように構成される、前記一対の弱キーパートランジスタと、
前記第 2 のインバータ段に接続される出力インバータ段であって、前記出力インバータ段が、前記入力インバータ段の前記出力をバッファリングして前記供給検出信号を生成するように構成される、前記出力インバータ段と、

10

20

30

40

50

を含む、コンピューティングデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、一般に集積回路（IC）に関し、特に、集積回路におけるパワーアップ及びパワーダウンシーケンスの間の電流制御に関する。

【背景技術】

【0002】

ポータブルメディアデバイスの増え続ける複雑さ及び性能要件は、集積回路（IC）内での効果的なシステムレベル電力管理を要求する。コア論理内に1つ又は複数の切り替え可能パワードメインを有することは、ポータブルメディアデバイス内のICに対して採用されるよく知られた低電力手法である。特定のパワードメインの電力供給がパワーダウンされるとき、IO（入力／出力）回路への入力として機能するそのパワードメインの出力はもはや有効ではなく、これらのIC回路は、起こり得るリーク電流を回避するためにトライステートとなる。IO回路は、外界とインターフェースするためにPADで信号を駆動及び受け取る。IO回路が適切にトライステートにならない場合、結果として、PADからIO回路内への高リーク電流（伝導電流）が生じる。IO供給電圧がパワーアップ又はパワーダウンされるとき、同様の条件が生じるが、PADは論理高状態に保持される。SLIMbus (Serial low-power inter-chip media bus) は、ポータブルメディアデバイスにおけるベースバンド又はアプリケーションプロセッサと周辺コンポーネントとの間の標準インターフェースである。SLIMbusは、フェイルセーフインターフェースであり、パワーアップの間、パワーダウンの間、及びポータブルメディアデバイスにおいて安定した電力状態を有する間、デバイスが超低PAD電流（又はピン電流）を有することを特定する。10

【発明の概要】

【0003】

入力／出力（IO）供給電圧によって給電される入力／出力（IO）回路の説明される例において、供給検出器セルが、コア供給電圧を検出し、供給検出信号を生成する。ドライバ回路が、PADに接続され、供給検出信号を受け取る。フェイルセーフ回路がPAD電圧を受け取る。フェイルセーフ回路及び供給検出器セルは、IO供給電圧及びPAD電圧に基づいてPADからのリーク電流を制御する。20

【図面の簡単な説明】

【0004】

【図1】供給検出器セルのブロック図である。

【0005】

【図2】供給検出器セルの概略図である。

【0006】

【図3(a)】異なる動作条件下での供給検出器セルの動作の例示グラフである。

【0007】

【図3(b)】異なる動作条件下での供給検出器セルにおけるリーク電流の例示グラフである。30

【0008】

【図4】PADに結合されたドライバ回路のブロック図である。

【0009】

【図5】入力／出力（IO）回路の概略図である。

【0010】

【図6(a)】IO供給電圧に対する制御信号（Noff）の応答の例示グラフである。

【0011】

【図6(b)】PADからのリーク電流（伝導電流）の例示グラフである。

【0012】

50

20

30

40

50

【図7(a)】入力／出力(I O)回路のブロック図である。

【0013】

【図7(b)】入力／出力(I O)回路の概略図である。

【0014】

【図8(a)】 I O 供給電圧に対する制御信号(N o f f)の応答の例示グラフである。

【0015】

【図8(b)】 P A D からのリーク電流(伝導電流)の例示グラフである。

【0016】

【図9】コンピューティングデバイスのブロック図である。

【発明を実施するための形態】

10

【0017】

図1は供給検出器セル100のブロック図である。供給検出器セル100は、入力／出力(I O)供給電圧(V D D S)102によって給電され、コア供給電圧(V D D)104を入力信号として受け取る。ダイオード接続トランジスタ106が I O 供給電圧(V D D S)102によって給電される。少なくとも1つの例において、ダイオード接続トランジスタ106はN M O Sトランジスタ又はP M O Sトランジスタである。入力インバータ段108がダイオード接続トランジスタ106に結合される。入力インバータ段108はコア供給電圧(V D D)104を受け取る。第2のインバータ段110が、入力インバータ段108の出力を受け取り、 I O 供給電圧(V D D S)102によって給電される。弱キーパートランジスタ112の対が第2のインバータ段110の出力に結合される。弱キーパートランジスタ112は、直列に接続され、 I O 供給電圧(V D D S)102によって給電される。弱キーパートランジスタ112の対の出力が、入力として第2のインバータ段110に提供され、これは入力インバータ段108の出力でもある。出力インバータ段114が、第2のインバータ段110に結合され、供給検出信号116を生成する。出力インバータ段114は I O 供給電圧(V D D S)102によって給電される。

20

【0018】

供給検出器セル100は、コア供給電圧(V D D)104を検出するように及び供給検出信号116を生成するように構成される。コア供給電圧(V D D)104がOFF状態であり、 I O 供給電圧(V D D S)102がランプアップしているとき、ダイオード接続トランジスタ106はONになる。したがって、入力インバータ段108の出力は(I O 供給電圧(V D D S) - V t n)である。V t nはダイオード接続トランジスタ106のしきい値電圧である。入力インバータ段108の出力(I O 供給電圧(V D D S) - V t n)は、弱論理H I G Hであり、第2のインバータ段110によって反転される。したがって、第2のインバータ段110の出力は弱論理L O Wになる。この弱論理L O W信号を受け取ることに応答して、弱キーパートランジスタ112の対は、入力インバータ段108の出力を(V D D S - V t n)から I O 供給電圧(V D D S)レベルまでプルする。論理H I G H信号が第2のインバータ段110に提供されるため、これにより、第2のインバータ段110内にゼロ静的リーク電流が提供される。第2のインバータ段110において受け取られるこの論理H I G H信号の結果、第2のインバータ段110の出力における論理L O W信号となる。第2のインバータ段110の論理L O W信号出力は、入力として出力インバータ段114に提供され、その結果、論理H I G H供給検出信号116となる。したがって、出力インバータ段114は入力インバータ段108の出力をバッファリングする。

30

【0019】

図2は、供給検出器セル200の概略図である。供給検出器セル200は、接続及び動作において供給検出器セル100に類似している。供給検出器セル200は、入力／出力(I O)供給電圧(V D D S)202によって給電され、コア供給電圧(V D D)204を受け取る。ダイオード接続N M O Sトランジスタ206が I O 供給電圧(V D D S)202によって給電される。ダイオード接続N M O Sトランジスタ206は、 I O 供給電圧(V D D S)202に接続されるゲート端子206G及びドレイン端子206Dを含む。

40

50

一実施形態において、ダイオード接続N MOSトランジスタ206はPMOSトランジスタである。入力インバータ段208がダイオード接続N MOSトランジスタ206に結合される。入力インバータ段208は、直列に接続される、PMOSトランジスタ208a並びに2つのN MOSトランジスタ208b及び208cを含む。3つのトランジスタ208a、208b、及び208cのゲート端子208aG、208bG、及び208cGが、コア供給電圧(VDD)204をそれぞれ受け取る。それぞれのトランジスタ208a及び208bのドレイン端子208aD及び208bDが、入力インバータ段208の出力を生成するために組み合わされる。第2のインバータ段210が、入力インバータ段208の出力を受け取る。第2のインバータ段210は、PMOSトランジスタ201a及びN MOSトランジスタ210bを含む。PMOSトランジスタ210aのソース端子210aSが、IO供給電圧(VDDS)202を受け取る。ゲート端子210aG及び210bGが、入力インバータ段208の出力を受け取る。トランジスタ210a及び210bのドレイン端子210aD及び210bDがそれぞれ、第2のインバータ段210の出力を生成するために組み合わされる。弱キーパートランジスタ212の対が、第2のインバータ段210の出力に結合される。弱キーパートランジスタは、直列に接続される頂部PMOSトランジスタ212a及び底部PMOSトランジスタ212bを含む。頂部PMOSトランジスタ212a及び底部PMOSトランジスタ212bのゲート端子212aG及び212bGがそれぞれ、第2のインバータ段210の出力を受け取るために共に組み合わされる。頂部PMOSトランジスタ212aのソース端子212aSがIO供給電圧(VDDS)202に結合され、底部PMOSトランジスタ212bのドレイン端子212bDが入力インバータ段208の出力に結合され、これは第2のインバータ段210への入力でもある。出力インバータ段214が、第2のインバータ段210に結合され、供給検出信号216を生成する。出力インバータ段214は、PMOSトランジスタ214a及びN MOSトランジスタ214bを含む。PMOSトランジスタ214aのソース端子214aSがIO供給電圧(VDDS)202に接続される。ゲート端子214aG及び214bGが第2のインバータ段210の出力を受け取る。トランジスタ214a及び214bのドレイン端子214aD及び214bDがそれぞれ、供給検出信号216を生成するために組み合わされる。トランジスタ208c、210b、及び214bのソース端子208cS、210bS、及び214bSが接地端子に接続される。また、PMOSトランジスタ208a、210a、及び214aは、基板でIO供給電圧(VDD)202を受け取る。一実施形態において、供給検出器セル200内のインバータ段が任意のインバータで置き換えられる。

【0020】

供給検出器セル200は、コア供給電圧(VDD)204を検出するように及び供給検出信号216を生成するように構成される。コア供給電圧(VDD)204がOFF状態にあるとき、N MOSトランジスタ208b及び208cはOFF状態にある。IO供給電圧(VDDS)202が、ランピングを開始し、ダイオード接続N MOSトランジスタ206のしきい値電圧(Vtn)より大きくなるとき、ダイオード接続N MOSトランジスタ206はONになる。したがって、入力インバータ段208の出力は(VDDS - Vtn)である。(VDDS - Vtn)の電圧は弱論理HIGHであり、出力が弱論理LOWになる第2のインバータ段210によって反転される。この弱論理LOW信号を受け取ることに応答して、弱キーパートランジスタ212の対は、入力インバータ段208の出力を(VDDS - Vtn)からIO供給電圧(VDDS)レベルまでプルする。論理HIGH信号が第2のインバータ段210に提供されるため、これにより、第2のインバータ段210内にゼロ静的リーキ電流が提供される。第2のインバータ段210で受け取られる論理HIGH信号は、第2のインバータ段210の出力で論理LOW信号を生じさせる。第2のインバータ段210の論理LOW信号出力は、入力として出力インバータ段214に提供され、その結果、論理HIGH供給検出信号216が生じる。したがって、出力インバータ段214は入力インバータ段208の出力をバッファリングする。供給検出器セル200は、コア供給電圧(VDD)204がOFF状態であるとき、論理HIGH供

10

20

30

40

50

給検出信号 216 を提供する。論理 H I G H 供給検出信号は、関連付けられた入力 / 出力回路をトライステートにするのに適している。有利なことに、I O 供給電圧 (V D D S) 202 がランプアップするとき、供給検出信号 216 も I O 供給電圧 (V D D S) 202 と共にランプアップする。また、供給検出器セル 200 は、コア供給電圧 (V D D) 204 のすべての値で I O 供給電圧 (V D D S) 202 からゼロ静的電流を生成する。

【0021】

I O 供給電圧 (V D D S) 202 が安定である状態で、コア供給電圧 (V D D) がランプアップしたとき、N M O S トランジスタ 208 b 及び 208 c は、ON になり、それによって入力インバータ段 208 の出力を論理 L O W までプルする。供給検出信号 216 も論理 L O W にプルされる。この条件において、P M O S トランジスタ 208 a のソースゲート電圧 (V s g) が P M O S トランジスタ 208 a のしきい値電圧 (V t p) より小さい場合、P M O S トランジスタ 208 a は O F F 段になる。

$$V s g = V D D S - V t n - \text{コア供給電圧} < V t p \quad (1)$$

式 (1) の条件が、プロセス、電圧、及び温度の組み合わせにわたって合致する限り、供給検出器セル 200 におけるゼロ静的電流消費となる。したがって、供給検出器セル 200 は、複数の I O 回路、動作条件、及び (1) を満たす異なるレンジのコア供給電圧 (V D D) にわたって適用可能である。これは更に、図 3 (a) 及び図 3 (b) を参照して示される。

【0022】

図 3 (a) は、供給検出器の動作の例示グラフである。図 3 (a) は、コア供給がそれぞれパワーダウン及びパワーアップするときに、供給検出信号が論理 H I G H 及び論理 L O W に切り替わるコア供給値を示す。これらのコア供給電圧値 (Y 軸) は、異なる動作条件 (X 軸) 下で示されている。

【0023】

図 3 (b) は、コア供給電圧 (V D D) 及び I O 供給電圧 (V D D S) の、異なる状態での供給検出器のゼロ静的電流挙動の例示グラフである。I O 供給電圧 (V D D S) を介したリーク電流は、異なる動作条件の下で示されている。最大 I O 供給リーク電流は、1.1 V のコア供給電圧 (V D D) 値、1.98 V の I O 供給電圧 (V D D S) 値、及び 125 C の温度で、224 n A である。

【0024】

図 4 は、P A D 422 に結合されるドライバ回路 400 のブロック図である。ドライバ回路 400 は I O (入力 / 出力) 供給電圧 (V D D S) 402 によって給電される。ドライバ回路 400 は、レベルシフタ回路 406 及び 408 の対を含む。それぞれの入力として、レベルシフタ回路 406 は入力信号 A を受け取り、レベルシフタ回路 408 はトライステート信号 G Z を受け取る。また、レベルシフタ回路 406 及び 408 の対は、コア供給電圧 (V D D) 404 及び I O 供給電圧 (V D D S) 402 を受け取る。更に、ドライバ回路 400 は、プリドライバ論理回路 410 及び 412 の対を含む。各プリドライバ論理回路はレベルシフタ回路の出力に結合されるため、プリドライバ論理回路 410 はレベルシフタ回路 406 の出力に結合され、プリドライバ論理回路 412 はレベルシフタ回路 408 の出力に結合される。プリドライバ論理回路 410 及び 412 の対は、I O 供給電圧 (V D D S) 402 によって給電される。ゲート回路 414 及び 416 の対が、プリドライバ論理回路 410 及び 412 の対にそれぞれ結合される。ゲート回路 414 はプリドライバ論理回路 410 の出力に結合され、ゲート回路 416 はプリドライバ論理回路 412 の出力に結合される。ゲート回路 414 及び 416 の対は、フェイルセーフ回路 (図 4 には図示せず) から制御信号 (N o f f) 415 を受け取る。ゲート回路 414 はまた、フェイルセーフ回路から I O 供給電圧 (V D D S) 402 及び基板信号 (X) 419 を受け取る。最終ドライバ回路 417 がゲート回路 414 及び 416 の対に結合される。最終ドライバ回路 417 は、最終ドライバ P M O S トランジスタ 418 及び最終ドライバ N M O S トランジスタ 420 を含む。最終ドライバ P M O S トランジスタ 418 は、I O 供給電圧 (V D D S) 402 によって給電され、フェイルセーフ回路 (図 4 には図示せず) か

10

20

30

40

50

ら基板信号(X)419を受け取る。PAD422は最終ドライバ回路417に結合される。レベルシフタ回路406及び408の対、プリドライバ論理回路410及び412の対、ゲート回路416、並びに最終ドライバNMOStランジスタ420は、接地端子にも接続される。ドライバ回路400の動作は、図5に関連して説明する。

【0025】

図5は、入力／出力(I/O)回路500の概略図である。I/O回路500は、ドライバ回路505、PAD522、及びフェイルセーフ回路525を含む。ドライバ回路505は、接続及び動作においてドライバ回路400に類似している。ドライバ回路505はI/O(入力／出力)供給502によって給電される。ドライバ回路505はレベルシフタ回路506及び508の対を含む。レベルシフタ回路506は入力信号Aを受け取り、レベルシフタ回路508はトライステート信号GZを受け取る。また、レベルシフタ回路506及び508は、コア供給電圧(VDD)504及びI/O供給電圧(VDDS)502を受け取る。更に、ドライバ回路505はプリドライバ論理回路510及び512の対を含む。各プリドライバ論理回路はレベルシフタ回路の出力に結合され、そのため、プリドライバ論理回路510はレベルシフタ回路506の出力に結合され、プリドライバ論理回路512はレベルシフタ回路508の出力に結合される。プリドライバ論理回路510及び512の対は、I/O供給電圧(VDDS)502によって給電される。

【0026】

ゲート回路514及び516の対が、それぞれ、プリドライバ論理回路510及び512の対に結合される。ゲート回路514はプリドライバ論理回路510の出力に結合され、ゲート回路516はプリドライバ論理回路512の出力に結合される。ゲート回路514は、2つのPMOSトランジスタ514a及び514b並びにNMOSトランジスタ514cを含む。PMOSトランジスタ514aは、ゲート端子で制御信号(Noff)515を、フェイルセーフ回路525からボディ端子で基板信号(X)538を受け取る。PMOSトランジスタ514bは、ゲート端子でI/O供給電圧(VDDS)502を、ボディ端子で基板信号(X)538を受け取る。NMOSトランジスタ514cは、ゲート端子で反転制御信号(Noffz)515Xを受け取る。ゲート回路516はNMOSトランジスタ516aを含む。NMOSトランジスタ516aは、フェイルセーフ回路515からゲート端子で制御信号(Noff)515を受け取り、そのソース端子は接地に接続される。最終ドライバ回路517が、ゲート回路514及び516の対に結合される。最終ドライバ回路517は、最終ドライバPMOSトランジスタ518及び最終ドライバNMOSトランジスタ520を含む。最終ドライバPMOSトランジスタ518は、ソース端子でI/O供給電圧(VDDS)502を受け取り、ボディ端子で基板信号(X)538を受け取る。ゲート回路514の出力が、最終ドライバPMOSトランジスタ518のゲート端子に接続される。最終ドライバNMOSトランジスタ520のゲート端子が、ゲート回路516の出力に接続される。最終ドライバNMOSトランジスタ520のソース端子は、接地端子に接続される。PAD522は最終ドライバ回路517に結合される。

【0027】

フェイルセーフ回路525は、制御信号(Noff)515及び基板信号(X)538を生成する。フェイルセーフ回路525は、第1のPMOSトランジスタ526、第2のPMOSトランジスタ528、及び反転段535を含む。第1のPMOSトランジスタ526のソース端子が、I/O供給電圧(VDDS)502に接続される。第2のPMOSトランジスタ528のドレイン端子がPAD522に接続され、第2のPMOSトランジスタ528のゲート端子がI/O供給電圧(VDDS)502に接続される。第2のPMOSトランジスタ528のソース端子、第1のPMOSトランジスタ526のドレイン端子、第1のPMOSトランジスタ526のボディ端子、及び第2のPMOSトランジスタ528のボディ端子は、基板信号(X)538を生成するように共に組み合わされる。フェイルセーフ回路525の反転段535は、第3のPMOSトランジスタ530、第1のNMOSトランジスタ532、第2のNMOSトランジスタ534、及び第3のNMOSトランジスタ536を含む。第1のNMOSトランジスタ532、第2のNMOSトランジス

10

20

30

40

50

タ534、及び第3のNMOSトランジスタ536は、カスコード配置で接続される。第3のPMOSトランジスタ530、第1のNMOSトランジスタ532、第2のNMOSトランジスタ534、及び第3のNMOSトランジスタ536のゲート端子は、IO供給電圧(VDDS)502を受け取るように構成される。第3のPMOSトランジスタ530のソース端子がPAD522に接続される。第1のNMOSトランジスタ532のドレイン端子が、制御信号(Noff)515を生成するように第3のPMOSトランジスタ530のドレイン端子に接続される。第3のNMOSトランジスタ536のソース端子が接地に接続される。

【0028】

IO回路(プリドライバ論理回路510及び512の対、最終ドライバ回路517、並びにフェイルセーフ回路525)はIO供給電圧(VDDS)502で動作するため、レベルシフタ回路506及び508の対は、信号をコア供給電圧(VDD)レベルからIO供給電圧(VDDS)レベルに変換する。プリドライバ論理回路510及び512の対は、入力信号A及びトライステート信号GZのレベルシフトされたバージョンに基づいて論理を実装する。最終ドライバPMOSトランジスタ518及び最終ドライバNMOSトランジスタ520は、プリドライバ論理回路510及び512の対の出力によって制御される。プリドライバ論理回路510及び512は、下記の真理値表を実装し、ここで、「高インピーダンス」状態は、最終ドライバPMOSトランジスタ518及び最終ドライバNMOSトランジスタ520の両方がOFF状態にあるとき達成される。

GZ	A	PAD
0	0	0
0	1	1
1	0	高インピーダンス
1	1	高インピーダンス

【0029】

動作モードのうちの1つにおいて、PAD522は論理HIGHであり、IO供給電圧(VDDS)はパワーダウンされ、最終ドライバPMOSトランジスタ518及び最終ドライバNMOSトランジスタ520はOFFになっておらず、その結果、PAD522から、最終ドライバPMOSトランジスタ518を介してIO供給電圧(VDDS)502、又は最終ドライバNMOSトランジスタ520を介して接地端子、のいずれかへのリーカ電流(伝導電流)が生じる。フェイルセーフ回路525は、最終ドライバPMOSトランジスタ518及び最終ドライバNMOSトランジスタ520を正しくOFFにすることによって、この動作モードを回避する。フェイルセーフ回路525は、最终ドライバPMOSトランジスタ518及び最終ドライバNMOSトランジスタ520をOFFにするために、制御信号(Noff)515を生成する。フェイルセーフ回路525は、PAD電圧によって給電され、IO供給電圧(VDDS)502を受け取る。PAD電圧はPAD522での電圧である。IO供給電圧(VDDS)502が存在せず、PAD電圧が論理HIGHであるとき、PMOSトランジスタ530はONになり、PAD522上の論理HIGH電圧を制御信号(NOFF)信号515に渡す。また、PMOSトランジスタ528はONになり、基板信号(X)538上の論理HIGHまでプルアップする。制御信号(NOFF)515は論理HIGHであるため、PMOS526はOFFになる。論理HIGH制御信号(Noff)515は、NMOS520のゲート端子を接地までプルすることによって、最終ドライバNMOSトランジスタ520をOFFにする。PMOSトランジスタ514a及びNMOSトランジスタ514cも、それぞれ論理HIGH制御信号(Noff)515及び論理LOW反転制御信号(NoffZ)515XによってOFFになり、それによって、プリドライバ論理回路510の出力を最終ドライバPMOSトランジスタ518から切断する。PAD電圧は論理HIGHであるため、最終ドライバP

10

20

30

40

50

MOSトランジスタ518のゲート端子はPMOS514bによって論理HIGHまでプルアップされ、これがそのゲート端子でのIO供給電圧(VDDS)502及びそのドレンでのPAD電圧のためONになり、それによってPAD522から最終ドライバPMOSトランジスタ518を介するIO供給電圧(VDDS)502へのいかなるリーク電流(伝導電流)をも回避する。また、基板信号(X)538は、論理HIGHにプルされるため、最終ドライバPMOS518の内部pn接合の順方向バイアスを回避する。IO供給電圧(VDDS)502がトリップ点電圧(trip-point voltage)を下回るとき、フェイルセーフ回路525は有効である。少なくとも1つのバージョンにおいて、このトリップ点電圧は、フェイルセーフ回路525内の反転段535におけるトランジスタのしきい値電圧に依存する。例えば、トリップ点電圧は、フェイルセーフ回路525内のPMOSトランジスタ530とカスコードされたNMOSトランジスタ532、534、及び536の相対的な幅を設計することによって選択可能である。PMOSトランジスタ530とカスコードされたNMOSトランジスタ532、534、及び536の幅の比のスキューリングの程度は、NOFFが論理HIGHから論理LOWにトリップするとき、IO供給電圧(VDDS)502のランプアップの間のトリップ点電圧を決定する。PAD522が論理HIGHでありIO供給電圧(VDDS)502がトリップ点電圧を上回る場合、制御信号(Noff)515はOFFになり、そのため最終ドライバPMOSトランジスタ518及び最終ドライバNMOSトランジスタ520はOFFにならない。これにより、PAD522からIO供給電圧(VDDS)502へ又は接地端子へのリーク電流(伝導電流)が発生する。これについては、図6(a)及び図6(b)を参照して更に示す。

【0030】

図6(a)は、IO供給電圧(VDDS)502に対する制御信号(Noff)515の応答の例示グラフである。図6(a)に示されるように、制御信号(Noff)515は、IO供給電圧(VDDS)502がランプ関数として0ボルトから1.98ボルトまで増加するとき一定のままである。しかしながら、IO供給電圧(VDDS)502が、例示グラフでは1.25ボルトであるトリップ点電圧を超えるとき、制御信号(Noff)515はOFFになる。

【0031】

図6(b)は、PAD522が論理HIGHである一方でIO供給電圧(VDDS)502がトリップ点電圧を超えるときの、PAD522からIO供給電圧(VDDS)502への伝導(リーク)電流の例示グラフである。このグラフは、トリップ点電圧でのPADからのリーク電流(伝導電流)(約20mA)における非常に大きなスパイクを示す。

【0032】

図7(a)及び図7(b)に示されるように、入力/出力(IO)回路700が、ドライバ回路705、PAD722、フェイルセーフ回路725、及び供給検出器セル750を含む。ドライバ回路705は、接続及び動作においてドライバ回路505と同様である。フェイルセーフ回路725は、接続及び動作においてフェイルセーフ回路525と同様である。供給検出器セル750は、接続及び動作において供給検出器セル100と同様である。

【0033】

供給検出器セル750は、入力/出力(IO)供給702によって給電され、入力信号としてコア供給電圧(VDD)704を受け取る。ダイオード接続トランジスタ756が、IO供給電圧(VDDS)702によって給電される。少なくとも1つの例において、ダイオード接続トランジスタ756はNMOSトランジスタ又はPMOSトランジスタである。入力インバータ段758が、ダイオード接続トランジスタ756に結合される。入力インバータ段758は、コア供給電圧(VDD)704を受け取る。第2のインバータ段760は、入力インバータ段758の出力を受け取り、IO供給電圧(VDDS)702によって給電される。弱キーパートランジスタ762の対が、第2のインバータ段760の出力に結合される。トランジスタ762は、直列に接続され、IO供給電圧(VDD)

10

20

30

40

50

S) 7 0 2 によって給電される。弱キーパートランジスタ 7 6 2 の対の出力が、第 2 のインバータ段 7 6 0 への入力として提供され、これは入力インバータ段 7 5 8 の出力もある。出力インバータ段 7 6 4 が、第 2 のインバータ段 7 6 0 に結合され、供給検出信号 7 6 6 を生成する。出力インバータ段 7 6 4 は I O 供給電圧 (V D D S) 7 0 2 によって給電される。

【 0 0 3 4 】

ドライバ回路 7 0 5 は I O (入力 / 出力) 供給 7 0 2 によって給電される。ドライバ回路 7 0 5 は、レベルシフタ回路 7 0 6 及び 7 0 8 の対を含む。レベルシフタ回路 7 0 6 は入力信号 A を受け取り、レベルシフタ回路 7 0 8 はトライステート信号 G Z を受け取る。
レベルシフタ回路 7 0 6 及び 7 0 8 は、供給検出器セル 7 5 0 から供給検出信号 7 6 6 を受け取る。また、レベルシフタ回路 7 0 6 及び 7 0 8 は、コア供給電圧 (V D D) 7 0 4 及び I O 供給電圧 (V D D S) 7 0 2 を受け取る。また、ドライバ回路 7 0 5 は、プリドライバ論理回路 7 1 0 及び 7 1 2 の対を含む。各プリドライバ論理回路はレベルシフタ回路の出力に結合され、そのため、プリドライバ論理回路 7 1 0 はレベルシフタ回路 7 0 6 の出力に結合され、プリドライバ論理回路 7 1 2 はレベルシフタ回路 7 0 8 の出力に結合される。プリドライバ論理回路 7 1 0 及び 7 1 2 の対は、I O 供給電圧 (V D D S) 7 0 2 によって給電される。

【 0 0 3 5 】

ゲート回路 7 1 4 及び 7 1 6 の対が、それぞれプリドライバ論理回路 7 1 0 及び 7 1 2 の対に結合される。ゲート回路 7 1 4 はプリドライバ論理回路 7 1 0 の出力に結合され、ゲート回路 7 1 6 はプリドライバ論理回路 7 1 2 の出力に結合される。ゲート回路 7 1 4 は、2つのPMOSトランジスタ 7 1 4 a 及び 7 1 4 b 、並びにNMOSトランジスタ 7 1 4 c を含む。PMOSトランジスタ 7 1 4 a は、ゲート端子で制御信号 (N o f f) 7 1 5 を、ボディ端子でフェイルセーフ回路 7 2 5 から基板信号 (X) 7 3 8 を受け取る。PMOSトランジスタ 7 1 4 b は、ゲート端子で I O 供給電圧 (V D D S) 7 0 2 を、ボディ端子で基板信号 (X) 7 3 8 を受け取る。NMOSトランジスタ 7 1 4 c は、ゲート端子で反転制御信号 (N o f f z) 7 1 5 X を受け取る。ゲート回路 7 1 6 は NMOS トランジスタ 7 1 6 a を含む。NMOSトランジスタ 7 1 6 a は、ゲート端子でフェイルセーフ回路 7 2 5 から制御信号 (N o f f) 7 1 5 を受け取り、そのソース端子は接地に接続される。最終ドライバ回路 7 1 7 が、ゲート回路 7 1 4 及び 7 1 6 の対に結合される。
最終ドライバ回路 7 1 5 は、最終ドライバ PMOSトランジスタ 7 1 8 及び 最終ドライバ NMOSトランジスタ 7 2 0 を含む。最終ドライバ PMOSトランジスタ 7 1 8 は、ソース端子で I O 供給電圧 (V D D S) 7 0 2 を受け取り、ボディ端子で基板信号 (X) 7 3 8 を受け取る。ゲート回路 7 1 4 の出力が、最終ドライバ PMOSトランジスタ 7 1 8 のゲート端子に接続される。最終ドライバ NMOSトランジスタ 7 2 0 のゲート端子が、ゲート回路 7 1 6 の出力に接続される。最終ドライバ NMOSトランジスタ 7 2 0 のソース端子は、接地端子に接続される。P A D 7 2 2 は最終ドライバ回路 7 1 5 に結合される。レベルシフタ回路 7 0 6 及び 7 0 8 の対、並びにプリドライバ論理回路 7 1 0 及び 7 1 2 の対は、接地端子にも接続される。

【 0 0 3 6 】

フェイルセーフ回路 7 2 5 は、制御信号 (N o f f) 7 1 5 及び基板信号 (X) 7 3 8 を生成する。フェイルセーフ回路 7 2 5 は、第 1 の PMOSトランジスタ 7 2 6 、第 2 の PMOSトランジスタ 7 2 8 、及び反転段 7 3 5 を含む。第 1 の PMOSトランジスタ 7 2 6 のソース端子は、 I O 供給電圧 (V D D S) 7 0 2 を受け取るように構成される。第 2 の PMOSトランジスタ 7 2 8 のドレイン端子が P A D 7 2 2 に接続され、第 2 の PMOSトランジスタ 7 2 8 のゲート端子が I O 供給電圧 (V D D S) 7 0 2 に接続される。第 2 の PMOSトランジスタ 7 2 8 のソース端子、第 1 の PMOSトランジスタ 7 2 6 のボディ端子、及び第 2 の PMOSトランジスタ 7 2 8 のボディ端子が、基板信号 (X) 7 3 8 を生成するために共に組み合わされる。フェイルセーフ回路 7 2 5 の反転段 7 3 5 は、第 3 の PMOSトランジスタ 7 3

0、第1のN MOSトランジスタ732、第2のN MOSトランジスタ734、及び第3のN MOSトランジスタ736を含む。第1のN MOSトランジスタ732、第2のN MOSトランジスタ734、及び第3のN MOSトランジスタ736は、カスコード配置で接続される。第3のPMOSトランジスタ730、第1のN MOSトランジスタ732、第2のN MOSトランジスタ734、及び第3のN MOSトランジスタ736のゲート端子は、I/O供給電圧(VDDS)702を受け取るように構成される。第3のPMOSトランジスタ730のソース端子が、PAD722に接続される。第1のN MOSトランジスタ732のドレイン端子が、制御信号(Noff)715を生成するために第3のPMOSトランジスタ730のドレイン端子に接続される。第3のN MOSトランジスタ736のソース端子が、接地に接続される。

10

【0037】

供給検出器セル750は、コア供給電圧(VDD)704を検出するように及び供給検出信号766を生成するように構成される。I/O回路(プリドライバ論理回路710及び712の対、最終ドライバ回路717、並びにフェイルセーフ回路725)はI/O供給電圧(VDDS)702で動作するため、レベルシフタ回路706及び708の対は、信号をコア供給電圧(VDD)レベルからI/O供給電圧(VDDS)レベルに変換する。供給検出信号766はまた、レベルシフタ回路706及び708の対への入力として受け取られる。プリドライバ論理回路710及び712の対は、入力信号Aとトライステート信号GZとのレベルシフトされたバージョンに基づいて論理を実装する。入力信号A及びトライステート信号GZは、レベルシフタ回路706及び708の対によって受け取られた供給検出信号766に基づいて改変される。最終ドライバPMOSトランジスタ718及び最終ドライバN MOSトランジスタ720は、プリドライバ論理回路710及び712の対の出力によって制御される。コア供給電圧(VDD)がOFF状態にある場合、供給検出信号766は論理HIGH状態である。このケースでは、レベルシフタ回路706及び708の対の出力は論理HIGHであり、これが最終ドライバPMOSトランジスタ718及び最終ドライバN MOSトランジスタ720の両方をOFFにする。

20

【0038】

フェイルセーフI/Oの場合、動作モードのうちの1つにおいて、PAD722は論理HIGHであり、I/O供給電圧(VDDS)702はパワーダウンされ、最終ドライバPMOSトランジスタ718及び最終ドライバN MOSトランジスタ720はOFFになっておらず、その結果、PAD722から、最終ドライバPMOSトランジスタ718を介してI/O供給電圧(VDDS)702、又は最終ドライバN MOSトランジスタ720を介して接地端子、のいずれかへのリーク電流(伝導電流)が生じる。フェイルセーフ回路725は、最終ドライバPMOSトランジスタ718及び最終ドライバN MOSトランジスタ720を正しくOFFにすることによって、この動作モードを回避する。フェイルセーフ回路725は、最終ドライバPMOSトランジスタ718及び最終ドライバN MOSトランジスタ720をOFFにするために、制御信号(Noff)715を生成する。フェイルセーフ回路725は、PAD電圧及びI/O供給電圧(VDDS)702を受け取る。PAD電圧はPAD722での電圧である。I/O供給電圧(VDDS)702が存在せず、PAD電圧が論理HIGHであるとき、PMOSトランジスタ730は、ONになり、PAD722上の論理HIGH電圧を制御信号(Noff)信号715に渡す。また、PMOSトランジスタ728はONになり、基板信号(X)738を論理HIGHまでプルする。制御信号(NOFF)715は論理HIGHであるため、PMOS526はOFFになる。論理HIGH制御信号(Noff)715は、NMOS720のゲート端子をプルアップすることによって、最終ドライバN MOSトランジスタ720をOFFにする。PMOSトランジスタ714a及びN MOSトランジスタ714cも、それぞれ論理HIGH制御信号(Noff)715及び論理LOW反転制御信号(NoffZ)715XによってOFFになり、それによって、プリドライバ論理回路710の出力を最終ドライバPMOSトランジスタ718から切断する。PAD電圧は論理HIGHであるため、最終ドライバPMOSトランジスタ718のゲート端子はPMOS714bによって論理HIGH

40

50

G Hまでプルアップされ、これが、そのゲート端子でのI O供給電圧(V DDS)702及びそのドレインでのP AD電圧のためONになり、それによって、P AD722から最終ドライバPMOSトランジスタ718を介するI O供給電圧(V DDS)702へのいかなるリーク電流(伝導電流)をも回避する。また、基板信号(X)738は、論理HIGHにプルされるため、最終ドライバPMOS718の内部pn接合の順方向バイアスを回避する。I O供給電圧(V DDS)702がトリップ点電圧を下回るとき、フェイルセーフ回路725は有効である。少なくとも1つのバージョンにおいて、トリップ点電圧は、フェイルセーフ回路725内の反転段735におけるトランジスタのしきい値電圧に依存する。例えば、トリップ点電圧は、フェイルセーフ回路725内のPMOSトランジスタ730とカスコードされたNMOSトランジスタ732、734、及び736の相対的な幅を設計することによって選択可能である。PMOSトランジスタ730とカスコードされたNMOSトランジスタ732、734、及び736の幅の比のスキューイングの程度は、NOFFFが論理HIGHから論理LOWにトリップするとき、I O供給電圧(V DDS)のランプアップの間のトリップ点電圧を決定する。したがって、フェイルセーフ回路725は、P AD722が論理HIGHでありI O供給電圧(V DDS)702がトリップ点電圧を下回るとき、最終ドライバ回路715のディアクティベーションを介してリーク電流(伝導電流)を制御する。しかしながら、コア供給電圧(V DD)704がOFF状態にあり、P AD722が論理HIGHであり、I O供給電圧(V DDS)702がトリップ点電圧を上回る場合、制御信号(N off)715はOFFになる。したがって、最終ドライバPMOSトランジスタ718及び最終ドライバNMOSトランジスタ720は誤ってゲーティングされ得、その結果、リーク電流が生じる。この状態は、供給検出器セル750によって回避される。

【0039】

コア供給電圧(V DD)704がOFF状態にありI O供給電圧(V DDS)702はランプアップしているとき、ダイオード接続トランジスタ756はONになる。したがって、入力インバータ段758の出力は(V DDS - V tn)である。V tnはダイオード接続トランジスタ756のしきい値電圧である。入力インバータ段758の出力(I O供給電圧(V DDS) - V tn)は、弱論理HIGHであり、第2のインバータ段760によって反転される。したがって、第2のインバータ段760の出力は弱論理LOWになる。この弱論理LOW信号を受け取ることに応答して、弱キーパートランジスタ762の対は、入力インバータ段758の出力を(V DDS - V tn)からI O供給電圧(V DDS)レベルまでプルする。これにより、論理HIGH信号が第2のインバータ段760に提供されるため、第2のインバータ段760内にゼロ静的リーク電流が提供される。第2のインバータ段760で受け取られる論理HIGH信号は、第2のインバータ段760の出力の論理LOW信号となる。第2のインバータ段760の論理LOW信号出力は、入力として出力インバータ段764に提供され、その結果、論理HIGH供給検出信号766が生じる。したがって、出力インバータ段764は入力インバータ段758の出力をバッファリングする。論理HIGH供給検出信号766が、レベルシフタ回路706及び708の対に提供される。レベルシフタ回路706及び708の対の出力は論理HIGHになり、これは、プリドライバ論理回路710及び712の対の出力をそれぞれ論理HIGH及び論理LOWに駆動し、それにより、プリドライバ論理回路710及び712を用いて最終ドライバPMOSトランジスタ718及び最終ドライバNMOSトランジスタ720の両方をOFFにする。したがって、コア供給電圧(V DD)704がOFF状態にあるとき、I O供給電圧(V DDS)702がトリップ点電圧を上回る場合、供給検出器セル750は、最終ドライバ回路717をOFFにするか又はディアクティベートする。I O回路700は、コア供給電圧(V DD)がOFF状態にあり、I O供給電圧(V DDS)702がトリップ点を上回るとき、たとえP ADが論理HIGHにあるときでも、P AD722から非常に低いリーク電流を提供する。PMOSトランジスタ730及びNMOSトランジスタ732、734、736の相対的な幅をスキューイングすることによってトリップ点を選択するこの方法は、最大P AD電流/ピン電流を制御する際に用いられる。パ

10

20

30

40

50

ワーダウンシーケンスの間、I/O供給電圧(VDDS)702がランプダウンするとき、トリップ点より前に、供給検出器は、コア供給がLOWである一方で最終ドライバ回路717をディセーブルにする。トリップ点電圧を下回ると、フェイルセーフ回路725並びにゲート回路714及び716は最終ドライバを(トライステートによって)ディセーブルにする。I/O回路700は、(SILMBusインターフェースなどの)フェイルセーフI/Oインターフェースのパワーアップ又はパワーダウンの間、極度に低いPAD電流(ピン電流)を提供し、それによって真のフェイルセーフ追従を達成する。

【0040】

図8(a)は、I/O供給電圧(VDDS)702に対する制御信号(Noff)715の応答の例示グラフである。図8(a)に示されるように、制御信号(Noff)715は、I/O供給電圧(VDDS)702がランプ関数として0ボルトから1.25ボルトまで増加するとき、一定のままである。しかしながら、I/O供給電圧(VDDS)702が、例示グラフでは1.25ボルトであるトリップ点電圧を超えると、制御信号(Noff)715はOFFになる。10

【0041】

図8(b)は、I/O供給電圧(VDDS)702がトリップ点電圧を超えるときの、PAD722からI/O供給電圧(VDDS)702へのリーク電流の例示グラフである。このグラフは、PAD電圧が論理HIGHであり、I/O供給電圧(VDDS)がトリップ点電圧を上回るとき、供給検出器セル750が最終ドライバ回路717をディアクティベートするので、PAD722からI/O供給電圧(VDDS)702へのリーク電流が無視できることを示している。20

【0042】

図9は、コンピューティングデバイス900のブロック図である。コンピューティングデバイス900は、モバイルフォン、携帯情報端末、パーソナルコンピュータ、又は任意の他のタイプの電子システムなどの、モバイル通信デバイス(又はこれに組み込まれる集積回路)である。

【0043】

いくつかの実施形態において、コンピューティングデバイス900は、CPU(中央処理ユニット)などの処理ユニット912、メモリユニット914(ランダムアクセスメモリ(RAM)など)、及びテスタ910を含む、マイクロコントローラ、マイクロプロセッサ、又はシステムオンチップ(SoC)のうちの1つであるが、これらに限定されない。処理ユニット912は、例えば、CISCタイプ(複雑命令セットコンピュータ)CPU、RISCタイプCPU(縮小命令セットコンピュータ)、又はデジタル信号プロセッサ(DSP)とすることができます。メモリモジュール914(これは、RAM、フラッシュメモリ、又はディスクストレージなどのメモリとすることができます)は、処理ユニット912によって実行されたとき、コンピューティングデバイス900に関連付けられた任意の好適な機能を実施する(埋め込みアプリケーションなどの)1つ又は複数のソフトウェアアプリケーション930を記憶する。テスタ910は、ソフトウェアアプリケーション930を実行するコンピューティングデバイス900のテスト及びデバッグをサポートする論理を含む。例えば、テスタ910は、コンピューティングデバイス900上に実際に存在する場合、構成要素が様々な状況でどのように作動するか(構成要素がソフトウェアアプリケーション930とどのように相互作用するかなど)の検証を可能にするために、コンピューティングデバイス900の欠陥のある又は利用不能な構成要素をエミュレートするために適している。このようにして、ソフトウェアアプリケーション930は、製造後動作に類似する環境においてデバッグされ得る。3040

【0044】

処理ユニット912はキャッシュメモリ及び論理を含み、キャッシュメモリ及び論理は、メモリモジュール914から頻繁にアクセスされる情報を記憶及び用い、コンピューティングデバイスの動作に対して責務を負う。コンピューティングデバイス900は、処理ユニット912及びメモリモジュール914に結合される論理回路915を含む。I/O回50

路 916 が、論理回路 915 のうちの少なくとも 1 つの論理回路に結合される。I/O 回路 916 は、コンピューティングデバイス 900 と外界との間のインターフェースとして動作する。I/O 回路 916 は、接続及び動作において I/O 回路 700 に類似している。I/O 回路 916 は、パワーアップシーケンスの間、パワーダウンシーケンスの間、及び安定したパワーアップ状態の間、P A D からの低リーク電流を有する。これは、I/O 回路 916 が、I/O 供給電圧 (V D D S) がトリップ点電圧を下回るときフェイルセーフ回路機構を用い、I/O 供給電圧 (V D D S) がトリップ点電圧を上回るときコア供給検出機構を用いるためである。

【 0045 】

前述の考察において、「論理 H I G H」という用語は論理状態「1」にある信号を指し、10
 「論理 L O W」という用語は論理状態「0」にある信号を指す。また、「O F F 状態」、又は「O F F」にする、又は「O F F」になるという用語は、デバイス、構成要素、又は信号のディアクティベーションを指す。「O N」になるという用語は、デバイス、構成要素、又は信号のアクティベーションを指す。

【 0046 】

したがって、入力 / 出力 (I/O) 供給電圧によって給電される入力 / 出力 (I/O) 回路の少なくとも 1 つのバージョンにおいて、供給検出器セルがコア供給電圧を検出する。また、I/O 回路はレベルシフタ回路の対を含む。各レベルシフタ回路は、供給検出器セルの出力を受け取り、供給検出器セルの出力をコア供給電圧レベルから I/O 供給電圧レベルに変換する。I/O 回路はプリドライバ論理回路の対を含む。各プリドライバ論理回路は、20
 レベルシフタ回路の出力に接続される。I/O 回路はゲート回路の対を含み、各ゲート回路はプリドライバ論理回路の出力に接続される。I/O 回路は、P A D 電圧を受け取るフェイルセーフ回路を含む。フェイルセーフ回路及び供給検出器セルは、I/O 供給電圧及び P A D 電圧に基づいて P A D からのリーク電流を制御する。

【 0047 】

別の例示の実施形態が、P A D を介して電流を制御する方法を提供する。コア供給電圧が検出される。入力 / 出力 (I/O) 供給がトリップ点電圧を下回り P A D が論理 H I G H であるとき、フェイルセーフ回路が、最終ドライバ回路のディアクティベーションを介して P A D からのリーク電流を制御する。供給検出器セルが、コア供給電圧が O F F 状態にあるとき、I/O 供給電圧がトリップ点電圧を上回り P A D が論理 H I G H であるとき最終ドライバ回路のディアクティベーションを介して P A D からのリーク電流を制御する。30

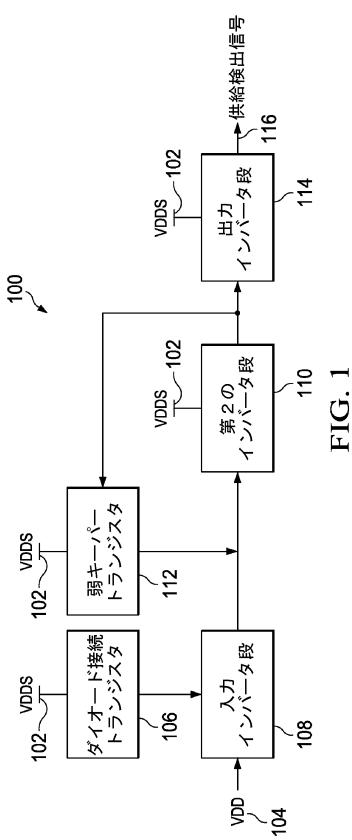
【 0048 】

例示の実施形態が、処理ユニットと、処理ユニットに結合されるメモリモジュールとを含むコンピューティングデバイスを提供する。論理回路が処理ユニット及びメモリモジュールに結合される。入力 / 出力 (I/O) 回路が、論理回路のうちの少なくとも 1 つの論理回路に結合される。I/O 回路は供給検出器セルを含み、供給検出器セルは、コア供給電圧を検出し、供給検出信号を生成する。ドライバ回路が、P A D に接続され、供給検出信号を受け取る。フェイルセーフ回路が P A D 電圧を受け取る。フェイルセーフ回路及び供給検出器セルは、I/O 供給電圧及び P A D 電圧に基づいて P A D からのリーク電流を制御する。40

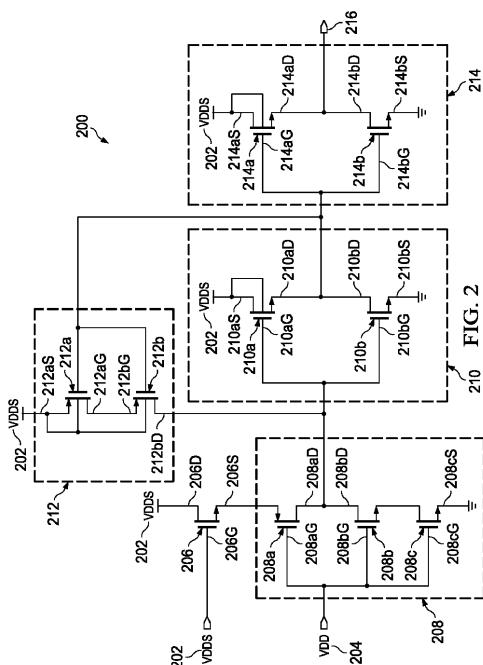
【 0049 】

特許請求の範囲内で、説明した実施形態における改変が可能であり、他の実施形態が可能である。

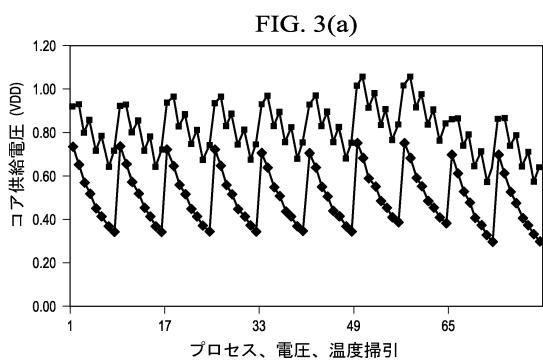
【 四 1 】



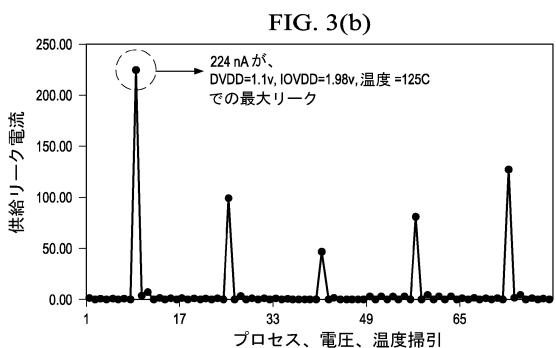
【 四 2 】



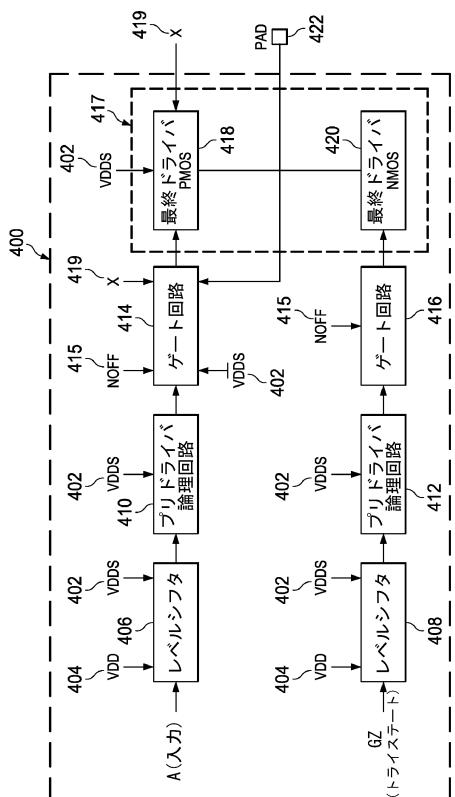
【図3(a)】



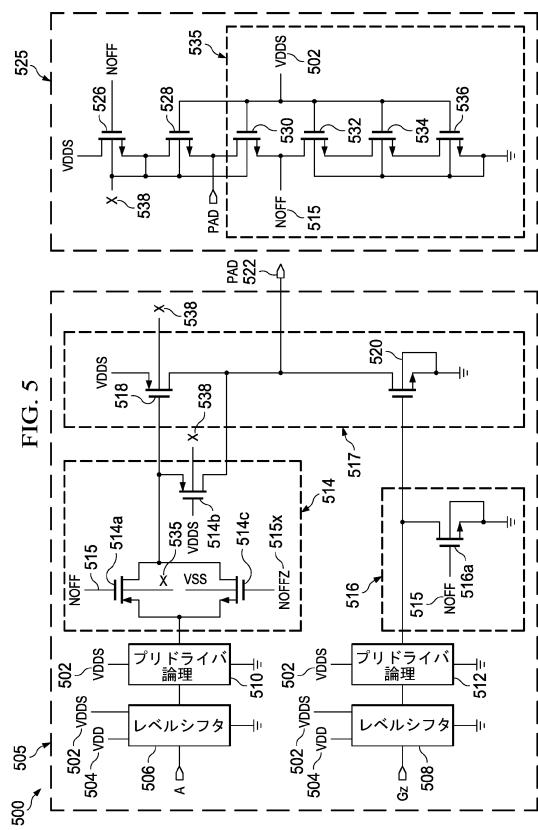
【図3(b)】



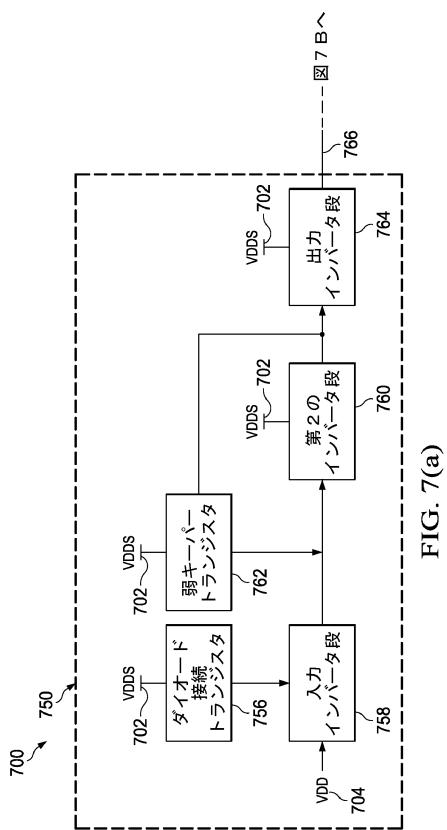
【 四 4 】



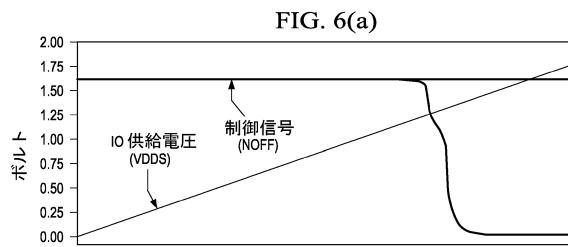
【図5】



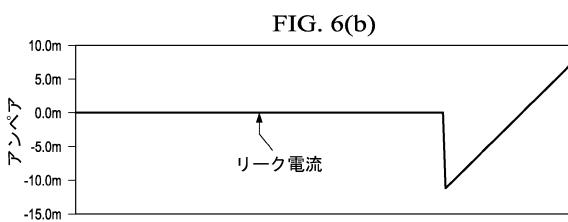
【図7(a)】



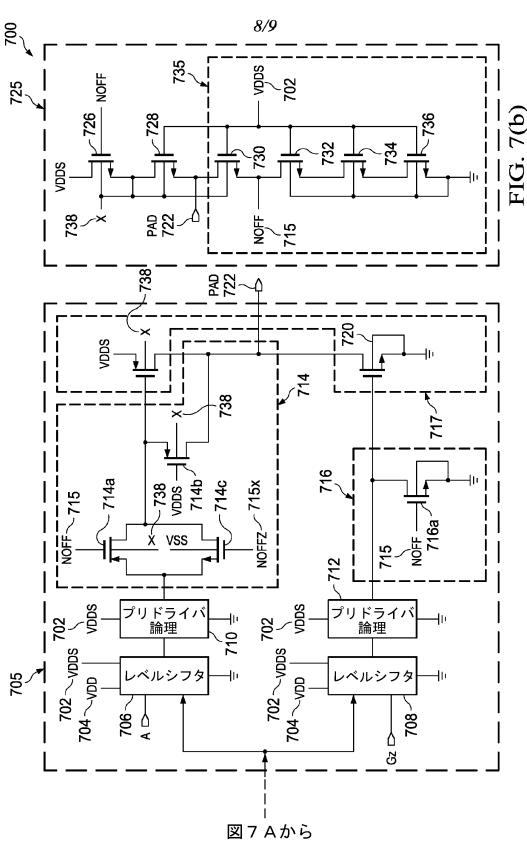
【図6(a)】



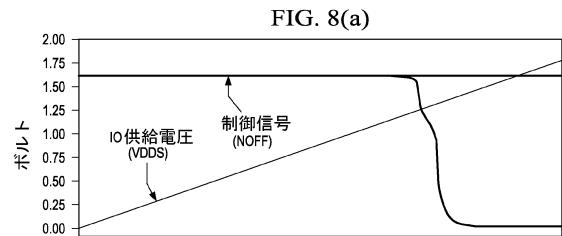
【図6(b)】



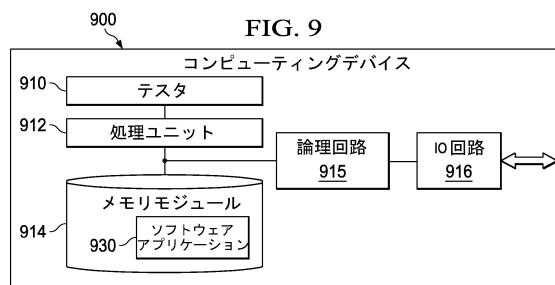
【図7(b)】



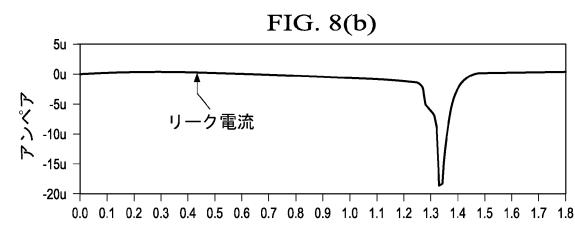
【図 8 (a)】



【図 9】



【図 8 (b)】



フロントページの続き

(72)発明者 ラジャゴパラン パーササラティ
インド 560 037 バンガロール, クンダラハリ, アエクス レイアウト エイ プロ
ック, サード クロス, ナンバー 128

審査官 渡井 高広

(56)参考文献 特開2006-345577(JP,A)
特開2004-179470(JP,A)
特開2006-352204(JP,A)
特開2011-172280(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/00
H03K 19/0175