

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁸ (45) 공고일자 2006년01월10일
G11C 11/22 (2006.01) (11) 등록번호 10-0540266

(24) 등록일자 2005년12월24일

(21) 출원번호	10-2003-7002558	(65) 공개번호	10-2003-0059110
(22) 출원일자	2003년02월21일	(43) 공개일자	2003년07월07일
번역문 제출일자	2003년02월21일		
(86) 국제출원번호	PCT/NO2001/000348	(87) 국제공개번호	WO 2002/25665
국제출원일자	2001년08월24일	국제공개일자	2002년03월28일

(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바르바도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르키즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터키, 트리니다드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 안티구와바부다, 코스타리카, 도미니카, 알제리, 모로코, 탄자니아, 벨리제, 모잠비크, 에쿠아도르, 남아프리카, 콜롬비아, 그라나다, 가나, 감비아, 크로아티아, 인도네시아, 인도, 시에라리온, 세르비아 앤 몬테네그로, 짐바브웨,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 모잠비크, 탄자니아,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스, 터키,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우, 적도 기니,

(30) 우선권주장 20004236 2000년08월24일 노르웨이(NO)

(73) 특허권자 띨 필름 일렉트로닉스 에이에스에이
노르웨이 오슬로 엔-0124 비카 피.오.박스 1872

(72) 발명자 톰슨,마이클
미국14853-1501뉴욕이타카바드홀329코넬유니버시티

워막,리차드
미국87111-1305뉴멕시코알부퀴크드라이브엔이아카데미힐스9521하
이텐시티서키츠인크.

구스타프손, 괴란
스웨덴에스-58216린코핑트룸스라가레가탄33

칼손, 요한
스웨덴에스-58929린코핑엑홀름스베겐219

(74) 대리인 남상선

심사관 : 오응기

(54) 비휘발성 수동 매트릭스 디바이스 및 그 독출 방법

요약

어드레싱 전극의 제 1 및 제 2 세트(14; 15)간의 히스테리시스를 나타내는 전기적으로 분극 가능한 유전체 메모리 물질 (12)를 포함하는 비휘발성 수동 매트릭스 메모리 디바이스에서, 제 1세트 전극(14)은 워드 라인(WL)이며, 제 2세트 전극 (15)은 메모리 디바이스의 비트 라인(BL)이다. 커패시터형 구조물을 갖는 메모리 셀(13)은 워드 라인(WL)과 비트 라인 (BL) 사이의 교차점에서 메모리 물질(12)내에서 형성된다. 워드 라인(WL)은 세그먼트(S)로 분할되며, 각 세그먼트는 공유 하며 인접하는 비트 라인(BL)에 의해 형성되며, 수단(25)은 세그먼트(S)의 각 비트 라인(BL)과 감지 수단(26)을 연결하기 위해 제공되며, 세그먼트(S)의 비트 라인(BL)을 통하여 판독을 위해 워드 라인 세그먼트(15)의 모든 메모리 셀의 동시 연 결을 가능하게 한다. 각 감지 수단은 비트 라인(BL)에 의해 형성된 메모리 셀(13)내에 저장된 논리값을 결정하기 위하여 비트 라인(BL)에 흐르는 전하를 감지한다. 이러한 종류의 메모리 디바이스의 판독 방법에서, 세그먼트(S)의 워드 라인 (WL)은 프로토콜에 따라, 판독 사이클의 적어도 부분 동안에 메모리 셀(13)의 스위칭 전압(V_s)으로 세팅하면서, 세그먼트 (S)의 비트 라인(BL)을 유지하면서 활성화되며, 판독 동안에, 개별 메모리 셀(13)내에 저장된 논리값은 감지 수단(26)에 의해 감지된다. 비휘발성 수동 매트릭스 메모리 디바이스를 각각 포함하는 다수의 적층된 층을 갖는 용적형 데이터 저장 장치에 사용된다.

대표도

도 5

명세서

기술분야

본 발명은 히스테리시스를 나타내는 전기적으로 분극가능한 유전체 메모리 물질, 특히 강유전체 물질을 포함하는 비휘발 성 수동 매트릭스 메모리 디바이스에 관한 것이며, 상기 메모리 물질은 개별 평행 어드레싱 전극들의 제 1 세트 및 제 2 세 트 사이의 층내에 삽입되어 제공되며, 상기 제 1 세트의 전극들은 메모리 디바이스의 워드 라인들로 구성되고 상기 제 2 세 트의 전극들과 대체로 직교 관계로 제공되며, 상기 제 2 세트의 전극들은 상기 메모리 디바이스의 비트 라인들로 구성되 고, 커패시터형 구조를 갖는 메모리 셀은 워드 라인들과 비트 라인들 사이의 교차점들에서 상기 메모리 물질내에 형성되 며, 상기 메모리 디바이스의 메모리 셀들은 수동 매트릭스의 엘리먼트들로 구성되며, 각각의 메모리 셀은 상기 워드 라인 과 비트 라인을 통하여 기록/판독 동작을 위해 선택적으로 어드레스될 수 있고, 상기 메모리 셀의 기록 동작은 상기 셀을 형성하는 개별 워드 라인과 비트 라인을 통하여 상기 셀에 인가되는 전압에 의해 상기 셀내에 원하는 분극 상태를 형성함 으로서 이루어지며, 상기 인가된 전압은 상기 메모리 셀에 결정된 분극 상태를 형성하거나 그 분극 상태 사이에서 상기 셀 을 스위칭할 수 있고, 판독 동작은 항전압(coercive voltage: V_C)보다 더 큰 스위칭 전압(V_S)을 상기 메모리 셀에 인가하 여, 그 비트 라인들상의 출력 전류의 적어도 하나의 전기 파라미터를 검출함으로써 이루어진다.

본 발명은 또한 이러한 종류의 메모리 디바이스의 독출 방법에 관한 것이다.

본 발명은 용적형(volumetric) 데이터 저장 장치에 비휘발성 수동 매트릭스 메모리 디바이스의 사용하는 것과도 관련된 다.

배경기술

강유전체 집적회로는 종래 기술과 비교하여 혁신적인 특성을 갖고 있다. 어플리케이션들은 비휘발성 정보 저장 디바이스 특히, 높은 속도, 실질적으로 제한되지 않는 내구성 및 높은 기록 속도와 같은 이점을 갖는 매트릭스 메모리를 포함한다.

강유전체 매트릭스 메모리는 2가지 형태로 나뉠 수 있는데, 한 가지 형태는 메모리 셀에 링크된 능동 엘리먼트(active element)를 포함하며, 다른 한 가지 형태는 능동 엘리먼트가 없다. 이러한 2가지 형태는 이하에서 논의될 것이다.

엑세스 트랜지스터와 같은 능동 액세스 엘리먼트가 없는 강유전체 커패시터 형태의 메모리 셀들을 갖는 강유전체 매트릭스 메모리는 일 측상에 증착된 평행 도전 전극들의 세트("워드 라인들"), 및 이와 직교하는 타측 상에 증착된 도전 전극들의 세트("비트 라인들")를 갖는 강유전체 박막을 포함하며, 이러한 구성을 이하에서 "수동 매트릭스 메모리"라고 언급한다. 수동 매트릭스 메모리에서, 개별적인 강유전체 메모리 셀들은 매트릭스 에지로부터 적절한 전극의 선택적인 여기(excitation)에 의해 전기적으로 개별적으로 액세스될 수 있는 메모리 셀들을 포함하는 메모리 매트릭스를 생성시키는 방향 전극들의 교차점들에서 형성된다.

매트릭스 메모리를 제공하기 위한 다른 접근법은 능동 엘리먼트, 통상적으로 강유전체 커패시터와 직렬인 액세스 트랜지스터를 포함함으로써 각각의 강유전체 메모리 셀을 변형하는 것이다. 액세스 트랜지스터는 커패시터의 액세스를 제어하며, 예를 들어 이웃 메모리 셀들로부터의 원치않는 방해 신호들을 차단한다. 메모리 셀은 통상적으로 강유전체 커패시터와 워드 라인에 연결되는 게이트를 갖는 n 채널 금속-산화물-반도체 전계 효과 트랜지스터(이하에서, 간략화를 위해 n 타입과 p 타입을 지칭하지 않고 "MOSFET"라 함)를 포함할 수 있다. MOSFET의 소스/드레인 영역은 비트 라인에 연결된다. 강유전체 커패시터의 하나의 전극은 MOSFET의 소스/드레인 영역에 연결되며, 커패시터의 다른 전극은 소위 "구동 라인"에 연결된다. 이것은 현재의 통상적인 개념이며, 1 트랜지스터, 1 커패시터(1T - 1C) 메모리 셀로서 종종 제공된다. 2 트랜지스터 이상을 포함하는 다른 개념들도 공지되어 있다. 그러나, 이러한 모든 개념들은 수동 매트릭스 메모리에 비하여 트랜지스터의 수를 증가시키며, 소정 영역 내에 많은 메모리 셀의 수를 감소시키는 것과 같은 많은 결점들이 있고, 복잡성을 증가시키며 높은 전류 소비를 갖는다. 여기서, 이러한 형태의 디바이스는 각각의 메모리 셀 내에 "능동" 엘리먼트, 즉 트랜지스터가 있으므로, 이하에서 "능동" 매트릭스 메모리라 언급한다.

그러나, 본 발명은 메모리 셀과 국부적으로 연동되는 다이오드나 트랜지스터와 같은 능동 엘리먼트들이 없는 단지 수동 매트릭스 메모리에 관한 것이다.

수동 매트릭스 메모리에서 판독 및 기록 동작은 소위 "부분 워드 어드레싱"에 의해 수행될 수 있으며, 그에 따라 소정 워드 라인상의 메모리 셀들중 일부, 통상적으로는 하나가 판독되고 기록된다. 그러한 부분 판독 또는 기록 동작을 성취하기 위하여, 비활성화된 워드 라인들 또는 비트 라인들상의 어드레스되지 않은 셀은 어드레스되지 않은 셀의 부분적인 스위칭을 피하기 위하여, 소위 "펄스 프로토콜(pulsing protocol)"에 따라 전압-바이어스된다. 펄스 프로토콜의 선택은 많은 요소에 따라 좌우되며, 히스테리시스를 나타내는 강유전체 메모리 물질을 포함하는 어플리케이션을 위한 논문에서 서로 다른 수단들이 제안되었다. 이것은 예를 들면, 2000년 7월 7일자로 공동 출원된 노르웨이 특허 출원 제20003508호에 개시된다. 상기 출원은 수동 매트릭스 메모리용 프로토콜을 개시한다. 한편, 어드레스되지 않은 셀의 바이어싱은 방해 전압을 야기하여, 메모리 내용의 손실이나 누설 전류 및 다른 기생 전류, 소위 "스니크 전류(sneak current)"를 가져올 수 있으며, 판독 동작 동안에 어드레스된 메모리 셀의 전류를 마스크하여, 판독 동안에 데이터 내용을 마스크할 수 있다. 디바이스의 형태에 따라, 어드레스되지 않은 메모리 셀의 방해를 회피하거나 적어도 감소시키기 위한 스니크 전류 무효화를 위한 방법과 같은 상이한 기준이 정의될 수 있다. 다른 방법은 작은 신호 방해에 대한 매트릭스내의 각각의 셀의 민감도를 낮게 하는 것이며, 예를 들면, 임계(thresholding), 정류 및/또는 다른 형태의 히스테리시스를 포함하는 비선형 전압-전류 응답을 나타내는 셀들에 의해 성취될 수 있다.

능동 및 수동 강유전체 메모리 디바이스의 성능을 개선시키기 위하여, 메모리 매트릭스는 더 작은 블록들로 내부적으로 분할, 소위 "세그먼트"되어, 예를 들어 전력 요구조건을 감소시킬 수 있다. 일반적으로 이러한 세그먼트화는 사용자에게 용이하다. 세그먼트화에 대한 다른 이유는 강유전체 커패시터가 소위 "피로(fatigue)"에 의해 저하된다는 문제점을 갖기 때문이고, "피로"는 강유전체 커패시터가 많은 횟수, 즉 몇 백만 번 정도 스위치된 후에는 잔류 분극을 유지할 수 없으므로 기능이 중단되는 것을 의미한다. 이러한 특별한 문제에 대한 해법은 전체 열(row)의 커패시터들을 스위칭하지 않기 위하여 매트릭스 세그먼트들을 더 작게 할 수 있다. 이것은 예를 들어, US-A-5 567 636에 개시되어 있다. 세그먼트된 메모리 매트릭스를 상술하는 다른 문서로는, 콜로라도 스프링스 소재, 셀리스 세미컨덕터 코퍼레이션, 게리 에프.더벤워 등의 "공간 어플리케이션용 비휘발성 강유전체"에 개시되어 있다. 상기 문서는 1 트랜지스터, 1 커패시터 메모리 셀 구조(1T, 1C)를 사용하여 능동 매트릭스내의 전력 요구를 감소할 수 있는 세그먼트된 메모리 매트릭스를 개시한다.

강유전체 메모리 물질을 사용하는 수동 매트릭스 메모리의 예는 40 - 50년전의 문헌에서 발견될 수 있다. 예를 들면, W.J. Merz 및 J. R. Anderson은 1955년에 바륨 티탄산염계 메모리를 개시하였으며(W.J. Merz 및 J. R. Anderson "강유전체 저장 디바이스", Bell. Lab. Record. 1, pp 335 - 342(1955)), 유사한 연구도 다른 사람들에게 의해 보고되었다(예를 들면, C. F. Pulvari "강유전체 및 강유전체 메모리 어플리케이션", IRE Transactions CP-3, pp. 3-11(1956), 및 D.S. Campbell, "바륨 티탄산염 및 메모리 스토어로서 바륨 티탄산염의 사용", J.Brit. ire 17(7), pp. 385-395(1957)). 수동 매트릭스 메모리의 다른 예는 1994년 11월, IBM Technical Disclosure Bulletin, Vol. 37, No. 11에서 발견될 수 있다. 그러나, 이러한 문서는 방해되는 어드레스되지 않은 셀 문제에 대한 해법을 개시하지 않는다.

그러한 문제를 개선하기 위한 다른 접근법은 사각형 히스테리시스 루프를 만들기 위하여 강유전체 물질을 변형하는 것이다. 그러나, 이것은 상세히 개시되어 있지 않다.

따라서, 방해된 어드레스되지 않은 셀과 같은 상술한 불리한 특성이 없는 수동 매트릭스 메모리가 필요하다.

발명의 상세한 설명

상술한 바에 비추어, 본 발명의 목적은 방해된 어드레스되지 않은 메모리 셀 문제를 해결하는 수동 매트릭스 메모리를 제공하는 것이다. 본 발명의 다른 목적은 저장된 데이터를 판독하는 동안에, 어드레스되지 않은 셀들로부터의 누적 신호의 영향을 최소화시키는 수동 매트릭스 메모리 디바이스를 제공하는 것이다. 마지막으로, 본 발명의 목적은 전술한 목적들을 갖는 수동 매트릭스 메모리 디바이스의 독출 방법을 제공하는 것이다.

상술한 목적뿐만 아니라 다른 이점 및 특징들은 본 발명에 따른 비휘발성 수동 메모리 매트릭스 디바이스로 실현된다. 본 발명의 비휘발성 수동 메모리 매트릭스 디바이스에서, 워드 라인이 많은 세그먼트로 분할되며, 각 세그먼트는 매트릭스내에서 인접하는 다수의 비트 라인에 의해 이루어지며, 세그먼트에 할당된 각각의 비트 라인을 연동되는 감지 수단에 연결하기 위한 수단이 제공되어, 세그먼트의 상응하는 비트 라인을 통하여 판독하기 위하여 세그먼트상의 워드 라인에 할당된 모든 메모리 셀의 동시 연결을 가능하게 하며, 각각의 감지 수단은 비트 라인에 의해 이루어진 메모리 셀 내에 저장된 논리값을 결정하기 위하여 연결된 비트 라인 내에 전하 흐름을 감지하도록 적용된다.

본 발명에 따른 메모리 디바이스의 제 1 실시예에서, 어드레싱 동안에 세그먼트의 각 비트 라인을 연동되는 감지 수단에 동시 연결하기 위한 수단은 멀티플렉서이다. 이러한 경우에, 멀티플렉서의 수는 세그먼트를 형성하는 비트 라인의 최대 수에 상응하며, 세그먼트의 각 비트 라인은 특정 멀티플렉서와 연결된다. 그리고 나서, 바람직하게 각 멀티플렉서의 출력은 단일 감지 수단과 연결되며, 특히 상기 단일 감지 수단은 센스 증폭기가 될 수 있다.

본 발명에 따른 메모리 디바이스의 제 2 실시예에서, 어드레싱 동안에 관련된 감지 수단에 세그먼트의 각 비트 라인의 동시 연결을 위한 수단은 게이트 수단이다. 이러한 경우에, 세그먼트의 모든 비트 라인은 특정 게이트 수단에 연결될 수 있으며, 각 게이트 수단은 개별 세그먼트내의 비트 라인의 수에 상응하는 수의 출력을 가지며, 그리고 각 게이트 수단의 각 출력은 출력 데이터 버스의 특정 버스 라인에 연결되며, 그러므로 버스 라인의 수는 세그먼트의 비트 라인들의 최대 개수에 상응하며, 각 버스 라인은 단일 감지 수단에 연결된다.

바람직하게, 상기 게이트 수단은 패스 게이트들을 포함하며, 바람직하게 상기 감지 수단은 센스 증폭기이다.

상술한 목적 및 다른 이점과 특징들은 본 발명에 따른 메모리 디바이스에 대한 독출 방법으로 실현되며, 그에 따라 상기 방법은 워드 라인을 다수의 세그먼트로 나누며, 각 세그먼트는 매트릭스 내의 인접한 많은 비트 라인을 포함하며, 비트 라인에 의해 형성되며, 워드 라인 세그먼트내에서 각 비트 라인을 연동되는 감지 수단에 연결시키는 단계, 판독 사이클의 적어도 일부 동안에 세그먼트의 한 워드 라인의 전위를 스위칭 전압 V_s 으로 세팅하며, 세그먼트의 모든 비트 라인을 제로 전위로 유지함으로써, 소정 시간에서 세그먼트의 한 워드 라인을 프로토콜에 따라 활성화시키는 단계, 그리고 판독 사이클 동안에, 상기 감지 수단에 의해 감지된 개별 메모리 셀내에 저장된 논리값을 결정하는 단계로 이루어진다.

본 발명에 따른 판독 방법의 실시예에서, 메모리 셀이 판독 또는 기록되지 않을 때, 모든 워드 라인과 비트 라인은 스위칭 전압 V_s 의 대략 1/3의 정지 전압(quiescent voltage)으로 유지되며, 프로토콜에 따라 판독 사이클의 적어도 일부분 동안에 세그먼트의 한 워드 라인의 전위를 스위칭 전압 V_s 으로 세팅하며, 세그먼트의 모든 비트 라인은 제로 전위로 유지됨으로써, 그 시간에 한 워드 라인이 활성화되며, 개별 메모리 셀 내에 저장된 논리값은 판독 사이클이 결정되는 동안에 감지 수단에 의해서 감지된다.

마지막으로, 상술한 목적 및 다른 특징과 이점들은 개선된 비휘발성 수동 메모리 디바이스와 각각의 층이 비휘발성 수동 매트릭스 메모리 디바이스들 중 하나를 포함하는 다수의 적층된 층을 갖는 용적형 데이터 저장 장치 내에서 관독하기 위한 개선된 방법을 갖는 본 발명에 따라 달성된다.

본 발명은 일반적인 배경기술과 바람직한 실시예들의 논의를 기초하여, 이하의 첨부되는 도면을 참고로 더욱 상세히 상술 될 것이다.

도면의 간단한 설명

도 1은 강유전체 메모리 물질을 위한 히스테리시스 곡선의 원리도이다.

도 2는 교차하는 전극 라인을 갖는 수동 메모리 매트릭스 일부의 개략도이며, 메모리 셀은 오버랩되는 이러한 전극들 사이에 국부화된 강유전체 물질을 포함한다.

도 3은 도 2의 라인 A-A를 따라 절단되어 확대된 횡단면도이다.

도 4는 강유전체 매트릭스 메모리내의 전체 워드 관독(full word read)을 도시하는 기능적 블록도이다.

도 5는 본 발명의 바람직한 실시예에 따른 세그먼트된 워드 라인을 갖는 수동 매트릭스 메모리를 도시하는 기능적 블록도이다.

도 6은 본 발명의 바람직한 실시예에 따른 세그먼트된 워드 라인을 갖는 수동 매트릭스 메모리를 도시하는 기능적 블록도이다.

도 7a는 "전체 워드 관독"내의 메모리 매트릭스의 세그먼트의 워드 라인을 어드레싱하기 위해 제공된 기록/리프레쉬 사이클을 갖는 간단한 전체 워드 관독 타이밍도이며;

도 7b는 도 7a내의 타이밍도의 변형예이다.

도 8은 워드 라인의 전기적 세그먼트화 이외에는 도 5의 실시예와 동일한 도이다.

도 9는 워드 라인의 전기적 세그먼트화 이외에는 도 6의 실시예와 동일한 도이다.

도 10은 도 5 또는 6의 메모리 매트릭스가 용적형 메모리 디바이스내에서 어떻게 구현될 수 있는지를 개략적으로 도시한 도이다.

실시예

바람직한 실시예의 상세한 상술을 하기 전에, 수동 매트릭스 메모리 또는 그러한 메모리 제품내의 단일 메모리 셀의 이해를 위하여, 본 발명의 일반적인 배경이 논의될 것이다. 이와 관련하여, 도 1이 참조되며, 도 1은 강유전체 물질의 통상적인 소위 "히스테리시스 루프"를 도시하며, 강유전체 물질의 분극화(P)는 전위차(V)에 대해 도시된다. 분극값은 도시된 방향으로 루프를 이동할 것이다. 도 1에 도시된 바와 같은 히스테리시스 루프를 갖는 강유전체 물질은 소위, 항전압 V_c 를 초과하는 전압 V_S 의 인가시 그것의 순 분극 방향을 변화("스위칭")시킬 것이다. 전압 V_S 가 항전압 V_c 를 초과함에 따라, 분극(P)은 큰 양의 값 + P_r 로 갑자기 변한다(제로 전계의 (-) 분극에서 시작하는 것으로 가정). 음의 항전압 $-V_c$ 를 초과하는 대응 음의 전압 $-V_S$ 가 (-) 분극으로 다시 분극을 변화시킬 때까지, 이러한 (+) 분극(+ P_r)이 유지된다. 이러한 방식에서, 강유전체 물질을 포함하는 커패시터들이 제공된 메모리 디바이스는 인가된 외부 전계가 없을 때, 강유전체 물질 상에 전위차를 인가하여 비휘발성 데이터를 저장할 수 있는 메모리 효과를 나타낼 것이며, 이는 분극 응답을 일으킨다. 그러므로, 그 방향(및 크기)은 원하는 상태로 설정되고, 유지될 수 있다. 마찬가지로, 분극 상태가 결정될 수 있다. 데이터 저장 및 결정은 이하에서 더욱 상세히 논의될 것이다.

요구된 스위칭 속도 등에 의존하여, 강유전체 물질의 분극 상태를 유도하기 위해 사용된 스위칭 전압(V_S)은 통상적으로 항 전압(V_C)보다 상당히 더 크게 선택된다. 스위칭 전압(V_S)은 일반적으로 도 1의 점선 라인으로 도시되지만, 그러나 이러한 특정 값에 제한되는 것은 아니다. 다른 값들이 적용될 수 있다.

도 2는 2개의 상호 대향하는 평행 전극들의 세트들, 즉 워드 라인 전극(WL)들과 비트 라인 전극(BL)들을 도시하는 수동 매트릭스 메모리(10)의 $m \times n$ 메모리 매트릭스(1)의 일부를 도시한다. 워드 라인과 비트 라인 전극(WL; BL)들은 서로 수직으로 배열되어 있으며, 그에 따라 교차하는 영역에서 절연 강유전체 물질(이하에서 상세히 상술됨)의 특정 용적형 엘리먼트들의 측벽들을 형성하며, 차례로 메모리 매트릭스(11)내의 커패시터형 메모리 셀의 용적을 형성한다. 도 3은 도 2의 라인 A-A에 따른 횡단면도를 개시한다. 각 "커패시터"의 유전체는 강유전체층(12)의 강유전체 물질이며, 상기 물질의 두께는 메모리 셀(13)을 차례로 형성하는 용적형 엘리먼트들의 높이(h)를 정의한다. 간략화를 위해, 워드 라인과 비트 라인 전극(WL; BL)들 사이의 단지 3개의 교차점들만 도 2에 도시되어 있다.

셀(13) 내의 2개의 대향 전극들, 즉 워드 라인(WL)과 비트 라인(BL) 사이에 전위차(V_S)를 인가함으로써, 상기 셀(13)의 강유전체 물질은 분극 응답을 일으키는 전계(E)에 영향받기 쉬우며, 도 1에서 예로서 개시된 바에 따라, 2개의 안정 상태, 즉 (+) 또는 (-) 분극 중 하나로 설정되고 유지될 수 있는 방향을 갖는다. 상기 2개의 상태는 2진 상태 "1" 및 "0"을 나타낸다. 마찬가지로, 셀(13)의 분극 상태는 셀(13)을 어드레스하는 2개의 대향 전극(WL 및 BL)사이의 전위 차이를 새로 인가함으로써 변경되거나 유도될 수 있으며, 이는 전위차의 제거 후에 분극이 변하지 않고 유지되거나, 반대 방향으로 바뀌도록 한다. 상기 전자의 경우에, 작은 전류가 인가된 전압에 응답하여 흐를 것이며, 후자의 경우에 분극 변화는 더 큰 전류를 야기한다. 전류는 기준과 비교되고, 이는 "0" 또는 "1"을 나타내는지를 결정할 수 있는 많은 방법(미도시)에 제공될 수 있다. 판독이 파괴적인 판독이라면, 일부 셀 내의 분극 상태는 반대 상태로 스위칭될 것이다. 예를 들면, 셀의 분극 상태는 판독되는 상태 "1" 또는 상태 "0" 이든 간에 "0"으로 스위칭될 수 있다. 최초 상태는 메모리 내의 정보 즉, 판독값을 유지하기 위하여 메모리 내의 셀에 다시 기록되어야만 한다. 본 발명의 바람직한 실시예를 상술할 때, 수동 매트릭스 메모리의 동작 방식에 대하여 이하에서 상세히 상술될 것이다.

본 발명의 이해를 돕기 위하여, 수동 매트릭스 메모리를 위한 다른 판독 방법을 도시하는 도 4가 참조될 수 있으며, 여기서 요구된 메모리 셀(13)을 포함하는 제 1 워드 라인(WL₁)은 그것의 전체 워드 길이, 즉 비트 라인(BL₁, ..., BL_n)에 의해 형성되는 각 메모리 셀(13)에 대해 감지된다. 전체 워드 판독(full word read)은 예를 들면, US-A-6 157 578에 상술된 공지된 개념이다. 그러나, 상기 문헌은, 능동 매트릭스 메모리 디바이스에 관한 해법을 기술하고, 메모리 매트릭스의 비교적 큰 블록 내에 저장된 전송 데이터의 속도를 증가시키는 목적을 갖는다. 이와는 달리, 본 발명은 수동 매트릭스 메모리와 관련되며, US-A-6 157 578에 상술된 바와 같은 능동 매트릭스에 대한 종래 기술은 어드레스되지 않은 셀을 방해하는 문제점을 갖지 않는다.

수동 매트릭스 메모리내의 전체 워드 판독을 위한 펄스 프로토콜에 따르면, 사용되지 않은 워드 라인, 이러한 경우에 워드 라인(WL₂, ..., WL_m)은 비트 라인(BL₁, ..., BL_n)과 동일한 전위나 거의 동일한 전위에서 유지될 수 있다는 것을 유의하는 것이 중요하다. 그 결과, 메모리 매트릭스(10)의 어드레스되지 않은 임의의 셀 상에 방해하는 신호가 없다. 데이터의 판독(감지)을 위하여, 활성 워드 라인, 이 경우에 제 1 워드 라인(WL₁)에는 교차하는 비트 라인(BL₁, ..., BL_n)상의 셀들을 통하여 전류(I)가 흐르도록 하는 전위가 제공된다. 전류(I)의 크기는 각 셀(13)의 분극 상태에 의존하며, 도 4에 도시된 바와 같이 각각의 비트 라인(BL)에 대해 하나씩 할당된 감지 수단(26)에 의해 결정된다. 예를 들면, 감지 수단은 센스 증폭기일 수 있다.

전체 워드 판독은 여러 가지 이점을 제공한다. 예를 들면, 어드레스되지 않은 셀 내의 부분 스위칭을 초래하지 않으면서 항 전압 보다 더 높은 판독 전압이 선택될 수 있으며, 그러한 방법은 큰 매트릭스에 적합하다.

본 발명의 바람직한 실시예는 도 5-7의 도면에 도시된다. 첨부된 타이밍도에 따르면, 활성 세그먼트내의 모든 셀들을 판독하는 동안에 활성 워드 라인(WL₁)의 모든 셀들 상에 스위칭 전압(V_S)을 인가하면서 어드레스되지 않은 메모리 셀들에는 전압 방해가 제로가 되는 것이 달성된다. 바람직한 타이밍도는 도 7a에 도시되며, 대안적인 타이밍 도는 도 7b에 개시된다.

본 발명에 따른 수동 매트릭스 메모리의 바람직한 실시예를 도시하는 도 5를 참조하면, 매트릭스는 m 워드 라인(WL₁, ..., WL_m)과 n 비트 라인(BL₁, ..., BL_n)에 의해 형성된 $m \times n$ 매트릭스로서 구현된다. 워드 라인은 q 세그먼트(S)로 분할되며, 각각의 세그먼트(S)는 매트릭스(BL)내의 k개의 인접 비트라인(BL)에 의해서 형성된다. 바람직하게는 k는 각 세그먼트에 대하여 동

일하며, 그 결과 $q \cdot k = n$ 이 된다. 판독을 위하여, 각 세그먼트(S)내의 제 1 비트 라인(25₁)은 제 1 멀티플렉서(25₁)에 의해 제 1 감지 수단(26₁)에 결합될 수 있다. 각 세그먼트 내의 제 2 비트 라인은 다른 멀티플렉서(25₂)에 상응하게 결합되며, 각 세그먼트 내의 k번째 라인은 마지막 멀티플렉서(25_k)에 결합될 것이다. 즉, 멀티플렉서(MUX)(25)의 수는 세그먼트를 형성하는 비트 라인(BL)의 최대 수와 동일하다. 물론, 각각의 세그먼트(S)내의 비트 라인의 수가 상이할 수 있지만, 만약 세그먼트 상의 비트 라인상의 메모리 셀들이 동일한 길이를 갖는 데이터 워드를 포함한다면, k는 모든 세그먼트에 동일하게 될 것이다. 각각의 멀티플렉서(25)는 데이터의 판독을 위한 감지 수단(26)과 연결되며, 그러므로 감지 수단의 수는 세그먼트를 형성하는 비트 라인(BL)의 최대 수 k 와 동일할 것이다. 부분 워드 판독을 사용하는 통상적인 수동 매트릭스 메모리와는 달리, 워드 라인 세그먼트(n) 내의 모든 메모리 셀(13)은 워드 라인 세그먼트상의 모든 비트 지점이 동시에 판독될 수 있도록 감지 수단(26)에 동시에 연결된다. 구체적으로, 상기 감지 수단은 센스 증폭기가 될 수 있다. 간소화를 위하여, 단지 제 1, 제 2 세그먼트(S₁, S₂)와 최종 세그먼트(S_q)가 도 5에 개시되었으며, 그와 관련된 멀티플렉서(25)와 센스 증폭기(26)가 개시되어 있다. 메모리 매트릭스(11)에 저장된 및/또는 저장될 데이터는 도 5에 도시되지 않은 관련 로우 디코더 및 칼럼 디코더에 의해서 액세스될 수 있으며, 메모리 매트릭스(11)내의 메모리 셀(13)내에 저장된 데이터는 멀티플렉서(25)상의 비트 라인에 연결되는 센스 증폭기(26)를 통하여 예를 들면, 도 7a와 관련하여 설명될 펄스 프로토콜로 판독될 수 있다. 워드 라인 세그먼트(S)를 형성하는 모든 비트 라인(BL)은 멀티플렉서(25)로 라우트되며, 이러한 세그먼트내의 소정의 워드 라인(WL)이 활성화될 때만 선택된다. 이러한 방식에서, 세그먼트(S)내의 활성화 워드 라인(WL)내의 모든 비트 라인은 "전체 워드 구성(full word configuration)"에서 병렬로 판독되며, 모든 비트 라인은 센스 증폭기들(26) 중에 배분된다.

실제적인 실시예에서, 수동 메모리 디바이스는 16Mbit 메모리가 8 세그먼트(S) 즉, q=8, 각 64 비트의 256000 워드 라인을 포함할 수 있다. 그리고 나서, 각 세그먼트(S)내에 8 비트 라인(BL) 즉, k=8이 될 것이다. 물론, 다른 기술 예를 들면, 각 세그먼트(S)내에 9, 16 또는 32 비트 라인도 가능하다.

본 발명의 다른 실시예에서, 적어도 256개의 메모리 셀(13)이 각 세그먼트(S)내에 사용된다. 32:1 멀티플렉서(25)를 사용하면, 이것은 워드 라인 드라이버의 32 복사만으로 8192 비트 와이드 메모리를 형성한다. 물론, 각 워드 라인은 제공된 센스 증폭기(26)의 수에 따라 세그먼트될 것이다.

도 6에서, 본 발명에 따른 메모리 디바이스의 다른 실시예가 도시되며, 멀티플렉서는 게이트 수단(25)으로 대체된다. 게이트 수단(25)은 멀티플렉서와 동일한 방식으로 비트 라인(BL)을 활성화시킨다.

바람직하게는, 게이트 수단(25)은 세그먼트(S)내의 각각의 비트 라인(BL)에 연결된 패스 게이트로서 실현된다. 도 5의 실시예에서 멀티플렉서(25)의 수는 세그먼트(S)내의 비트 라인(BL)의 수, 즉, k와 동일한 반면에, 도 6의 실시예에서 패스 게이트(25)의 수는 세그먼트(S)의 수 q에 상응한다. 각각의 패스 게이트(25) 상의 출력의 수는 각각의 세그먼트(S) 내의 비트 라인(BL)의 수에 상응한다. 세그먼트(S)내의 활성화 워드 라인(WL)의 메모리 셀(13)의 동시 판독을 유지하기 위하여, 센스 증폭기(26)가 세그먼트내의 각 비트 라인(BL)을 위하여 사용되며, 각각의 센스 증폭기(26)는 데이터 버스(28) 상의 라인(27)들 중 하나에 연결된다. 패스 게이트의 제 1 출력은 제 1 버스 라인(27₁)에 연결되며, 제 2 출력은 제 2 버스 라인(27₂)에 연결되며, 물론 버스 라인(27)과 센스 증폭기의 수는 세그먼트(S)를 형성하는 비트 라인(BL)의 최대 수가 될 것이다.

도 7a 및 7b는 전체 워드 판독 사이클을 위한 선택적인 타이밍도를 나타낸다.

도 7a는 워드 라인 세그먼트를 위한 기록/판독 사이클("리프래쉬", "재기록(write back)")을 갖는 전체 워드 판독을 위한 타이밍도를 도시한다. 이러한 타이밍도는 4-레벨 전압 프로토콜에 기초한다. 이러한 타이밍도에 따르면, 매트릭스내의 셀이 판독 또는 기록되지 않을 때, 모든 워드 라인과 모든 비트 라인은 제로 볼트와 동일한 정지 전압에서 유지된다. 모든 메모리 셀은 판독될 이러한 세그먼트내의 모든 비트라인(BL)과 활성화된 워드 라인(WL)에 의해 형성되는 교차점을 나타내는 어드레스를 갖는다.

비활성 워드 라인(WL) 및 모든 비트 라인(BL)은 판독 사이클 동안에 동일한 전위 곡선을 따른다. 판독 사이클 동안에, 판독될 셀들과 접촉되는 워드 라인은 스위칭 전압(V_s)으로 설정된다. 동일한 시간 구간에서 모든 비트 라인은 제로 전압에서 유지된다. 타이밍도에서, 셀의 워드 라인측 상의 스위칭 전압(V_s) 및 동일 셀의 비트 라인측 상의 제로 전압의 인가는 "0" 이 셀 내부에 기록되는 것을 의미한다. 이에 따라, 도시된 두 개의 타이밍도에서 활성화 워드 라인상의 모든 셀은 판독 동작

이 수행된 후에 제로 상태로 설정된다. 그러므로, 메모리 내에 저장된 데이터를 재저장하기 위하여, "1"을 포함하는 셀을 갖는 비트 라인상에만 "1"을 재기록(write back)할 필요가 있게된다. 이는 도 7a와 7b의 예에 도시되며, 반전된 극성을 갖는 전압은 도면에 개시된 바와 같이 판독 사이클 동안에 "1"로 기록될 셀에 인가된다.

도 7b는 4-레벨 전압 프로토콜에 기초한 다른 타이밍도를 개시한다. 이러한 실시예에 따라, 매트릭스의 셀이 판독 또는 기록되지 않을 때, 모든 워드 라인들 및 비트 라인들은 정지 전압 $V_s/3$ 에서 유지된다.

도 7a 및 7b의 예로서 도시된 모든 타이밍 포인트를 위한 정확한 값은 메모리 셀의 물질과 설계에 의존한다.

도 5와 6의 실시예에서, 워드 라인은 방해(interrupt)되지 않을 수 있고, 즉 워드 라인들은 분리된 세그먼트들로 연속적으로 연장되며, 세그먼트들은 단지 비트 라인들에 의해 한정된다. 그리고 나서, 판독 및 기록을 위한 멀티플렉싱과 프로토콜은 조절되어야 한다. 그러나, 워드 라인이 너무 긴 것은 단점이 된다. 각 세그먼트내의 비트 라인의 제한된 수와 세그먼트의 제한된 수를 가지면, 이것이 회피된다. 예를 들면, 상기 언급된 예와 같이, 각 세그먼트내의 8 비트 라인을 갖는 8 세그먼트와 256000 워드 라인이 사용된다. 그리고 나서, 메모리는 언급된 바와 같이 16Mbit의 저장 커패시터를 획득한다. 그러나, 연속 워드 라인은 다른 단점이 있다. 만약 세그먼트(S)내의 메모리 셀의 비트 지점이 활성 워드 라인상의 높은 전압으로 판독한다면, 높은 전압은 모든 세그먼트내의 활성 워드 라인 상에 영향을 줄 것이며, 어드레스된 세그먼트내의 비트 라인만이 연결되더라도, 용량성 커플링과 스푼크 전류가 형성되어, 예를 들면, 스푼리어스 독출 또는 잡음 문제를 유발할 수 있는 것과 같은 영향을 세그먼트 내의 인접한 비활성 워드 라인내의 메모리 셀에 줄 수 있다. 본 발명에 따른 메모리 디바이스의 실제 실시예에서, 어드레스된 세그먼트 내의 활성 워드 라인만이 드라이버에 전기적으로 연결되도록 워드 라인을 전기적으로 세그먼트할 수 있는 것이 적절하며, 잔존하는 세그먼트내의 상응하는 워드 라인 세그먼트는 끊어진다. 이것은 도 7의 프로토콜이 사용될 때 적절할 것이며, 도 5에 상응하는 도 8에 도시된 바와 같은 메모리 디바이스의 실시예가 발생할 수 있다. 드라이버 그룹(20)내의 미도시된 드라이버는 예를 들면, 선택기 버스로서 실현될 수 있는 세그먼트 선택기(22)에 의해 선택되어, 선택된 세그먼트(S)내의 워드 라인(WL)은 판독 또는 기록 사이클 동안에 활성화된다. 세그먼트 선택기 수단(22)에 의해 제어되는 멀티플렉서(25)는 스위치(24)를 통하여 그룹(20)내에서 선택된 드라이버와 연결되고, 스위치가능한 캐쉬 메모리(21) 위의 선택기 수단(22)을 통하여 제어될 수 있다. 특정 멀티플렉서(25)는 어드레스된 세그먼트내의 비트 라인(BL)을 센스 증폭기(26)에 연결시키기 위해 동시에 어드레스된다. 실용적인 면에서, 세그먼트내의 각 워드 라인(WL)은 AND 게이트, 예를 들면, CMOS 로직 게이트나 패스 게이트에 연결될 수 있으며, 세그먼트는 워드 라인 또는 어드레스 디코더로부터 어드레스된다. 예를 들면, 워드 라인(WL₁)은 세그먼트(S₁)내에서 선택되며, 그리고 나서 그것은 세그먼트(S₁)내의 이러한 비트 라인에서만 전압이 된다. 파괴적인 독출에서, 모든 메모리 셀과 세그먼트(S₁)내의 워드 라인(WL₁)은 제로 상태로 스위치되며, 멀티플렉서(25)는 세그먼트(S₁)내의 모든 비트 라인을 개별 센스 증폭기(26₁...26_k)에 연결한다. 그러므로, 활성화된 워드 라인상의 모든 셀이 판독된다. 즉 세그먼트의 워드 라인이 데이터 워드를 포함하도록 형성되면, 전체 워드 판독이 획득된다. 선택된 워드 라인(WL₁)상의 모든 셀의 상태가 검출되며, 잔존하는 워드 라인(WL₂...WL_m)과 비트 라인(BL₁...BL_k)은 센스 증폭기(26)의 바이어싱 포인트 근처의 정지 전압으로 유지되며, 세그먼트의 잔존하는 셀로부터의 방해가 없을 것이다. 비트 라인상의 셀에 임의의 바이어스 전압이 없기 때문에, 센스 증폭기(26)의 입력에 대한 방해 신호가 생성될 수 없게 된다. 센스 증폭기(26)의 데이터 출력은 2-웨이 데이터 버스(23)에 전달되며, 기록 로직(29)은 세그먼트내의 활성 워드 라인상의 셀의 비트 지점들에 데이터의 기록을 위해 멀티플렉서의 출력상에 병렬로 연결되며, 세그먼트내의 워드 라인은 판독의 경우와 같이 선택기 수단(22)을 통하여 상응하는 방식으로 선택된다. 바람직하게는, 선택기 수단(22)의 스위치 가능한 출력상에 버퍼 메모리(21)가 제공되며, 후자는 선택기 수단(22)에 의해 제어된 다수의 라인 스위치(24)를 통하여 멀티플렉서(25)와 드라이버를 연결한다.

도 9는 도 6의 실시예에 부가적으로 상응하지만, 도 8의 실시예와 기능적으로 등가인 실시예를 도시하며, 멀티플렉서는 게이트 수단(25)으로 대체되었다. 각각의 게이트 수단(25)은 예를 들면, 패스 게이트로서 기능을 하는 스위칭 트랜지스터(25a)를 포함하며, 각 라인당 하나가 배치되어 게이트 수단(25)내에 전체 k개의 스위칭 트랜지스터(25a)가 될 것이다. 도 8의 실시예의 경우와 같이, 각 세그먼트당 하나의 드라이버 그룹(20)이 제공되며, 선택기 수단(22)은 드라이버 그룹 선택기(22a)로 대체된다. 개별 워드 라인(WL)의 어드레싱은 그룹 선택기(22a)에 의한 제어하에 워드 라인 어드레스 버스(30)내의 출력을 발생한다. 판독시 비트 라인(25a)은 데이터 버스(28)내의 버스 라인(27)에 연결되며, 센스 증폭기의 데이터 출력은 2-웨이 데이터 버스(23)에 연결된다. 따라서, 도 8에서와 같이, 기록 로직(29)은 센스 증폭기(26)상에 병렬로 제공되며, 기록이 일어날 때, 워드 라인 세그먼트는 그룹 선택기(22a)를 통하여 선택되며, 워드 라인 어드레스 버스(30)상에 어드레스한다.

기본적으로, 선택, 디코딩 및 어드레싱을 위해 필요한 디바이스 및 수단은 공지되어 있으며, 능동이든 수동이든 매트릭스-어드레스가능 메모리내에서 통상적으로 사용되므로, 여기에서는 더욱 상세히 논의되지 않을 것이다.

전압 레벨들과 펄스 프로토콜내의 전압 레벨들 자체의 수는 전체 워드 판독을 수행하기 위한 요구를 만족하는 한 임의대로 선택될 수 있다. 더욱이, 도시된 프로토콜에 따른 전압의 극성은 반전될 수 있다.

본 발명에 따른 메모리 디바이스의 실현을 위한 실제적인 회로 기술에서, 메모리 매트릭스는 기판과 집적된 워드 라인 드 라이버 상에 제공되어, 디바이스의 전체 면적이 증가하지 않게 된다.

세그먼트된 워드 라인은 비트 라인(BL)이 수직으로 멀티플렉서나 게이트 수단(25)에 연결되며, 적층된 메모리 평면상에 구현될 수 있다. 이는 도 10에 개시되며, 도 10은 본 발명에 따른 메모리 디바이스(10)가 적층된 배열 내에 제공되는 실시예의 횡단면을 개략적으로 도시한다. 이는 각각의 층 또는 메모리 평면(P)이 하나의 메모리 디바이스(10)를 포함하는 용적형 데이터 저장 장치를 실현한다. 교차된 배열 내에 메모리 디바이스를 제공함으로써, 개별 워드 라인과 비트 라인은 소위 교차된 비아(staggered vias), 즉 기판(14)내에 드라이버와 제어 회로와의 교번하는 수평 및 수직 "오버-더-에지(over-the-edge)" 커넥션들상에 연결될 수 있다. 기판(14)은 무기물, 즉 실리콘계일 수 있으므로, 회로는 예를 들면, 적합한 CMOS 기술로 구현될 수 있다. 도 8은 단지 2개의 메모리 평면 P_1, P_2 (제한된 수의 비트 라인들만 도시됨)를 도시하지만, 실제 용적형 데이터 저장 장치는 8에서 100 이상의 매우 많은 수의 메모리 평면을 포함하며, 각 메모리 평면은 단지 약 1 μm 두께 이하가 될 것이므로, 초 고용량 및 저장 밀도를 갖는 메모리를 실현한다.

상술된 수동 매트릭스 메모리 디바이스의 이점은 제조의 간소화 및 셀의 고 밀도화를 포함한다. 다른 이점들은 이하와 같다.

- a) 워드 라인이 전기적으로 세그먼트되면, 어드레스되지 않은 메모리 셀은 판독 사이클 동안에도 도 7a에 따른 프로토콜이 사용되어, 제로 볼트 전위(또는 작은 전위)으로 되기 쉽다. 이는 메모리 내용의 손실을 가져올 수 있는 방해 신호의 수를 감소시키며, 판독 동작동안에 스니크 전류를 야기하는 모든 방해물을 소거할 것이다.
- b) 데이터 전송율은 세그먼트내의 비트 라인의 수에 의해 허용되는 최대 비율이 될 것이다.
- c) 판독 전압(V_s)은 어드레스되지 않은 셀내의 부분 스위칭을 초래하지 않으면서 항전압 보다 더 높게 선택될 수 있다. 이는 스위칭 속도가 셀 내의 분극 가능한 물질의 최고 가능 속도에 접근하는 것을 허용한다.
- d) 판독 방법은 큰 매트릭스에 적합하다.

또한, 본 발명의 메모리 디바이스는 감소된 수의 센스 증폭기로 실현될 수 있으며, 이는 메모리가 클 때, 센스 증폭기의 전력 소비와 관련하여 이점이 있다. 이는 매우 높을 수 있지만, 구동 및 어드레싱 회로의 적절한 전력 관리에 의해 어느 정도 감소될 수도 있다. 더욱이, 센스 증폭기의 수의 감소는 감지 수단에 전용된 영역이 메모리 디바이스내의 전체 면적 최적화를 성취하기 위해 밸런싱도리 수 있음을 의미한다. 마지막으로, 워드 라인의 세그먼트화는 판독 또는 어드레싱 동안의 에러가 단일 워드 라인 결점의 경우에 단일 워드 내에서 위치될 것이라는 것을 의미한다.

(57) 청구의 범위

청구항 1.

히스테리시스를 나타내는 전기적으로 분극 가능한 유전체 메모리 물질(12), 특히 강유전체 물질을 포함하며, 상기 메모리 물질(12)은 개별 평행 어드레싱 전극의 제 1 및 제 2 세트(14; 15) 사이의 층내에 삽입되어 제공되며, 상기 제 1 세트(14)의 전극들은 메모리 디바이스의 워드 라인들(WL_1, \dots, W_m)로 구성되고, 상기 제 2 세트(15)의 전극들과 대체로 직교 관계로 제공되며, 상기 제 2 세트의 전극들은 메모리 디바이스의 비트 라인들(BL_1, \dots, B_n)로 구성되며, 커패시터형 구조를 갖는 메모리 셀(13)은 워드 라인들과 비트 라인들 사이의 교차점들에서 상기 메모리 물질(12)내에 형성되며, 상기 메모리 디바이스의 메모리 셀들(13)은 수동 매트릭스(11)의 엘리먼트들로 구성되며, 각각의 메모리 셀(13)은 워드 라인(WL)과 비트 라인(BL)을 통하여 기록/판독 동작을 위해 선택적으로 어드레스될 수 있고, 상기 메모리 셀(13)의 기록 동작은 셀을 형성하는 개별 워드 라인(WL)과 비트 라인(BL)을 통하여 상기 셀에 인가되는 전압에 의해 상기 셀로 원하는 분극 상태를 형성함으로써 이루어지며, 상기 인가된 전압은 메모리 셀(13)에 결정된 분극 상태를 형성하거나 그 분극 상태들 사이에서 스위치될 수 있고, 판독 동작은 항전압(V_c)보다 더 큰 전압을 상기 메모리 셀(13)에 인가하여, 상기 비트 라인들(BL)상에서 출력 전류의 적어도 하나의 전기 파라미터를 검출함으로써 이루어지는 비휘발성 수동 매트릭스 메모리 디바이스(10)로서,

상기 워드 라인들(WL)은 많은 세그먼트들(S_1, \dots, S_q)로 분할되며, 각 세그먼트는 상기 매트릭스(11)의 다수의 인접한 비트 라인들(BL)을 포함하고 그들에 의해 형성되며, 수단(25)은 세그먼트(S)에 할당된 각각의 비트 라인(BL)을 연동되는 감지 수단(26)과 연결하기 위해 제공되어, 상기 세그먼트(S)의 대응 비트 라인들(BL)을 통하여 독출을 위해 세그먼트(S)상의 워드 라인(WL)에 할당된 모든 메모리 셀들(13)의 동시 연결이 가능하며, 각각의 감지 수단(26)은 상기 비트 라인(BL)에 의해 형성된 상기 메모리 셀(13)에 저장된 논리값을 결정하기 위하여, 연결된 상기 비트 라인(BL)의 전하 흐름을 감지하도록 적응되는 비휘발성 수동 매트릭스 메모리 디바이스.

청구항 2.

제 1 항에 있어서, 어드레싱 동안에, 상기 세그먼트(S)의 각 비트 라인(BL)을 상기 연동되는 감지 수단(26)에 동시 연결하기 위한 상기 수단(25)은 멀티플렉서인 것을 특징으로 하는 비휘발성 수동 매트릭스 메모리 디바이스.

청구항 3.

제 2 항에 있어서, 상기 멀티플렉서(25)의 개수는 상기 세그먼트(S)를 형성하는 비트 라인들(BL)의 최대 수와 동일하며, 상기 세그먼트의 각 비트 라인은 특정 멀티플렉서와 연결되는 것을 특징으로 하는 비휘발성 수동 매트릭스 메모리 디바이스.

청구항 4.

제 3 항에 있어서, 상기 각 멀티플렉서(25)의 출력은 단일 감지 수단(26)에 연결되는 것을 특징으로 하는 비휘발성 수동 매트릭스 메모리 디바이스.

청구항 5.

제 4 항에 있어서, 상기 단일 감지 수단(26)은 센스 증폭기인 것을 특징으로 하는 비휘발성 수동 매트릭스 메모리 디바이스.

청구항 6.

제 1 항에 있어서, 어드레싱 동안에 상기 세그먼트(S)의 각 비트 라인(BL)을 상기 연동되는 감지 수단(26)에 동시 연결하기 위한 상기 수단(25)은 게이트 수단인 것을 특징으로 하는 비휘발성 수동 매트릭스 메모리 디바이스.

청구항 7.

제 6 항에 있어서, 상기 세그먼트(S)의 모든 비트 라인들(BL_1, \dots, BL_n)은 특정 게이트 수단에 연결되며, 각 게이트 수단은 개별 세그먼트(S)에서 상기 비트 라인들(BL)의 개수와 일치하는 많은 출력들을 가지고, 상기 각 게이트 수단(25)의 각 출력은 출력 데이터 버스(28)의 특정 버스 라인(27)에 연결되어, 상기 버스 라인(27)의 개수는 상기 세그먼트(S)의 비트 라인들(BL)의 최대 수와 동일하며, 상기 각 버스 라인(27)은 단일 감지 수단(26)과 연결되는 것을 특징으로 하는 비휘발성 수동 매트릭스 메모리 디바이스.

청구항 8.

제 6 항에 있어서, 상기 게이트 수단(25)은 패스 게이트들을 포함하는 것을 특징으로 하는 비휘발성 수동 매트릭스 메모리 디바이스.

청구항 9.

제 6 항에 있어서, 상기 감지 수단(26)은 센스 증폭기인 것을 특징으로 하는 비휘발성 수동 매트릭스 메모리 디바이스.

청구항 10.

제 1 항에 있어서, 상기 비휘발성 수동 매트릭스 메모리 디바이스는 다수의 적층된 층들(P_1, P_2, \dots)을 갖는 용적형 데이터 저장 장치에 사용되며, 각각의 층(P)은 상기 비휘발성 수동 매트릭스 메모리 디바이스들(10) 중 하나를 포함하는 것을 특징으로 하는 비휘발성 수동 매트릭스 메모리 디바이스.

청구항 11.

히스테리시스를 나타내는 전기적으로 분극가능한 유전체 메모리 물질(12), 특히 강유전체 물질을 포함하며, 상기 메모리 물질(12)은 개별 평행 어드레싱 전극들의 제 1 세트 및 제 2 세트(14; 15) 사이의 층내에 삽입되어 제공되며, 상기 제 1 세트(14)의 전극들은 메모리 디바이스(10)의 워드 라인(WL)들로 구성되고 상기 제 2 세트(15)의 전극들과 대체로 직교 관계로 제공되며, 상기 제 2 세트의 전극들은 상기 메모리 디바이스(10)의 비트 라인들(BL_1, \dots, BL_n)로 구성되고, 커패시터형 구조를 갖는 메모리 셀(13)은 워드 라인(WL)들과 비트 라인(BL)들 사이의 교차점들에서 상기 메모리 물질(12)내에 형성되며, 상기 메모리 디바이스(10)의 메모리 셀(13)들은 수동 매트릭스(11)의 엘리먼트들로 구성되며, 각각의 메모리 셀(13)은 상기 워드 라인(WL)과 비트 라인(BL)을 통하여 기록/판독 동작을 위해 선택적으로 어드레스될 수 있고, 상기 메모리 셀(13)의 기록 동작은 상기 셀을 형성하는 개별 워드 라인(WL)과 비트 라인(BL)을 통하여 상기 셀에 인가되는 전압에 의해 상기 셀내에 원하는 분극 상태를 형성함으로써 이루어지며, 상기 인가된 전압은 상기 메모리 셀(13)에 결정된 분극 상태를 형성하거나 그 분극 상태 사이에서 상기 셀을 스위치 할 수 있고, 판독 동작은 항전압(V_C)보다 더 큰 스위칭 전압(V_S)을 상기 메모리 셀(13)에 인가하여, 그 비트 라인(BL)들상의 출력 전류의 적어도 하나의 전기 파라미터를 검출함으로써 이루어지며,

모든 워드 라인(WL)들과 비트 라인(BL)들을 위한 전기 타이밍 시퀀스들을 포함하는 프로토콜에 따라 시간-좌표계 방식으로 상기 모든 워드 라인(WL)들과 비트 라인(BL)들상의 전위를 제어하는 단계, 판독 사이클을 포함하도록 상기 프로토콜을 배치하는 단계, 및 상기 판독 사이클 동안에, 상기 비트 라인들을 흐르는 전하들을 감지하기 위한 감지 수단을 제공하는 단계를 포함하는 비휘발성 수동 매트릭스 메모리 디바이스(10)의 독출 방법으로서, 상기 방법은,

상기 워드 라인(WL)들을 많은 세그먼트들(S_1, \dots, S_q)로 분할하며, 각 세그먼트는 매트릭스(11)내에 많은 인접 비트 라인(BL)들을 포함하고 그 비트 라인들에 의해 형성되는 단계;

상기 워드 라인 세그먼트(S)내의 각 비트 라인(BL)을 연동되는 감지 수단(26)에 연결하는 단계;

상기 세그먼트(S)의 모든 비트 라인들을 제로 전위로 유지하면서, 상기 판독 사이클의 적어도 일부 동안에, 상기 세그먼트(S)의 하나의 워드 라인(WL)의 전위를 상기 스위칭 전압(V_S)으로 설정함으로써, 상기 세그먼트(S)의 하나의 워드 라인(WL)을 상기 프로토콜에 따라 한번에 활성화시키는 단계; 및

상기 판독 사이클 동안에 상기 감지 수단(26)에 의해 감지되는 상기 개별 메모리 셀(13)에 저장된 논리값을 결정하는 단계를 포함하는 비휘발성 수동 매트릭스 메모리 디바이스의 독출 방법.

청구항 12.

제 11 항에 있어서, 상기 메모리 셀(13)이 판독되거나 기록되지 않을 때, 상기 모든 워드 라인(WL)들과 비트 라인(BL)들을 상기 스위칭 전압(V_S)의 약 1/3의 정지 전압으로 유지하는 단계;

상기 세그먼트(S)의 모든 비트 라인들을 제로 전위로 유지하면서, 상기 판독 사이클의 적어도 일부 동안에, 상기 세그먼트(S)의 하나의 워드 라인(WL)의 전위를 상기 스위칭 전압(V_S)에 설정함으로써, 상기 프로토콜에 따라 하나의 워드 라인(WL)을 한번에 활성화시키는 단계; 및

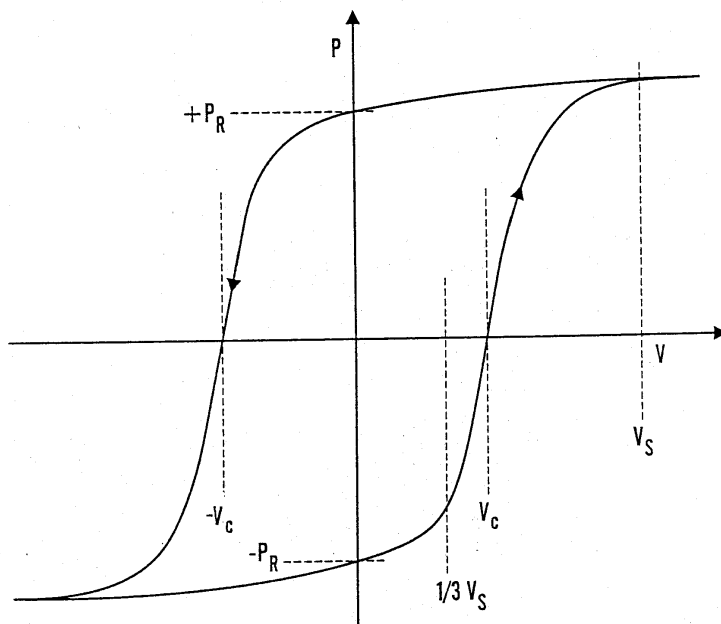
상기 판독 사이클 동안에 상기 감지 수단(26)에 의해 감지된 상기 개별 메모리 셀(13)들내에 저장된 논리값을 결정하는 단계를 포함하는 것을 특징으로 하는 비휘발성 수동 매트릭스 메모리 디바이스의 독출 방법.

청구항 13.

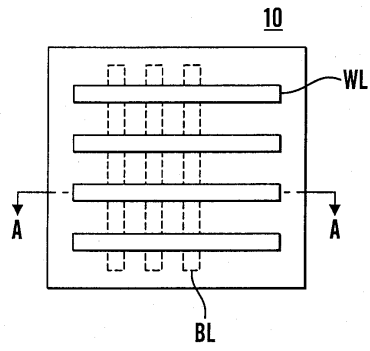
제 11 항에 있어서, 상기 비휘발성 수동 매트릭스 메모리 디바이스는 다수의 적층된 층들(P_1, P_2, \dots)을 갖는 용적형 데이터 저장 장치에 사용되며, 각각의 층(P)은 상기 비휘발성 수동 매트릭스 메모리 디바이스(10)들 중 하나를 포함하는 것을 특징으로 하는 비휘발성 수동 매트릭스 메모리 디바이스의 독출 방법.

도면

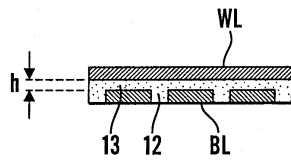
도면1



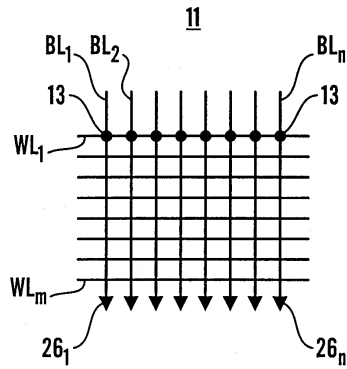
도면2



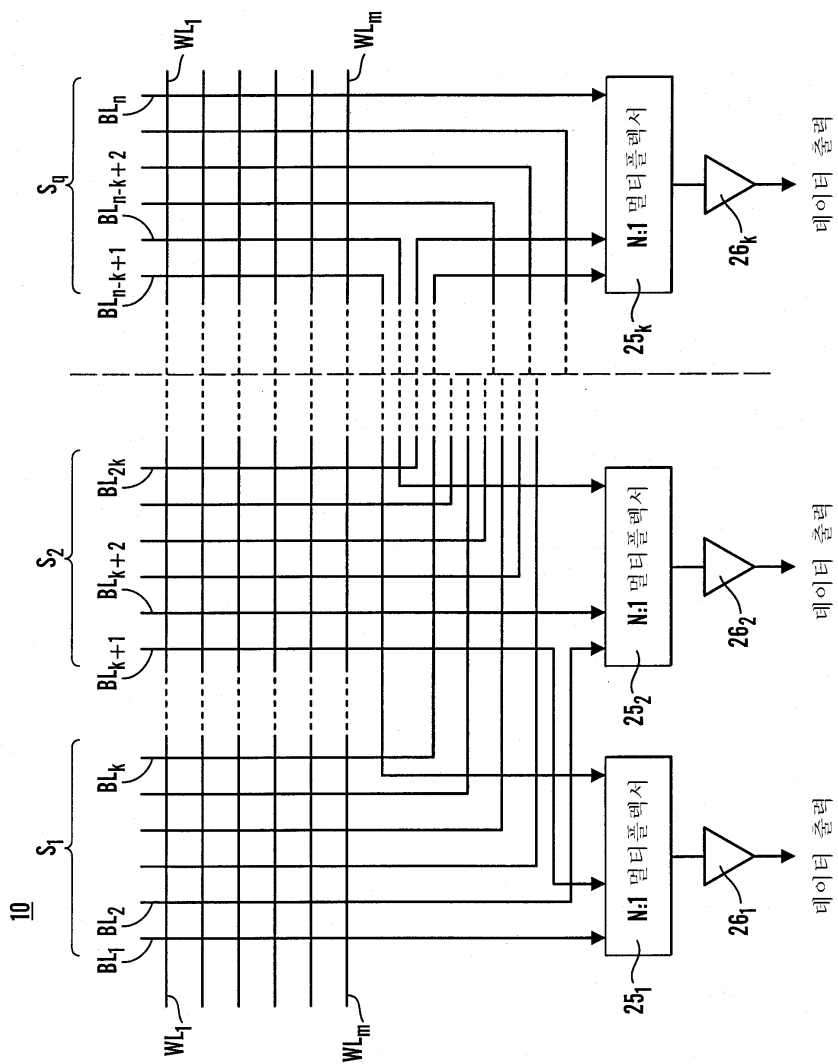
도면3



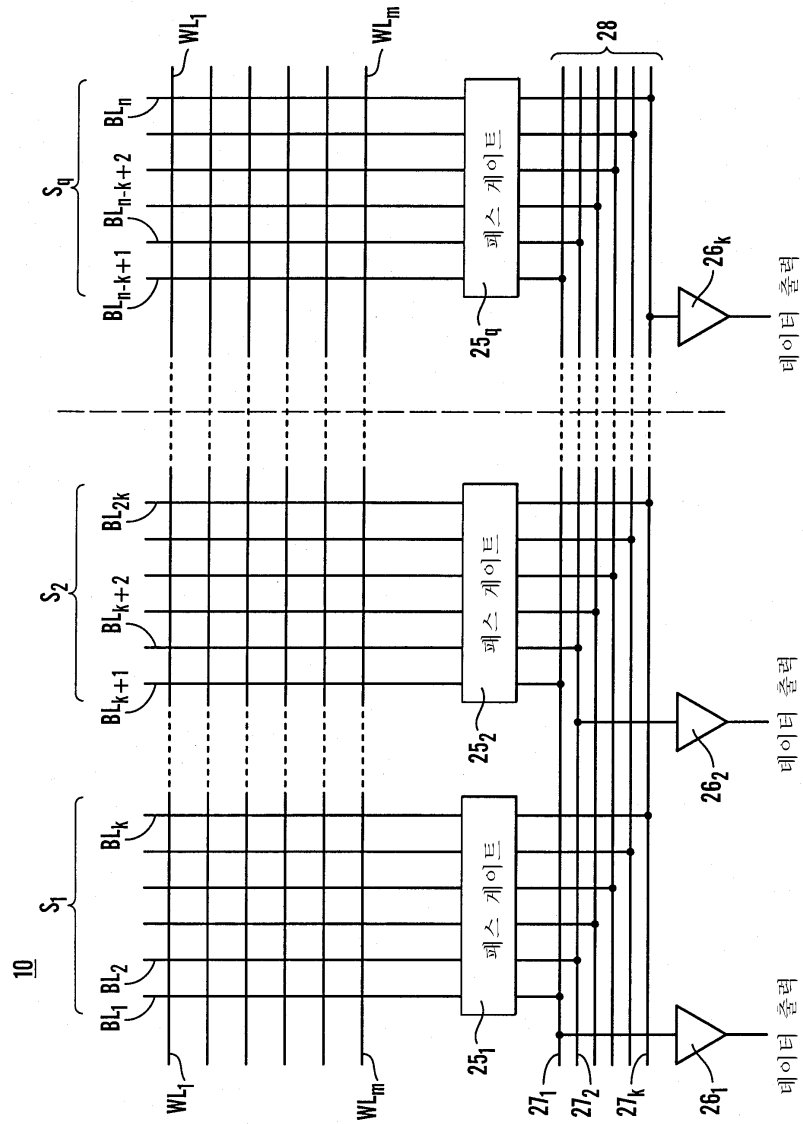
도면4



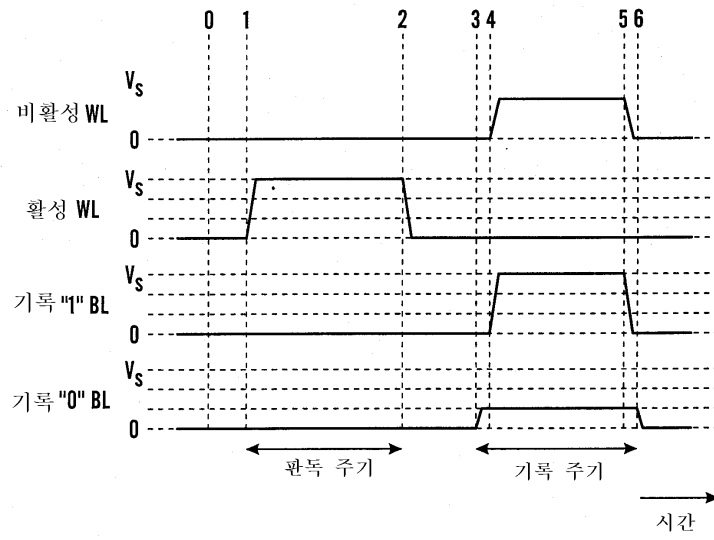
도면5



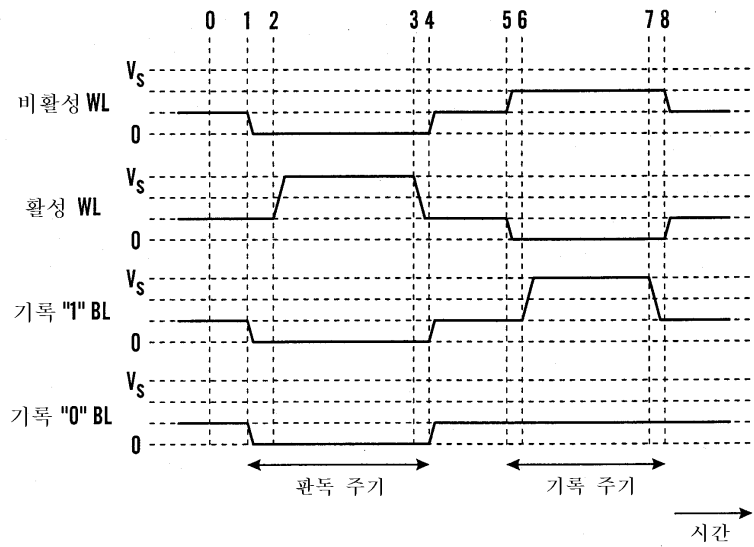
도면6



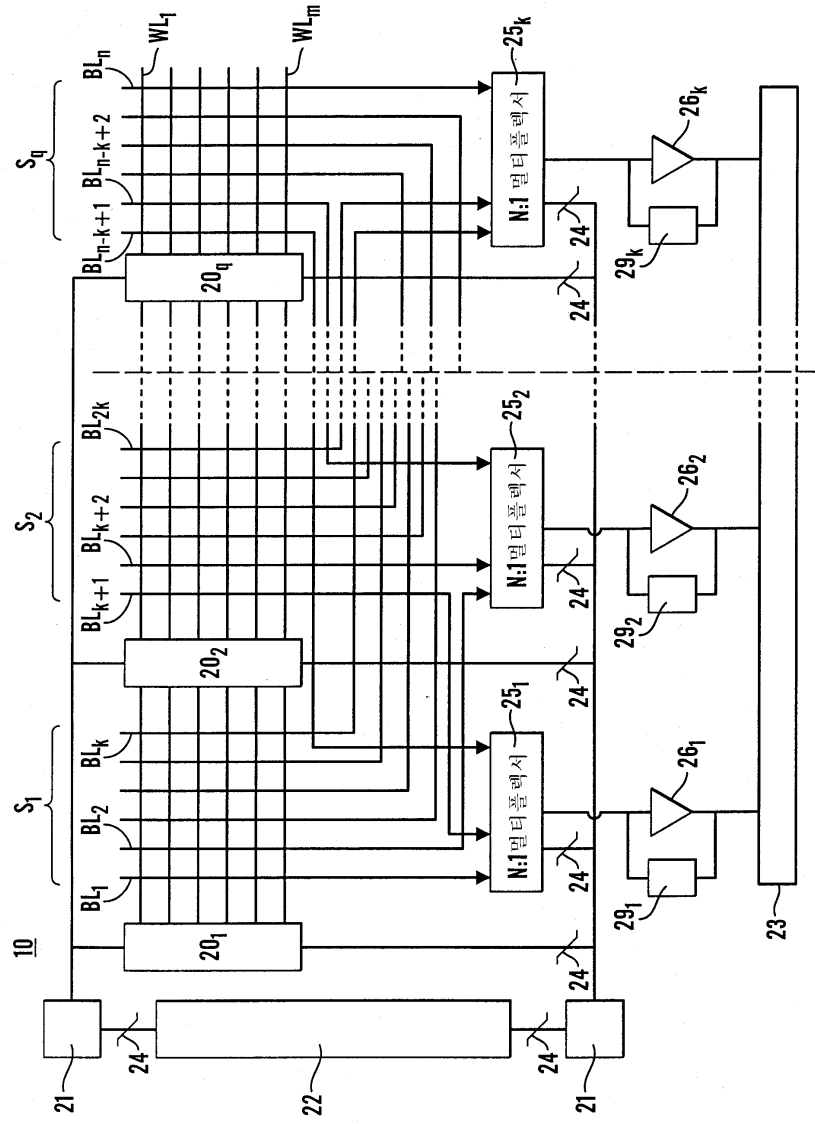
도면7a



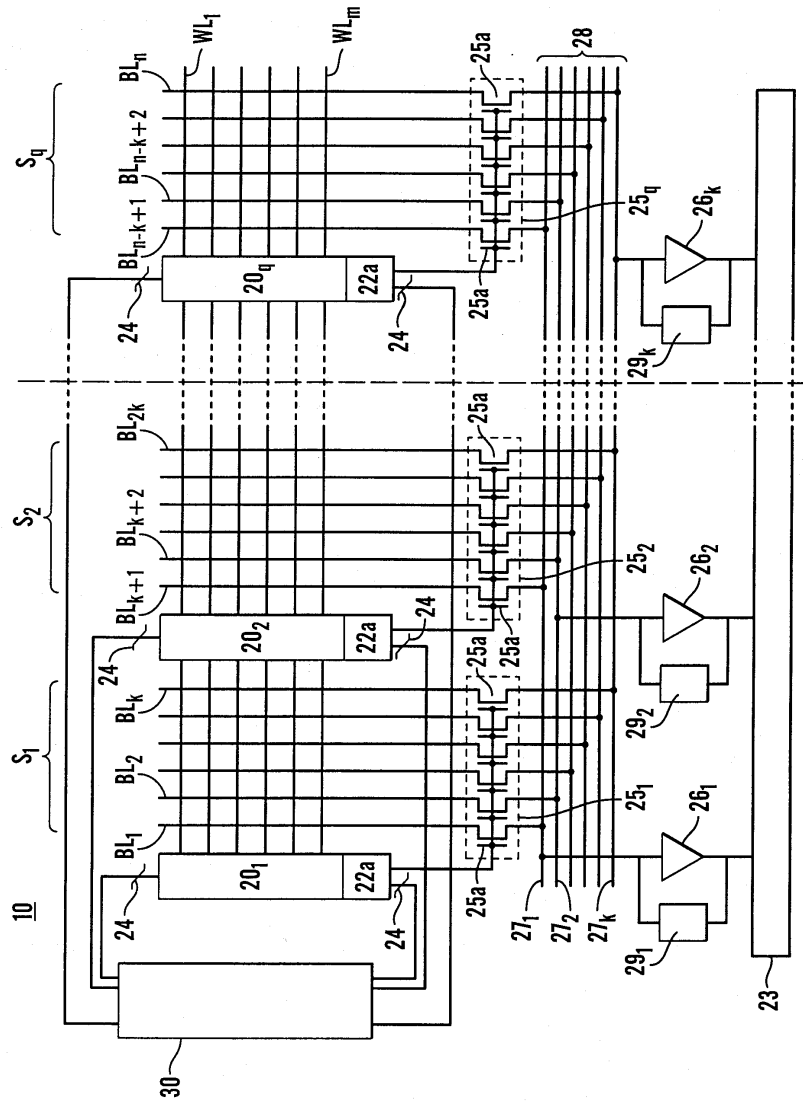
도면7b



도면8



도면9



도면10

