(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 111225161 B
(45)授权公告日 2023.04.18

(21)申请号 202010141295.X

(22)申请日 2014.03.07

(65)同一申请的已公布的文献号
申请公布号 CN 111225161 A

(43)申请公布日 2020.06.02

(30)优先权数据
2013-052202 2013.03.14 JP

(62)分案原申请数据
201480024545.4 2014.03.07

(73)专利权人 株式会社尼康
地址 日本东京都

(72)发明人 栗山孝司

(74)专利代理机构 北京市金杜律师事务所 11256
专利代理师 陈伟 李文屿

(51)Int.Cl.
H04N 23/741(2023.01)
H04N 25/581(2023.01)
H04N 25/53(2023.01)
H04N 25/533(2023.01)
H04N 25/583(2023.01)
H04N 25/59(2023.01)
H04N 25/79(2023.01)

(56)对比文件
CN 102970480 A,2013.03.13
US 2009073306 A1,2009.03.19
CN 102801930 A,2012.11.28
US 2005242269 A1,2005.11.03
CN 1951102 A,2007.04.18

审查员 张述照

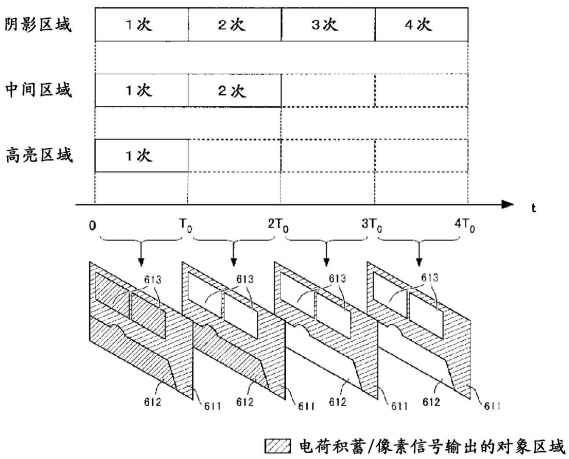
权利要求书5页 说明书14页 附图9页

(54)发明名称

摄像元件及摄像装置

(57)摘要

本发明涉及摄像单元、摄像装置及摄像控制程序。摄像单元，包括：摄像部，包含针对用于生成1帧图像数据的摄像指示而能够执行多次电荷积蓄的像素；保存部，保存基于来自像素的输出的像素信号；更新部，对通过新的电荷积蓄而从像素输出的像素信号和已经保存于保存部的像素信号进行累积处理，更新已经保存于保存部的像素信号；以及控制部，按各像素组控制是否执行累积更新部的更新，所述像素组包含1个以上所述像素。



CN 111225161 B

1.一种摄像元件,包括:

配置有多个像素的像素区域;

第1转换部,将从所述多个像素中的至少第1像素输出的第1信号和在输出所述第1信号之后从所述第1像素输出的第2信号转换为数字信号;

第2转换部,将从所述多个像素中的至少第2像素输出的第3信号和在输出所述第3信号之后从所述第2像素输出的第4信号转换为数字信号;

第1存储器部,保存由所述第1转换部转换为数字信号的所述第1信号;

第2存储器部,保存由所述第2转换部转换为数字信号的所述第3信号;

第1运算电路,能够执行将保存于所述第1存储器部的所述第1信号和由所述第1转换部转换为数字信号的所述第2信号累积的第1累积处理;

第2运算电路,能够执行将保存于所述第2存储器部的所述第3信号和由所述第2转换部转换为数字信号的所述第4信号累积的第2累积处理;以及

驱动控制部,分别控制所述第1累积处理和所述第2累积处理,

所述第1像素配置于所述像素区域的第1区域,

所述第2像素配置于所述像素区域的不同于所述第1区域的第2区域。

2.根据权利要求1所述的摄像元件,其包括:

第1控制布线,其连接于所述多个像素中的至少所述第1像素,输出用于从所述第1像素读出所述第1信号和所述第2信号的第1控制信号;

第2控制布线,其连接于所述多个像素中的至少第2像素,输出用于从所述第2像素读出所述第3信号和所述第4信号的第2控制信号;

所述驱动控制部驱动所述第1像素,从而使所述第1控制布线输出所述第1控制信号以使得在所述第1运算电路进行所述第1累积处理,所述驱动控制部驱动所述第2像素,从而使所述第2控制布线输出所述第2控制信号以使得在所述第2运算电路进行所述第2累积处理。

3.根据权利要求2所述的摄像元件,其中,

所述驱动控制部以使得作为所述第1累积处理在规定期间进行累积处理的次数与作为所述第2累积处理在规定期间进行累积处理的次数成为不同次数的方式,使所述第1控制布线和所述第2控制布线分别输出所述第1控制信号和所述第2控制信号。

4.根据权利要求3所述的摄像元件,其中,

所述第1存储器部分别保存所述第1信号和由所述第1运算电路进行了累积处理后的所述第1信号,

所述第2存储器部分别保存所述第3信号和由所述第2运算电路进行了累积处理后的所述第3信号。

5.根据权利要求4所述的摄像元件,其中,

所述驱动控制部以使得作为所述第1累积处理在规定期间进行累积处理的次数与作为所述第2累积处理在规定期间进行累积处理的次数成为不同次数的方式,使所述第1控制布线和所述第2控制布线分别输出所述第1控制信号和所述第2控制信号。

6.根据权利要求2所述的摄像元件,其中,

所述第1存储器部分别保存所述第1信号和由所述第1运算电路进行了累积处理后的所述第1信号,

所述第2存储器部分别保存所述第3信号和由所述第2运算电路进行了累积处理后的所述第3信号。

7.根据权利要求6所述的摄像元件,其中,

作为所述第1累积处理进行累积处理的次数与作为所述第2累积处理进行累积处理的次数不同。

8.根据权利要求2～7中任一项所述的摄像元件,其中,

所述多个像素配置在摄像芯片上,

所述第1运算电路和所述第2运算电路配置在连接于所述摄像芯片的信号处理芯片上。

9.根据权利要求8所述的摄像元件,其中,

所述驱动控制部配置在所述信号处理芯片上。

10.根据权利要求2～7中任一项所述的摄像元件,其中,

所述多个像素配置在摄像芯片上,

所述驱动控制部配置在信号处理芯片上。

11.根据权利要求2～7中任一项所述的摄像元件,其中,

所述多个像素在行方向和列方向上并列配置,

所述第2像素配置在相对所述第1像素而言的所述行方向一侧的位置。

12.根据权利要求11所述的摄像元件,其中,

所述多个像素配置在摄像芯片上,

所述第1运算电路和所述第2运算电路配置在连接于所述摄像芯片的信号处理芯片上。

13.根据权利要求12所述的摄像元件,其中,

所述驱动控制部配置在所述信号处理芯片上。

14.根据权利要求11所述的摄像元件,其中,

所述多个像素配置在摄像芯片上,

所述驱动控制部配置在信号处理芯片上。

15.根据权利要求2～7中任一项所述的摄像元件,其中,

所述第1像素具有:将光转换为电荷的第1光电转换部和传输所述第1光电转换部的电荷的第1传输晶体管,

所述第2像素具有:将光转换为电荷的第2光电转换部和传输所述第2光电转换部的电荷的第2传输晶体管,

所述驱动控制部控制所述第1传输晶体管和所述第2传输晶体管。

16.根据权利要求15所述的摄像元件,其中,

所述多个像素配置在摄像芯片上,

所述第1运算电路和所述第2运算电路配置在连接于所述摄像芯片的信号处理芯片上。

17.根据权利要求16所述的摄像元件,其中,

所述驱动控制部配置在所述信号处理芯片上。

18.根据权利要求15所述的摄像元件,其中,

所述多个像素配置在摄像芯片上,

所述驱动控制部配置在信号处理芯片上。

19.根据权利要求2～7中任一项所述的摄像元件,其中,

所述第1像素具有:将光转换为电荷的第1光电转换部和将被传输所述第1光电转换部的电荷的第1浮置扩散部的电位复位的第1复位晶体管,

所述第2像素具有:将光转换为电荷的第2光电转换部和将被传输所述第2光电转换部的电荷的第2浮置扩散部的电位复位的第2复位晶体管,

所述驱动控制部控制所述第1复位晶体管和所述第2复位晶体管。

20.根据权利要求19所述的摄像元件,其中,

所述多个像素配置在摄像芯片上,

所述第1运算电路和所述第2运算电路配置在连接于所述摄像芯片的信号处理芯片上。

21.根据权利要求20所述的摄像元件,其中,

所述驱动控制部配置在所述信号处理芯片上。

22.根据权利要求19所述的摄像元件,其中,

所述多个像素配置在摄像芯片上,

所述驱动控制部配置在信号处理芯片上。

23.根据权利要求1～7中任一项所述的摄像元件,其中,

所述多个像素在像素区域中并列配置。

24.根据权利要求23所述的摄像元件,其中,

所述多个像素配置在摄像芯片上,

所述第1运算电路和所述第2运算电路配置在连接于所述摄像芯片的信号处理芯片上。

25.根据权利要求24所述的摄像元件,其中,

所述驱动控制部配置在所述信号处理芯片上。

26.根据权利要求23所述的摄像元件,其中,

所述多个像素配置在摄像芯片上,

所述驱动控制部配置在信号处理芯片上。

27.根据权利要求23所述的摄像元件,其中,

所述第2区域配置在所述像素区域中相对所述第1区域而言的行方向一侧的位置。

28.根据权利要求27所述的摄像元件,其中,

所述多个像素配置在摄像芯片上,

所述第1运算电路和所述第2运算电路配置在连接于所述摄像芯片的信号处理芯片上。

29.根据权利要求28所述的摄像元件,其中,

所述驱动控制部配置在所述信号处理芯片上。

30.根据权利要求27所述的摄像元件,其中,

所述多个像素配置在摄像芯片上,

所述驱动控制部配置在信号处理芯片上。

31.一种摄像装置,包括:

权利要求1～7中任一项所述的摄像元件。

32.根据权利要求31所述的摄像装置,其中,

包括控制所述摄像元件的控制部,

所述控制部确定作为所述第1累积处理由所述第1运算电路进行的累积处理的次数和作为所述第2累积处理由所述第2运算电路进行的累积处理的次数。

33.一种摄像装置,包括:
权利要求8所述的摄像元件。
34.一种摄像装置,包括:
权利要求9所述的摄像元件。
35.一种摄像装置,包括:
权利要求10所述的摄像元件。
36.一种摄像装置,包括:
权利要求11所述的摄像元件。
37.一种摄像装置,包括:
权利要求12所述的摄像元件。
38.一种摄像装置,包括:
权利要求13所述的摄像元件。
39.一种摄像装置,包括:
权利要求14所述的摄像元件。
40.一种摄像装置,包括:
权利要求15所述的摄像元件。
41.一种摄像装置,包括:
权利要求16所述的摄像元件。
42.一种摄像装置,包括:
权利要求17所述的摄像元件。
43.一种摄像装置,包括:
权利要求18所述的摄像元件。
44.一种摄像装置,包括:
权利要求19所述的摄像元件。
45.一种摄像装置,包括:
权利要求20所述的摄像元件。
46.一种摄像装置,包括:
权利要求21所述的摄像元件。
47.一种摄像装置,包括:权利要求22所述的摄像元件。
48.一种摄像装置,包括:
权利要求23所述的摄像元件。
49.一种摄像装置,包括:
权利要求24所述的摄像元件。
50.一种摄像装置,包括:
权利要求25所述的摄像元件。
51.一种摄像装置,包括:
权利要求26所述的摄像元件。
52.一种摄像装置,包括:
权利要求27所述的摄像元件。

53.一种摄像装置,包括:

权利要求28所述的摄像元件。

54.一种摄像装置,包括:

权利要求29所述的摄像元件。

55.一种摄像装置,包括:

权利要求30所述的摄像元件。

摄像元件及摄像装置

[0001] 本申请是PCT国际申请号为PCT/JP2014/001297、申请日为2014年3月7日、国家申请号为201480024545.4、发明名称为“摄像单元、摄像装置及摄像控制程序”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及摄像单元、摄像装置及摄像控制程序。

背景技术

[0003] 已知有如下的摄像单元:背面照射型摄像芯片和信号处理芯片,按各单元(cell)单位而经由微凸块连接,所述单元单位是将多个像素汇总而成。

[0004] 在先技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开2006－49361号公报

发明内容

[0007] 发明所要解决的技术问题

[0008] 在入射光强、被转换的电荷多的情况下与其相应地缩短电荷积蓄时间,则从入射光弱的区域读出的信号变小。相反,与入射光弱的区域相应地增长电荷积蓄时间时,则从入射光强的区域读出的信号饱和。因此,摄像单元的动态范围限制于较窄的范围。

[0009] 用于解决技术问题的手段

[0010] 本发明的第1方案的摄像单元,包括:摄像部,包含针对用于生成1帧图像数据的摄像指示而能够执行多次电荷积蓄的像素;保存部,保存基于来自像素的输出的像素信号;更新部,对通过新的电荷积蓄而从像素输出的像素信号和已经保存于保存部的像素信号进行累积处理,更新已经保存于保存部的像素信号;以及控制部,按各像素组控制是否执行累积更新部的更新,所述像素组包含1个以上所述像素。

[0011] 本发明的第2方案的摄像装置,包括:上述的摄像单元;摄像指示部,生成向摄像单元发送的摄像指示;以及图像处理部,对来自保存部的像素信号进行处理而生成图像数据。

[0012] 本发明的第3方案的摄像控制程序,使计算机执行如下步骤:电荷积蓄步骤,构成摄像部的至少一部分像素,针对用于生成1帧图像数据的摄像指示,执行多次电荷积蓄;保存步骤,将基于电荷积蓄步骤中的来自像素的输出的像素信号保存于保存部;判断步骤,按各像素组判断是否执行对保存于保存部的像素信号的更新,所述像素组包含1个以上所述像素;以及更新步骤,在判断步骤中判断为执行更新的情况下,对通过电荷积蓄步骤中的新的电荷积蓄而从像素输出的所述像素信号、和通过保存步骤已经保存于保存部的像素信号进行累积处理,更新已经保存于保存部的像素信号。

[0013] 需要说明的是,上述的发明概要并未列举本发明的所有必要特征。此外,这些特征群的组合也可构成发明。

附图说明

[0014] 图1是本实施方式涉及的背面照射型的MOS型摄像元件的剖视图。

[0015] 图2是说明摄像芯片的像素排列和单位组的图。

[0016] 图3是与摄像芯片的单位组对应的电路图。

[0017] 图4是表示摄像元件的功能结构的框图。

[0018] 图5是主要表示信号处理芯片的具体结构的框图。

[0019] 图6是表示本实施方式涉及的摄像装置的结构的框图。

[0020] 图7是说明场景的例子和区域分割的图。

[0021] 图8是说明按各分割后的区域的电荷积蓄控制的图。

[0022] 图9是表示摄影动作的处理的流程图。

[0023] 图10是说明按各分割后的其他电荷积蓄控制的图。

具体实施方式

[0024] 以下,通过发明的实施方式说明本发明,但以下的实施方式不限定权利要求书涉及的发明。此外,实施方式中说明的特征的全部组合未必是发明的解决手段所必须的。

[0025] 图1是本实施方式涉及的背面照射型的摄像元件100的剖视图。摄像元件100包括:输出与入射光对应的像素信号的摄像芯片113;对像素信号进行处理的信号处理芯片111;存储像素信号的存储器芯片112。这些摄像芯片113、信号处理芯片111及存储器芯片112层叠,通过Cu等具有导电性的凸块109而彼此电连接。

[0026] 需要说明的是,如图所示,入射光主要朝向空心箭头所示的Z轴正向入射。在本实施方式中,在摄像芯片113,将入射光入射一侧的面称为背面。此外,如坐标轴所示,将与Z轴正交的纸面左方向作为X轴正向,将与Z轴及X轴正交的纸面近前方向作为Y轴正向。在以后的几个图中,以图1的坐标轴为基准,显示坐标轴以清楚各个图的朝向。

[0027] 摄像芯片113的一例是背面照射型的MOS图像传感器。PD层106配置于布线层108的背面侧。PD层106具有二维配置的多个PD(光二极管)104、及与PD104对应设置的晶体管105。

[0028] 在PD层106的入射光的入射侧隔着钝化膜103设有滤色器102。滤色器102具有彼此透过不同波长区域的多个种类,与PD104分别对应地具有特定的排列。关于滤色器102的排列将后述。滤色器102、PD104及晶体管105的组合形成一个像素。

[0029] 在滤色器102的入射光的入射侧,与各个像素对应地设有微透镜101。微透镜101使入射光朝向对应的PD104聚光。

[0030] 布线层108具有将来自PD层106的像素信号向信号处理芯片111传输的布线107。布线107可以是多层,也可以设置受动元件及能动元件。

[0031] 在布线层108的表面配置有多个凸块109。该多个凸块109与设置在信号处理芯片111的对置面的多个凸块109对位,通过摄像芯片113和信号处理芯片111被加压等而使对位的凸块109彼此接合,被电连接。

[0032] 同样,在信号处理芯片111及存储器芯片112的彼此相对的面配置有多个凸块109。这些凸块109彼此对位,通过信号处理芯片111和存储器芯片112被加压等而使对位的凸块109彼此接合,被电连接。

[0033] 需要说明的是,凸块109之间的接合不限于利用固相扩散的Cu凸块接合,可以采用

利用焊锡熔融的微凸块结合。此外，凸块109只要针对例如后述的一个像素组设置一个的程度即可。因而，凸块109的大小可以大于PD104的间距。此外，在除了排列有像素的像素区域以外的周边区域，可以一并设置比对应于像素区域的凸块109大的凸块。

[0034] 信号处理芯片111具有将分别设于表背面的电路相互连接的TSV(硅贯通电极)110。TSV110优选设于周边区域。此外，TSV110也可以设于摄像芯片113的周边区域、存储器芯片112。

[0035] 图2是说明摄像芯片113的像素排列和单位组131的图。尤其是表示从背面侧观察摄像芯片113的情形。在像素区域，2000万个以上的像素排列呈矩阵状。在本实施方式中，相邻的4像素×4像素的16像素形成一个组。图中的格子线表示相邻的像素分组而形成单位组131的概念。

[0036] 如像素区域的局部放大图所示，单位组131在上下左右包括4个由绿色像素Gb、Gr、蓝色像素B及红色像素R这4个像素构成的所谓拜耳排列。绿色像素是作为滤色器102而具有绿色滤光片的像素，接受入射光中的绿色波段的光。同样，蓝色像素是作为滤色器102而具有蓝色滤光片的像素，接受蓝色波段的光，红色像素是作为滤色器102而具有红色滤光片的像素，接受红色波段的光。

[0037] 图3是与摄像芯片113的单位组131对应的电路图。在图中，代表性地用虚线包围的矩形表示与1个像素对应的电路。需要说明的是，以下说明的各晶体管的至少一部分与图1的晶体管105对应。

[0038] 如上所述，单位组131由16个像素形成。与各个像素对应的16个PD104分别连接于传输晶体管302，在各传输晶体管302的各栅极连接有被供给传输脉冲的TX布线307。在本实施方式中，TX布线307相对于16个传输晶体管302共通连接。

[0039] 各传输晶体管302的漏极与对应的各复位晶体管303的源极连接，并且传输晶体管302的漏极与复位晶体管303的源极之间的所谓浮置扩散部(floating diffusion)FD与放大晶体管304的栅极连接。复位晶体管303的漏极与被供给电源电压的Vdd布线310连接，其栅极与被供给复位脉冲的复位布线306连接。在本实施方式中，复位布线306相对于16个复位晶体管303共通连接。

[0040] 各个放大晶体管304的漏极与被供给电源电压的Vdd布线310连接。此外，各个放大晶体管304的源极与对应的各个选择晶体管305的漏极连接。在选择晶体管的各栅极，连接被供给选择脉冲的译码布线308。在本实施方式中，译码布线308相对于16个选择晶体管305分别独立地设置。并且，各个选择晶体管305的源极与共通的输出布线309连接。负载电流源311向输出布线309供给电流。即，由源极跟随器形成针对选择晶体管305的输出布线309。需要说明的是，负载电流源311可以设于摄像芯片113侧，也可以设于信号处理芯片111侧。

[0041] 在此，说明从电荷积蓄开始到积蓄结束后的像素输出为止的电荷流动。通过复位布线306而向复位晶体管303施加复位脉冲，同时通过TX布线307向传输晶体管302施加传输脉冲，则PD104及浮置扩散部FD的电位被复位。

[0042] PD104在传输脉冲的施加被解除时，将接受的入射光转换为电荷而积蓄。其后，若在未施加复位脉冲的状态下再次施加传输脉冲，则所积蓄的电荷向浮置扩散部FD传输，浮置扩散部FD的电位从复位电位变成电荷积蓄后的信号电位。并且，若通过译码布线308向选择晶体管305施加选择脉冲，则浮置扩散部FD的信号电位的变动经由放大晶体管304及选择

晶体管305而向输出布线309传输。由此，与复位电位和信号电位对应的像素信号被从单位像素输出到输出布线309。

[0043] 如图所示，在本实施方式中，相对于形成单位组131的16个像素而言，复位布线306和TX布线307是共通的。即，复位脉冲和传输脉冲分别同时施加于16个像素的全部像素。因而，形成单位组131的全部像素以同一定时开始电荷积蓄，在同一定时结束电荷积蓄。但是，与所积蓄的电荷对应的像素信号，通过各个选择晶体管305依次施加选择脉冲而被选择性地输出到输出布线309。

[0044] 通过这样以单位组131为基准构成电路，从而能够按单位组131控制电荷积蓄时间。由于能按单位组控制电荷积蓄时间，因此能够在相邻的单位组131，使其彼此分别输出基于不同电荷积蓄时间的像素信号。进而，也能进行如下控制：对所有单位组131预先设置共通的电荷积蓄时间，对某一单位组131使其执行1次的电荷积蓄和像素信号输出，对相邻的单位组131使其重复2次的电荷积蓄和像素信号输出。将后者的、对基于共通单位时间的电荷积蓄及像素信号输出的重复控制称为单位时间控制。需要说明的是，在进行单位时间控制的情况下，若使电荷积蓄的开始时刻及结束时刻在全部单位组131同步，则复位布线306可以相对于摄像芯片113上的全部复位晶体管303共通连接。

[0045] 在本实施方式中，详细说明单位时间控制。尤其是说明对一次摄像指示、使电荷积蓄和像素信号输出的重复次数在单位组131间不同的控制。

[0046] 图4是表示摄像元件100的功能构成的框图。尤其是在此说明像素信号的流向。

[0047] 模拟的多路复用器(multiplexor)411按顺序选择形成单位组131的16个PD104，使各个像素信号向输出布线309输出。多路复用器411与PD104一起形成于摄像芯片113。

[0048] 经由多路复用器411输出的像素信号通过信号处理电路412进行CDS及A/D转换，所述信号处理电路412形成于信号处理芯片111，进行相关双采样(CDS)、模/数(A/D)转换。A/D转换是将所输入的模拟像素信号转换为12bit的数字像素信号。A/D转换后的像素信号被交付到同样形成于信号处理芯片111的运算电路415。运算电路415对接收到的像素信号实施后述的累积处理等，并向多路分用器(demultiplexer)413交付。

[0049] 多路分用器413将接收到的像素信号保存于与各个像素对应的像素存储器414。像素存储器414分别具有能够将执行了后述的累积处理后的像素信号保存的容量。多路分用器413及像素存储器414形成于存储器芯片112。

[0050] 运算电路415经由多路分用器413从像素存储器414读出累积处理所用的对应的像素信号。或者，按照来自外部的交付要求，将经由多路分用器413从像素存储器414读出的像素信号交付到后级的图像处理部。需要说明的是，运算电路415可以设于存储器芯片112。

[0051] 此外，图中示出1组的像素信号的流向，但实际上这些像素信号按组而存在，并行动作。但是，运算电路415也可以不按组存在，例如，可以是一个运算电路415一边依次参照与各个组对应的像素存储器414的值、一边按顺序进行处理。

[0052] 接着，主要说明信号处理芯片111的具体结构的一例。图5是主要表示信号处理芯片111的具体结构的框图。

[0053] 信号处理芯片111包括：作为被分担的控制功能的感应控制部441、模块控制部442、同步控制部443、信号控制部444和统括控制这些各控制部的驱动控制部420。驱动控制部420将来自承担整个摄像装置的统括控制的系统控制部501的指示，转换为各控制部可执

行的控制信号并分别交付到各控制部。

[0054] 感应控制部441承担向摄像芯片113送出的、与各像素的电荷积蓄、电荷读出有关的控制脉冲的送出控制。具体而言，感应控制部441通过对对象像素送出复位脉冲和传输脉冲来控制电荷积蓄的开始和结束，通过对读出像素送出选择脉冲来向输出布线309输出像素信号。

[0055] 模块控制部442执行向摄像芯片113送出的、特定作为控制对象的单位组131的特定脉冲的送出。如后所述，系统控制部501将根据作为被拍摄场的场景的特性等而将摄像芯片113的像素区域分割为多个模块，各个模块包含1个以上的单位组131。同一模块所含的像素执行同一单位时间控制。即，针对一次摄像指示，对同一模块所含的像素重复相同次数的电荷积蓄和像素信号输出。因此，模块控制部442承担如下作用：通过基于来自驱动控制部420的指定而对作为对象的单位组131送出特定脉冲，从而将单位组131模块化。各像素经由TX布线307及复位布线306而接受的传输脉冲及复位脉冲为感应控制部441送出的各脉冲和模块控制部442送出的特定脉冲的逻辑积。关于来自驱动控制部420的具体模块化指定将后述。

[0056] 同步控制部443向摄像芯片113送出同步信号。各脉冲与同步信号同步地摄像芯片113激活。例如通过调节同步信号，实现仅以所属于同一单位组131的像素的特定像素为控制对象的随机控制、间除控制等。

[0057] 信号控制部444主要承担对A/D转换器412b的定时控制。经由输出布线309输出的像素信号，经由多路复用器411而被输入到CDS电路412a及A/D转换器412b。A/D转换器412b被信号控制部444控制，将所输入的像素信号转换为数字信号。转换为数字信号的像素信号被交付到运算电路415，实施后述的累积处理等。实施了累积处理等的像素信号被交付到存储器芯片112的多路分用器413，并且作为数字数据的像素值被保存于同各个像素对应的像素存储器414。

[0058] 信号处理芯片111保存关于组合哪个单位组131来形成模块的模块划分信息、和关于所形成的各个模块重复几次的电荷积蓄和像素信号输出的积蓄次数信息，具有作为积蓄控制存储器的定时存储器430。定时存储器430例如由闪存RAM构成。

[0059] 如后所述，关于组合哪个单位组来形成模块，例如由系统控制部501基于在一连串摄影序列之前所执行的场景的亮度分布检测的检测结果而确定。所确定的模块例如以第1模块、第2模块…的方式划分，各个模块通过包含哪个单位组131而规定。驱动控制部420从系统控制部501接收该模块划分信息，并保存于定时存储器430。

[0060] 系统控制部501例如基于亮度分布的检测结果，确定各模块重复几次的电荷积蓄和像素信号输出。驱动控制部420从系统控制部501接收该重复次数信息，并与对应的模块划分信息成对地保存于定时存储器430。通过这样向定时存储器430保存模块划分信息和重复次数信息，由此驱动控制部420可逐次参照定时存储器430地独立执行一系列的电荷积蓄控制。即，驱动控制部420在1张图像取得控制中一旦从系统控制部501接收到摄像指示的信号，则其后在对各像素控制中不需每次从系统控制部501接收指示，就能完成积蓄控制。

[0061] 驱动控制部420从系统控制部501接收更新的模块划分信息和重复次数信息，适当更新定时存储器430的存储内容。例如，驱动控制部420与摄像准备指示或摄像指示同步地更新定时存储器430。通过这样构成，从而实现更高速的电荷积蓄控制，并且在驱动控制部

420执行电荷积蓄控制的期限，系统控制部501可并行执行其他处理。

[0062] 驱动控制部420不限于在执行针对摄像芯片113的电荷积蓄控制中参照定时存储器430，在执行读出控制中也参照定时存储器430。例如，驱动控制部420参照各模块的重复次数信息，读出已保存在像素存储器414的像素信号，并向运算电路415交付。进而，将运算电路415实施了运算处理的像素信号再次保存于该像素存储器414。即，更新像素存储器414的像素。

[0063] 此外，驱动控制部420按照来自系统控制部501的交付要求，经由运算电路415及多路分用器413从像素存储器414读出对象像素信号，并向设于摄像装置的图像处理部511交付。在像素存储器414设有按照交付要求传送像素信号的数据传输接口。数据传输接口同与图像处理部511相连的数据传输线连接。数据传输线例如由总线(bus line)中的数据总线构成。在该情况下，从系统控制部501向驱动控制部420的交付要求，通过利用地址总线的地址指定来执行。

[0064] 基于数据传输接口的像素信号的传送，不限于地址指定方式，可以采用各种方式。例如可以采用如下方式：进行数据传输时，利用各电路的同步所用的时钟信号的上升沿、下降沿这二者进行处理的双倍数据速率(double data rate)方式。此外，可以采用通过局部省略地址指定等步骤而一次传输数据，谋求高速化的突发传输方式。此外，也可以将(使用将控制部、存储器部、输入输出部并联连接的线路的)总线方式和(串联地每次1比特地传输数据的)串行方式等组合采用。

[0065] 通过这样构成，图像处理部511能够仅接收必要的像素信号，因此在尤其形成低分辨率的图像的情况等，能够高速完成图像处理。此外，在使运算电路415执行累积处理的情况下，图像处理部511可以不执行累积处理，因此能够通过功能分担和并行处理来谋求图像处理的高速化。

[0066] 图6是表示本实施方式涉及的摄像装置的结构的框图。摄像装置500具备作为摄影光学系统的摄影透镜520，摄影透镜520将沿着光轴0入射的被拍体光束向摄像元件100引导。摄影透镜520可以构成为能够相对于摄像装置500装拆的交换式透镜。摄像装置500主要包括摄像元件100、系统控制部501、测光部503、工作存储器504、记录部505及显示部506。系统控制部501具有接受来自用户的指示而生成向摄像元件100发送的摄像指示的摄像指示部的功能。

[0067] 摄影透镜520由多个光学透镜组构成，使来自场景的被拍体光束成像于其焦点面附近。需要说明的是，在图6中以配置于光瞳附近的假想的1片透镜为代表来表示。如上所述，摄像元件100的驱动控制部420是按照来自系统控制部501的指示，执行摄像元件100的定时控制、区域控制等电荷积蓄控制的控制电路。

[0068] 摄像元件100将像素信号交付到系统控制部501的图像处理部511。图像处理部511以工作存储器504作为工作区域实施各种图像处理，生成图像数据。例如，在生成JPEG文件格式的图像数据时，在实施了白平衡处理、伽马(gamma)处理等之后执行压缩处理。所生成的图像数据记录于记录部505，并且被转换为显示信号而在预先设定的时间中显示于显示部506。需要说明的是，图像处理部511可以构成为与系统控制部501独立的ASIC。

[0069] 测光部503在生成图像数据的一连串摄影序列之前检测场景的亮度分布。测光部503包括例如100万像素左右的AE传感器。系统控制部501的运算部512接受测光部503的输

出而算出各场景区域的亮度。运算部512按照算出的亮度分布确定上述的单位时间、光圈值、ISO感光度。在本实施方式中，运算部512还确定使摄像芯片113的哪个像素组区域根据所确定的单位时间来重复几次的电荷积蓄和像素信号输出。此外，运算部512计算分配了最大的重复次数的像素组区域的电荷积蓄结束为止的时间，确定快门的开闭定时。需要说明的是，运算部512也执行用于使摄像装置500工作的各种运算。

[0070] 图7是说明场景的例子和区域分割的图。图7(a)表示摄像芯片113的像素区域所捕捉的场景。具体而言，是同时摄入了屋内环境所含的阴影被拍体601及中间被拍体602、和在窗框604的内侧观察到的屋外环境的高亮被拍体603的场景。在拍摄这样的从高亮部到阴影部的明暗差较大的场景时，若是以往的摄像元件，若以高亮部为基准执行电荷积蓄则在阴影部产生发黑(本来存在亮度强弱的部分变为黑色)，若以阴影部为基准执行电荷积蓄则在高亮部产生泛白(本来存在亮度强弱的部分变为白色)。即，要使高亮部和阴影部一律都通过一次电荷积蓄来输出图像信号，可以说对于明暗差大的场景而言，发光二极管的动态范围不足。因此，在本实施方式中，将场景分割为高亮部、阴影部这样的部分区域，使与各个区域对应的发光二极管的电荷积蓄和像素信号读出的重复次数各不相同，由此谋求动态范围的实质性扩大。

[0071] 图7(b)表示摄像芯片113的像素区域中的区域分割。运算部512对测光部503所捕捉到的图7(a)的场景进行解析，以亮度为基准分割像素区域。例如，系统控制部501使测光部503一边改变曝光时间一边执行多次的场景取得，运算部512参照其泛白区域、发黑区域的分布变化来确定像素区域的分割线。在图7(b)的例子中，运算部512分割为阴影区域611、中间区域612及高亮区域613这3个区域。

[0072] 分割线是沿着单位组131的边界而定义。即，被分割后的各区域分别包括整数个单位组131。并且，同一区域所包含的各组的像素进行基于由运算部512确定的单位时间的、同一次数的电荷积蓄及像素信号输出。若所属的区域不同，则进行不同次数的电荷积蓄及像素信号输出。

[0073] 图8是说明图7的例子的按各分割后区域的单位控制的图。在此，说明如下情况：运算部512接受测光部503的输出，算出中间区域612的EV值与高亮区域613的EV值之差约为1级，阴影区域611的EV值与中间区域612的EV值之差同样约为1级。

[0074] 运算部512从用户接受摄影准备指示后，根据测光部503的输出确定每一次电荷积蓄时间即共通的单位时间T_0。在此，单位时间T_0以不会通过1次电荷积蓄使高亮区域613的像素饱和的方式根据高亮区域613的EV值确定。例如，以在与高亮区域613中最亮部分对应的像素中、通过1次电荷积蓄动作积蓄了可积蓄的80％～～90％电荷的情况为基准，确定单位时间T_0。此时，由运算部512，根据所确定的单位时间T_0，算出与所输出的像素信号的放大率相关的ISO感光度及设于摄影透镜520的光圈的光圈值，以使高亮区域613正确曝光。需要说明的是，ISO感光度针对全部像素共通地设定。

[0075] 运算部512参照算出的高亮区域613的EV值与中间区域612的EV值之差，使中间区域612的重复次数为2次。即，使单位时间T_0的电荷积蓄和基于该电荷积蓄的像素信号读出重复2次。同样，运算部512参照算出的高亮区域613的EV值与阴影区域611的EV值之差，使阴影区域611的电荷积蓄次数为4次。即，使单位时间T_0的电荷积蓄和基于该电荷积蓄的像素信号读出重复4次。如后所述，重复读出的像素信号在运算电路415依次相加后而保存于像

素存储器414。

[0076] 在时刻t＝0从用户接受摄像指示时，驱动控制部420对于任意区域所属的组的像素都施加复位脉冲和传输脉冲。以该施加为触发，任意像素都开始电荷积蓄。

[0077] 在达到时刻$t＝T_0$时，驱动控制部420对所有像素施加传输脉冲。然后，对各组内的像素依次施加选择脉冲，将各个像素信号输入到输出布线309。驱动控制部420通过A/D转换器412b将各个像素信号转换为数字信号，并使其通过运算电路415，保存于分别对应的像素存储器414。通过该处理完成了第1次单位控制。然后，结束对高亮区域613所属的组的像素的处理。在该时刻，对于从在与高亮区域613的像素对应的像素存储器414所保存的像素信号生成的图像，可以期待是基本不会产生泛白及发黑的、可将PD104的动态范围全部利用的正确曝光的图像。

[0078] 使全部像素的像素信号输出后，驱动控制部420对中间区域612和阴影区域611所属的组的像素，在时刻$t＝T_0$的定时再次施加复位脉冲和传输脉冲，开始第2次电荷积蓄。需要说明的是，由于像素信号的选择输出需要时间，因此在第1次电荷积蓄的结束和第2次电荷积蓄的开始之间产生时间差。若该时间差是实质上不能无视的程度，则按该时间差的量延迟后开始第2次电荷积蓄即可。

[0079] 当达到时刻$t＝2T_0$时，驱动控制部420对中间区域612和阴影区域611所属的组的像素施加传输脉冲。并且，对这些组内的像素依次施加选择脉冲，将各个像素信号输出到输出布线309。驱动控制部420通过A/D转换器412b将各个像素信号转换为数字信号。与其并行地，读出各自对应的已保存在像素存储器414的第1次像素信号。然后，驱动控制部420使运算电路415执行将第1次像素信号和新取得的第2次像素信号相加的累积处理。驱动控制部420将通过累积处理而新生成的像素信号保存于对应的像素存储器414。由此，各个像素存储器414中从第1次像素信号更新为累积处理后的像素信号。通过该处理，完成了第2次单位控制。然后，结束对中间区域612所属的组的像素的处理。

[0080] 在该时刻，对于从在与中间区域612的像素对应的像素存储器414所保存的像素信号生成的图像，可以期待是基本不会产生泛白及发黑的、可将图像数据的位宽全部利用的正确曝光的图像。也就是说，在1次单位控制下电荷积蓄时间不充分、成为容易产生发黑的低质图像，而经由2次单位控制实施累积处理，由此能够得到实质上与进行了$2T_0$期间的电荷积蓄时同等的正确图像。进而，通过分两次进行电荷积蓄，与利用涉及$2T_0$期间的1次电荷积蓄所得的图像相比，也能期待降低随机噪声。

[0081] 使中间区域612和阴影区域611所属的组的各像素的像素信号输出后，则驱动控制部420对阴影区域611所属的组的像素，在时刻$t＝2T_0$的定时再次施加复位脉冲和传输脉冲，开始第3次电荷积蓄。

[0082] 当达到时刻$t＝3T_0$时，驱动控制部420对阴影区域611所属的组的像素施加传输脉冲。并且，对该组内的像素依次施加选择脉冲，将各个像素信号输出到输出布线309。驱动控制部420通过A/D转换器412b将各个像素信号转换为数字信号。与其并行地，读出各自对应的已经保存在像素存储器414中的像素信号。然后，驱动控制部420使运算电路415执行将读出的像素信号和新取得的第3次像素信号加起来的累积处理。驱动控制部420将通过累积处理而新生成的像素信号保存于对应的像素存储器414。由此，各个像素存储器414被更新为进行了累积处理后的像素信号。通过该处理，完成了第3次单位控制。

[0083] 接着，驱动控制部420对阴影区域611所属的组的像素，在时刻t＝3T_0的定时再次施加复位脉冲和传输脉冲，开始第4次电荷积蓄。

[0084] 当达到时刻t＝4T_0时，驱动控制部420对阴影区域611所属的组的像素施加传输脉冲。然后，对该组内的像素依次施加选择脉冲，将各个像素信号输出到输出布线309。驱动控制部420通过A/D转换器412b将各个像素信号转换为数字信号。与其并行地，读出各自对应的已经保存于像素存储器414的像素信号。然后，驱动控制部420使运算电路415执行将读出的像素信号和新取得的第4次像素信号相加的累积处理。驱动控制部420将通过累积处理而新生成的像素信号保存于对应的像素存储器414。由此，各个像素存储器414被更新为累积处理后的新像素信号。通过该处理，完成第4次单位控制。然后，结束对阴影区域611所属的组的像素的处理。

[0085] 在该时刻，对于从在与阴影区域611的像素对应的像素存储器414中保存的像素信号生成的图像，可以期待是基本不产生泛白泛白及发黑的、可将图像数据的位宽全部利用的正确曝光的图像。即，在1次单位控制下电荷积蓄时间不充分、成为容易产生发黑的低质图像，而经由4次单位控制实施累积处理，由此能够得到实质上与进行了4T_0期间的电荷积蓄时同等的正确图像。进而，通过分4次进行电荷积蓄，与利用涉及2T_0期间的1次电荷积蓄所得的图像相比，也能期待降低随机噪声。

[0086] 系统控制部501在第4次电荷积蓄结束的t＝4T_0的定时，关闭快门。图像处理部511通过将如以上这样处理后的各区域的像素信号相连地进行处理，由此生成高动态范围的图像数据。

[0087] 需要说明的是，在上述说明的处理中，当在某区域预先设定的次数的单位控制结束时，即使在其他区域继续着单位控制的情况下，驱动控制部420对该区域，在其后也不执行电荷积蓄。但是，也可以与其他区域的单位控制配合而在其后也执行电荷积蓄。在该情况下，只要不进行基于传输脉冲及选择脉冲的施加所引起的像素信号输出即可。或者，即使进行了像素信号输出，只要在利用A/D转换器412b对数字信号的转换处理、基于运算电路415的累积处理、向像素存储器414的保存处理等任一阶段进行放弃像素信号的处理即可。

[0088] 接着，说明一连串的摄影动作处理。图9是表示摄影动作的处理的流程图。摄像装置500的电源被接通(ON)而开始流程。

[0089] 系统控制部501待机，直到在步骤S101中作为摄像准备指示的快门开关SW1被按下。当检测到快门开关SW1的按下时进入步骤S102。

[0090] 在步骤S102，系统控制部501执行测光处理。具体而言，得到测光部503的输出，运算部512算出场景的亮度分布。然后，进入步骤S103，如上所述，确定单位时间、区域分割、重复次数等。确定的这些信息被从系统控制部501送往驱动控制部420，在定时存储器430中存储。

[0091] 当摄像准备动作完成时，进入步骤S104，待机直到作为来自用户的摄像指示的快门开关SW2被按下。此时，若经过时间超过了预先设定的时间Tw(步骤S105的是)，则返回步骤S101。若在超过Tw之前(步骤S105的否)检测到开关SW2的按下，在进入步骤S106。

[0092] 驱动控制部420在步骤S106执行基于全部像素的电荷积蓄，作为第1次单位控制。然后，在经过了单位时间后执行像素信号输出和A/D转换(步骤S107)，将转换后的数字像素信号保存于像素存储器414(步骤S108)。

[0093] 接着，驱动控制部420进入步骤S109，参照定时存储器430的区域分割信息来确定执行第2次单位控制的对象区域。然后，在该对象区域执行电荷积蓄(步骤S110)。

[0094] 驱动控制部420在经过了单位时间后执行基于第2次电荷积蓄的像素信号输出和A/D转换(步骤S111)。与其并行、或在其前后，驱动控制部420从像素存储器414读出通过第1次单位控制而保存的像素信号(步骤S112)。然后，驱动控制部420使运算电路415执行将在步骤S111经A/D转换后的像素信号和在步骤S112读出的像素信号累积的累积处理(步骤S113)。通过运算电路415进行累积的结果，作为新的像素信号，更新在步骤S112读出的像素存储器414的值，并加以保存(步骤S114)。

[0095] 驱动控制部420进入步骤S115，参照定时存储器430的重复次数信息判断是否达到了在步骤S103中确定的重复次数。若判断为未达到重复次数，则进入步骤S109，执行第3次、第4次…的单位控制(步骤S109～步骤S114)。当判断为达到了重复次数时，进入步骤S116。

[0096] 在步骤S116，驱动控制部420对系统控制部501进行单位控制的完成报告，与其相应地，系统控制部501对驱动控制部420，将保存于像素存储器414的像素信号发送给图像处理部511。图像处理部511执行图像处理，例如生成JPEG等的图像数据。系统控制部501执行将所生成的图像数据记录于记录部505的记录处理。

[0097] 当记录处理完成时进入步骤S117，判断摄像装置500的电源是否被关闭(OFF)。若判断为电源未被关闭，则返回步骤S101，若判断为关闭，则结束一连串的摄影动作处理。

[0098] 需要说明的是，在上述说明的处理中，驱动控制部420将单位时间T_0确定为高亮区域613的像素不饱和的时间。高亮区域613是基于测光部503的测光结果而确定，因此驱动控制部420，与使用图9的流程所说明的摄像定时相应地，每次都确定单位时间T_0。但是，单位时间T_0可以不是每次摄影时都动态变更，而采用预先设定的固定值。

[0099] 例如，考虑采用T_0＝1/256秒作为固定值时的、与图8的场景相对的单位控制。设定如下情况：系统控制部501作为测光结果而算出使高亮区域613正确曝光的电荷积蓄时间为1/64秒、使中间区域612正确曝光的电荷积蓄时间为1/32秒、使阴影区域611正确曝光的电荷积蓄时间为1/16秒。在该情况下只要如下这样确定重复次数即可，即，对于高亮区域613，为(1/64)÷(1/256)＝4次的重复次数，对于中间区域612，为(1/32)÷(1/256)＝8次的重复次数，对于阴影区域611，为(1/16)÷(1/256)＝16次的重复次数。

[0100] 在此，作为固定值的单位时间T_0，由于不能进行比其更短时间的电荷积蓄，因此优选是设定为较短时间，以使得对于明亮场景也能进行单位时间控制。但是，在本实施方式中通过A/D转换后的数字的像素信号执行累积处理，因此应该预先增加A/D转换器412b的量子化位数，以使得通过单位时间T_0的电荷积蓄在阴影部也具有1以上的值。该情况下，像素存储器414也与该量子化位数相应地设定保存大小。在此，在图像处理部511处理的位数和保存于像素存储器414的像素信号的位数不同时，可以与来自系统控制部501的交付要求同步地，在通过运算电路415进行了位转换后将像素信号向图像处理部511交付。

[0101] 进而，无需利用测光部503的测光结果，就能执行单位控制。具体而言，从像素存储器414读出像素信号，依次算出按各单位组计的平均值、或按包括相邻单位组在内的例如纵横5×5＝25组计的平均值，根据该值是否超过阈值，来确定是否进行进一步的单位控制。即，重复进行单位控制的结果是，对认为已成为明亮图像的区域不再进行进一步的单位控制，对认为仍是暗图像的区域继续进一步的单位控制。通过进行这样的平均值判断，也能使

各个区域的图像成为接近正确曝光的图像。该情况下，在将保存于像素存储器414的像素信号交付到图像处理部511时，只要以重复次数标准化即可。具体而言，例如设为用各个像素信号除以重复次数而得的值即可。需要说明的是，作为进行关于是否超过阈值的判断的对象的值，不限于平均值，可以利用通过各种统计处理算出的算出值。

[0102] 根据本实施方式的摄像装置500的结构，不仅为了按各区域正确曝光而执行单位控制，还能出于与各种图像效果的关系而执行单位控制。例如，可以将单位时间T_0预先设定为难以产生手抖的较短时间，在图像偏移(image shift)超过容许量之前重复执行单位控制。该情况下，图像偏移量的检测可以使用动作检测部的检测结果。动作检测部若利用例如测光传感器的输出，则测光部503也能承担该作用，也可以由另外设置的其他动作检测传感器承担该作用。根据这样的单位时间控制，可以得到图像模糊少的图像。需要说明的是，由于未达到预定的电荷积蓄时间所导致的明亮度不足，可以通过将像素信号放大来调节。

[0103] 此外，也可以按各区域、排他性地执行单位控制。例如在图8的例子中，可以是第1次单位控制仅对高亮区域613进行，接着的第2次和第3次单位控制仅对中间区域612进行，接着的第4次～第7次单位控制仅对阴影区域611进行。若这样按各区域排他性地执行单位控制，则可以取得例如按各区域改变了光圈值等光学条件的多彩图像。更具体而言可以是，对瀑布流动区域减小光圈而更多地重复单位控制，对存在于其周边的森林区域打开光圈而执行较少的单位控制。根据这样的控制，能够在1张图像中使不同快门速度的像共存，能够通过一次摄像指示取得以往不能得到的图像。需要说明的是，例如若通过实时取景图像而从用户预先收到指示，则可以实现确定在场景的哪个区域重复几次单位控制。

[0104] 在以上说明的各实施方式中，以静止图像为前提进行了说明，当然，可以通过按各帧来进行同样的单位控制，由此生成动态图像。此外，不限于数字照相专用机，对于装入移动电话、信息终端、PC等电子设备的照相单元，当然也可以执行上述的处理。

[0105] 进一步对变形例进行说明。图10是说明作为其他实施例的、按所分割的各区域的电荷积蓄控制的图。在此，与图8的例子相同，说明如下情况：运算部512接受测光部503的输出，算出中间区域612的EV值与高亮区域613的EV值之差约为1级，阴影区域611的EV值与中间区域612的EV值之差同样约为1级。运算部512从用户接受摄影准备指示时，则与图8的例子同样，根据测光部503的输出确定每一次电荷积蓄时间即共通的单位时间T_0。

[0106] 运算部512参照算出的高亮区域613的EV值与中间区域612的EV值之差，将在中间区域612中必要的电荷积蓄次数确定为2次。同样，运算部512参照算出的高亮区域613的EV值与阴影区域611的EV值之差，将在阴影区域611中必要的电荷积蓄次数确定为4次。在此，在本实施例中，将在阴影区域611中确定的、即确定为必要的电荷积蓄次数的最大值、即4次设为在全部区域的电荷积蓄次数。也就是说，在高亮区域613、中间区域612和阴影区域611的全部区域，都将单位时间T_0的电荷积蓄和基于其电荷积蓄的像素信号读出重复4次。

[0107] 在时刻t＝0从用户收到摄像指示时，驱动控制部420对于任意区域所属的组的像素都施加复位脉冲和传输脉冲。以该施加为触发，任意像素都开始电荷积蓄。

[0108] 当达到时刻$t＝T_0$时，驱动控制部420对全部像素施加传输脉冲。然后，对各组内的像素依次施加选择脉冲，将各个像素信号输出到输出布线309。驱动控制部420通过A/D转换器412b将各个像素信号转换为数字信号，使其通过运算电路415，保存于分别对应的像素存储器414。通过该处理，完成了第1次单位控制。

[0109] 使全部像素的像素信号输出后，驱动控制部420再次对全部区域的像素，在时刻t＝T_0的定时再次施加复位脉冲和传输脉冲，开始第2次电荷积蓄。需要说明的是，由于像素信号的选择输出需要花费时间，因此第1次电荷积蓄的结束与第2次电荷积蓄的开始之间产生时间差。若该时间差是实质上不能无视的程度，则只要延迟该时间后开始第2次电荷积蓄即可。

[0110] 当达到时刻t＝2T_0时，驱动控制部420对全部像素施加传输脉冲。然后，对各组内的像素依次施加选择脉冲，并使各个像素信号输出到输出布线309。驱动控制部420通过A/D转换器412b将各个像素信号转换为数字信号。与其并行地，读出分别对应的已保存在像素存储器414的第1次像素信号。然后，驱动控制部420使运算电路415执行将第1次像素信号和新取得的第2次像素信号相加的累积处理。驱动控制部420将通过累积处理而新生成的像素信号保存于对应的像素存储器414。由此，各个像素存储器414中，从第1次像素信号更新为累积处理后的像素信号。通过该处理，完成了第2次单位控制。

[0111] 同样，在时刻t＝2T_0～3T_0期间进行第3次电荷积蓄及像素信号读出，在时刻t＝3T_0～4T_0期间进行第4次电荷积蓄及像素信号读出。在第4次累积处理结束的时刻，由于在高亮区域613，将用1次电荷积蓄就足够的部分重复4次，因此进行使累积处理后的像素信号的值为1/4的运算。如上所述，单位时间T_0是以在与高亮区域613中最明亮的部分对应的像素中、通过1次电荷积蓄动作积蓄了可积蓄的80％～90％电荷这一情况为基准而设定的，因此各个像素的电荷积蓄中不会饱和。因而，对于通过将累积处理后的像素信号的值设为1/4而得的高亮区域613的图像，可以期待是基本不产生泛白及发黑的、可将PD104的动态范围全部利用的正确曝光的图像。

[0112] 同样，在第4次累积处理结束的时刻，由于在中间区域612，将用2次电荷积蓄就足够的部分重复4次，因此进行使累积处理后的像素信号的值为1/2的运算。对于通过将累积处理后的像素信号的值设为1/2而得的中间区域612的图像，可以期待是基本不产生泛白及发黑的、可将图像数据的位宽全部利用的正确曝光的图像。

[0113] 此外，对于由4次累积处理后的像素信号得到的阴影区域611的图像，可以期待是基本不产生泛白及发黑的、可将图像数据的位宽全部利用的正确曝光的图像。也就是说，在1次单位控制下，电荷积蓄时间不充分，成为容易产生发黑的低质图像，但通过经4次单位控制实施累积处理，能够得到实质上与进行了4T_0期间的电荷积蓄时同等的正确图像。

[0114] 若本实施例中的这样的电荷积蓄控制，则即使在4T_0期间中被拍体跨过区域之间而移动的情况下，也不会成为在区域的边界处被拍体像不连续这样的不自然图像。例如，即使在对太阳光照射到一部分车身的移动汽车进行摄影的情况下，也不会在摄影图像中出现亮点轨迹在区域之间中断的情况。

[0115] 需要说明的是，在以上的控制中，在结束了全部累积处理之后，进行在高亮区域613设为1/4、在中间区域612设为1/2的运算。但是，在将各个像素信号转换为数字信号、并将其保存于分别对应的像素存储器414的阶段中，运算电路415也可以进行对于高亮区域613的像素设为1/4、对于中间区域612的像素设为1/2的运算。也就是说，在各次的像素信号读出处理中可以按各区域进行降低运算。这样处理也能获得与上述相同的效果。

[0116] 进一步说明其他变形例。在使用图8说明的实施例中，系统控制部501从测光部503的输出算出场景的亮度分布，确定单位时间T_0、区域分割和重复次数。但不得出测光部503

的输出结果也可以确定这些单位时间T_0、区域分割和重复次数。

[0117] 系统控制部501例如根据用作取景器的实时取景图像确定单位时间T_0。此时，可以设为比用于取得实时取景图像的快门速度更短的时间，以使得高亮部不会成为泛白。并且，当从用户收到作为摄像指示的快门开关SW2的按下操作后，系统控制部501首先进行第1次的电荷积蓄及像素信号读出。然后，对在此所得的像素信号的水平(level)进行解析，分割区域，确定按该分割的各区域计的电荷积蓄的重复次数。具体而言，例如，将积蓄了可积蓄的50％以上电荷的像素占据多数的区域定为通过1次积蓄控制结束的区域，将积蓄了25％以上且不足50％电荷的像素占据多数的区域定位通过2次积蓄控制结束的区域，将积蓄了不足25％电荷的像素占据多数的区域定位通过4次积蓄控制结束的区域。然后，继续执行第2次以后的电荷积蓄及像素信号读出。若这样控制，则不需要独立设置测光部503。或者，也可以与摄影模式的特性相配合地，切换使用测光部503的输出的控制和这样的控制。

[0118] 或者，系统控制部501可以以如下方式控制：在第1次的电荷积蓄及像素信号读出中执行到区域分割，在各次的信号读出后按各个区域判断是否进行下一次的电荷积蓄及像素信号读出。即，在某区域中m(自然数)次的电荷积蓄及像素信号读出结束了时，若累积处理后的像素信号的值进入预先设定的范围，则系统控制部501不进行第m+1次的电荷积蓄而结束，若累积处理后的像素信号的值未进入预先设定的范围，则系统控制部501执行第m+1次的电荷积蓄。此外，在其他区域中n(自然数)次的电荷积蓄及像素信号读出结束了时，若累积处理后的像素信号的值进入预先设定的范围，则不进行第n+1次的电荷积蓄而结束，若累积处理后的像素信号的值未进入预先设定的范围，则执行第n+1次的电荷积蓄。

[0119] 此外，在上述中，说明了不使用测光部503的测光结果、通过逐次算出按各单位组计的平均值等、并判断该平均值是否超过阈值，来确定是否进行进一步的单位控制的例子，但在该控制中可以根据积蓄次数变更阈值。具体而言，随着积蓄次数增加，使阈值逐渐减小。通过使阈值逐渐减小，能够生成阴影区域和高亮区域的明亮度不会逆转的自然图像。

[0120] 以上，使用实施方式说明了本发明，但本发明的保护范围不限于上述实施方式记载的范围。对于本领域技术人员而言，可以对上述实施方式加以多种变更或改良，这是显而易见的。这样的加以变更或改良的方案也包含于本发明的保护范围，这根据权利要求书的记载而清楚。

[0121] 关于在权利要求书、说明书及附图中示出的装置、系统、程序及方法中的动作、顺序、步骤及阶段等各处理的执行顺序，应注意，只要未特别明示“之前”、“先于”等，且不是在后处理使用前处理的输出，则可以以任意顺序实现。关于在权利要求书、说明书及附图中的动作流程，虽然为了方便起见使用“首先”、“接着”等进行了说明，但并不意味着按该顺序实施是必须的。

[0122] 附图标记的说明

[0123] 100摄像元件，101微透镜，102滤色器，103钝化膜，104PD，105晶体管，106PD层，107布线，108布线层，109凸块，110TSV，111信号处理芯片，112存储器芯片，113摄像芯片，131单位组，302传输晶体管，303复位晶体管，304放大晶体管，305选择晶体管，306复位布线，307TX布线，308译码布线，309输出布线，310Vdd布线，311负载电流源，411多路复用器，412信号处理电路，413多路分用器，414像素存储器，415运算电路，420驱动控制部，430定时存储器，441感应控制部，442模块控制部，443同步控制部，444信号控制部，500摄像装置，501

系统控制部,503测光部,504工作存储器,505记录部,506显示部,511图像处理部,512运算部,601阴影被拍体,602中间被拍体,603高亮被拍体,604窗框,611阴影区域,612中间区域,613高亮区域。

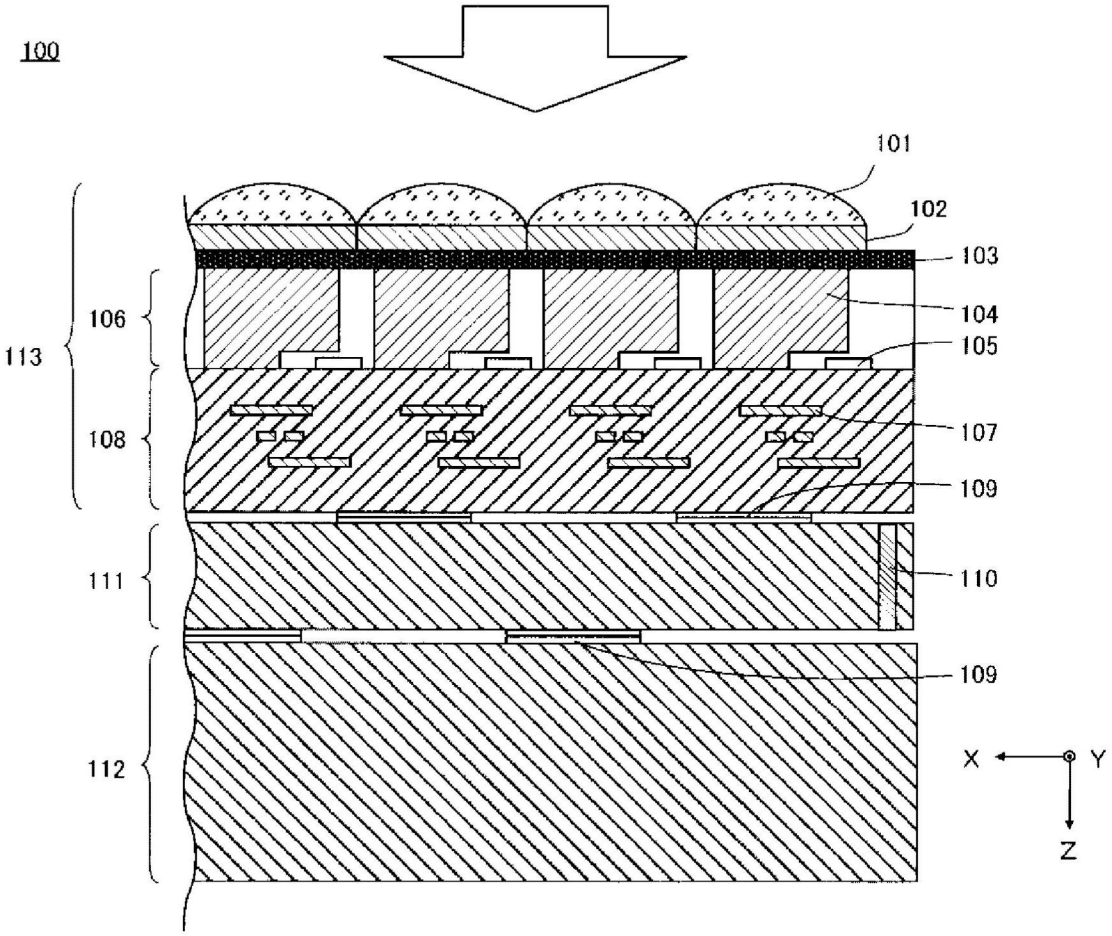


图1

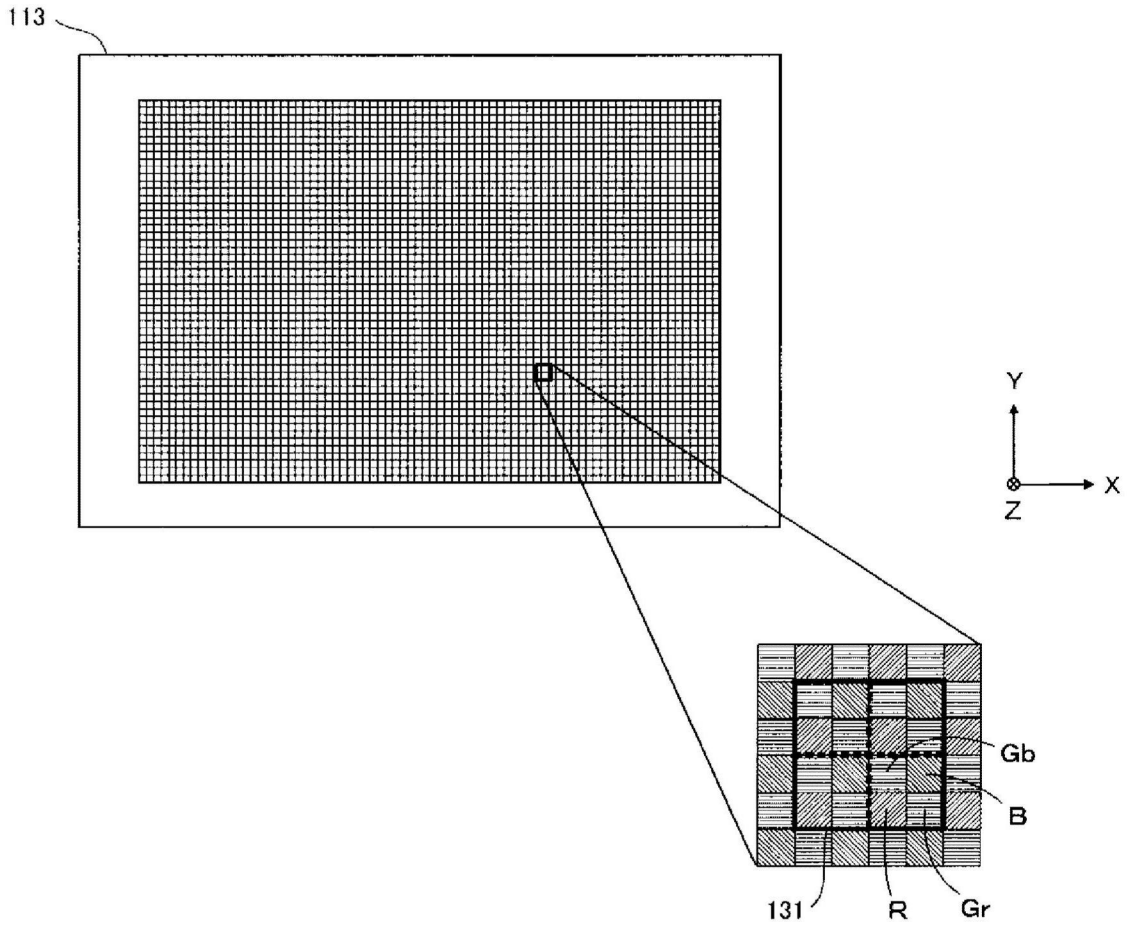


图2

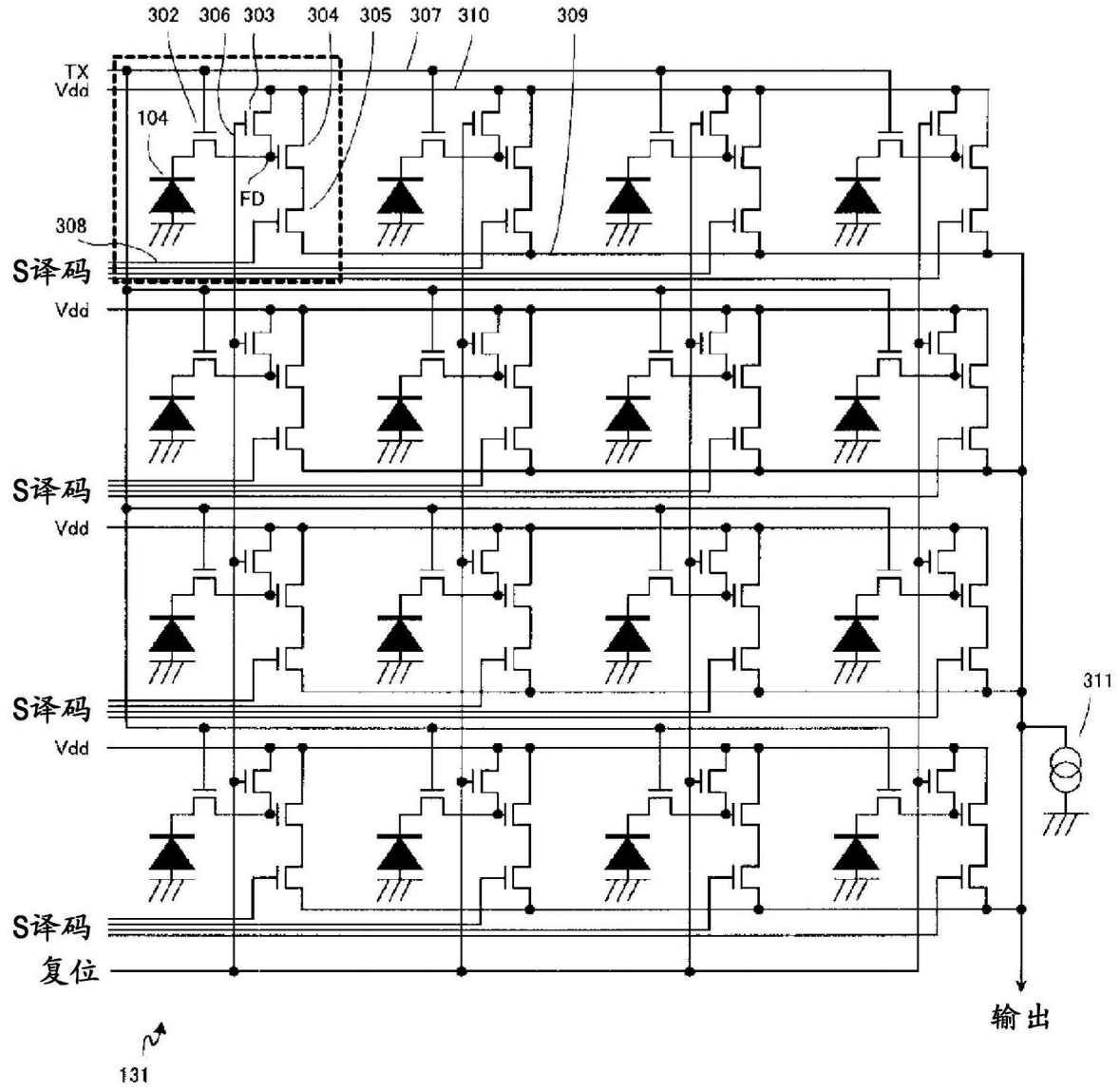

302
306
303
304
305
307
310
309
TX
Vdd
104
FD
308
S译码
Vdd
S译码
Vdd
S译码
Vdd
S译码
复位
311
输出
131

图3

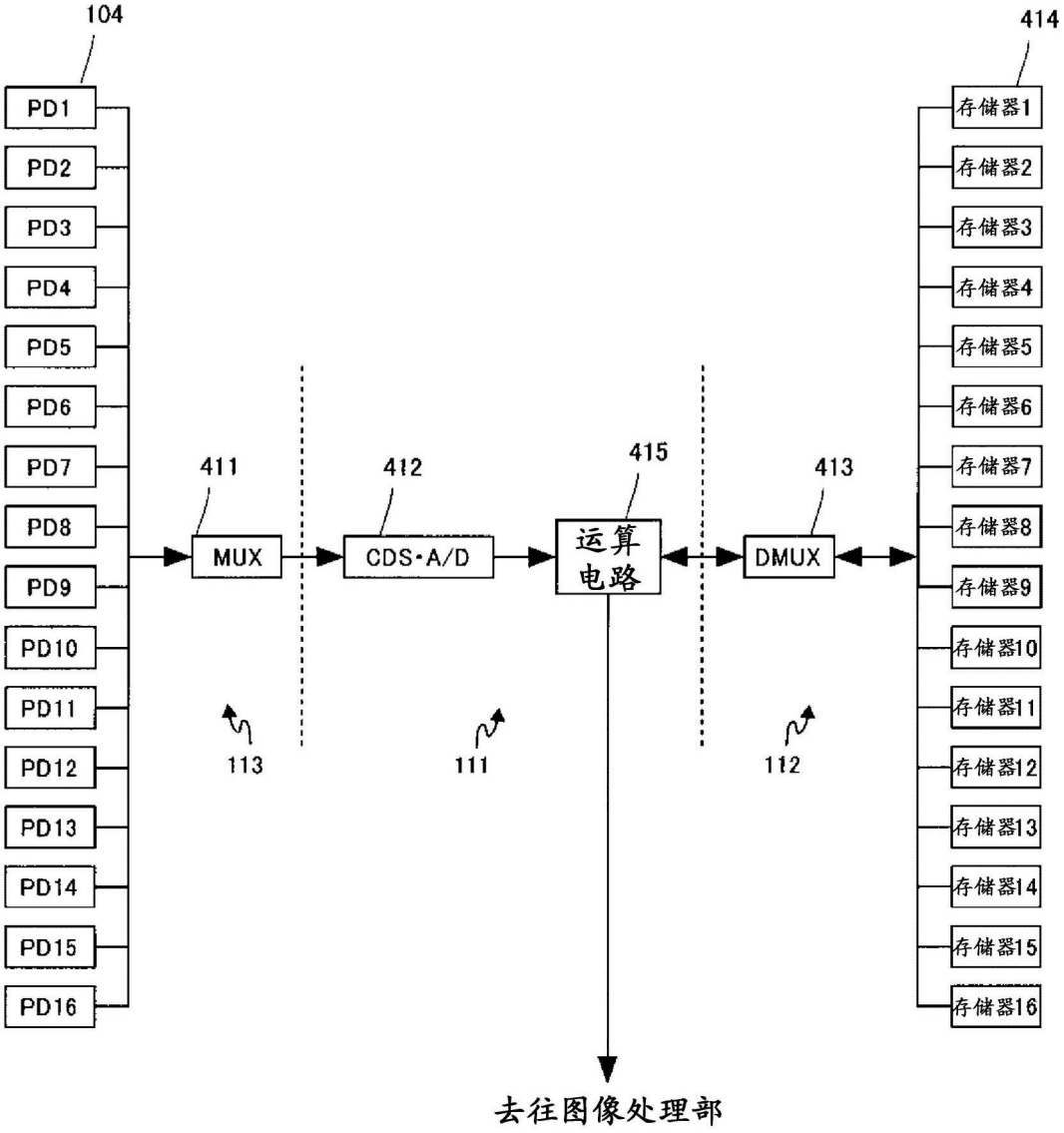

104
PD1
PD2
PD3
PD4
PD5
PD6
PD7
PD8
PD9
PD10
PD11
PD12
PD13
PD14
PD15
PD16
411
MUX
412
CDS-A/D
415
运算电路
413
DMUX
414
存储器1
存储器2
存储器3
存储器4
存储器5
存储器6
存储器7
存储器8
存储器9
存储器10
存储器11
存储器12
存储器13
存储器14
存储器15
存储器16
113
111
112
去往图像处理部

图4

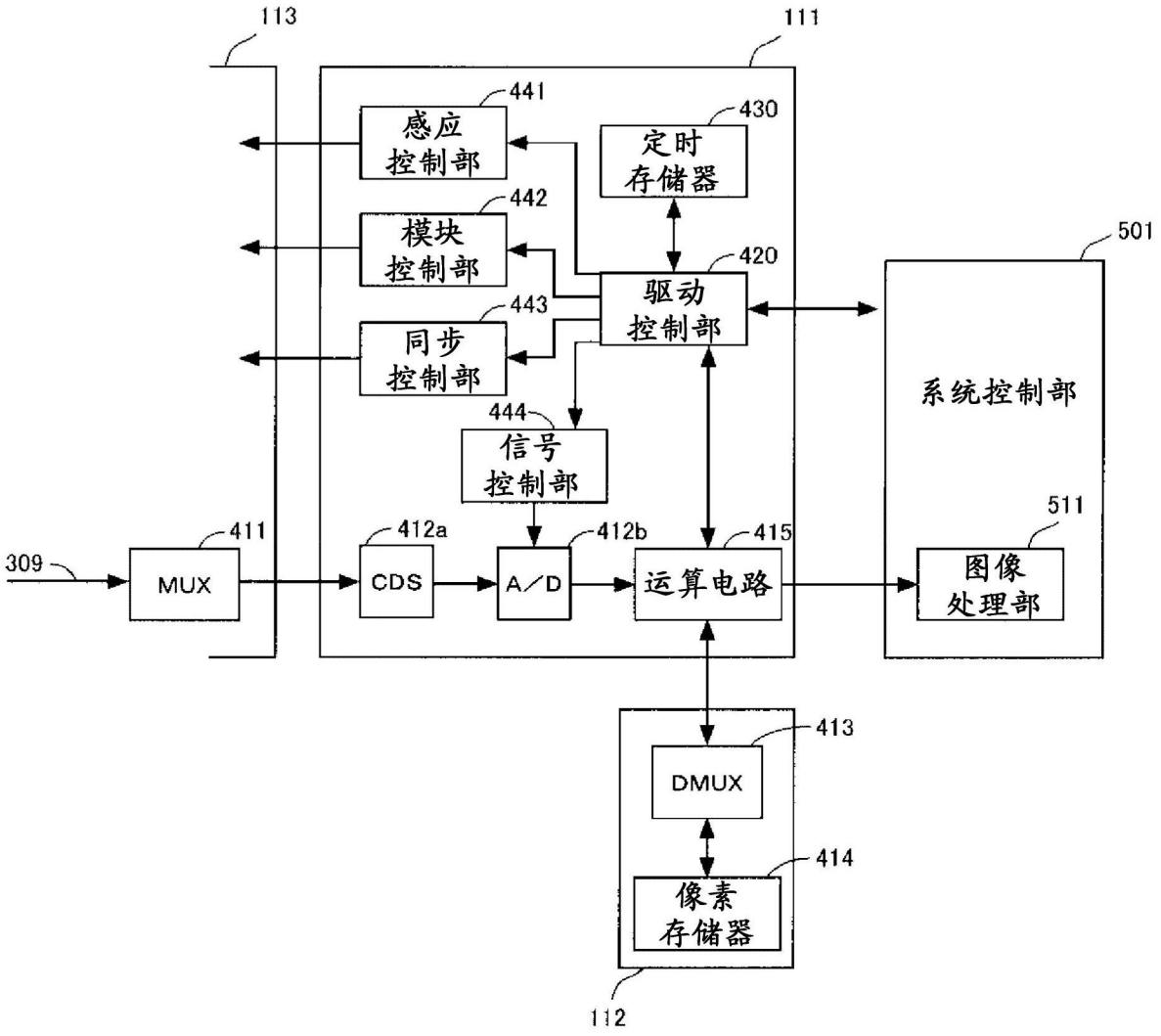

113
111
441
感应
控制部
430
定时
存储器
442
模块
控制部
420
驱动
控制部
501
443
同步
控制部
系统控制部
444
信号
控制部
511
411
412a
412b
415
309
MUX
CDS
A／D
运算电路
图像
处理部
413
DMUX
414
像素
存储器
112

图5

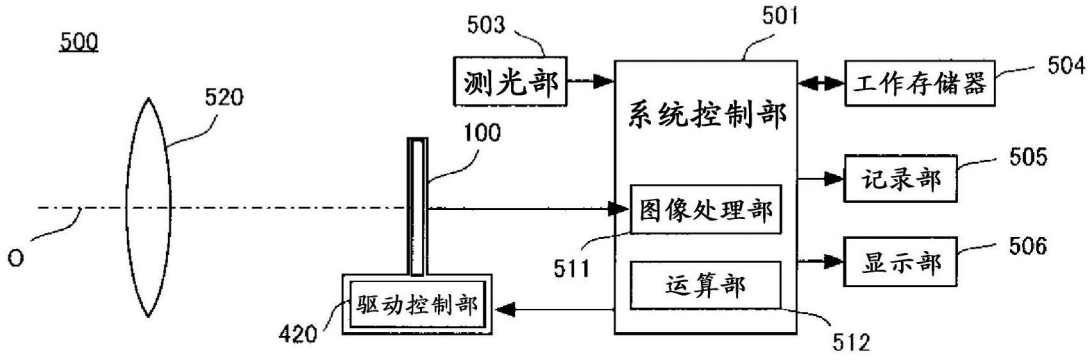

500
503
501
测光部
系统控制部
工作存储器
504
520
100
记录部
505
图像处理部
O
511
显示部
506
运算部
驱动控制部
420
512

图6

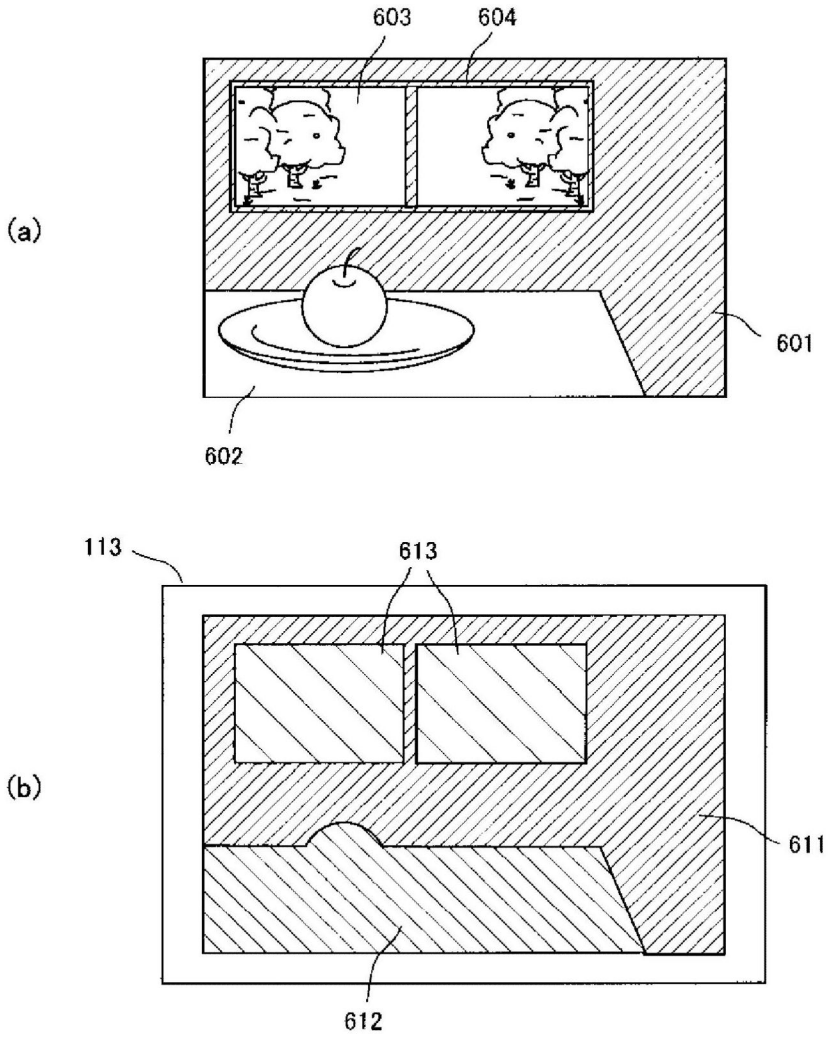


图7

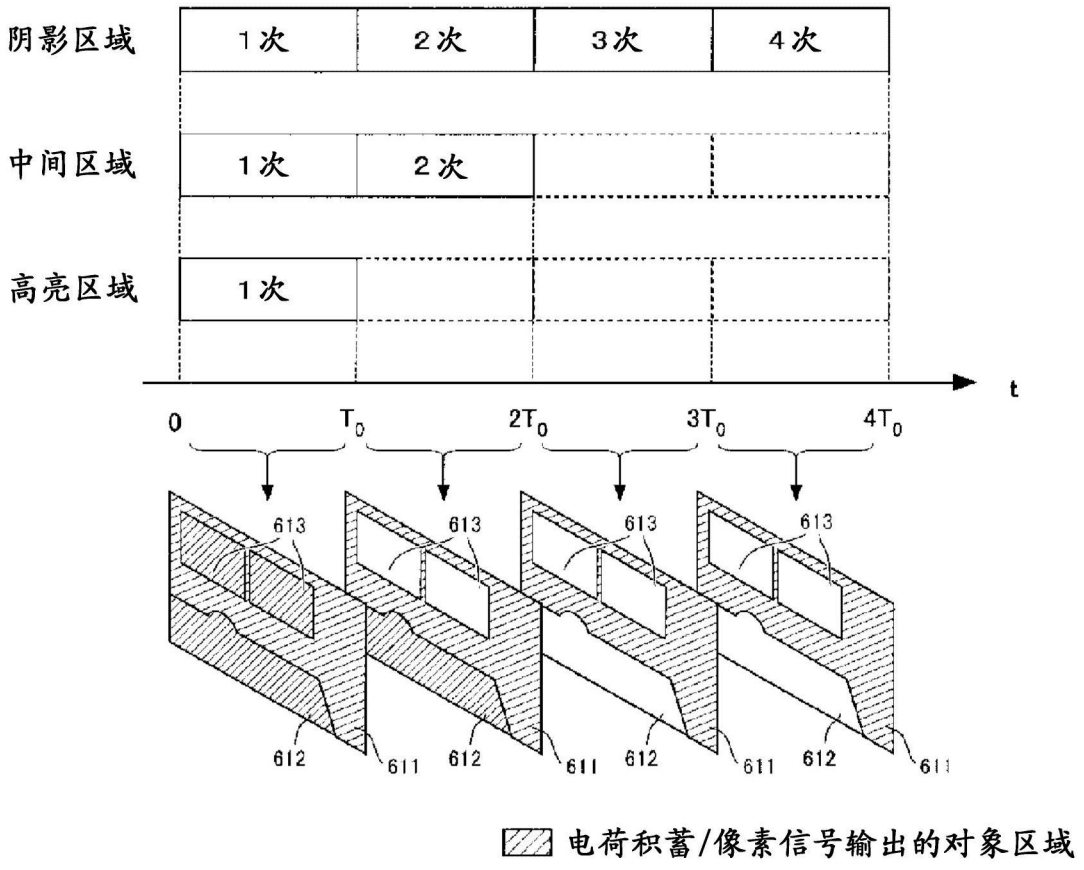

阴影区域
1次
2次
3次
4次
中间区域
1次
2次
高亮区域
1次
t
0
T_0
$2T_0$
$3T_0$
$4T_0$
613
612
611
电荷积蓄/像素信号输出的对象区域

图8

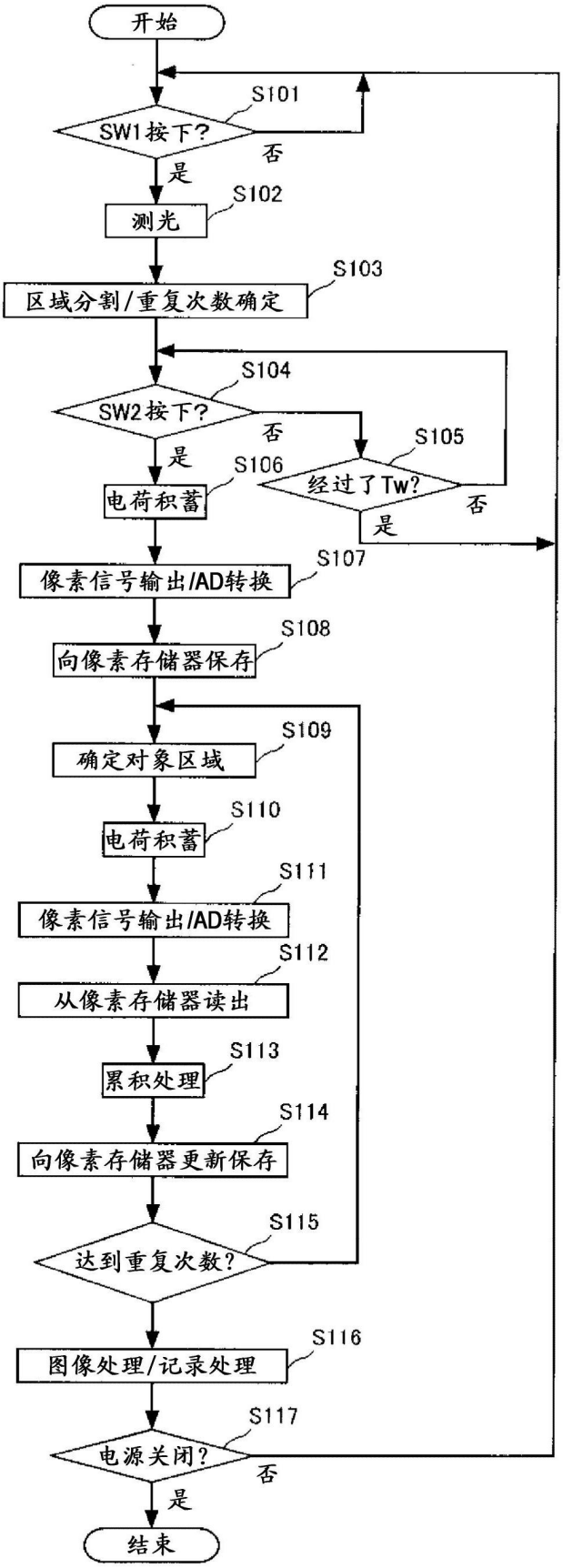

开始
S101
SW1按下?
否
是
S102
测光
S103
区域分割/重复次数确定
S104
SW2按下?
否
是
S105
经过了Tw?
否
是
S106
电荷积蓄
S107
像素信号输出/AD转换
S108
向像素存储器保存
S109
确定对象区域
S110
电荷积蓄
S111
像素信号输出/AD转换
S112
从像素存储器读出
S113
累积处理
S114
向像素存储器更新保存
S115
达到重复次数?
S116
图像处理/记录处理
S117
电源关闭?
否
是
结束

图9

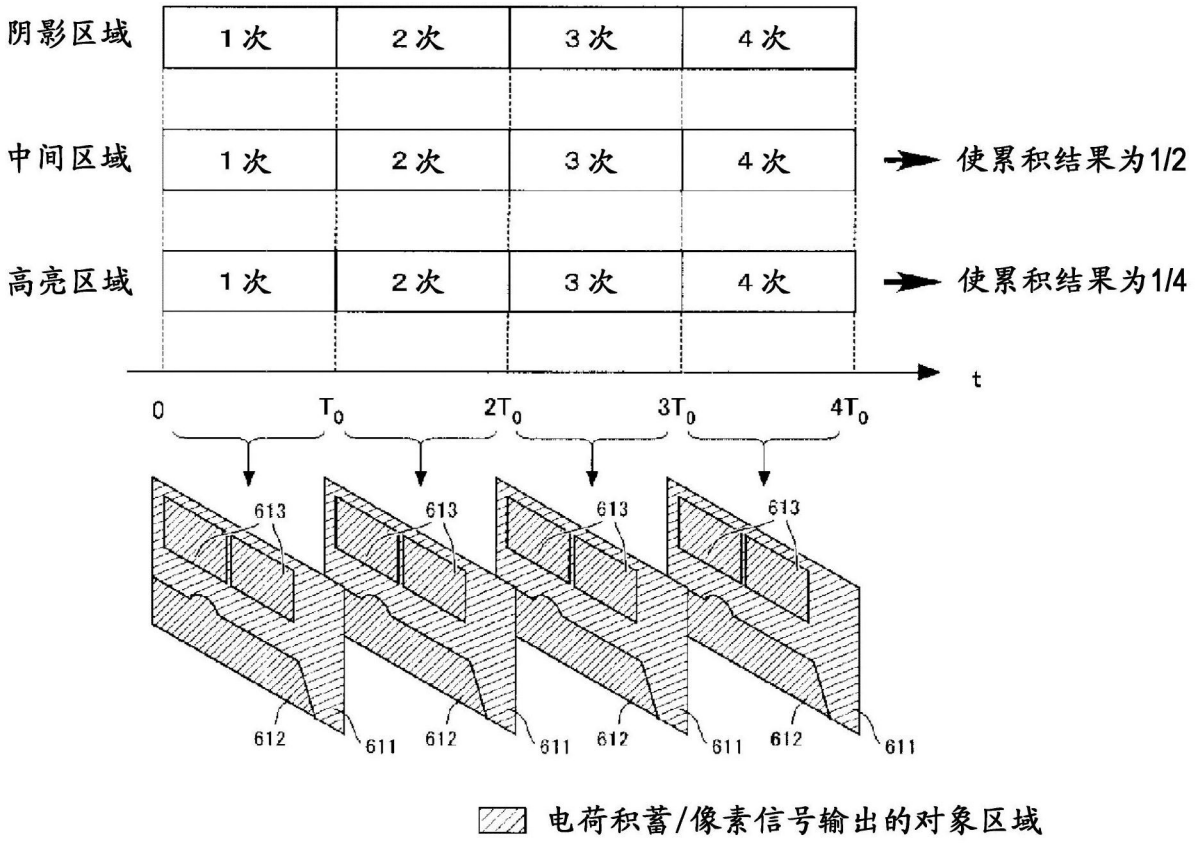

阴影区域
1次
2次
3次
4次
中间区域
1次
2次
3次
4次
使累积结果为1/2
高亮区域
1次
2次
3次
4次
使累积结果为1/4
t
0
T_0
$2T_0$
$3T_0$
$4T_0$
613
612
611
电荷积蓄/像素信号输出的对象区域

图10