

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5643230号
(P5643230)

(45) 発行日 平成26年12月17日(2014.12.17)

(24) 登録日 平成26年11月7日(2014.11.7)

(51) Int.Cl. F I
G 1 1 C 11/15 (2006.01) G 1 1 C 11/15 1 5 0

請求項の数 13 (全 12 頁)

(21) 出願番号	特願2011-548313 (P2011-548313)	(73) 特許権者	507364838
(86) (22) 出願日	平成22年1月29日 (2010.1.29)		クアルコム, インコーポレイテッド
(65) 公表番号	特表2012-516523 (P2012-516523A)		アメリカ合衆国 カリフォルニア 921
(43) 公表日	平成24年7月19日 (2012.7.19)		21 サン ディエゴ モアハウス ドラ
(86) 国際出願番号	PCT/US2010/022474		イブ 5775
(87) 国際公開番号	W02010/088441	(74) 代理人	100108453
(87) 国際公開日	平成22年8月5日 (2010.8.5)		弁理士 村山 靖彦
審査請求日	平成23年8月1日 (2011.8.1)	(74) 代理人	100163522
審査番号	不服2013-21548 (P2013-21548/J1)		弁理士 黒田 晋平
審査請求日	平成25年11月5日 (2013.11.5)	(72) 発明者	セイ・スン・ユン
(31) 優先権主張番号	12/362,500		アメリカ合衆国・カリフォルニア・921
(32) 優先日	平成21年1月30日 (2009.1.30)		21・サン・ディエゴ・モアハウス・ドラ
(33) 優先権主張国	米国 (US)		イブ・5775

最終頁に続く

(54) 【発明の名称】 スピン注入トルク磁気抵抗ランダムアクセスメモリでのビットラインの電圧制御

(57) 【特許請求の範囲】

【請求項1】

スピン注入トルク磁気抵抗ランダムアクセスメモリ(STT-MRAM)であって、
磁気トンネル接合(MTJ)およびワードライントランジスタを有するビットセルと、
ビットラインに接続されるクランプ回路と、
前記ビットラインの電圧とリファレンスビットラインの電圧との間の差に基づいて、前記ビットセルに格納されている値を出力するように構成されるセンスアンプとを備え、
前記ビットセルは、前記ビットラインおよびソースラインに接続され、
前記クランプ回路は、前記ビットラインの電圧が所望の電圧のレベルを超過することを防止するために、前記STT-MRAMの読み出し動作の間、前記ビットラインの電圧を前記所望の電圧のレベルにクランプするように構成され、
前記所望の電圧のレベルは、前記STT-MRAMの書き込み動作に関連する書き込み電圧しきい値より低く、
前記クランプ回路は、前記リファレンスビットラインにさらに接続され、読み出し動作の間、前記リファレンスビットラインの電圧を前記ビットラインと等価の所望の電圧のレベルにクランプするようにさらに構成され、
前記ビットセルと前記クランプ回路との間に置かれる読み出しアイソレーション素子をさらに具備し、前記読み出しアイソレーション素子は、書き込み動作の間、前記クランプ回路を前記ビットラインから選択的に分離するように構成され、
前記クランプ回路は、前記ビットラインおよび前記リファレンスビットラインのそれぞれ

10

20

れに接続されるとともに前記読み出し動作を開始する信号とは別の信号により駆動されるように構成される第1および第2のプリチャージトランジスタを具備することを特徴とするSTT-MRAM。

【請求項2】

前記所望の電圧のレベルは、約0.3Vであることを特徴とする請求項1に記載のSTT-MRAM。

【請求項3】

前記所望の電圧のレベルは、バンドギャップリファレンスにより供給されることを特徴とする請求項1に記載のSTT-MRAM。

【請求項4】

前記所望の電圧は、内部電圧制御部により供給されることを特徴とする請求項1に記載のSTT-MRAM。

【請求項5】

前記所望の電圧は、外部パワーマネージメントICにより供給されることを特徴とする請求項1に記載のSTT-MRAM。

【請求項6】

前記クランプ回路の駆動が、前記読み出し動作が開始された後に行われるように構成されることを特徴とする請求項1に記載のSTT-MRAM。

【請求項7】

前記読み出しアイソレーション素子は、スイッチ、送信ゲート、またはマルチプレクサの少なくとも1つであることを特徴とする請求項1に記載のSTT-MRAM。

【請求項8】

スピン注入トルク磁気抵抗ランダムアクセスメモリ(STT-MRAM)を読み出すための方法であって、

読み出し動作を開始するステップと、

読み出されるビットセルのビットラインに接続されるクランプ回路を駆動するステップと、

前記読み出し動作の間、ビットラインの電圧を所望の電圧のレベルにクランプするステップと、

前記読み出し動作の間、リファレンスビットラインの電圧を前記ビットラインと等価の所望の電圧のレベルにクランプするステップと、

前記ビットラインの電圧と前記リファレンスビットラインの電圧との間の電圧差を検出するステップと、

前記ビットラインの電圧とリファレンスビットラインの電圧との間の前記検出した差に基づいて、読み出される前記ビットセルに格納されている値を決定するステップとを含み、

前記所望の電圧のレベルは、前記STT-MRAMの書き込み動作に関連する書き込み電圧しきい値より低く、

前記クランプ回路は、書き込み動作の間、前記ビットラインから選択的に分離され、

前記クランプ回路は、前記ビットラインおよび前記リファレンスビットラインのそれぞれに接続されるとともに前記読み出し動作を開始する信号とは別の信号により駆動されるように構成される第1および第2のプリチャージトランジスタを具備することを特徴とする方法。

【請求項9】

前記所望の電圧のレベルは、約0.3Vであることを特徴とする請求項8に記載の方法。

【請求項10】

前記所望の電圧のレベルは、バンドギャップリファレンス、内部電圧制御部、または外部パワーマネージメントICの少なくとも1つにより供給されることを特徴とする請求項8に記載の方法。

【請求項11】

10

20

30

40

50

前記クランプ回路の駆動が、前記読み出し動作が開始された後に行われるように構成されることを特徴とする請求項8に記載の方法。

【請求項12】

スピン注入トルク磁気抵抗ランダムアクセスメモリ(STT-MRAM)であって、
磁気トンネル接合(MTJ)およびワードライントランジスタを有するビットセルの読み出し動作を開始するための手段と、

前記読み出し動作の間、ビットラインの電圧を所望の電圧のレベルにクランプするための手段と、

前記読み出し動作の間、リファレンスビットラインの電圧を前記ビットラインと等価の所望の電圧のレベルにクランプするための手段と、

前記ビットラインの電圧と前記リファレンスビットラインの電圧との間の電圧差を検出するための手段と、

前記ビットラインの電圧とリファレンスビットラインの電圧との間の前記検出した差に基づいて、読み出される前記ビットセルに格納されている値を表す電圧を出力するための手段とを具備し、

前記ビットセルは、ビットラインおよびソースラインに接続されるとともに、書き込み動作の間、クランプ回路から選択的に分離され、

前記所望の電圧のレベルは、前記STT-MRAMの書き込み動作に関連する書き込み電圧しきい値より低く、

前記ビットラインの電圧および前記リファレンスビットラインの電圧をクランプするための前記手段は、前記ビットラインおよび前記リファレンスビットラインのそれぞれに接続されるとともに前記読み出し動作を開始する信号とは別の信号により駆動されるように構成される第1および第2のプリチャージトランジスタを具備することを特徴とするSTT-MRAM。

【請求項13】

前記所望の電圧のレベルは、バンドギャップリファレンス、内部電圧制御部、または外部パワーマネージメントICの少なくとも1つにより供給されることを特徴とする請求項12に記載のSTT-MRAM。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、ランダムアクセスメモリ(RAM)に関する。より詳細には、本発明の実施形態は、スピン注入トルク(Spin Transfer Torque)磁気抵抗ランダムアクセスメモリ(STT-MRAM)でのビットラインの電圧制御に関する。

【背景技術】

【0002】

ランダムアクセスメモリ(RAM)は、現代のデジタルアーキテクチャの普及した構成要素である。RAMは、スタンドアローンのデバイスである場合があり、または、マイクロプロセッサ、マイクロコントローラ、特定用途向け集積回路(ASIC)、システムオンチップ(SoC)、および、当業者により理解されることとなるような他の同様のデバイスなどの、RAMを使用するデバイス内に統合される、もしくは組み込まれる場合がある。RAMは、揮発性または不揮発性である場合がある。揮発性RAMは、電力が除去されるたびに、その格納されている情報を失う。不揮発性RAMは、電力がメモリから除去されているときでさえ、その記憶コンテンツを維持することができる。不揮発性RAMは、そのコンテンツを電力が供給されることなしに維持することができるという利点があるが、従来の不揮発性RAMは、揮発性RAMよりも読み出し/書き込み時間が遅い。

【0003】

磁気抵抗ランダムアクセスメモリ(MRAM)は、揮発性メモリに匹敵する応答(読み出し/書き込み)時間を有する、不揮発性メモリ技術である。データを電荷または電流フローとして格納する従来のRAM技術とは対照的に、MRAMは、磁気素子を使用する。図1Aおよび図1B

に示されるように、磁気トンネル接合(MTJ)記憶素子100が、絶縁(トンネルバリア)層120により分離された2つの磁性層110および130から形成され得るとともに、それらの磁性層のそれぞれは磁場を保持することができる。2つの層の一方(例えば、固定層110)は、特定の極性に設定されている。他方の層(例えば、自由層130)の極性132は、印加され得る外部の場のそれと整合するように、自由に変化する。自由層130の極性132の変化は、MTJ記憶素子100の抵抗値を変化させることになる。例えば、図1Aのように、極性がそろうときは、低い抵抗値の状態が存在する。図1Bのように、極性がそろわないときは、高い抵抗値の状態が存在する。MTJ100の図は簡素化されたものであるので、当業者であれば、当技術分野で知られているように、示される各層は、1つまたは複数の材料の層を含むことができるということを理解する。

10

【0004】

図2Aを参照すると、従来のMRAMのメモリセル200が、読み出し動作に関して示されている。セル200は、トランジスタ210、ビットライン220、ディジットライン230およびワードライン240を具備する。セル200は、MTJ100の電気抵抗値を測定することにより読み出され得る。例えば、特定のMTJ100は、MTJ100を通るビットライン220からの電流をスイッチすることができる、関連するトランジスタ210を駆動することにより選択され得る。トンネル磁気抵抗効果により、MTJ100の電気抵抗値は、上で考察したように、2つの磁性層(例えば、110、130)での極性の方向に基づいて変化する。任意の特定のMTJ100の内部の抵抗値は、自由層の極性に起因する電流により決定され得る。従来では、固定層110および自由層130が同じ極性を有するならば、抵抗値は低くなるとともに、「0」が読み出される。固定層110および自由層130が反対の極性を有するならば、抵抗値はより高くなるとともに、「1」が読み出される。

20

【0005】

図2Bを参照すると、従来のMRAMのメモリセル200が、書き込み動作に関して示されている。MRAMの書き込み動作は、磁氣的動作である。したがって、トランジスタ210は、書き込み動作の間はオフである。MTJ100の自由層の極性、および結果として、セル200の論理状態に影響を及ぼすことができる磁場250および260を確立するために、電流が、ビットライン220およびディジットライン230を通して伝播する。したがって、データが、MTJ100に書き込まれ、かつ格納され得る。

【0006】

MRAMは、高速度、高密度(すなわち、小さなビットセルサイズ)、低い消費電力、および経時的に劣化しないなど、それを汎用なメモリの候補とするいくつかの望ましい特性を有する。しかしながら、MRAMは、スケーラビリティの問題を有する。具体的には、ビットセルが小さくなるにつれて、メモリ状態をスイッチするために使用される磁場が増大する。したがって、電流密度および消費電力は、より強い磁場を付与するために増大し、したがって、MRAMのスケーラビリティを制限する。

30

【0007】

従来のMRAMとは異なり、スピン注入トルク磁気抵抗ランダムアクセスメモリ(STT-MRAM)は、電子が薄膜(スピンフィルタ)を通過する際にスピン偏極する電子を使用する。STT-MRAMは、スピン注入トルクRAM(STT-RAM)、スピントルク注入磁化スイッチングRAM(Spin Torque Transfer Magnetization Switching RAM)(Spin-RAM)、およびスピンモーメント注入(Spin Momentum Transfer)(SMT-RAM)としても知られている。書き込み動作の際、スピン偏極電子は、自由層上でトルクをかけ、それは、自由層の極性をスイッチすることができる。読み出し動作は、上記で考察したように、電流をMTJ記憶素子の抵抗値/論理状態を検出するために使用するという点で、従来のMRAMと同様である。図3Aに示されるように、STT-MRAMのビットセル300は、MTJ305、トランジスタ310、ビットライン320およびワードライン330を具備する。トランジスタ310は、電流がMTJ305を通して流れることを可能にするために、読み出しおよび書き込みの両方の動作を目的としてスイッチオンされ、その結果、論理状態は、読み出され得る、または書き込まれ得る。

40

【0008】

50

図3Bを参照すると、読み出し/書き込み動作のさらなる考察のため、STT-MRAMのセル301のより詳細な図が示されている。MTJ305、トランジスタ310、ビットライン320およびワードライン330などの、前に考察した素子に加えて、ソースライン340、センスアンプ350、読み出し/書き込み回路360およびビットラインリファレンス370が図示されている。上で考察したように、STT-MRAMでの書き込み動作は、電気的である。読み出し/書き込み回路360は、ビットライン320とソースライン340との間に、書き込み電圧を生成する。ビットライン320とソースライン340との間の電圧の極性に依りて、MTJ305の自由層の極性が変化され得るとともに、それに対応して、論理状態がセル301に書き込まれ得る。同様に、読み出し動作の間、MTJ305を通してビットライン320とソースライン340との間を流れる、読み出し電流が生成される。電流が、トランジスタ310を介して流れることが可能であるとき、MTJ305の抵抗値(論理状態)は、ビットライン320とソースライン340との間の電圧差に基づいて決定され得る。前記電圧差は、リファレンス370と比較され、次いでセンスアンプ350により増幅される。当業者であれば、メモリセル301の動作および構造は、当技術分野で既知であることを理解するであろう。さらなる詳細が、例えば、M. Hosomiら、A Novel Nonvolatile Memory with Spin Transfer Torque Magnetoresistive Magnetization Switching: Spin-RAM, proceedings of IEDM conference (2005)で与えられ、それは、本明細書に、その全体を参照により組み込まれている。

【0009】

STT-MRAMの電気的書き込み動作は、MRAMでの磁気的書き込み動作によるスケーリングの問題を除去する。さらには、回路設計は、STT-MRAMに関しては、複雑さがより小さくなる。しかしながら、読み出しおよび書き込みの両方の動作は、電流をMTJ305に通すことにより実行されるので、読み出し動作に関しては、MTJ305に格納されているデータを乱す可能性がある。例えば、読み出し電流が、その大きさにおいて書き込み電流のしきい値と同等である、またはそれより大きいならば、読み出し動作が、MTJ305の論理状態を乱し、したがって、メモリの完全性を劣化させるおそれがあるということの、かなりの可能性がある。

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明の例示的な実施形態は、STT-MRAMでの読み出し動作の間に印加されるビットラインの電圧を制御するためのシステム、回路および方法を対象としたものである。

【課題を解決するための手段】

【0011】

したがって、本発明の実施形態は、スピン注入トルク磁気抵抗ランダムアクセスメモリ(STT-MRAM)であって、磁気トンネル接合(MTJ)およびワードライントランジスタを有し、ビットラインおよびソースラインに接続されるビットセルと、ビットラインに接続され、ビットラインの電圧が所望の電圧のレベルを超過することを防止するために、STT-MRAMの読み出し動作の間、ビットラインの電圧を所望の電圧のレベルにクランプするように構成されるクランプ回路とを備え、前記所望の電圧のレベルは、STT-MRAMの書き込み動作に関連する書き込み電圧しきい値より低いSTT-MRAMである。

【0012】

本発明の別の実施形態は、スピン注入トルク磁気抵抗ランダムアクセスメモリ(STT-MRAM)を読み出すための方法であって、読み出し動作を開始するステップと、読み出されるビットセルのビットラインに接続されるクランプ回路を駆動するステップと、読み出し動作の間、ビットラインの電圧を所望の電圧のレベルにクランプするステップとを含み、前記所望の電圧のレベルは、STT-MRAMの書き込み動作に関連する書き込み電圧しきい値より低い方法である。

【0013】

本発明の別の実施形態は、スピン注入トルク磁気抵抗ランダムアクセスメモリ(STT-MRAM)であって、磁気トンネル接合(MTJ)およびワードライントランジスタを有するビットセ

10

20

30

40

50

ルの読み出し動作を開始するための手段であって、ビットセルはビットラインおよびソースラインに接続される、開始するための手段と、読み出し動作の間、ビットラインの電圧を所望の電圧のレベルにクランプするための手段とを備え、前記所望の電圧のレベルは、STT-MRAMの書き込み動作に関連する書き込み電圧しきい値より低いSTT-MRAMである。

【0014】

添付図面は、本発明の実施形態の説明を援助するために提供されるものであり、単に実施形態の図示のために提供されるものであり、それらを限定するものではない。

【図面の簡単な説明】

【0015】

【図1A】磁気トンネル接合(MTJ)記憶素子の図である。

10

【図1B】磁気トンネル接合(MTJ)記憶素子の図である。

【図2A】読み出し動作中の磁気抵抗ランダムアクセスメモリ(MRAM)セルの図である。

【図2B】書き込み動作中の磁気抵抗ランダムアクセスメモリ(MRAM)セルの図である。

【図3A】スピン注入トルク磁気抵抗ランダムアクセスメモリ(STT-MRAM)セルの図である。

【図3B】スピン注入トルク磁気抵抗ランダムアクセスメモリ(STT-MRAM)セルの図である。

【図4】読み出し動作中のSTT-MRAMでの回路構成を示す図である。

【図5】STT-MRAMのクランプ回路に関する回路構成の図である。

【図6】STT-MRAMの読み出し動作中の様々な信号ラインの状態を示すグラフである。

20

【図7】STT-MRAMでの読み出し動作中のビットラインの電圧をクランプするための方法を示すフローチャートである。

【発明を実施するための形態】

【0016】

本発明の実施形態の態様は、本発明の特定の実施形態を対象とした以下の説明および関連する図面で開示される。代替の実施形態が、本発明の範囲から逸脱することなく提案されてもよい。さらには、本発明の周知の要素は、本発明の実施形態の関連する細部を不明瞭にしないために、詳細には説明されないことになる、または、省略されることになる。

【0017】

本明細書で使用される専門用語は、特定の実施形態を説明することのみを目的とするものであり、本発明の実施形態を限定することは意図していない。本明細書で使用される際には、単数形「1つの(a)」、「1つの(an)」および「その(the)」は、意味内容が明確にそうではないことを示さない限りは、複数形も含むことが意図されている。さらには、用語「備える」、「備えている」、「含む」および/または「含んでいる」は、本明細書で使用されるときは、述べられた特徴、整数値、ステップ、動作、素子、および/または構成要素の存在を特定するが、1つもしくは複数の他の特徴、整数値、ステップ、動作、素子、構成要素、および/もしくはそれらのグループの存在または追加を排除しないことが理解されよう。

30

【0018】

単語「例示的な」は、本明細書では、「用例、実例、または図示として役立つこと」を意味するために使用される。「例示的な」として本明細書で説明されるいかなる実施形態も、必ずしも、他の実施形態よりも好ましい、または有利であるとして解釈されるべきではない。同様に、用語「本発明の実施形態」は、本発明のすべての実施形態が、考察した特徴、利点または動作のモードを含むことを要求はしない。

40

【0019】

さらには、多数の実施形態が、例えば、コンピューティングデバイスの要素により実行されるべき動作のシーケンスに関して説明される。本明細書で説明される様々な動作が、特定の回路(例えば、特定用途向け集積回路(ASIC))により、1つもしくは複数のプロセッサにより実行されるプログラム命令により、または両方の組み合わせにより実行され得るということが理解されよう。さらには、本明細書で説明されるこれらの動作のシーケンス

50

は、実行により、関連するプロセッサに、本明細書で説明される機能性を実行させることになる、対応するコンピュータ命令セットがそこに格納されている、任意の形態のコンピュータ可読記憶媒体内で、完全に実施されると考えられ得る。このように、本発明の様々な態様が、クレームする発明の要旨の範囲内にそのすべてがあることを意図された、いくつかの様々な形態で実施され得る。さらには、本明細書で説明される実施形態のそれぞれに関して、任意のそのような実施形態の対応する形態が、例えば、説明される動作を実行する「ように構成される論理」として、本明細書で説明され得る。

【0020】

背景技術で考察したように、STT-MRAMは、各セルに対して小さな書き込み電流を使用し、このことは、MRAMにおいて、このメモリアイソレーション素子の利点となる。しかしながら、セルの読み出し電流が、書き込み電流しきい値に接近する、またはそれよりも高くなると、それゆえに無効な書き込み動作を発生させる場合がある。無効な書き込みの可能性を低減させるために、本発明の実施形態は、セルの読み出しレベルを書き込みしきい値より低くクランプする手段を提供する。セルの読み出しレベルをクランプすることで、任意の所与の読み出し動作の際に無効な書き込みを引き起こす可能性を低減または防止し、メモリの完全性を向上させる。

【0021】

図4は、読み出し動作の間のSTT-MRAMでの回路構成400を示す。回路は、ビットライン(BL)420とソースライン(SL)440との間に接続されるMTJ405およびワードライントランジスタ410を備えるビットセル401を具備する。ワードライントランジスタ410は、ワードライン読み出し電圧(WL_{rd})をワードライン(図示せず)から受け取る。読み出しアイソレーション素子450が、書き込み動作の間、センスアンプ470を分離するために、ビットライン420に接続される。素子450(例えば、読み出しマルチプレクサ)は、センスアンプの分離を与えるだけでなく、読み出し動作の間にビットラインの1つを選択するために使用され得る。当業者により理解されるであろうが、読み出しアイソレーション素子450は、読み出し動作の間は、センスアンプ470をビットライン420に接続することができ、書き込み動作の間は、センスアンプ470を分離することができる、任意のデバイスまたはデバイスの組み合わせであってよい。例えば、アイソレーション素子450は、センスアンプ470の入力に直列に接続される送信ゲートであってよい。しかしながら、当業者であれば、マルチプレクサなどのような、他のデバイスおよび/またはデバイスの組み合わせが使用され得るということを理解する。さらには、本明細書で示される回路構成は、単に、本発明の実施形態の態様の説明を容易にするためのものであり、実施形態を、図示した素子および/または配置に限定することは意図していないということを、当業者は理解する。

【0022】

図4を再び参照すると、アイソレーション素子450は、読み出し動作と協調して動作するために、読み出しイネーブル信号(rd_{en})を受信することができる。センスアンプ470は、ビットライン420と、リファレンス460とに接続される。センスアンプ470は、読み出し動作の間に、センスアンプ470の入力での、ビットライン420とリファレンス460との間の電圧差を増幅することにより、ビットセル401の状態を決定するために使用され得る。読み出し動作の間、トランジスタ410は導通しており、読み出し電流(i_{rd})は、MTJ405を流れて流れる。読み出しアイソレーション素子450は導通していることになり、MTJ405の抵抗値に比例する電圧が、生成され、センスアンプ470で検出されることになる。上で考察したように、抵抗値は、MTJ405の論理状態に基づいて変動することになる。したがって、ビットセル401に格納されているデータが読み出され得る。書き込みドライバ480、ならびに書き込みアイソレーション素子482および484が、ビットラインの選択およびビットセル401に対しデータを書き込むことを可能にするために、ビットライン420とソースライン440との間で接続される。

【0023】

図4のSTT-MRAM400はさらに、BL420に接続されるクランプ回路430を具備する。クランプ回路430は、BL電圧が所望のクランプ電圧のレベルを超過することを防止するために、STT

10

20

30

40

50

-MRAM400の読み出し動作の間、BL電圧を所望のクランプ電圧のレベルにクランプするように構成される。上述のように、所望のクランプ電圧のレベルを、STT-MRAMの書き込み動作に関連する書き込みBL電圧しきい値より低く設定することにより、セルの読み出しレベルが、無効な書き込み動作を引き起こすことを十分に防止することができ、それにより、データの完全性を保護する。例えば、約0.4Vの書き込みBL電圧しきい値に対しては、所望のクランプ電圧のレベルは、約0.3Vに設定してもよい。当業者であれば、所望の電圧のレベルの実際の値は、応用例に固有のものであり、書き込みBL電圧しきい値と同様に、容認可能なエラーマージン(例えば、上記の例に対しては0.1V)によって決まるということを理解する。したがって、上記の例は、単に図示の目的で提供されるものであり、本発明の実施形態の範囲を限定することは意図していない。

10

【0024】

クランプ回路430は、リファレンス460にさらに接続され、読み出し動作の間にセンスアンプ470の動作を乱さないために、リファレンスBL電圧を所望のクランプ電圧のレベルにクランプするようにさらに構成される。すなわち、BL電圧のクランプの起こり得る負の影響は、センスアンプ470に関する限りは、リファレンスBL電圧の等価のクランプにより打ち消される。

【0025】

クランプ回路430は、読み出しプリチャージ信号(rdb)により制御される。rdb信号がアクティブ(例えば、ロー)であるとき、本発明の実施形態は、所望のクランプ電圧にBLおよびリファレンスBLをディスチャージする。書き込み動作の際は、ビットセル401とクランプ回路430との間に置かれる読み出しアイソレーション素子450は、書き込み動作の間、クランプ回路430をBL420から選択的に分離するように構成される。

20

【0026】

図5は、STT-MRAMのクランプ回路430に関する回路構成の図である。

【0027】

図示のように、クランプ回路430は、第1の端子で、BLおよびリファレンスBLにそれぞれ接続され、第2の端子で、所望のクランプ電圧 V_{clamp} に接続される、2つのプリチャージトランジスタ502および504を含む。プリチャージトランジスタ502および504のそれぞれは、BLおよびリファレンスBLをそれぞれ、所望のクランプ電圧 V_{clamp} にディスチャージするために、rdb信号により制御される。

30

【0028】

所望のクランプ電圧 V_{clamp} は、任意の数の供給源により供給され得る。例えば、ある実施形態では、所望のクランプ電圧 V_{clamp} は、バンドギャップリファレンスにより供給され得る。別の実施形態では、所望のクランプ電圧は、内部電圧制御部(IVC)により供給され得る。さらに別の実施形態では、所望のクランプ電圧は、STT-MRAM400の外部のパワーマネジメントIC(PMIC)により供給され得る。これらのリファレンス電源の機構のそれぞれは、当技術分野では周知であり、したがって、より詳細な考察は、ここでは省略されることになる。

【0029】

図4および図5を参照すると、当業者であれば、センスアンプ470は、別法として、電流センスアンプとして実施され得ることを理解する。センスアンプ470が電流センスアンプとして実施される場合、所望のクランプ電圧 V_{clamp} を供給する電源の機構は、ビットセル401に対して電流をさらに供給する場合がある。

40

【0030】

図6は、STT-MRAMの読み出し動作の際の様々な信号ラインの状態を示すグラフである。

【0031】

読み出し動作の間は、アイソレーション素子450に対して供給される読み出しイネーブル信号rd_en610は、ロー状態からハイ状態にスイッチする。BL読み出しプリチャージ信号rdb620は、その後、ハイ状態からロー状態に遷移する。ハイ状態からロー状態に遷移することにより、rdb620は、クランプ回路430を駆動し、それは、何らかの無効なデータ書き

50

込み動作を防止するために、BL電圧を所望のクランプ電圧のレベルにクランプする手段を提供する。次いで、時間600では、ビットセル401に格納されている論理状態に対応するBL上の電圧630が、(例えば、MTJ405の値を読み出すために、トランジスタ410をオンにすることにより)確立され得る。

【0032】

上記を鑑みると、本発明の実施形態はさらに、本明細書で説明される機能、動作のシーケンス、および/またはアルゴリズムを実行するための方法を含むことができることが理解される。例えば、本発明の実施形態は、ビットラインの電圧が所望の電圧のレベルを超過することを防止するために、スピン注入トルク磁気抵抗ランダムアクセスメモリ(STT-MRAM)の読み出し動作の間、ビットラインの電圧を所望の電圧のレベルにクランプするステップを含む、STT-MRAMデバイスでの読み出し動作のための方法であってもよい。さらには、本明細書で説明される代替の機能性のどれも、本発明の実施形態の方法にさらに含まれ得るということが理解される。

10

【0033】

例えば、スピン注入トルク磁気抵抗ランダムアクセスメモリ(STT-MRAM)を読み出すための方法を示すフローチャートを、図7に示す。ブロック710では、読み出し動作が開始され得る。ブロック720では、読み出されるSTT-MRAMビットセルのビットラインに接続されるクランプ回路が駆動され得る。次いで、ブロック730では、ビットラインの電圧が、読み出し動作の間、所望の電圧のレベルにクランプされ得る。所望の電圧のレベルは、STT-MRAMの書き込み動作に関連する書き込み電圧しきい値より低い電圧である。本明細書で使用される際の「クランプされる」は、電圧が所望の電圧のレベルを超過することを防止するという意味であり、必ずしも、クランプされる電圧が特定の電圧のレベルで維持されることを意味しないということが理解される。

20

【0034】

図7を再び参照すると、ブロック740では、リファレンスビットラインの電圧もまた、上で考察したように、読み出し動作の間、所望の電圧にクランプされ得る。これは、共通のクランプ回路により実行されてもよいし、または、独立したデバイスにより実行されてもよい。実装にかかわらず、ビットラインおよびリファレンスビットラインの両方をクランプすることは、クランプ動作に起因するあらゆる無関係な電圧差を防止することによって、ビットセルの矛盾のない読み出しを考慮するものである。ブロック750では、ビットラインとリファレンスビットラインとの間の電圧差が検出され得る。ブロック760では、検出される電圧差に基づいて、読み出されるビットセルに格納されているバイナリ値が、(例えば、センスアンプにより、バイナリ値を表す電圧を出力することによって)決定され得る。上記で考察したブロックのそれぞれは、本発明の様々な実施形態において、機能性を、組み合わせ、またはさらに分離させる場合があることが理解される。その上さらに、ブロックのシーケンスは、本発明の実施形態を、示される特定のシーケンスに限定しない、または、すべてのブロックおよび関連する機能性が実行されることを必要としないということが理解される。

30

【0035】

上記の説明では、STT-MRAMは、単に説明の便宜上、ビットセルレベルで図示かつ説明しており、本発明の実施形態を限定するものではない。STT-MRAMの実施形態は、よく知られているように、様々な行および列の構成で配置され得る、複数のビットセルおよび関連する素子を含むメモリアレイを具備しており、したがって、本明細書ではさらには考察しないことにするということが理解されよう。

40

【0036】

上記の開示は、本発明の説明に役立つ実施形態を示すが、添付の特許請求の範囲により定義されるような、本発明の実施形態の範囲から逸脱することなく、様々な変化および変更が、本明細書においてなされ得ることを留意するべきである。例えば、駆動されるべきトランジスタ/回路に対応する特定の論理信号は、トランジスタ/回路が相補的なデバイスに変更するように(例えば、PMOSデバイスおよびNMOSデバイスを置き換える)、開示される

50

機能性を実現するために適宜変化され得る。同様に、本明細書で説明される本発明の実施形態による方法の機能、ステップおよび/または動作は、何らかの特定の順序で実行される必要はない。さらには、本発明の要素は、単数で説明または特許請求される場合があるが、単数への限定が明示的に述べられない限りは、複数が意図されている。

【符号の説明】

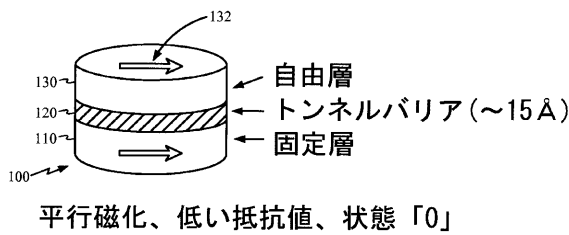
【0037】

- 400 回路構成、STT-MRAM
- 401 ビットセル
- 405 MTJ
- 410 ワードライントランジスタ、トランジスタ
- 420 ビットライン(BL)、ビットライン、BL
- 430 クランプ回路
- 440 ソースライン(SL)
- 450 読み出しアイソレーション素子、アイソレーション素子、素子
- 460 リファレンス
- 470 センスアンプ
- 480 書き込みドライバ
- 482、484 書き込みアイソレーション素子
- 502、504 プリチャージトランジスタ
- 600 時間
- 610 読み出しイネーブル信号rd_en
- 620 BL読み出しプリチャージ信号rdb、rdb
- 630 電圧

10

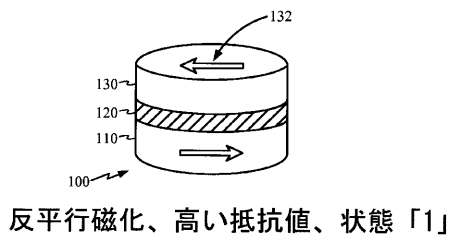
20

【図1A】



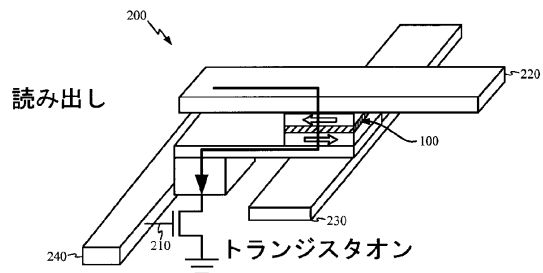
従来技術

【図1B】



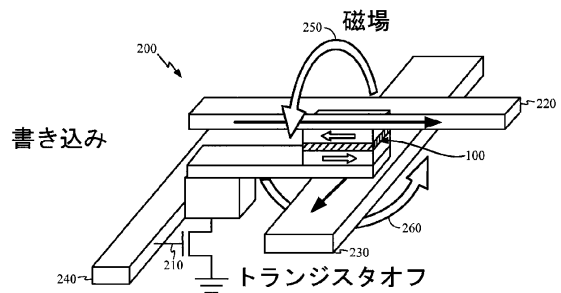
従来技術

【図2A】



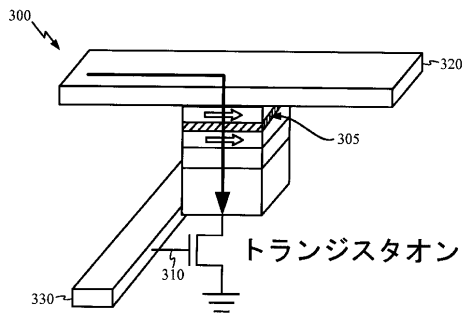
従来技術

【図2B】



従来技術

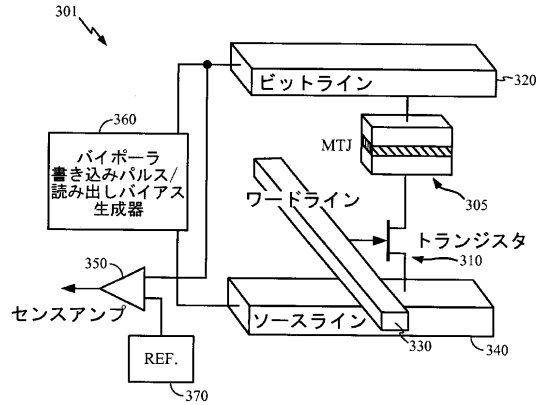
【図3A】



読み出しおよび書き込み

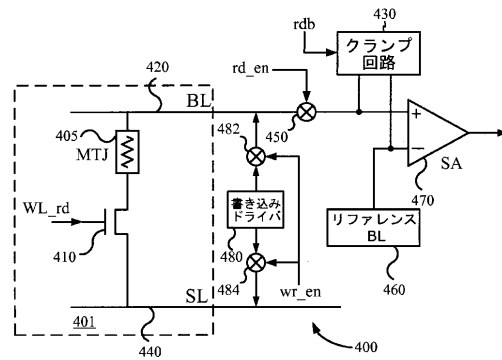
従来技術

【図3B】

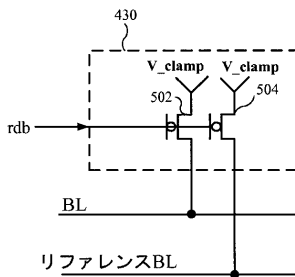


従来技術

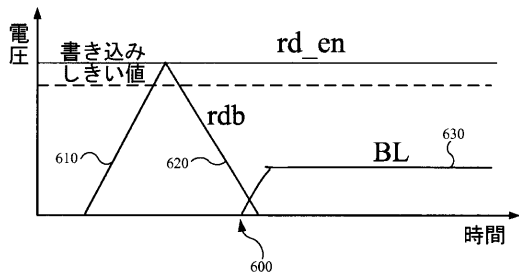
【図4】



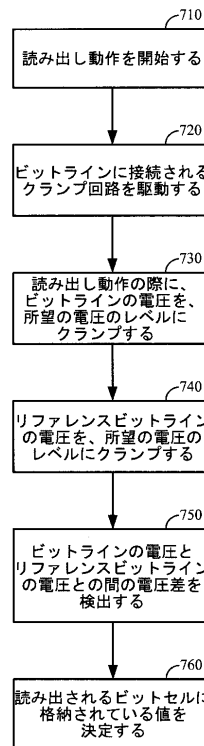
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 スン・エイチ・カン
アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライブ・5775

合議体

審判長 鈴木 匡明

審判官 飯田 清司

審判官 松本 貢

(56)参考文献 国際公開第2008/124704(WO, A1)
国際公開第2008/109772(WO, A1)
特開2007-311514(JP, A)
特開2007-323706(JP, A)
国際公開第2007/077625(WO, A1)
再公表特許第2004/095464(JP, A1)

(58)調査した分野(Int.Cl., DB名)
G11C 11/15