

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294981

(P2005-294981A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int.C1.⁷H04N 5/12
H03L 7/107

F 1

H04N 5/12
H03L 7/10

テーマコード(参考)

5C02O
5J106

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号
(22) 出願日特願2004-103762 (P2004-103762)
平成16年3月31日 (2004.3.31)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(74) 代理人 100097445
弁理士 岩橋 文雄

(74) 代理人 100103355
弁理士 坂口 智康

(74) 代理人 100109667
弁理士 内藤 浩樹

(72) 発明者 井上 修司
大阪府門真市大字門真1006番地 松下
電器産業株式会社内

F ターム(参考) 5C02O CA07 CA11 CA15
5J106 AA04 BB04 CC01 CC21 CC41
DD04 DD13 EE10 GG07 HH04
HH10 KK03

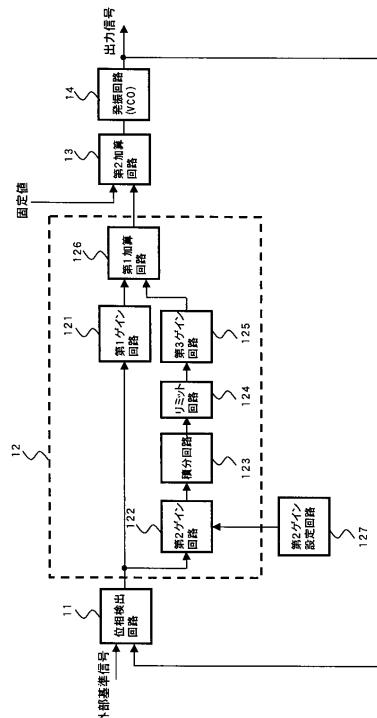
(54) 【発明の名称】位相同期回路

(57) 【要約】

【課題】外部基準信号に位相同期した信号をつくり出す位相同期回路において、位相同期ループの安定性を保持したまま希望する速度の位相制御を実現すること。

【解決手段】積分回路123の前に設けた第2ゲイン回路122により、積分回路123での積分時定数を小さくすることが出来、外部基準信号と発振回路(VCO)14との位相が一致するまでの時間を短縮することができる。また、第2ゲイン回路122のゲイン値を外部で設定出来るようにした第2ゲイン設定回路127により、この位相制御の速度を希望する値に任意に設定することが出来る。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

外部信号に位相同期した信号を作り出す位相同期システムにおける定常的な位相偏差であるオフセットを無くするための位相同期回路であって、外部から入力した信号の位相を検出する位相検出回路と、位相検出回路からの出力にゲインをかける第1ゲイン回路と、位相検出回路からの出力にゲインをかけるもう一つのゲイン回路である第2ゲイン回路と、第2ゲイン回路の出力を積分する積分回路と、積分回路の出力をある一定値で制限するリミット回路と、リミット回路の出力にゲインをかける第3ゲイン回路と、第1ゲイン回路の出力と第3ゲイン回路の出力を加算する第1加算回路と、第1加算回路からの出力にある固定値を加算する第2加算回路と、第2加算回路からの出力で決まる周波数の信号を出力する発振回路（VCO）とを備え、第1ゲイン回路及び、第3ゲイン回路で、位相同期ループが安定に動作するように設定し、第2ゲイン回路の設定で積分回路の収束を速めることにより、位相同期ループの安定を保持したまま高速な位相制御ができるようにしたことを特徴とする位相同期回路。10

【請求項 2】

前記位相同期回路において、積分器の前に配置した第2ゲイン回路にかける係数を外部から設定できる第2ゲイン設定回路を設けて、位相制御の速度を外部から任意に設定できるようにしたことを特徴とする請求項1に記載の位相同期回路。20

【請求項 3】

前記位相同期回路のVCOからの出力を複合映像信号の色復調処理をするための搬送波に使用することを特徴とする請求項1及び2に記載の位相同期回路。

【請求項 4】

前記位相同期回路において、位相検出回路から出力される位相誤差の値に応じて第2ゲイン回路のゲインを変えるようにしたことを特徴とする請求項1及び2に記載の位相同期回路。30

【請求項 5】

前記位相同期回路を用いた色復調回路において、入力した複合映像信号がTV信号である場合、受信波の電界強度に応じて第2ゲイン回路のゲインを変えるようにしたことで、安定性を保持したまま強電界での高速な色同期と弱電界での色同期の安定化が出来ることを特徴とする請求項1及び2に記載の位相同期回路。

【請求項 6】

前記位相同期回路を用いた色復調回路において、入力した複合映像信号が、TV信号のような色副搬送波周波数が正確な信号である場合と、VTR信号等の色副搬送波周波数が正確でない可能性がある信号である場合とで、第2ゲイン回路のゲインを変えるようにしたことで、安定性を保持したまま高速な色同期が出来ることを特徴とする請求項1及び2に記載の位相同期回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、外部基準信号に位相同期した信号をつくり出す位相同期回路に関するものであり、特に、位相同期ループの安定性を保持したまま位相制御の速度を制御できる位相同期回路に関するものである。40

【背景技術】**【0002】**

図4に外部基準信号に位相同期した信号を作り出す位相同期回路の構成の一例を示す。

【0003】

図に示すように2つの信号の位相差を検出し出力する位相検出回路41と、その位相検出回路41の出力を入力してフィルタリングをするフィルタ回路42と、そのフィルタ回路42の出力に固定値を加算する第2加算回路43と、この第2加算回路43の出力に応じた周波数の信号を出力する発振回路（VCO）44からなる。前記位相検出回路41は50

、外部基準信号とこの発振回路（VCO）44の出力を入力してその位相差を出力する。そして発振回路（VCO）44の出力は最終的に外部基準信号に対して周波数と位相の一一致した信号となる。

【0004】

ところでフィルタ回路42の構成方法は図4中に示したものがある。これは、前記位相検出回路41の出力に、第1のゲインをかける第1ゲイン回路421と、前記位相検出回路41の出力を積分する積分回路423と、この積分回路423の積分値の上下限を決めるリミット回路424と、このリミット回路424の出力に第2のゲインをかける第2ゲイン回路425と、この第2ゲイン回路425の出力と前記第1ゲイン回路421の出力を加算する第1加算回路426で構成されている。一般的な構成図ではリミット回路424は示されないことが多いと思われるが、現実の回路では積分回路423の出力を必ず有限値にしなければならないので、リミット回路424が存在する。これらは、位相同期ループにおけるアクティブフィルタとして一般的に知られている。

【0005】

このフィルタ回路42の働きを説明する。前記発振回路（VCO）44は、入力された値に応じた周波数の信号を出力する。そこで、前記フィルタ回路42の出力信号の値により発振回路（VCO）44の出力周波数は変化させられる訳であるが、その変化の中心値を決めるのが前記第2加算回路43に加えられた固定値である。この固定値は、発振回路（VCO）44が外部基準信号と同じ周波数の信号を出力するように決められるが、実際の回路では、発振回路（VCO）44の周波数と外部基準信号の周波数との間に一定のオフセットが発生する場合がある。前記積分回路423で構成したフィルタ回路42は、この誤差を補正して発振回路（VCO）44の周波数と外部基準信号の周波数とのオフセットを無くし、周波数と位相を一致させる働きをもつ。第2ゲイン回路425のゲインが大きい程この補償量を大きく出来るので、位相制御の速度を速くする、つまり引き込みを速くするためには、ゲインが大きいことが望ましい。

【0006】

一方、このフィルタ回路42は位相検出回路41で検出された信号中のノイズを除去する低域通過フィルタの働きも兼ねている。フィルタ回路42の中の第2ゲイン回路425のゲインがこのフィルタのカットオフ周波数を決めることになるので、位相同期確立後の定常状態ではゲインを小さくしてカットオフ周波数を下げる事が望ましいことになり、前記の引き込みを速くすることと相反する。

【0007】

これを解決するために、引き込み時と定常時でフィルタの特性を切り替える提案がなされている。例えば、特許文献1が開示されている。また、位相比較時の初期位相差を検出してフィルタの積分の初期値とすることで位相差を減らし、周波数差を検出してVCOの制御量に加算することで高速化を図る方法が、特許文献2に開示されている。

【0008】

更に、引き込み時と定常時とでフィルタ特性を切り替える際の不安定を避けるため、外部から制御する方法も特許文献3に開示されている。

【特許文献1】特開平8-223238号公報

40

【特許文献2】特開2002-111491号公報

【特許文献3】特開2003-163594号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

前記図4で示した位相同期回路では、発振回路（VCO）44が外部基準信号と同じ周波数の信号を出力するように、発振回路（VCO）44の直前の第2加算回路43で固定値を加算することを述べたが、外部基準信号の周波数に偏差がある場合、発振回路（VCO）44の出力周波数の変化の中心値と外部基準周波数と間の誤差が、外部基準信号の偏差に応じて大きくなる。この場合も前記フィルタ回路42の働きによりこの偏差を補正し

50

て、最終的に外部基準信号と発振回路（VCO）44の出力との周波数及び位相を一致させることができる。外部基準信号の周波数の偏差が大きくなることが予測される場合は、それに応じて前記フィルタ回路42中のリミット回路424の上下限値を大きくできるように設計しておけばよい。

【0010】

しかし、発振回路（VCO）44の中心周波数に対する外部基準周波数の偏差が大きくなる程、前記フィルタ回路42内の積分回路423での積分に要する時間もかかることになる。つまり、外部基準信号の周波数偏差が大きい場合、外部基準信号の位相と発振回路（VCO）44の位相が一致するまでに要する時間が増大することになる。この時間がシステムとして無視できない場合に問題となる。

10

【0011】

例えば複合映像信号の色復調回路には、複合映像信号中の色副搬送波と色復調用の搬送波との周波数・位相を同期させるバーストロック回路が含まれている。これは、色副搬送波と色復調用搬送波が、各々前記色同期システムの外部基準信号と発振回路（VCO）出力に相当する。色副搬送波と色復調用搬送波との周波数に偏差がある場合は正常な色復調が行なえない。例えば複合映像信号として色副搬送波信号の周波数が規格値からずれているようなVTR等の信号を入力した場合、位相同期が完了して映像の色位相が正規になるまでに人が感知し得る程度の時間を要するという不具合が発生する可能性がある。

【0012】

一方、前記第1ゲイン回路421及び第2ゲイン回路425を調整することで外部基準信号の位相と発振回路（VCO）44の位相が一致するまでの時間はある程度短縮できる可能性もあるが、直接積分時間の短縮をする訳ではなく、位相制御ループの特性を変化させることになるので、ループの安定性を保持したままの高速化には限界がある。

20

【0013】

これを解決するために、背景技術で述べたような、引き込み時と定常時とでフィルタの帯域を切り替える方法があるが、前記したように高速化には限界がある。

【0014】

本発明は、前記の従来の位相同期回路に新たなゲイン回路を加えることで、大きなオフセット補償が必要な場合でも、位相同期ループの安定性を保持したまま所望の位相制御速度に設定できる位相同期回路を提供するものである。更に外部からこのゲインを設定できるようにしたことで、位相同期ループの安定性を保持したまま入力信号の状態に応じて最適な位相制御速度を得ることができる位相同期回路を提供するものである。

30

【課題を解決するための手段】

【0015】

図1に前記の課題を解決するための本発明の位相同期回路の構成を示す。

【0016】

この図において、2つの信号の位相差を検出し出力する位相検出回路11と、その位相検出回路11の出力を入力してフィルタリングをするフィルタ回路12と、そのフィルタ回路12の出力に固定値を加算する第2加算回路13と、この第2加算回路13の出力に応じた周波数の信号を出力する発振回路（VCO）14からなることは前記の従来のものと同じであるが、フィルタ12の内部構成が異なる。

40

【0017】

フィルタ回路12の構成も図1中に示す。これは、前記位相検出回路11の出力に、第1のゲインをかける第1ゲイン回路121と、前記位相検出回路11の出力に第2のゲインをかける第2ゲイン回路122と、第2ゲイン回路122の出力を積分する積分回路123と、この積分回路123の積分値の上下限を決めるリミット回路124と、このリミット回路124の出力に第3のゲインをかける第3ゲイン回路125と、この第3ゲイン回路125の出力と前記第1ゲイン回路121の出力を加算する第1加算回路126で構成されている。積分回路123の前に第2ゲイン回路122を設けた点が、前記の従来のフィルタ構成と異なる。

50

【0018】

この点について説明する。

【0019】

一般的に、積分回路の出力値に制限が無く大きさを無限にすることが出来るならば、積分回路の前後にゲイン回路を配置することは、積分回路の前のみ、又は後ろのみにゲインを配置することと理論的に等価になる。しかし、現実の回路では各回路の出力値は有限であり、特に積分回路では図1に示すように、リミット回路124のような値を制限するものが必要になる。そこで、第2ゲイン回路122により、積分回路123での積分値がリミット値になるまでの時定数を小さくし、この積分値が位相制御ループへ及ぼす影響は、第2ゲイン回路125で決める。これを図6で説明する。図6は第3ゲイン回路125の出力の絶対値の変化をイメージしたものである。図1の第2ゲイン回路122に一定の値が入力された時、時間と共に積分値が大きくなっている、リミット回路124で制限される値で一定となる。ここで、積分値がリミット値に至るまでの時定数は第2ゲイン回路122のゲインにより決まる。位相制御ループへ及ぼす影響の最大値は、第3ゲイン回路125で決められるので、第2ゲイン回路122の値を増減しても位相制御ループへ及ぼす影響の最大値が変わることはない。

10

【0020】

以上のように、第1ゲイン回路121、第3ゲイン回路125は位相同期ループの定常時の安定性を優先する設定のままで、第2ゲイン回路122により外部基準信号と発振回路(VCO)14との位相が一致するまでの時間を短縮することができるようとしたものである。更に、第2ゲイン回路122のゲイン値を外部で設定出来るようにした第2ゲイン設定回路127により、この位相制御の速度を安定性を保持したまま希望する値に任意に設定出来るようにしたものである。

20

【発明の効果】

【0021】

以上説明したように、本発明の位相同期回路は、図1で示した構成を有し、第1ゲイン回路121、第3ゲイン回路125は位相同期ループ本来の基本特性を満足するようとする設定とし、新たに加えた第2ゲイン回路122により、外部基準信号と発振回路(VCO)14との位相が一致するまでの時間を短縮することができるという効果がある。また、第2ゲイン回路122のゲイン値を外部で設定出来るようにした第2ゲイン設定回路127を設けたことで、安定性を保持したまま位相制御の速度を希望する値にすることが出来るという効果がある。例えば、前記の複合映像信号の色復調回路に使用した場合、安定性を保持したまま色位相が正規になるまでの時間を小さくできるという効果がある。

30

【0022】

また、外部から前記の第2ゲインを設定出来るため、色位相が正規になるまでの時間を必要に応じて任意に設定することができる。例えば信号中の色副搬送の振幅が安定しているVTR等の複合映像信号や強電界で受信したTV信号などの場合は、位相制御は可能な限り速い方がよいと思われる。しかし、車載用TV等で弱電界で受信したTV信号などの場合は、色副搬送波の位相が変化したかのように受信されることが考えられる。この場合位相制御を逆に遅くすることで色位相が誤って変化するのを緩和できるという効果が考えられる。

40

【0023】

特に本発明の位相同期回路では、新たに設けた第2ゲイン回路122を第2ゲイン設定回路を通じて外部から設定することで、安定性を損なうことなく位相制御の速度のみを制御できるので、従来とは違った安定な制御が出来るという効果がある。

【発明を実施するための最良の形態】

【0024】

以下、本発明の実施の形態を、図面を参照しながら説明する。

【実施例1】

【0025】

50

デジタル回路で実現する、前記した複合映像信号の色復調回路におけるバーストロック回路に本システムを適用した場合の実施例を図2に示す。

【0026】

TVチューナ2、又はVTR等の映像再生機器3からのアナログ複合映像信号は切り替え器4で選択されて、クロック回路20の任意のクロック周波数でAD変換器21によりデジタル信号に変換される。次にこの信号は2つに分けられ、一つはサンプル周波数変換回路22に入り、バーストロック回路27の中にある発振回路(デジタルVCO)275の出力周波数でサンプルされた信号に変換される。そしてもう一つは同期分離回路23に入り、複合映像信号中から水平同期信号と垂直同期信号を抽出する。水平同期信号と垂直同期信号はこの後の色搬送波検出回路271と映像信号処理回路28に入る。サンプル周波数変換回路22で変換された複合映像信号は、YC分離回路24で輝度信号と色信号に分離される。また、同時に輝度信号はこの後、映像信号処理回路28に入る。色信号はその振幅を制御するACC回路25を通り、色復調回路26で2つの色差信号に復調される。この復調のためにバーストロック回路27の中にある発振回路(デジタルVCO)275の出力を使用する。また、復調された2つの色差信号はこの後、映像信号処理回路28に入る。輝度信号と2つの色差信号は、映像信号処理回路28で適当な処理がなされ、映像信号表示装置29で表示される。一方、ACC回路25から出力される色信号はバーストロック回路27にも入る。ここに入った色信号は、まず色副搬送波検出回路271で色信号中の色副搬送波を抜き出し、発振回路(デジタルVCO)275の出力と共に位相検出回路272に入り、2つの信号の位相差を検出する。この検出された位相差出力は次にフィルタ回路273に入る。ここに入った位相差出力は、まず1つは第1ゲイン回路2731に入る。もう一つは第2ゲイン回路2732に入る。その出力は積分回路2733に入り、その出力はリミット回路2734に入る。そしてその出力は第3ゲイン回路2735に入る。次に前記の第1ゲイン回路2731の出力と第3ゲイン回路2735の出力は第1加算回路2736で加算される。そしてこの加算された結果に、発振回路(デジタルVCO回路)275の出力周波数の中心値を決める固定値を第2加算回路274で加算する。そしてこの加算結果を発振回路(デジタルVCO回路)275に入力する。発振回路(デジタルVCO)275は、色副搬送波周波数に相当する周波数の信号とその4倍または8倍に相当する周波数の信号とサンプル周波数変換回路22を制御するための信号を出力する。色搬送波周波数に相当する周波数の信号は、前記位相検出回路272と色復調回路26に入る。色副搬送波周波数の4倍または8倍の周波数に相当する信号とサンプル周波数変換回路22を制御するための信号は、サンプル周波数変換回路22に入る。

【0027】

また、TVチューナ2で受信した受信状態を判別する信号と、複合映像信号がTVチューナ2のものかVTR等の映像再生機器3のものかを判断する信号を切り替え器4からCPU1に取り込み、CPU1から第2ゲイン設定回路2737を制御する。

【0028】

次に動作を説明する。

【0029】

AD変換回路21でデジタル値に変換されたアナログの複合映像信号は、サンプル周波数変換回路22でクロック回路20の周波数でサンプルされた複合映像信号を、バーストロック回路27の出力信号周波数でサンプルされた信号に変換する。この周波数は後で述べるように最終的に複合映像信号の色副搬送周波数の4倍または8倍の周波数になる。サンプル周波数変換回路22の出力は、YC分離回路24で輝度信号と色信号に分離される。輝度信号の方はそのまま後の映像信号処理回路28に入る。色信号の方はACC回路25を通って、色復調回路26に入る。色復調回路26はバーストロック回路27の出力信号を用いて2つの色差信号に復調する。このバーストロック回路27からの信号は後で述べるように、最終的に複合映像信号の色副搬送に周波数と位相が一致した信号になる。復調された2つの色差信号は後の映像信号処理回路28に入り、前記の輝度信号と共に後段の映像信号表示装置29に適した信号に変換される。ACC回路25を通った色信号は、

10

20

30

40

50

色復調回路 26 とは別にバーストロック回路 27 にも入る。ここではまず、同期分離回路 23 で抽出された水平同期信号と垂直同期信号を用いて色信号から色副搬送波を抽出する。これが色副搬送波検出回路 271 である。ここで抽出された色副搬送波は、位相検出回路 272 で、発振回路（デジタル VCO 回路）275 から出力される色副搬送周波数相当の信号との位相差を検出する。ここで検出された位相誤差はフィルタ回路 273 を通り、第 2 加算回路 274 で適当な固定値を加算して発振回路（デジタル VCO 回路）275 を制御する。発振回路（デジタル VCO 回路）275 からは、色副搬送波の 4 倍または 8 倍に相当する信号も出力されており、これはサンプル周波数変換回路 22 に入力されて、映像信号を色搬送波の 4 倍または 8 倍に相当する周波数のサンプル信号に変換している。ここで、バーストロック回路 27 で色副搬送波信号に対する位相同期ループが形成されており、最終的に位相同期状態になった時、発振回路（デジタル VCO 回路）275 からは、入力された映像信号中の色副搬送波と周波数及び位相の一一致した信号と、その 4 倍または 8 倍の周波数の信号が出力される。色復調回路 26 と位相検出回路 272 は、この前者の信号を用いているので、位相同期状態になることで正規の色復調が行なえる。

10

【0030】

ここで、入力した複合映像信号中の色副搬送波の周波数が基準値とずれていた場合、フィルタ回路 273 の作用により、発振回路（デジタル VCO）275 の出力周波数・位相は入力された映像信号の色副搬送波に一致するように動作する。ここで、第 2 ゲイン設定回路 2737 で設定された値に基づいた第 2 ゲイン回路 2732 の働きで、希望する速度で位相同期を行わせることが出来、その結果、希望する速度で色位相を合わせることが出来る。

20

【0031】

更に、CPU1 により入力複合映像信号の種類を判定し、入力した複合映像信号が VTR 等の映像再生機器 3 からのものである時は、位相制御が速くなるように第 2 ゲイン設定回路 2737 を制御する信号を CPU1 から出力することで、高速に位相同期を行わせることが出来る。また、入力した複合映像信号が TV チューナ 2 からのものである時は、受信状態が強電界であるか弱電界であるかを CPU1 で判定し、強電界である時は位相制御が速くなるように、弱電界である時は位相制御が遅くなるように第 2 ゲイン設定回路を制御する信号を CPU1 から出力することで、安定性を保持したまま強電界時は高速に色同期を行わせ、弱電界時は色同期の誤動作を緩和することが出来る。

30

【実施例 2】

【0032】

前記した複合映像信号の色復調をアナログ回路で実現したバーストロック回路に本システムを適用した場合の実施例を図 3 に示す。

【0033】

アナログの複合映像信号を入力する。この信号は 2 つに分けられ、1 つは YC 分離回路 34 に入り、輝度信号と色差信号に分離される。そしてもう一つは同期分離回路 33 に入り、複合映像信号中から水平同期信号と垂直同期信号を抽出する。水平同期信号と垂直同期信号はこの後の色副搬送波検出回路 371 と映像信号処理回路 38 に入る。YC 分離回路 34 で分離された輝度信号はこの後、映像信号処理回路 38 に入る。同じく YC 分離回路 34 で分離された色信号はその振幅を一定にする ACC 回路 35 を通り、色復調回路 36 で 2 つの色差信号に復調される。この復調のためにバーストロック回路 37 中の発振回路 375 の出力を使用する。また、復調された 2 つの色差信号はこの後、映像信号処理回路 38 に入る。輝度信号と 2 つの色差信号は、映像信号処理回路 38 で適当な処理がなされ、映像信号表示装置 39 で表示される。一方、ACC 回路 35 から出力される色信号はバーストロック回路 37 に入る。ここに入った色信号はまず、色副搬送波検出回路 371 で色信号中の色副搬送波を抜き出し、発振回路（VCO）375 の出力と共に位相検出回路 372 に入り、2 つの信号の位相差を検出する。この検出された位相差出力は次にフィルタ回路 373 に入る。ここに入った位相差出力は、まず 1 つは第 1 ゲイン回路 3731 に入る。もう一つは第 2 ゲイン回路 3732 に入る。その出力は積分回路 3733 に入り

40

50

、その出力はリミット回路 3734 に入る。そしてその出力は第3ゲイン回路 3735 に入る。次に前記の第1ゲイン回路 3731 の出力と第3ゲイン回路 3735 の出力は第1加算回路 3736 で加算される。そしてこの加算された結果に、発振回路 (VCO) 375 の出力周波数の中心値を決める固定量を第2加算回路 374 で加算する。そしてこの加算結果を発振回路 (VCO) 375 に入力する。発振回路 (VCO) 375 は、色副搬送波に相当する周波数の信号を出力する。

【0034】

次に動作を説明する。

【0035】

アナログの複合映像信号は、Y C 分離回路 34 で輝度信号と色信号に分離される。輝度信号の方はそのまま後の映像信号処理回路 38 に入る。色信号の方は ACC 回路 35 を通って、色復調回路 36 に入る。色復調回路 36 はバーストロック回路 37 の中の発振回路 (VCO) 375 の出力信号を用いて、入力された色信号を2つの色差信号に復調する。この発振回路 (VCO) 375 の出力信号は後で述べるようにバーストロック回路 37 の働きで最終的に複合映像信号の色副搬送波に周波数と位相が一致した信号になる。復調された2つの色差信号は後の映像信号処理回路 38 に入り、前記の輝度信号と共に後段の映像信号表示装置 39 に適した信号に変換される。ACC 回路 35 を通った色信号は、色復調回路 36 とは別にバーストロック回路 37 にも入る。ここではまず、同期分離回路 33 で抽出された水平同期信号と垂直同期信号を用いて色信号から色副搬送波を抽出する。これが色副搬送波検出回路 371 である。ここで抽出された色副搬送波は、位相検出回路 372 で、発振回路 (VCO) 375 から出力される色副搬送周波数相当の信号との位相差を検出する。ここで検出された位相誤差はフィルタ回路 373 を通り、第2加算回路 374 で適当な固定量を加算して発振回路 (VCO) 375 を制御する。ここで、バーストロック回路 37 で色副搬送信号に対する位相同期ループが形成されており、最終的に位相同期状態になった時、発振回路 (VCO) 375 からは、入力された映像信号中の色副搬送波と周波数及び位相の一致した信号が出力される。色復調回路 36 はこの信号を用いているので、位相同期状態になることで正規の色復調が行なえる。

【0036】

ここで、入力した複合映像信号中の色副搬送波の周波数・位相が基準値とずれていた場合、フィルタ回路 373 の作用により、発振回路 (VCO) 375 の出力周波数・位相は入力された映像信号の色副搬送波に一致するように動作する。ここで、第2ゲイン設定回路 3737 で設定された値に基づいた第2ゲイン回路 3732 の働きで、希望する速度で位相同期を行わせることが出来、その結果、希望する速度で色位相を合わせることが出来る。

【実施例3】

【0037】

本システムにおいて、位相検出回路から出力される誤差の値に応じて第2ゲイン回路のゲインを変えるようにした場合の実施例を図5に示す。

【0038】

2つの信号の位相差を検出し出力する位相検出回路 51 と、その位相検出回路 51 の出力を入力してフィルタリングをするフィルタ回路 52 と、そのフィルタ回路 52 の出力に固定値を加算する第2加算回路 53 と、この第2加算回路 53 の出力に応じた周波数の信号を出力する発振回路 (VCO) 54 からなる。

【0039】

更にフィルタ 52 の内部構成を図5中に示す。前記位相検出回路 51 の出力に、第1のゲインをかける第1ゲイン回路 521 と、前記位相検出回路 51 の出力に第2のゲインをかける第2ゲイン回路 522 と、第2ゲイン回路 522 の出力を積分する積分回路 523 と、この積分回路 523 の積分値の上下限を決めるリミット回路 524 と、このリミット回路の出力に第3のゲインをかける第3ゲイン回路 525 と、この第3ゲイン回路 525 の出力と前記第1ゲイン回路 521 の出力を加算する第1加算器 526 で構成されている

10

20

30

40

50

。更に第3ゲイン設定回路527と、位相検出回路51の出力レベルを判定する判定回路528とを備え、判定回路528の出力で第2ゲイン設定回路527を制御し、この結果に基づき第2ゲイン回路522でゲインをかける構成になっている。

【0040】

次に動作を説明する。

【0041】

入力された外部基準信号は、位相検出回路51で発振回路(VCO)54から出力される信号との位相差を検出する。ここで検出された位相誤差はフィルタ回路52を通り、第2加算回路53で適当な固定値を加算して発振回路(VCO)54を制御する。ここで、外部基準信号に対する位相同期ループが形成されており、第2ゲイン設定回路527で設定された値に基づいた第2ゲイン回路522の働きで、希望する速度で位相同期を行わせることが出来、その結果希望する速度で色位相を合わせることが出来る。

10

【0042】

ここで、判定回路528で位相検出回路51の出力レベルを判定して、判定結果に基づき第2ゲイン設定回路527の設定値を制御する。これにより、位相誤差が大きい時には、第2ゲイン回路522のゲイン値を大きくして位相同期を加速し、位相誤差がある程度小さくなると位相同期を加速する必要なしと判断して、第2ゲイン回路522のゲイン値を小さくして、位相同期ループをより安定にさせることが出来る。

20

【産業上の利用可能性】

【0043】

本発明に係る位相同期回路は、位相同期ループの安定性を保持したまま位相制御の速度を制御できるという効果を有し、外部基準信号に位相同期した信号をつくり出す位相同期回路として有用である。

【図面の簡単な説明】

【0044】

【図1】本発明の位相同期回路の構成を示すブロック図

【図2】本発明の実施例1の構成を示すブロック図

【図3】本発明の実施例2の構成を示すブロック図

【図4】従来例の位相同期回路の構成を示すブロック図

30

【図5】本発明の実施例3の構成を示すブロック図

【図6】本発明の動作を説明するための図

【符号の説明】

【0045】

1 マイクロコンピュータ

2 TVチューナ

3 複合映像信号を出力するVTR等の映像再生機器

4 切り替え器

11、272、372、41、51 位相検出回路

12、273、373、42、52 フィルタ回路

121、2731、3731、421、521 第1ゲイン回路

40

122、2732、3732、425、522 第2ゲイン回路

123、2733、3733、423、523 積分回路

124、2734、3734、424、524 リミット回路

125、2735、3735、525 第3ゲイン回路

126、2736、3736、426、526 第1加算回路

528 判定回路

127、2737、3737、527 第2ゲイン設定回路

13、274、374、43、53 第2加算回路

14、375、44、54 発振回路(VCO)

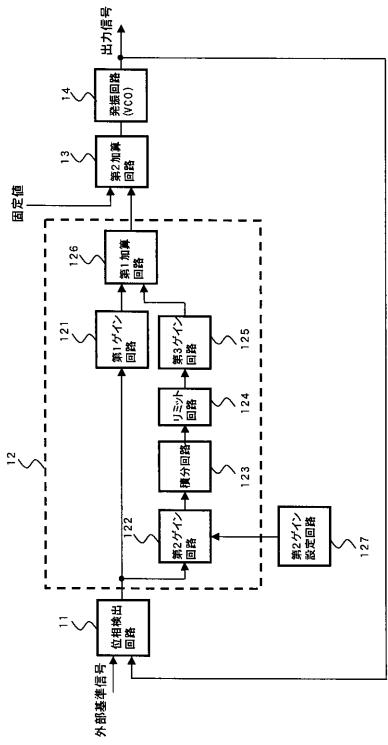
275 発振回路(デジタルVCO)

50

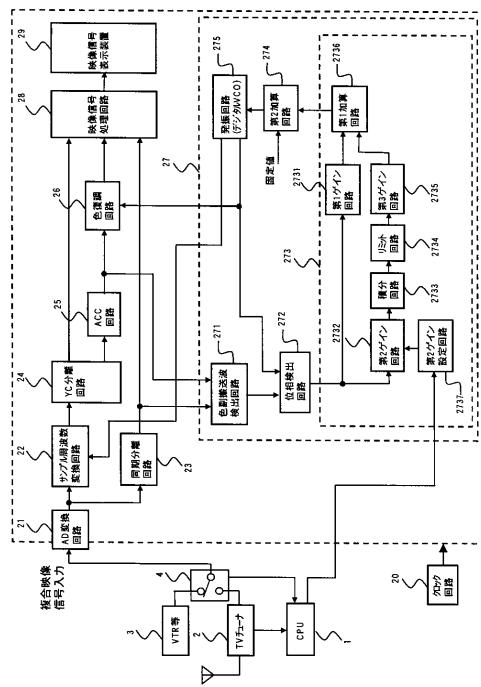
- | | |
|-------------|-------------|
| 2 0 | クロック回路 |
| 2 1 | A D 変換回路 |
| 2 2 | サンプル周波数変換回路 |
| 2 3、3 3 | 同期分離回路 |
| 2 4、3 4 | Y C 分離回路 |
| 2 5、3 5 | A C C 回路 |
| 2 6、3 6 | 色復調回路 |
| 2 7、3 7 | バーストロック回路 |
| 2 7 1、3 7 1 | 色副搬送波検出回路 |
| 2 8、3 8 | 映像信号処理回路 |
| 2 9、3 9 | 映像信号表示装置 |

10

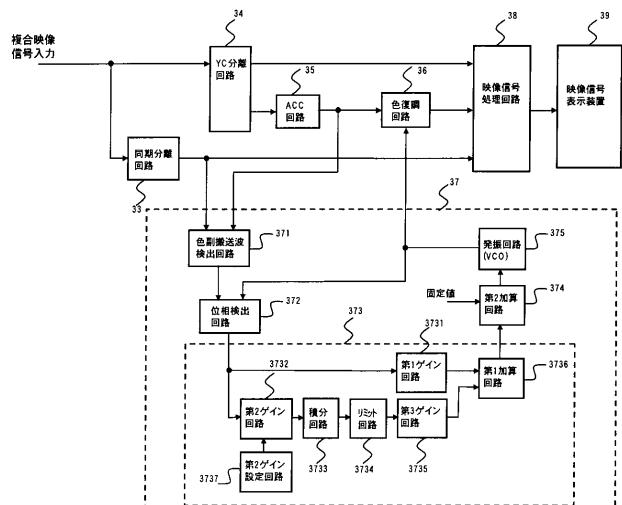
【 図 1 】



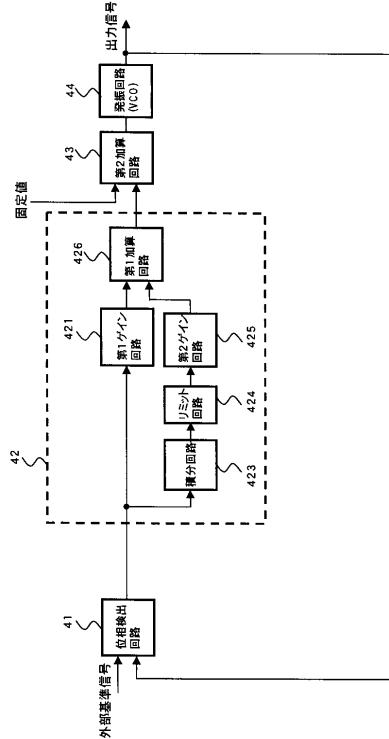
【 四 2 】



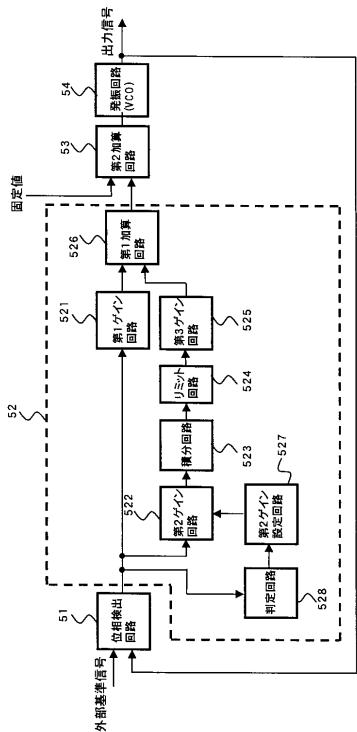
【図3】



【図4】



【図5】



【図6】

