



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

223676

(11)

(B1)

[51] Int. Cl.³
H 03 F 3/21

[22] Prihlášené 25 06 81

[21] (PV 4839-81)

[40] Zverejnené 28 01 83

[45] Vydané 15 03 86

(75)

Autor vynálezu

ŠADLÁK PAVOL ing., KYSUCKÝ LIESKOVEC, KNIHA RUDOLF ing.,
DIVINKA

[54] Zapojenie koncového stupňa vychyľovacieho zosilňovača

1

Vynález sa týka zapojenia koncového stupňa vychyľovacieho zosilňovača pre vychyľovacie sústavy obrazoviek, u ktorých sa vyžaduje veľký výstupný výkon dynamického, resp. jednosmerného signálu zosilňovača.

Vynález je možné aplikovať v zobrazovacích častiach grafických systémov, monitorov, radarov s vysokými nárokmi na dynamické vlastnosti zosilneného signálu a energetickej účinnosti.

Koncové stupne doteraz používaných zosilňovačov využívali pre rôzne amplitúdy vstupného signálu rovnaké napájacie zdroje. Výstupné napätia zdrojov sa stanovili s ohľadom na maximálnu amplitúdu výstupného napätového signálu, ktorá je pre rýchle zmeny signálu pomerne vysoká. Pri pomalých zmenách, alebo pri jednosmernej hodnote vstupného signálu je amplitúda výstupného napätového signálu zosilňovača malá, ale pri relatívne najväčšom výstupnom prúde zosilňovača. Pri týchto zmenách je aj najväčšia výkonová strana na koncovom stupni zosilňovača. Pri využití oddelených zdrojov na napájanie koncového stupňa bola štruktúra koncového stupňa zložitá a dynamické vlastnosti tohto stupňa nevyhovovali požiadavkám na rýchle vychyľovacie zosilňovače.

Uvedené nevýhody odstraňuje zapojenie

2

podľa vynálezu, ktorého podstata spočíva v tom, že koncový stupeň je tvorený dvoma vetvami, pričom v prvej vetve je prvá dióda zapojená anódou na prvý kladný napájací zdroj a katódou na kolektor prvého tranzistora, ktorého emitor je pripojený na katódu druhej diódy a druhý odpor, pričom prvý odpor je zapojený medzi bázu prvého tranzistora a emitor druhého tranzistora, na ktorý je pripojená anóda druhej diódy, pričom je kolektor druhého tranzistora zapojený na druhý kladný napájací zdroj zatiaľ čo v druhej vetve je tretí odpor zapojený medzi druhý odpor a anódu tretej diódy, ktorá je pripojená na emitor štvrtého tranzistora, pričom štvrtý odpor je zapojený medzi bázu štvrtého tranzistora a emitor tretieho tranzistora, na ktorý je pripojená katóda tretej diódy, zatiaľ čo tretí tranzistor je kolektorom zapojený na druhý záporný napájací zdroj, pričom kolektor štvrtého tranzistora je zapojený na prvý záporný napájací zdroj.

Zapojenie podľa vynálezu je ďalej popísané podľa pripojeného výkresu.

Koncový stupeň je zapojený medzi napätový zosilňovač 2 a vychyľovaciu cievku 19. Napätový zosilňovač 2 je budený zdrojom vychyľovacieho signálu 1. Tranzistory 5 a 13, ktoré sú bázami pripojené na výstupy napätového zosilňovača prúdovo zosilňujú

vychyľovací signál. Tranzistor 5, ktorý je kolektorom pripojený na napájací zdroj 4, generuje kladný prúdový signál cez pripojenú diódu 8 a cez druhý odpor 10 do vychyľovacej cievky 19 v čase dynamickej zmeny vstupného signálu. Tranzistor 7, ktorý je bázou pripojený na emitor tranzistora 5 cez obmedzovací prvý odpor 9, generuje cez spínaciu diódu 6, zo zdroja 3, kladný prúdový signál v čase pomalej zmeny, alebo jednosmernej hodnoty vstupného signálu.

Odpor 10 pripojený na emitor tranzistora 7 a katódu diódy 8 zavádza zápornú späť-

nú väzbu do zosilňovacích stupňov tvorených tranzistormi 5 a 7.

Tretí odpor 11 zavádza zápornú spätnú väzbu do zosilňovacích stupňov tvorených tranzistormi 13 a 17, pričom tranzistor 13 generuje zo zdroja 14 cez diódu 12 záporný prúdový signál v čase dynamickej zmeny vstupného signálu. Tranzistor 17 budený cez štvrtý odpor 18 tranzistorom 13 generuje v čase pomalej zmeny, alebo v čase zápornej jednosmernej hodnoty vstupného signálu, z napäťového zdroja 15 cez diódu 16 záporný prúdový signál pre vychyľovacu cievku 19.

PREDMET VYNÁLEZU

Zapojenie koncového stupňa zosilňovača vychyľovacieho signálu, vyznačujúce sa tým, že koncový stupeň je tvorený dvoma vetvami, pričom v prvej vetve je prvá dióda (6) zapojená anódou na prvý kladný napájací zdroj (3) a katódou na kolektor prvého tranzistora (7), ktorého emitor je pripojený jednak na katódu druhej diódy (8), a jednak na druhý odpor (10), pričom prvý odpor (9) je zapojený medzi bazu prvého tranzistora (7) a emitor druhého tranzistora (5), na ktorý je pripojená anóda druhej diódy (8), pričom je kolektor druhého tranzistora (5) zapojený na druhý kladný na-

pájací zdroj (4), zatiaľ čo v druhej vetve je tretí odpor (11) zapojený medzi druhý odpor (10) a anódu tretej diódy (12), ktorá je pripojená na emitor štvrtého tranzistora (17), pričom štvrtý odpor (18) je zapojený medzi bazu štvrtého tranzistora (17) a emitor tretieho tranzistora (13), na ktorý je pripojená katóda tretej diódy (12), zatiaľ čo tretí tranzistor (13) je kolektorom zapojený na druhý záporný napájací zdroj (14), pričom kolektor štvrtého tranzistora (17) je zapojený na prvý záporný napájací zdroj (15).

1 list výkresov

