

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G01R 31/26

(45) 공고일자 1999년 12월 15일

(11) 등록번호 10-0235284

(24) 등록일자 1999년 09월 22일

(21) 출원번호	10-1997-0011762	(65) 공개번호	특 1998-0041695
(22) 출원일자	1997년 03월 31일	(43) 공개일자	1998년 08월 17일
(30) 우선권 주장	96-292695 1996년 11월 05일	일본 (JP)	
(73) 특허권자	미쓰비시덴키 가부시기가이샤 다니구찌 이찌로오, 기타오카 다카시		
(72) 발명자	일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고 이케타니 마사유키		
	일본국 효고켄 이타미시 하기노 1-132 다이오덴키 가이샤 내 오바야시 시게키		
(74) 대리인	일본국 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내 김창세		

심사관 : 권호영

(54) 반도체 장치 및 반도체 장치의 내부 기능 식별 방법

요약

본 발명의 목적은 본딩 패드(bonding pad)의 전위에 따라 내부 기능이 설정되는 본딩 옵션(bonding option) 기능을 외부로부터 파괴하지 않고 검출하는 것이다.

본 발명에 따르면, 활성화시 특정 패드(22)의 전위에 따라 내부 회로가 접속하는 패드를 기준 전위원 노드에 선택적으로 전기적으로 접속시키는 체크용 회로(30)가 마련된다. 이 체크용 회로(30)는 번인 모드(burn-in mode) 검출 신호(BI)의 활성화시 활성화 상태로 된다. 이 회로가 접속되는 패드가 전기적으로 접속되는 핀 단자(28)의 누설 전류를 검출함으로써 특정 패드의 전위, 즉 설정된 내부 기능을 외부에서 확인할 수가 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 반도체 장치의 전체 구성을 개략적으로 도시하는 도면

도 2a는 도 1에 도시한 번인 검출 회로의 구성의 일례를 도시하는 도면이고, 도 2b는 그 동작 파형을 도시하는 도면

도 3a는 도 1에 도시한 셀 선택 제어 회로의 구성의 일례를 도시하는 도면이고, 도 3b는 그 동작 파형을 도시하는 도면

도 4는 도 1에 도시한 출력 버퍼 회로의 구성의 일례를 도시하는 도면

도 5는 출력 버퍼 회로의 스루 레이트(slew rate) 제어 기능을 설명하기 위한 도면

도 6은 스루 레이트 기능을 이용하는 파형을 설명하기 위한 도면

도 7은 도 1에 도시한 체크용 회로의 제 1 구성을 개략적으로 도시하는 도면

도 8은 도 7에 도시한 체크용 회로를 사용했을 때의 반도체 장치의 테스트 환경을 도시하는 도면

도 9는 본 발명에 따른 체크용 회로의 제 2 구성을 개략적으로 도시하는 도면

도 10은 본 발명에 따른 체크용 회로의 제 3 구성을 개략적으로 도시하는 도면

도 11은 도 10에 도시한 체크용 회로를 사용했을 때의 테스트 환경을 도시하는 도면

도 12는 본 발명에 따른 체크용 회로의 제 4 구성을 개략적으로 도시하는 도면

도 13은 체크용 회로를 활성화하기 위한 체크 지시 신호 발생 회로의 다른 구성을 개략적으로 도시하는 도면

도 14는 본 발명에 따른 제 2 반도체 장치의 주요 구성을 개략적으로 도시하는 도면

도 15는 종래의 반도체 장치의 주요 구성을 개략적으로 도시하는 도면

도면의 주요 부분에 대한 부호의 설명

1 : 메모리 셀 어레이 6 : 기입 제어 버퍼
12 : 어드레스 제어 버퍼 20 : 출력 버퍼
20a : 버퍼 회로 20b, 20c : 구동력 조정 회로
22, 80 : 특정 패드 24 : 번인 검출 회로
28, 52, 90 : 통상 패드 30, 62 : 체크용 회로
40 : 반도체 기억 장치 50, 54, 88 : 내부 회로
50a : 내부 회로 입력 차단 회로 51, 56, 89 : 내부 배선
60 : 테스트 60b, 60ba, 60bb : 전류계
82 : 본딩 옵션 기능 회로 84 : 체크 지시 신호 발생 회로
86 : 체크용 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 내부 기능을 특정 패드의 전위에 따라 전환할 수 있는 반도체 장치에 관한 것으로서, 특히 데이터 출력 파형을 특정 패드의 설정 전위에 의해 결정하는 스루 레이트 제어(slew rate control) 기능을 갖는 반도체 기억 장치에 관한 것이다.

반도체 장치, 특히 반도체 기억 장치는 여러 용도로 사용되고 있으며, 사용되는 용도에 따라 요구되는 성능/기능이 상이하다. 예컨대, 반도체 기억 장치에 있어서는 사용되는 용도에 따라 워드 구성이 상이하다. 이렇게 워드 구성이 다른 경우, 예를 들면 $\times 8$ 비트 구성의 기억 장치와 $\times 16$ 비트 구성의 기억 장치에 있어서는 내부에서 유효하게 되는 어드레스 비트 및 동작 가능 상태에 놓이는 입출력 버퍼 회로의 수가 상이하다. 내부 회로의 구성은 동일하다. 단지 워드 구성만이 상이하고 요구되는 동작 특성은 동일한 경우에는, 개개의 워드 구성에 부합하여 기억 장치를 설계한 경우 내부 회로의 동작 특성이 같다면 설계 효율이 나쁘게 된다. 이러한 경우, 양쪽의 워드 구성을 실현하는 기억 장치를 설계하여, 용도에 따라 워드 구성을 전환하도록 한다. 여러 종류의 기억 장치를 1 개의 칩으로 실현 가능하게 함으로써, 여러 종류의 기억 장치를 동일 제조 공정으로 제작할 수 있으며, 또한 설계 효율도 개선된다. 이와 같은 워드 구성의 전환은, 특정한 패드의 전위를 요구되는 워드 구성에 따라 설정함으로써 이루어진다.

이렇게 특정한 패드 전위를 본딩 와이어(bonding wire)나 마스크 배선을 사용하여 설정함으로써, 워드 구성 변경 등의 사양(specification)을 변경하는 구성은 탑재되는 다른 동작 모드 및 성능/기능의 설정에 있어서도 사용되고 있다. 이하의 설명에 있어서, 「내부 기능」이라는 용어는 이러한 워드 구성, EDO(Extended Data Output)와 스태틱 컬럼(static column) 모드와 같은 동작 모드, 8K 리프레쉬 사이클(refresh cycle) 및 4K 리프레쉬 사이클과 같은 사양으로 정해지는 구성에 덧붙여, 이하에 설명하는 것과 같은 기억 장치의 데이터 출력시 데이터 변화 속도 설정 등의 구성을 전부 포함한다. 즉, 「내부 기능」은 특정한 패드 전위에 따라 그 모드/형태가 설정되는 「본딩 옵션(bonding option)」의 기능/구성 전부를 나타낸다.

발명이 이루고자 하는 기술적 과제

도 15는 패드 전위에 의해 내부 기능을 설정하는 구성을 개략적으로 도시한 도면이다. 도 15에서, 패드 PD는 내부 배선 INL을 통해 본딩 옵션 기능 회로 BOF에 전기적으로 접속된다. 여기서, 「전기적으로 접속된다」는 것은 접속되는 양자 사이에 전류가 흐르는 경로가 형성된다는 것을 가리킨다. 본딩 옵션 기능 회로 BOF는 패드 PD의 전위에 따라 실현할 기능이 결정된다. 패드 PD는 본딩 와이어 B1을 통해 제 1 기준 전위인 전원 전압 Vdd를 공급하는 프레임 리드(frame lead) 단자 VFd에 전기적으로 접속되든가, 제 2 기준 전위 또는 접지 전압 Vss를 전달하는 프레임 리드 단자 VFs에 본딩 와이어 B2를 통하여 전기적으로 접속된다. 패드 PD가 전원 전압 Vdd 레벨 또는 접지 전압 Vss 레벨로 설정됨으로써 본딩 옵션 기능 회로 BOF가 실현할 기능이 결정된다.

반도체 장치는 기계적 손상으로부터 보호하기 위해서 수지 봉지(樹脂封止)되거나 또는 패키지로 실장된다. 이 경우, 외부에서는 패드 PD를 접촉할 수 없다. 프레임 리드 VFd 및 VFs가, 외부 핀단자로서, 외부로부터 접촉가능할 뿐이다. 따라서, 반도체 장치를 패키지로 실장한 후(수지 봉지한 후), 패드 PD의 전위가 전원 전압 Vdd 레벨인지, 접지 전압 Vss 레벨인지 여부를 외부에서는 알 수가 없다. 이 패드 PD의 설정 전위를 외부에서 알 수 없기 때문에, 본딩 옵션 기능 회로 BOF가 내부 기능을 요구대로 실현하고 있는지 여부를 용이하게 판정할 수 없다. 이 본딩 옵션 기능 회로 BOF가 실현하는 내부 기능을 판정하기 위해서는 이 봉지 수지를 제거하여 패드 PD 부분을 노출시켜야 한다. 이 경우, 그 반도체 장치는 다시 사용할 수 없다.

따라서, 제품 출하시에 잘못된 내부 기능을 갖는 반도체 장치가 출하될 가능성이 있었다.

그러므로, 본 발명의 목적은 본딩 옵션 기능을 실현하는 특정한 패드의 설정 전위를 외부에서 용이하게

측정할 수 있도록 하는 반도체 장치를 제공하는 것이다.

본 발명의 다른 목적은 데이터 출력시 그 출력 단자의 신호 파형을 변경하는 스루 레이트 제어 기능이 요구대로 정확하게 설정되어 있는지 여부를 외부에서 용이하게 식별할 수 있는 반도체 기억 장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명에 따른 반도체 장치는 내부 기능을 결정하는 전위를 인가하는 특정 패드와 별도로 마련되어 내부 회로에 전기적으로 접속되는 통상 패드와, 체크 지시 신호와 이 특정 패드의 전위를 수신해서 체크 지시 신호의 활성화시 활성화되어 특정 패드의 전위에 따라 통상 패드를 기준 전위원 노드에 전기적으로 접속시키는 체크용 수단을 구비한다.

또한 본 발명에 따른 반도체 장치는, 반도체 장치가 데이터를 검색가능하게 저장하는 기억 장치이며, 내부 기능은 데이터를 장치 외부로 출력하는 출력 회로의 출력 노드의 전위 변화 속도이다. 이 전위 변화 속도는 특정 패드의 전위에 따라 설정된다.

또한 본 발명에 따른 반도체 장치는, 기억 장치가 장치 외부로부터 반복적으로 제공되는 클럭 신호에 동기하여 외부로부터의 신호 및 데이터를 폐치하는 클럭 동기형 스택 RAM이며, 체크 지시 신호로는 번인 모드 검출 수단으로부터의 번인 모드 검출 신호가 공용된다.

또한 본 발명에 따른 반도체 장치의 내부 기능 식별 방법은 특정 패드의 전위에 따라 내부 기능이 설정되는 반도체 장치의 내부 기능 식별 방법에 있어서, 이 반도체 장치에 체크 지시 신호를 제공하는 단계와, 이 반도체 장치의 사전결정된 내부 회로에 전기적으로 접속되는 핀 단자에 발생하는 누설 전류를 측정하는 단계와, 측정된 누설 전류값에 따라서 이 반도체 장치의 설정된 내부 기능을 확인하는 단계를 포함한다. 반도체 장치는 체크 지시 신호가 주어지면 특정 패드의 전위에 따라 사전결정된 핀 단자를 장치 내부의 기준 전위원 노드에 선택적으로 접속시키는 수단을 포함한다.

체크 지시 신호의 활성화시, 특정 패드의 전위에 따라, 통상 패드가 기준 전위원 노드에 선택적으로 전기적으로 접속된다. 통상 패드는 내부 회로에 전기적으로 접속되어 있으며, 따라서 외부 핀 단자에 전기적으로 접속되어 있다. 이 외부 핀 단자를 통해 통상 패드에 발생하는 누설 전류를 측정함으로써 통상 패드가 기준 전위원 노드에 전기적으로 접속되어 있는지 여부를 식별할 수 있다. 이 통상 패드와 기준 전위원 노드 간의 전기적인 접속/비접속은 특정 패드의 전위에 대응한다. 따라서, 누설 전류값을 측정함으로써 특정 패드의 전위를 확인할 수 있으며, 따라서 설정된 내부 기능을 확인할 수 있다.

(실시예 1)

도 1은 본 발명의 실시예 1에 따른 반도체 장치의 전체 구성을 개략적으로 도시하는 블록도이다. 도 1에는, 반도체 장치로서 클럭 신호 CLK에 동기하여 외부로부터의 제어 신호 및 데이터를 폐치하는 클럭 동기형 스택 RAM이 도시된다.

도 1에서, 반도체 장치는 스택형 메모리 셀이 행렬 모양으로 배열된 메모리 셀 어레이(1)와, 인가된 행 어드레스 신호에 따라 메모리 셀 어레이(1)에 있어서의 대응하는 행(워드선)을 선택 상태로 구동하는 행 선택 회로(2)와, 인가된 열 어드레스 신호에 따라 메모리 셀 어레이(1)에 있어서의 대응하는 열(비트선쌍)을 선택하는 열 선택 회로(3)를 포함한다. 이 행 선택 회로(2)는 인가된 어드레스 신호를 디코딩하는 로우 디코더 및 로우 디코더로부터의 디코드 신호에 따라 대응하는 행에 배치된 워드선을 선택 상태로 구동하는 워드선 드라이버를 포함한다. 열 선택 회로(3)는 인가된 열 어드레스 신호를 디코딩하여 열 선택 신호를 생성하는 컬럼 디코더와, 컬럼 디코더로부터의 열 선택 신호에 따라 메모리 셀 어레이(1)의 대응하는 열(비트선쌍)을 선택하여 내부 데이터 버스(기입/판독 데이터 버스)에 접속하는 열 선택 게이트를 포함한다.

반도체 장치는 또한 입력 단자(4a~4f)에 인가되는 기입 제어 신호 /GW, /MBW, /BW1, /BW2, /BW3, /BW4를 클럭 입력 단자(5)를 통해 인가되는 클럭 신호 CLK의 상승에 동기하여 폐치해서 내부 기입 제어 신호를 생성하는 기입 제어 버퍼(6)와, 기입 제어 버퍼(6)로부터의 내부 기입 제어 신호에 따라 메모리 셀 어레이(1)에 대한 기입 동작을 제어하는 기입 제어 회로(7)와, 기입 제어 회로(7)로부터의 기입 제어 신호와 입력 레지스터(8)로부터 제공되는 기입 데이터에 따라 메모리 셀 어레이(1)의 선택 메모리 셀에 데이터를 기입하는 기입 드라이버(9)를 포함한다.

신호 /GW는 글로벌 라이트(global write)신호로서, 입력 레지스터(8)로부터 제공되는 32비트 데이터를 전부 동시에 기입하는 동작을 지시한다. 신호 /MBW는 마스터 바이트 라이트(master byte write)신호로서, 그 활성화시, 32비트의 입력 레지스터(8)로부터 제공되는 데이터를 바이트 단위로 기입하는 제어가 가능하게 된다. 신호 /BW1, /BW2, /BW3, /BW4는 바이트 라이트 신호로서, 각각 32 비트 데이터의 제 1 바이트, 제 2 바이트, 제 3 바이트, 제 4 바이트에 대한 데이터 기입을 제어한다. 기입 제어 회로(7)는 이 기입 제어 버퍼(6)로부터 인가되는 기입 제어 신호를 클럭 신호 CLK의 상승에 동기하여 래치해서 바이트 단위로 기입을 제어한다. 입력 레지스터(8)는 데이터 입력 단자(10)를 통해 제공되는 32 비트 데이터를 클럭 신호 CLK에 동기하여 폐치해서 기입 드라이버(9)에 제공한다. 기입 드라이버(9)에서는, 이 기입 제어 회로(7)로부터의 기입 제어 신호에 따라 기입이 지정된 바이트에 대해 마련된 드라이버 회로가 활성화되어, 이 입력 레지스터(8)로부터 제공되는 기입 데이터를 대응하는 메모리 셀 바이트에 기입한다.

반도체 장치는 또한, 입력 단자(11a, 11b, 11c)를 통해 제공되는 신호 /CS, /ADSC, /ADSP를 클럭 신호 CLK의 상승에 동기하여 폐치해서 신호 /CS의 활성화시 신호 /ADSC 및 /ADSP를 디코딩하며 그 디코드 결과에 따라 어드레스 폐치 지시 및 어드레스 폐치 타이밍을 인가하는 어드레스 제어 버퍼(12)와, 어드레스 제어 버퍼(12)로부터의 어드레스 폐치 지시에 따라 신호 /CS를 래치하는 칩 선택 레지스터(chip select register)(13)와, 어드레스 제어 버퍼(12)로부터의 어드레스 폐치 지시의 활성화시 활성화되어 외부로부터의 어드레스 신호를 래치하는 어드레스 레지스터(14)와, 어드레스 제어 버퍼(12)로부터의 어드레스 폐치 지시 및 어드레스 폐치 타이밍 지시 신호에 따라 어드레스 레지스터(14)로부터의 어드레스를 폐치하여

내부 어드레스 신호를 발생하는 어드레스 발생 회로(15)를 포함한다.

신호 /CS는 칩 선택 신호로서, 이 반도체 장치가 선택 상태에 놓여져 있음을 나타낸다. 칩 선택 레지스터(13)로부터의 내부 칩 선택 신호 ZCS의 활성화시, 이 반도체 장치의 내부 회로가 동작하여 데이터의 기입/판독이 실행된다. 신호 /ADSC는 어드레스 상태 컨트롤러 신호로서, 메모리 컨트롤러로부터 어드레스가 제공되었음을 나타낸다. 신호 /ADSP는 어드레스 상태 프로세서 신호로서, 프로세서로부터 어드레스 페치 지시가 제공되었음을 나타낸다. 어드레스 제어 버퍼(12)는 이 신호 /ADSC 및 /ADSP 중 하나가 활성 상태일 때, 어드레스 페치 타이밍 및 어드레스 페치 지시를 제공한다. 어드레스 발생 회로(15)는 이 어드레스 제어 버퍼(12)로부터 어드레스 페치 지시가 인가되었을 때에 어드레스 레지스터(14)로부터의 내부 어드레스 신호를 페치하여 그 페치된 어드레스 신호를 행 선택 회로(2) 및 열 선택 회로(3)에 인가한다.

어드레스 제어 버퍼(12)는 또한 입력 단자(11d)에 인가되는 어드레스 진행(address advance) 지시 신호 /ADV를 클럭 신호 CLK의 상승에 동기하여 페치해서 어드레스 발생 회로(15)에 인가한다. 어드레스 발생 회로(15)는, 이 어드레스 진행 지시 신호 /ADV가 클럭 신호 CLK의 상승시에 활성 상태일 때에는, 페치한 어드레스를 변화시켜 내부 어드레스 신호를 생성하여 행 선택 회로(2) 및 열 선택 회로(3)에 인가한다. 이 어드레스 발생 회로(15)가 어드레스 진행 지시 신호 /ADV에 따라 자동적으로 어드레스 신호를 생성할 때, 어드레스의 변화 시퀀스는 입력 단자(16)에 인가되는 신호 MODE에 의해 결정된다. 이 신호 MODE가 H 레벨 또는 L 레벨로 설정될 때, 그 어드레스 변화 상태는 인터리브 모드(interleave mode) 또는 선형 모드(linear mode)로 설정된다. 선형 모드에서, 어드레스 발생 회로(15)는 페치한 어드레스를 초기 어드레스로 하여 순차적으로 어드레스를 변화시킨다. 인터리브 모드시에, 어드레스 발생 회로(15)는 하위 2 비트를 교대로 반전시켜 내부 어드레스 신호를 생성한다. 여기서, 어드레스 발생 회로(15)가 연속적으로 어드레스를 발생시킬 수 있는 것은 4 개의 어드레스뿐인 것으로 상정하고 있다. 이 어드레스 발생 회로(15)가 순차적으로 내부 어드레스 신호를 생성하는 모드를 버스트 모드(burst mode)라고 한다.

반도체 장치는 또한, 접속 단자(17)로부터 제공되는 플로우 스루(flow through) 지시 신호 FT에 따라 데이터 출력 모드로 설정되며 메모리 셀 어레이(1)의 열 선택 회로(3)에 의해 선택된 메모리 셀 데이터를 수신하는 출력 레지스터(18)와, 입력 단자(19)에 제공되는 출력 인에이블 신호 /OE의 활성화시 활성화되어 출력 레지스터(18)로부터 제공되는 데이터를 버퍼 처리해서 입출력 단자(10)로 출력하는 출력 버퍼(20)를 포함한다. 출력 레지스터(18)는 플로우 스루 지시 신호 FT가 활성 상태일 때(H 레벨) 스루 상태로 설정되어, 메모리 셀 어레이(1)에 있는 선택 메모리 셀 데이터를 버퍼 처리만 해서 전달한다. 한편, 이 플로우 스루 지시 신호 FT가 비활성 상태로 설정되면, 출력 레지스터(18)는 클럭 신호 CLK에 동기하여 메모리 셀 어레이(1)로부터 판독된 데이터를 래치해서 출력 버퍼(20)에 제공한다. 출력 버퍼(20)는, 특정한 패드(22)의 전위 레벨에 따라 출력 노드(데이터 입출력 단자(10))의 구동 속도가 설정된다. 이렇게 함으로써, 처리 용도에 따른 데이터 출력 속도를 갖는 반도체 기억 장치가 실현된다.

반도체 장치는 또한 클럭 신호 CLK와 모드 신호 MODE에 따라 번인 모드가 지정되었는지 여부를 검출하는 번인 검출 회로(24)와, 번인 검출 회로(24)로부터의 번인 검출 신호 BI의 활성화시 행 선택 회로(2) 및 열 선택 회로(3)의 활성 기간을 변경하는 셀 선택 제어 회로(26)와, 패드(22)의 설정 전위 SR(스루 레이트 제어 신호)과 번인 모드 검출 신호 BI에 따라 내부 회로에 접속되는 단자(28)를 기준 전위원 노드에 선택적으로 접속시키는 체크용 회로(30)를 포함한다.

셀 선택 제어 회로(26)는 이 번인 모드 검출 신호 BI의 활성화시 행 선택 회로(2) 및 열 선택 회로(3)를 상시 동작 상태로 한다. 한편, 이 번인 검출 신호 BI가 비활성 상태일 때에는, 셀 선택 제어 회로(26)는 어드레스 발생 회로(15)로부터의 어드레스 신호의 변화를 검출하여 그 변화 검출 시점부터 소정의 기간 동안만 행 선택 회로(2) 및 열 선택 회로(3)를 활성 상태로 한다.

본 실시예 1에 있어서, 패드(22)의 설정 전위(스루 레이트 제어 신호 SR)에 의해 규정되는 내부 기능은 출력 버퍼(20)의 출력 노드 구동 속도이다.

도 2는 도 1에 도시한 번인 검출 회로(24)의 구성의 일례를 도시하는 도면이다. 도 2에 있어서, 번인 검출 회로는 모드 신호 MODE를 소정 시간 동안 지연한 후 그 논리를 반전하는 반전 지연 회로(24a)와, 모드 신호 MODE와 반전 지연 회로(24a)의 출력 신호를 수신하는 AND 회로(24b)와, 클럭 신호 CLK의 상승 에지에서 AND 회로(24b)의 출력 신호를 페치하는 D 래치(24c)를 포함한다. 이 D 래치(24c)의 출력 Q에서 번인 모드 검출 신호 BI가 출력된다. 다음으로, 동작에 관하여 도 2b에 도시한 파형도를 참조하여 설명한다.

모드 신호 MODE는 클럭 신호 CLK와 같은 주기로 H 레벨 및 L 레벨이 교대로 반복된다. 이 경우, 모드 신호 MODE는 클럭 신호 CLK의 상승시에 H 레벨로 된다. 반전 지연 회로(24a)는 이 모드 신호 MODE의 논리를 반전한 후 소정 시간 동안 지연한다. 따라서, AND 회로(24b)에서는 모드 신호 MODE의 상승에 응답하여 반전 지연 회로(24a)의 지연 시간 동안 H 레벨인 신호가 D형 플립 플롭(24c)의 D 입력에 인가된다. 이 AND 회로(24b)의 출력 신호는 클럭 신호 CLK의 상승 에지에서 D형 플립 플롭(24c)에 의해 페치된다. 따라서, AND 회로(24b)의 출력 신호가 H 레벨로 되는 동안, 즉 모드 신호 MODE가 L 레벨로부터 H 레벨로 상승하는 동작이 이루어 기간 동안, 이 D형 플립 플롭(24c)으로부터의 번인 모드 검출 신호 BI는 H 레벨로 유지된다. 모드 신호 MODE가 L 레벨로 고정되면 AND 회로(24b)의 출력 신호도 L 레벨로 고정된다. 따라서, 이 상태에 있어서는 클럭 신호 CLK의 상승시에 있어 AND 회로(24b)의 출력 신호가 L 레벨이고 D형 플립 플롭(24c)으로부터의 번인 모드 검출 신호 BI는 L 레벨로 되어, 번인 모드 종료가 지시된다.

이 반도체 장치는 적용될 용도가 결정되면 어드레스 시퀀스가 고정적으로 설정된다(이 버스트 어드레스 시퀀스는 적용될 프로세서의 종류에 의해 설정되기 때문이다). 따라서, 모드 신호 MODE를 H 레벨과 L 레벨 사이에서 토글하는 동작 모드에 의해 번인 모드를 검출함으로써 사용자가 잘못하여 번인 모드를 설정하지 않도록 한다. 번인 모드는 제품 출하전에 실행되는 최종 테스트로서, 사용자는 이와 같은 모드를 사용하지 않으므로, 사용자가 사용하지 않는 동작 모드로 번인 모드를 설정함으로써, 사용자가 반도체 장치를 실제로 사용할 때 잘못하여 번인 모드를 설정하는 것을 방지할 수 있다.

또한, 이 도 2a에 도시한 번인 검출 회로(24)의 구성은 일례에 불과하며, 사용자가 통상 동작시에 사용하

지 않는 신호 상태로 조합하여 번인 모드를 설정하는 구성을 이용하는 것이 좋다.

(셀 선택 열 제어 회로의 구성)

도 3a는 도 1에 도시한 셀 선택 제어 회로(26)의 구성의 일례를 개략적으로 도시하는 도면이다. 도 3a에 있어서, 셀 선택 제어 회로(26)는 어드레스 발생 회로(15)로부터 인가되는 내부 어드레스 신호의 변화를 검출하는 어드레스 변화 검출 회로(26a)와, 어드레스 변화 검출 회로(26a)로부터의 어드레스 변화 검출 신호 ATD에 응답하여 소정의 시간폭을 갖는 원샷 펄스(one shot pulse) 신호 PU를 발생하는 원샷 펄스 발생 회로(26b)와, 번인 모드 검출 신호 BI와 원샷 펄스 발생 회로(26b)로부터의 원샷 펄스 PU를 수신하는 OR 회로(26c)를 포함한다.

OR 회로(26c)로부터, 도 1에서 도시한 행 선택 회로(2) 및 열 선택 회로(3)를 활성화 상태로 하는 신호 ACT가 인가된다. 이 신호 ACT가 활성화 상태일 때, 행 선택 회로(2) 및 열 선택 회로(3)는 동작 상태가 된다. 도 3b는 도 3a에 도시한 셀 선택 제어 회로(26)의 동작을 나타내는 파형도이다. 이하, 이 도 3b에 도시한 파형도를 참조하여 도 3a에 도시한 셀 선택 제어 회로(26)의 동작에 대해 설명한다.

내부 어드레스가 변화하면, 이 변화를 검출하여 어드레스 변화 검출 회로(26a)는 소정의 시간폭을 갖는 원샷 펄스 신호의 펄스 변화 검출 신호 ATD를 생성한다. 원샷 펄스 발생 회로(26b)는 이 어드레스 변화 검출 신호 ATD의 상승에 따라 원샷 펄스 신호를 생성한다. 번인 모드 검출 신호 BI가 L 레벨인 경우, 이 원샷 펄스 발생 회로(26b)로부터의 펄스 신호 PU가 OR 회로(26c)로부터의 활성화 신호 ACT로서 인가된다. 따라서, 번인 모드 검출 신호 BI가 L 레벨로서 비활성 상태일 때, 즉 통상 동작 모드시에 있어서는 어드레스 변화에 따라 클럭 신호 CLK의 사이클 기간에 관계 없이 일정한 기간 동안만 행 선택 회로(2) 및 열 선택 회로(3)는 활성화 상태로 된다.

한편, 번인 모드 검출 신호 BI가 H 레벨로 되면, 어드레스 변화 검출 신호 ATD에 따라 펄스 신호 PU가 생성되기는 하지만, 이 펄스 신호 PU에 관계없이 활성화 신호 ACT는 H 레벨의 활성화 상태로 고정된다. 번인 모드시에, 각 회로 구성 요소에 전압 스트레스를 인가한다. 따라서, 클럭 신호의 주기가 길 때에는 이 클럭 주기의 기간 동안 열 선택 회로(3) 및 행 선택 회로(2)를 동작시켜 각 회로에 충분한 전압 스트레스가 인가되게 한다.

또, 이 도 3a에 도시한 셀 선택 열 제어 회로(26)의 구성에 있어서, 어드레스 변화 검출 회로(26a)는 내부 칩 선택 신호 ZCS의 활성화시에만 어드레스 변화 검출 신호 ATD를 생성하도록 구성되어도 좋다. 어드레스 변화 검출 회로는, 예를들면 어드레스 신호의 각 비트에 대해 지연 회로를 마련하고 이 지연 회로의 출력에 대응하는 어드레스 신호 비트를 수신하는 일치 검출 회로를 사용함으로써 용이하게 실현할 수 있다.

(출력 버퍼의 구성)

도 4는 도 1에 도시한 출력 버퍼(20)의 구성을 개략적으로 도시한 도면이다. 도 4에서는 1 비트의 데이터 입출력 단자(10a)에 대해 마련되는 출력 버퍼 회로의 구성을 도시한다. 도 4에 있어서, 출력 버퍼(20)는 출력 인에이블 신호 /OE의 활성화시 활성화되어 내부로부터의 판독 데이터 RD를 버퍼 처리해서 데이터 입출력 단자(10a)에 전달하는 버퍼 회로(20a)와, 도 1에 도시한 패드(22)의 설정 전위(신호 SR로 표시함)에 따라 이 버퍼 회로(20a)에 대한 공급 전류량을 조정하는 구동력 조정 회로(20b, 20c)를 포함한다.

버퍼 회로(20a)는 그 구동력 조정 회로(20b, 20c)로부터 공급되는 전류량에 따라 그 데이터 입출력 단자(10a)를 내부 판독 데이터 RD에 따른 전위 레벨로 구동한다. 구동력 조정 회로(20b)는 내부 전원 노드와 버퍼 회로(20a)의 한쪽 동작 전원 노드의 사이에 접속되며 그 게이트에 접지 전압 Vss이 인가되는 p 채널 MOS 트랜지스터 PQ1과, 이 MOS 트랜지스터 PQ1과 병렬로 마련되며 그 게이트에 패드(22)의 설정 전위의 논리를 반전하는 신호 ZSR이 인가되는 P 채널 MOS 트랜지스터 PQ2를 포함한다. MOS 트랜지스터 PQ2의 전류 공급력은 MOS 트랜지스터 PQ1의 전류 공급력보다도 크게 된다. MOS 트랜지스터 PQ1은 상시 도통 상태이며, 게이트 폭과 게이트 길이의 비에 의해 제공되는 전류 공급력을 가지고 전원 노드로부터 버퍼 회로(20a)의 한쪽 동작 전원 노드에 전류를 공급한다.

구동력 조정 회로(20c)는, 버퍼 회로(20a)의 다른쪽 전원 노드와 접지 노드의 사이에 접속되며 그 게이트에 전원 전압 Vdd가 인가되는 n 채널 MOS 트랜지스터 NQ1와, 이 MOS 트랜지스터 NQ1와 병렬로 접속되며 그 게이트에 패드(22)(도 1 참조)의 설정 전위(신호 SR)가 인가되는 n 채널 MOS 트랜지스터 NQ2를 포함한다. MOS 트랜지스터 NQ2의 전류 공급력은 MOS 트랜지스터 NQ1의 전류 공급력보다도 크게 된다. MOS 트랜지스터 NQ1은 그 게이트로 전원 전압 Vdd를 수신하며 상시 도통하여 버퍼 회로(20a)의 방전 전류를 흡수한다.

패드(22)가 전원 전압 Vdd 레벨로 고정되면 신호 SR이 H 레벨의 신호로 된다. 이 상태에서는, 구동력 조정 회로(20b)에서의 P 채널 MOS 트랜지스터 PQ2 및 구동력 조정 회로(20c)에서의 n 채널 MOS 트랜지스터 NQ2가 둘 다 온 상태로 된다. 따라서, 구동력 조정 회로(20b)는 MOS 트랜지스터 PQ1 및 PQ2를 통해 전원 노드로부터 전류를 버퍼 회로(20a)의 한쪽 동작 전원 노드에 공급하는 한편, 구동력 조정 회로(20c)는 버퍼 회로(20a)의 다른쪽 동작 전원 노드로부터 접지 노드로 MOS 트랜지스터 NQ1 및 NQ2를 통해 전류를 방전한다. 따라서, 도 5에 도시하는 바와 같이, 버퍼 회로(20a)의 데이터 입출력 단자(10a)의 구동력이 크게 되어 데이터 입출력 단자(10a)의 데이터 DQa가 고속으로 변화한다.

한편, 패드(22)가 접지 전압 레벨로 설정되면 신호 SR이 L 레벨로 되어 MOS 트랜지스터 PQ2 및 NQ2는 둘 다 오프 상태로 된다. 이 상태에서 구동력 조정 회로(20b)는 MOS 트랜지스터 PQ1를 통해서만 버퍼 회로(20a)에 전류를 공급하고, 구동력 조정 회로(20c)는 MOS 트랜지스터 NQ1를 통해 버퍼 회로(20a)로부터의 방전 전류를 접지 노드로 방전한다. 따라서, 이 상태에서는 버퍼 회로(20a)의 전류 구동력이 작게 되며, 도 5에 도시한 바와 같이 이 데이터 입출력 단자(10a)상의 데이터 DQa는 비교적 느리게 변화한다.

따라서, 이 패드(22)의 전위를 전원 전압 Vdd 레벨 또는 접지 전압 Vss 레벨로 설정함으로써 출력 버퍼

(20)의 동작 속도를 설정할 수 있다(출력 부하가 동일한 정도일 때).

이 패드(22)의 전위(신호 SR) 레벨을 설정함으로써 1개의 칩으로, 고속으로 데이터를 출력하는 칩 및 비교적 저속으로 데이터를 출력하는 칩을 실현할 수가 있다. 특히, 클럭 동기형 반도체 장치의 경우 클럭 신호에 동기하여 데이터의 샘플링이 행해진다. 따라서 이 클럭 신호의 상승 에지에서 데이터를 확실하게 확정 상태로 할 필요가 있다. 따라서, 이 클럭 신호에 대한 판독 데이터의 셋업 시간 및 홀드 시간을 확보할 필요가 있다. 이 패드(22)의 전위를 선택적으로 설정함으로써 이용할 동작 환경(클럭 주파수)에 따라 이 출력 노드 구동 속도 및 셋업 시간을 설정할 수 있다.

또한, 도 6에 도시한 바와 같이, 반도체 기억 장치(40)와 프로세서(50)가 회로 기판상의 배선 BIL에 의해 상호 접속되는 경우, 이 보드상 배선 BIL의 저항 및 용량은 보드상의 반도체 기억 장치(40) 및 프로세서(50)의 배치에 따라 다르다. 따라서, 이 보드상 배선 BIL의 부하가 비교적 작은 경우에는 출력 버퍼의 구동력을 작게 하고, 이 보드상 배선 BIL의 부하가 큰 경우에는 이 출력 버퍼의 구동력을 크게 한다. 이 경우, 보드상 배선 BIL의 부하에 따른 출력 버퍼(20)의 전류 공급력(출력 노드 구동력)이 달성된다. 따라서, 동일한 시스템 클럭 주파수로 동작하는 환경에 있어서, 보드상 배선 BIL의 부하에 따라 출력 버퍼의 구동력을 조정함으로써 링잉(ringing)등의 발생을 수반하는 일 없이 확실하게 정확한 데이터를 생성할 수 있어 시스템 성능에 부응하는 반도체 기억 장치를 실현할 수가 있다.

(체크용 회로의 구성 1)

도 7은 도 1에 도시한 체크용 회로의 구성을 도시하는 도면이다. 도 7에서는 내부 회로에 전기적으로 접속되는 통상 패드(28)로서 바이트 라이트 신호 /BW1를 수신하는 단자(4c)에 접속되는 패드가 일례로서 도시된다. 따라서, 이 패드(28)에 내부 배선(51)을 통해 전기적으로 접속되는 내부 회로(50)는 도 1에 도시한 기입 제어 버퍼(6)에 대응한다. 내부 회로(50)는 그 입력 초단에 p 채널 MOS 트랜지스터 및 n 채널 MOS 트랜지스터로 구성되는 CMOS 인버터(50a)를 포함한다.

체크용 회로(30)는 번인 모드 검출 신호 BI와 패드(22)상의 전위(신호 SR)를 수신하는 2입력 AND 회로(30a)와, 내부 배선(51)과 접지 노드 Vss의 사이에 접속되며 그 게이트에 AND 회로(30a)의 출력 신호가 인가되는 n 채널 MOS 트랜지스터(30b)를 포함한다. 패드(22)는 도 7에서 파선으로 표시한 본딩 와이어에 의해 전원 전압 Vdd 레벨 또는 접지 전압 Vss 레벨로 설정된다. 다음에 동작에 관해서 설명한다.

통상 동작 모드시에는, 번인 모드 검출 신호 BI가 L 레벨이므로 AND 회로(30a)의 출력 신호는 L 레벨로 고정된다. 따라서, 이 상태에서 MOS 트랜지스터(30b)는 오프 상태로 되어, 내부 회로(50)(기입 제어 버퍼(6))는 이 핀 단자(4c)의 패드(28) 및 내부 배선(51)을 통해 인가되는 신호에 따라 동작한다.

번인 모드가 지정되면, 번인 모드 검출 신호 BI가 H 레벨로 되어 AND 회로(30a)가 버퍼 회로로서 동작한다. 패드(22)가 전원 전압 Vdd 레벨로 설정되어 있는 경우에는 신호 SR이 H 레벨이므로 AND 회로(30a)의 출력 신호가 H 레벨로 되어 MOS 트랜지스터(30b)가 온 상태로 된다. 한편, 패드(22)가 접지 전압 Vss 레벨로 설정되어 있는 경우에는 신호 SR이 L 레벨이므로 AND 회로(30a)의 출력 신호가 L 레벨로 되어 MOS 트랜지스터(30b)가 오프 상태로 된다. 내부 회로(50)의 입력 초단 버퍼(50a)는 구성 요소인 MOS 트랜지스터의 게이트가 내부 배선(51)에 접속되어 있다. 따라서 이 내부 배선(51)으로부터 입력 초단 버퍼(50a)를 거치는 전류 경로는 존재하지 않는다. 따라서, 이 핀 단자(4c)에 H 레벨의 신호를 제공함으로써 MOS 트랜지스터(30b)의 온 상태/오프 상태에 따라 패드(28)로부터 내부 배선(51)을 통해 접지 노드 Vss로 선택적으로 전류가 흐르는 경로가 생성되면, 외부의 테스트로 이 핀 단자(4c)의 누설 전류의 유무를 측정함으로써 MOS 트랜지스터(30b)가 온 상태에 있는지 오프 상태에 있는지 여부, 즉 패드(22)의 설정 전압 레벨을 식별할 수가 있다. 패드(22)의 설정 전위 레벨을 식별함으로써 출력 버퍼의 스루 레이트가 감소되었는지 여부를 식별할 수가 있다.

번인 모드 설정시, 반도체 장치는 초기 상태로 설정되고 있고 바이트 라이트 신호 /BW1은 H 레벨이다. 따라서 통상의 테스트를 사용하여 번인 모드시에 이 반도체 장치의 설정된 내부 기능(출력 노드 구동 속도)을 식별할 수 있다.

도 8은 반도체 장치의 내부 기능을 식별하는 테스트 환경의 구성을 개략적으로 도시하는 도면이다. 도 8에서는, 반도체 장치(40)의 핀 단자(40a, 40b, 4c)에 각각 소정의 시퀀스로 테스트(60)로부터 신호(전압)가 인가된다. 이 테스트(60)는 이 반도체 장치(40)의 테스트시 인가되는 신호 파형을 기억하여 소정의 시퀀스로 신호(전압)를 인가하는 테스트 제어 회로(60a)와, 이 테스트 제어 회로(60a)의 출력과 통상 패드(28)에 전기적으로 접속되는 핀 단자(4c)의 사이에 접속되는 전류계(60b)를 포함한다. 번인 모드 설정은 테스트 제어 회로(60a)에 의해 실행된다. 이 때, 테스트 제어 회로(60a)는 핀 단자(4c)에 대하여 H 레벨의 신호를 출력한다. 이 전류계(60b)에 흐르는 전류량을 측정함으로써 반도체 장치(40)의 핀 단자(4c)의 누설 전류의 유무를 측정할 수가 있으며, 따라서 이 반도체 장치(40)의 스루 레이트가 조정되어 있는지 여부를 식별할 수 있다.

핀 단자(4c)에서는 스태ن바이시에 허용되는 전류 누설이 존재한다. MOS 트랜지스터(30b)가 이 허용 누설 전류값보다도 큰 전류를 공급하면 좋고, MOS 트랜지스터(30b)는 그 정도로 큰 전류 구동력은 요구되지 않는다. 또한, 통상적으로 번인 모드에서는 여러 개의 반도체 장치가 동시에 테스트된다. 따라서, 동일한 제조 공정으로 제조된 반도체 장치를 동시에 번인 테스트하는 경우에는, 체크용 회로(30)에서의 누설 전류가 작더라도 동시에 번인 테스트되는 여러 반도체 장치의 핀 단자의 누설 전류가 가산되기 때문에 이 전류값이 높게 되므로, 개개의 반도체 장치(40)에서의 체크용 회로(30)에서의 MOS 트랜지스터(30b)의 전류 구동력이 작아도 이 전류계(60b)로 반도체 장치(40)에서 체크용 회로(30)에 의해 통상 패드(28)가 접지 노드에 전기적으로 접속되어 있는지 여부를 충분히 식별할 수가 있다.

(체크용 회로 2)

도 9는 체크용 회로의 변경예의 구성을 도시하는 도면이다. 도 9에 도시한 체크용 회로는 번인 모드 검출 신호 ZBI와 패드(22)상의 전위(신호 SR)를 수신하는 NOR 회로(30c)와, NOR 회로(30c)의 출력 신호의 활성화시 내부 배선(51)을 접지 노드에 전기적으로 접속시키는 n 채널 MOS 트랜지스터(30b)를 포함한다.

번인 모드 검출 신호 ZBI는 번인 모드 설정시에는 L 레벨로 되고 통상 동작 모드시에는 H 레벨로 된다. 다른 구성은 도 7에 도시한 구성과 동일하며, 대응하는 부분에는 동일한 참조 부호를 부여하고 그 설명은 생략한다.

이 도 9에 도시한 체크용 회로의 구성의 경우, 통상 동작 모드시에 있어서는 번인 모드 검출 신호 ZBI가 H 레벨이므로 NOR 회로(30c)의 출력 신호가 L 레벨로 되어 내부 배선(51)은 접지 노드로부터 전기적으로 분리된다. 이 상태에서, 내부 회로(50)는 패드(28)로부터 인가되는 신호에 따라 동작한다. 번인 모드 설정시에 있어서는, 번인 모드 검출 신호 ZBI가 L 레벨로 되어 NOR 회로(30c)가 인버터로서 동작한다. 따라서, 패드(22)의 전위가 전원 전압 Vdd 레벨인 경우에는 신호 SR가 H 레벨로 되어 NOR 회로(30c)의 출력 신호는 L 레벨로 된다. 한편, 패드(22)가 접지 전압 Vss 레벨로 설정되면 신호 SR은 L 레벨로 되어 NOR 회로(30c)의 출력 신호는 H 레벨로 된다.

따라서, 이 MOS 트랜지스터(30b)가 신호 SR의 전위 레벨에 대응하여 온 상태 또는 오프 상태로 설정된다. 이에 따라, 외부 핀 단자(4c)에 전기적으로 접속되는 패드(28)에 전류 경로가 형성된다. 핀 단자(4c)에 H 레벨의 신호를 제공하고 그 핀 단자(4c)에서의 누설 전류를 측정하여 그 누설 전류의 크기(유무)에 따라 패드(22)의 설정 전위 레벨을 식별할 수 있다. 즉 패드(22)가 전원 전압 Vdd 레벨로 설정되어 있는 때에는, 핀 단자(4c)에서는 누설 전류가 생기지 않고(또는 극히 작음: 내부 회로(50)에서의 누설 전류뿐임), 패드(22)가 접지 전압 Vss 레벨로 설정되어 있는 경우에는 핀 단자(4c)에 큰 누설 전류가 흐른다.

(체크용 회로 3)

도 10은 본 발명에 따른 체크용 회로의 제 3 구성을 도시하는 도면이다. 도 10에 있어서, 도 9에 도시한 구성과 마찬가지로 내부 배선(51)에 대하여 패드(22)의 전위(신호 SR)와 번인 모드 검출 신호 ZBI에 따라 내부 배선(51)의 접지 노드에 전기적으로 접속하는 체크용 회로(30)가 마련된다. 이 내부 배선(51)은 내부 회로(50)를 외부 핀 단자(4a)에 접속되는 패드(28)에 전기적으로 접속시킨다. 이 핀 단자(4a)에는 도 1에 도시한 글로벌 라이트 신호 /GW가 인가된다. 체크용 회로(30)는, 번인 모드 검출 신호 ZBI와 패드(22)상의 전위(신호 SR)를 수신하는 NOR 회로(30c)와, NOR 회로(30c)의 출력 신호에 따라 내부 배선(51)을 접지 노드에 전기적으로 접속시키는 n 채널 MOS 트랜지스터(30b)를 포함한다.

도 10에 도시한 구성에 있어서는 또한 내부 회로(50)와는 별도로 마련된 내부 회로(54)를 별도의 패드(52)에 전기적으로 접속시키는 내부 배선(56)에 대해 제 2 체크용 회로(62)가 마련된다. 패드(52)는 마스터 바이트 라이트 신호 /MBW를 수신하는 핀 단자(4b)에 전기적으로 접속된다.

체크용 회로(62)는 패드(22)상의 전위(신호 SR)를 수신하는 인버터(62a)와, 인버터(62a)의 출력 신호와 번인 모드 검출 신호 ZBI를 수신하는 NOR 회로(62b)와, NOR 회로(62b)의 출력 신호에 따라서 내부 배선(56)을 접지 노드에 전기적으로 접속시키는 n 채널 MOS 트랜지스터(62c)를 포함한다. 다음에 동작에 관해서 설명한다.

통상 동작 모드시에는, 번인 모드 검출 신호 ZBI가 H 레벨이므로 NOR 회로(30c, 62b)는 모두 L 레벨의 신호를 출력하여 MOS 트랜지스터(30b, 62c)가 모두 오프 상태로 된다. 따라서 내부 배선(51, 56)은 모두 접지 노드로부터 전기적으로 분리되고, 내부 회로(50, 54)는 제각기 핀 단자(4a, 4b)로부터 패드(28, 52)를 통해 제공되는 신호에 따라 동작한다.

번인 모드시에는, 번인 모드 검출 신호 ZBI가 L 레벨로 되어 NOR 회로(30c, 62b)는 인버터로서 동작한다. NOR 회로(30c)에는 신호 SR(패드(22)상의 전위)이 인가되며, NOR 회로(62b)에는 인버터(62a)를 통해 신호 SR이 인가된다. 따라서, 이 체크용 회로(30, 62)는 번인 모드시 서로 상보적으로 동작한다. 즉, 패드(22)가 전원 전압 Vdd 레벨로 설정되어 신호 SR이 H 레벨일 때에는 체크용 회로(62)의 MOS 트랜지스터(62c)가 온 상태로 되어 내부 배선(56)이 접지 노드에 전기적으로 접속된다. 한편, 체크용 회로(30)의 MOS 트랜지스터(30b)는 오프 상태로 되어 내부 배선(51)은 접지 노드로부터 전기적으로 분리된다. 따라서, 패드(22)가 전원 전압 Vdd 레벨로 설정되어 있는 경우, 핀 단자(4b)에는 누설 전류가 흐르고 핀 단자(4a)에는 누설 전류가 흐르지 않는다(또는 극히 조금 흐름).

한편, 패드(22)가 접지 전압 Vss 레벨로 설정되어 있는 때에는 신호 SR이 L 레벨로 되어 체크용 회로(30)의 MOS 트랜지스터(30b)가 온 상태로 되는 한편, 체크용 회로(62)의 MOS 트랜지스터(62c)는 오프 상태로 된다. 따라서, 이 상태에서는 내부 배선(51)이 접지 노드에 전기적으로 접속되고 내부 배선(56)이 접지 노드로부터 전기적으로 분리되므로, 핀 단자(4a)에는 누설 전류가 흐르고 핀 단자(4b)에는 누설 전류가 생기지 않는다(또는 누설 전류가 극히 조금 생긴다). 여기서, 패드 전위 검출시에서는 핀 단자(4a, 4b)에 H 레벨의 신호가 인가된다. 따라서, 이 핀 단자(4a, 4b) 중 어느 것에 누설 전류가 흐르는지를 식별함으로써 패드(22)의 설정 전위를 확인할 수 있다.

도 11은 도 10에 도시한 체크용 회로를 갖는 반도체 장치를 테스트하는 구성을 개략적으로 도시하는 도면이다. 도 11에 있어서, 반도체 장치(40)의 핀 단자(4a, 4b, ..., 40c)에 대해 테스트(60)로부터 소정의 시퀀스에 따른 신호(전압)가 인가된다. 테스트(60)는 반도체 장치(40)의 각 핀 단자(4a, 4b, ..., 40c)에 소정의 시퀀스로 신호를 인가하는 테스트 제어 회로(60a)와, 핀 단자(4a, 4b)와 테스트 제어 회로(60a)의 출력 사이에 마련되는 전류계(60ba, 60bb)를 포함한다. 핀 단자(4a, 4b)에는 테스트 제어 회로(60a)로부터의 신호가 전류계(60ba, 60bb)를 통해 인가된다. 번인 모드 설정시에 이 전류계(60ba, 60bb)에 흐르는 전류를 측정하여 어떤 핀 단자에 허용 누설 전류 이상의 크기를 갖는 누설 전류가 흐르고 있는지를 식별함으로써 이 반도체 장치(40)의 패드(22)의 전위, 즉 반도체 장치(40)의 내부 기능(스루 레이트 조정)을 확인한다.

도 10에 도시한 체크용 회로를 사용하더라도 별도의 패드 및 핀 단자가 필요한 것은 아니며 종래의 테스트에 전류계를 부가하는 것만으로 반도체 장치(40)의 설정된 내부 기능(스루 레이트 조정 기능)을 확인할 수가 있다.

(체크용 회로 4)

도 12는 체크용 회로의 제 4 구성을 도시하는 도면이다. 도 12에 있어서, 체크용 회로(30)는 내부 회로

(50)를 패드(28)를 통해 외부 핀 단자(65)에 전기적으로 접속시키는 내부 배선(51)을 번인 모드 지정시의 패드(22)의 설정 전위에 따라 전원 노드 또는 접지 노드 중 어느 하나에 선택적으로 전기적으로 접속시킨다. 즉, 체크용 회로(30)는 번인 모드 검출 신호 ZBI와 패드(22)상의 전위(신호 SR)를 수신하는 NOR 회로(30c)와, NOR 회로(30c)의 출력 신호에 따라 내부 배선(51)을 접지 노드에 선택적으로 전기적으로 접속시키는 n 채널 MOS 트랜지스터(30b)와, 패드(22)상의 전위(신호 SR)의 논리를 반전시키는 인버터(30d)와, 번인 모드 검출 신호 ZBI와 인버터(30d)의 출력 신호를 수신하는 OR 회로(30e)와, OR 회로(30e)의 출력 신호에 따라 내부 배선(51)을 전원 노드에 선택적으로 전기적으로 접속시키는 P 채널 MOS 트랜지스터(30f)를 포함한다. 다음에 동작에 대해 설명한다.

통상 동작 모드시, 번인 모드 검출 신호 ZBI가 H 레벨이므로 NOR 회로(30c)의 출력 신호는 L 레벨, OR 회로(30e)의 출력 신호는 H 레벨로 되어 MOS 트랜지스터(30b, 30f)는 모두 오프 상태로 된다. 내부 회로(50)는 핀 단자(65)로부터 인가되는 신호에 따라서 동작한다.

번인 모드가 지정되면, 번인 모드 검출 신호 ZBI가 L 레벨로 설정되어 NOR 회로(30c)가 인버터로서 동작하고 OR 회로(30e)가 버퍼 회로로서 동작한다. 패드(22)가 전원 전압 Vdd 레벨로 설정되면, NOR 회로(30c)의 출력 신호는 L 레벨, OR 회로(30e)의 출력 신호는 L 레벨로 된다. 따라서 MOS 트랜지스터(30b)가 오프 상태, MOS 트랜지스터(30f)가 온 상태로 되어 내부 배선(51)은 전원 노드에 전기적으로 접속된다.

한편, 패드(22)가 접지 전압 Vss 레벨로 설정되면, NOR 회로(30c)의 출력 신호가 H 레벨, OR 회로(30e)의 출력 신호가 H 레벨로 되어 MOS 트랜지스터(30f)가 오프 상태, MOS 트랜지스터(30b)가 온 상태로 된다. 이 상태에 있어서, 내부 배선(51)은 접지 노드에 전기적으로 접속된다. 이 도 12에 도시한 체크용 회로(30)의 경우, 패드(22)의 설정 전위를 식별하는 방법으로서의 다음의 방법을 생각할 수 있다.

우선 한 방법으로서, 핀 단자(65)에 먼저 H 레벨의 신호를 인가하여 누설 전류의 유무를 검출한다. MOS 트랜지스터(30f)가 온 상태인 경우에는 내부 배선(51)이 전원 노드에 전기적으로 접속되어 있어 핀 단자(65)의 누설 전류는 허용치 이하이다. MOS 트랜지스터(30b)가 온 상태인 경우에는 큰 누설 전류가 흐른다. 이에 따라, 패드(22)의 설정 전위를 식별할 수가 있다. 이 경우, 핀 단자(65)에 L 레벨의 신호를 인가하여 누설 전류의 유무를 검출하는 단계가 추가되더라도 좋다. MOS 트랜지스터(30f)가 온 상태일 때에는 단자(65)에 대하여 체크용 회로(30)로부터 전류가 유출된다. MOS 트랜지스터(30b)가 온 상태인 경우에는 누설 전류는 허용치 이하이다. 따라서, 핀 단자(65)에의 인가 전압이 L 레벨일 때에 핀 단자(65)로부터 전류가 유출되는지 여부를 식별한다. 두 단계가 필요하기는 하지만, 패드(22)의 설정 전위를 확실하게 식별할 수 있다.

또한, 다른 방법으로서 핀 단자(65)에 전원 전압 Vdd와 접지 전압 Vss의 중간 전압의 신호를 인가한다. 이 상태에서 핀 단자(65)를 통해 흐르는 누설 전류의 크기 및 방향을 검출한다. MOS 트랜지스터(30f)가 온 상태인 경우에는 체크용 회로(30)로부터 핀 단자(65)로 전류가 유출된다. 한편, MOS 트랜지스터(30b)가 온 상태인 경우에는 핀 단자(65)로부터 체크용 회로(30)로 누설 전류가 흐른다. 따라서, 이 누설 전류의 크기 및 그 방향을 식별함으로써 패드(22)의 설정 전위, 즉 설정된 내부 기능(스루 레이트 조정 기능)을 식별할 수가 있다.

이 경우에 쓰이는 테스트 환경은 도 1에 도시한 테스트 환경과 같다. 또, 상술한 실시예에서 내부 회로는 신호 입력 회로를 사용하고 있다. 이 입력 회로는 그 입력 초단이 CMOS 인버터로 구성되어 있고 내부 배선(51)으로부터 내부 회로의 입력 초단을 통한 전류 경로는 존재하지 않기 때문에, 패드의 설정 전위에 따라 전류 경로가 형성되었는지의 여부를 확실하게 식별할 수 있다. 신호 출력 회로를 사용하지 않는 것은, 번인 모드시 체크용 회로가 동작하기 때문에 신호 출력 회로의 최종 출력단에 다른 전류 경로가 형성되는 것을 억제하기 위해서 또는 최종 출력단의 전류 경로에 의한 누설 전류의 패드 전위 확인에 악영향이 미치는 것을 방지하기 위해서이다. 그렇지만, 이 체크 지시 신호로서 번인 모드 검출 신호를 사용하지 않고 별도의 신호(전용의 신호)가 사용되는 경우, 체크 지시 신호의 활성화시 출력 버퍼가 출력 하이 임피던스 상태로 설정되는 경우, 이러한 출력 버퍼에 접속되는 패드에 대해 전류 경로를 선택적으로 형성하도록 구성하여도 좋다.

(다른 적용예)

도 13은 본 발명의 반도체 장치의 변경예의 주요 구성을 개략적으로 도시하는 도면이다. 이 도 13에 도시한 구성에서 외부로부터의 신호, 칩 선택 신호 /CS, 출력 인에이블 신호 /OE, 라이트 인에이블 신호 /WE, 특정한 어드레스 신호 비트 Ad(복수 비트라도 좋음)를 수신하여 이 신호들이 소정의 상태로 설정되었을 때 체크 지시 신호 TE를 활성화 상태로 하는 체크 지시 신호 발생 회로(70)와, 이 체크 지시 신호 발생 회로(70)로부터의 체크 지시 신호 TE의 활성화시 활성화되어 패드(22)상의 전위(신호 SR)에 따라서 내부 배선(51) 및 패드(28)를 접지 노드(기준 전위 노드)에 전기적으로 접속시키는 체크용 회로(30)를 포함한다.

이 체크 지시 신호 발생 회로(70)는, 사용자가 통상적으로 사용하지 않는 상태로, 외부 신호 /CS, /OE, /WE, Ad가 설정되었을 때에 체크 지시 신호 TE를 활성화한다. 이러한 신호 상태의 조합으로서는, 예를 들면 칩 선택 신호 /CS를 H 레벨로 하고 신호 /OE 및 /WE를 모두 L 레벨로 하며, 또한 복수의 어드레스 신호 비트 Ad를 특정한 논리 레벨로 설정한다.

이 도 13에 도시한 구성에서는 체크 모드 지시를 위해 전용 신호 TE를 사용하여 체크용 회로(30)를 활성화/비활성화하고 있다. 따라서, 패드(22) 근방의 패드(28)에 체크용 회로(30)를 마련하고 이 체크용 회로(30) 옆에 체크 지시 신호 발생 회로(70)를 배치할 수가 있어서 이 체크용 회로계의 레이아웃이 용이하게 된다.

또한, 이 반도체 장치는 클럭 신호에 동기하여 동작하는 클럭 동기형 스택 RAM이 아니라 통상의 스택 RAM이어도 좋다. 또한, 다이내믹 RAM(DRAM)이어도 좋고, 다른 메모리(예를 들면 플래시 메모리)이어도 좋다.

(다른 적용예 2)

도 14는 본 발명의 반도체 장치의 다른 구성을 개략적으로 도시하는 도면이다. 도 14에 있어서, 반도체 장치는 패드(80)의 설정 전위에 따라 실현할 내부 기능이 설정되는 본딩 옵션 기능 회로(82)를 포함한다. 이 본딩 옵션 기능 회로(82)는 패드(80)의 설정 전위에 따라 워드 구성이 결정되는 데이터 입출력 회로이어도 좋고, 또한 리프레쉬 사이클 수(DRAM의 경우)를 설정하는 리프레시 어드레스게 회로 성분이어도 좋으며, 또한 데이터 출력 모드(EDO 모드 또는 스태틱 컬럼 모드, 또는 그 동작 모드, 즉, 래치 출력 모드, 레지스터 출력 모드 및 트랜스퍼어런트 출력 모드와 같은 데이터 출력 타이밍을 설정하는 모드)가 설정되는 회로이어도 좋다.

반도체 장치는 또한, 출력 신호의 상태에 따라서 체크 지시 신호 TE를 발생하는 체크 지시 신호 발생 회로(84)와, 패드(80)상의 전위(신호 PS)와 체크 지시 신호 발생 회로(84)부터의 체크 지시 신호 TE를 수신하여 이 체크 지시 신호 TE의 활성화시 활성화되며 신호 PS의 논리에 따라서 내부 배선(89)을 소정의 기준 전위원(전원 전압 Vdd 공급 노드 또는 접지 전압 Vss 공급 노드)에 전기적으로 접속시키는 체크용 회로(86)를 포함한다. 이 내부 배선(89)은 내부 회로(88)를 패드(90)를 통해 외부 핀 단자(92)에 전기적으로 접속시킨다. 내부 회로(88)는 이 체크용 회로(86)의 활성화시 내부 배선(89)으로부터 내부 회로(88)를 통해 전류 경로가 형성되지 않는 회로인 것이 좋다. 따라서 내부 회로(88)는 신호 입력 회로뿐 아니라, 비동작시 출력 하이 임피던스 상태로 설정되는 출력 회로이어도 좋다.

이 도 14에 도시한 반도체 장치와 같이 패드(80)의 설정 전위에 따라 내부 기능이 결정되는 경우, 체크용 회로(86)를 사용함으로써 이 반도체 장치가 소정의 내부 기능으로 설정되어 있는지 여부, 즉 그 내부 기능이 실현되어 있는지 여부를 외부에서 용이하게 확인할 수 있다.

또, 패드(22 또는 80)의 전위 설정에 있어서, 패드(22 또는 80)가 본딩 와이어를 통해 전원 핀 단자 또는 접지 핀 단자에 택일적으로 전기적으로 접속되는 구성이 사용되어도 좋다. 또한, 이 대신 패드(22 또는 80) 근방에 1 개의 핀 단자(전원 핀 또는 접지 핀)만이 마련되고 이 근방의 핀 단자에 대한 본딩 접속의 유무에 따라서 특정 패드의 전위가 설정되는 구성이 사용되어도 좋다. 즉, 예를 들면 패드(22 또는 80)의 전위는 본딩 와이어가 없는 경우에는 전원 전위 레벨로 설정되고, 근방에 접지 단자가 마련되어 있어서 본딩 와이어에 의해 패드(22 또는 80)가 접지 단자에 접속될 때에는 이 패드(22 또는 80)의 전위가 접지 전위 레벨로 설정되는 구성이 사용되어도 좋다. 본딩 공정시에 이 패드들(22 또는 80)의 전위가 설정되며, 따라서 내부 기능이 설정되면 좋다.

발명의 효과

이상과 같이 본 발명에 따르면, 특정한 패드의 전위에 따라 내부 기능이 설정되는 구성에 있어서, 이 특정한 패드의 전위와 체크 모드 지시에 따라 사전결정된 내부 회로가 접속되는 통상 패드를 내부에서 기준 전위원에 전기적으로 접속하여 이 통상 패드에 접속되는 핀 단자의 누설 전류를 외부에서 검출하도록 구성하고 있기 때문에, 특정 패드의 전위, 즉 설정된 내부 기능을 용이하게 식별할 수가 있다.

또한, 이 내부 기능이 출력 회로의 출력 노드의 속도를 조정하는 스루 레이트 제어 기능인 경우, 통상 동작으로 용이하게 검출할 수 없는 내부 기능을 간단한 테스트로 용이하게 식별할 수가 있어서 제품이 잘못 출하되는 것을 확실하게 방지할 수가 있다.

또한, 체크 지시 신호로서 번인 모드 검출 신호를 사용함으로써, 특별히 체크 모드를 설정하기 위한 검출 회로를 마련할 필요가 없이 번인 모드시에 함께 내부 기능을 식별할 수가 있어서 전용의 테스터 또는 테스트 모드를 마련할 필요가 없으므로, 테스트 효율을 저하시키는 일도 없다.

또한, 기존의 모드 검출 회로를 반도체 장치 내부에 마련할 필요가 없어 반도체 장치의 체크용 회로의 점유 면적을 저감할 수 있다.

또한, 단지 외부 핀 단자의 누설 전류의 유무를 검출하는 것만으로 내부 기능을 식별할 수가 있어 파괴하지 않고 간단하게 내부 기능을 검출할 수 있다.

금회 개시된 실시예는 모든 점에서 예시로서 제한적인 것은 아닌 것으로 고려되어야 한다. 본 발명의 범위는 특허청구의 범위에 의해서 도시되고 특허청구의 범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

(57) 청구의 범위

청구항 1

특정 패드의 전위에 따라 내부 기능이 결정되는 반도체 장치에 있어서,

상기 특정 패드와 별도로 마련되어 내부 회로에 전기적으로 접속되는 통상 패드와,

체크 지시 신호와 상기 특정 패드의 전위를 수신하여 상기 체크 지시 신호의 활성화시 활성화되며, 상기 특정 패드의 전위에 따라 상기 통상 패드를 기준 전위원 노드에 선택적으로 전기적으로 접속시키는 체크용 수단

을 포함하는 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 반도체 장치는 데이터를 검색가능한 방식으로 저장하는 기억 장치이며,

상기 내부 기능은 데이터를 장치 외부로 출력하는 출력 회로의 출력 노드의 전위 변화 속도인

반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 기억 장치는 장치 외부에서 반복적으로 주어지는 클럭 신호에 동기하여 외부로부터의 신호 및 데이터를 폐지하는 클럭 동기형 스택 랜덤 액세스 메모리이며,

상기 체크 지시 신호는 번인 모드가 지정되었는지 여부를 검출하는 번인 모드 검출 수단으로부터의 번인 모드 검출 신호와 공용되는

반도체 장치.

청구항 4

특정 패드의 전위에 의해 내부 기능이 결정되는 반도체 장치의 내부 기능 식별 방법에 있어서,

상기 반도체 장치에 체크 지시 신호를 인가하는 단계와,

상기 반도체 장치의 사전결정된 내부 회로에 전기적으로 접속되는 핀 단자에 생기는 누설 전류를 측정하는 단계와,

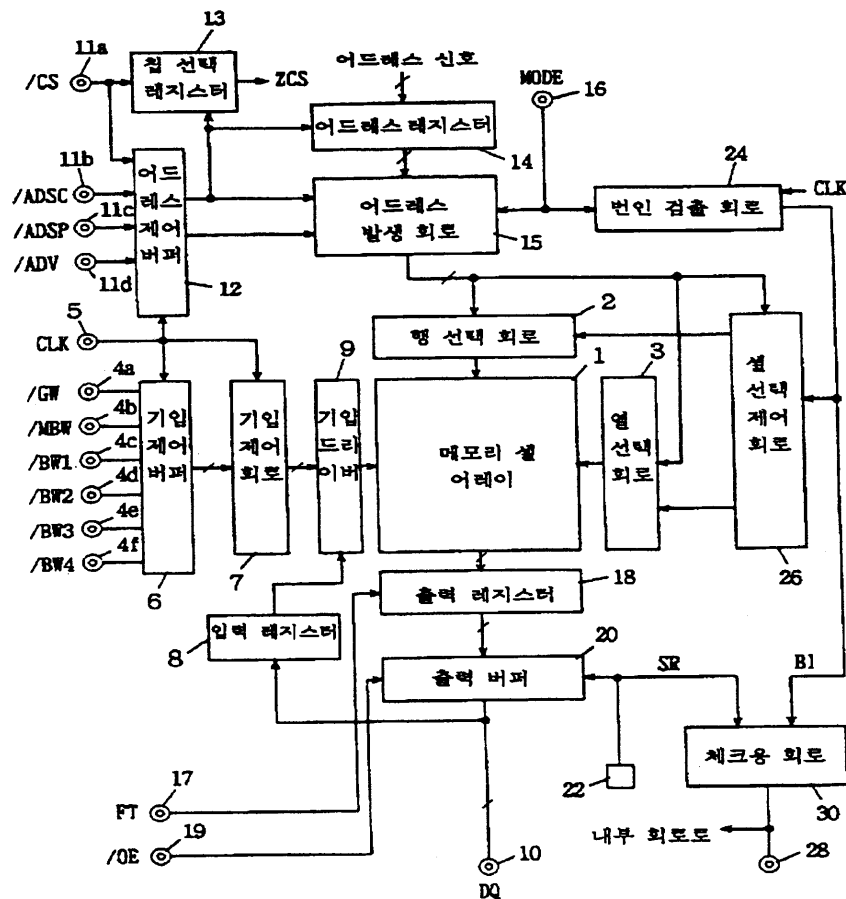
상기 측정 단계에서 측정된 누설 전류값에 따라 상기 반도체 장치에 설정된 내부 기능을 확인하는 단계를 포함하고,

상기 반도체 장치는 상기 체크 지시 신호가 주어지면 상기 특정 패드의 전위에 따라 상기 사전결정된 핀 단자를 내부의 기준 전위원 노드에 선택적으로 전기적으로 접속시키는 수단을 포함하는

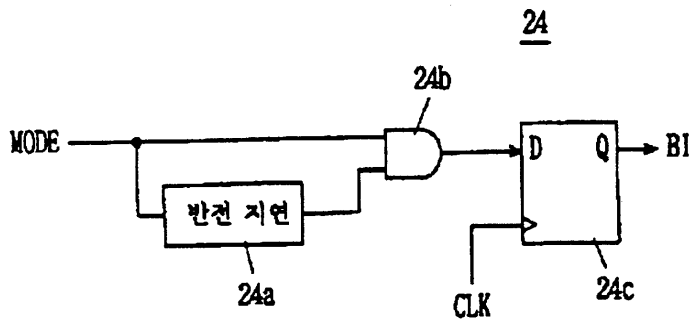
반도체 장치의 내부 기능 식별 방법.

도면

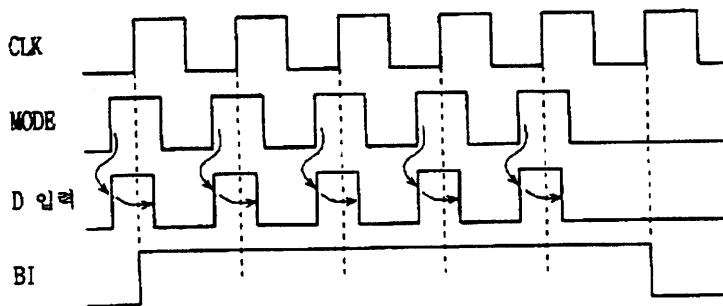
도면1



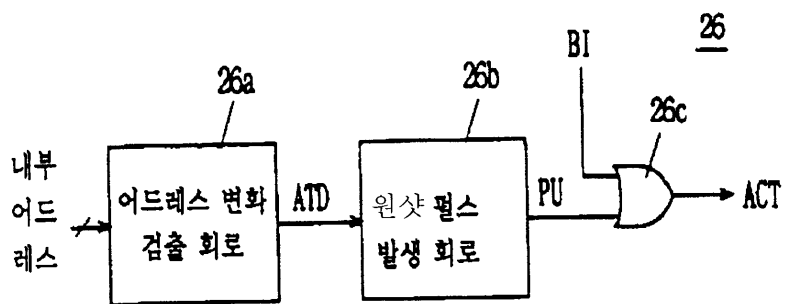
도면2a



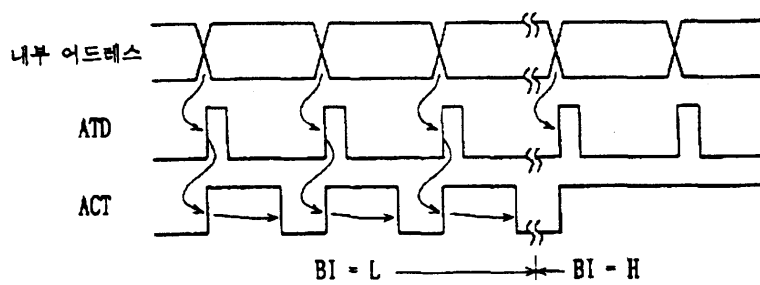
도면2b



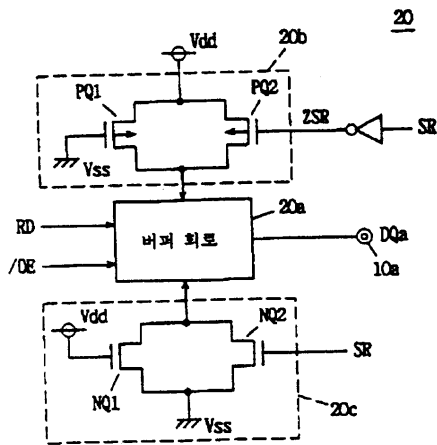
도면3a



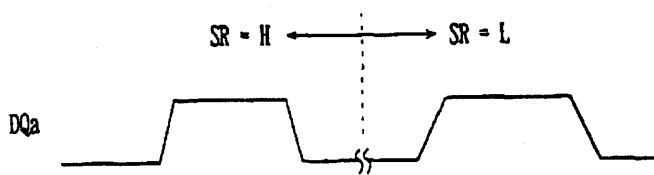
도면3b



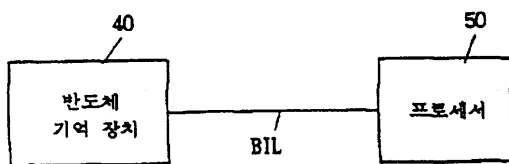
도면4



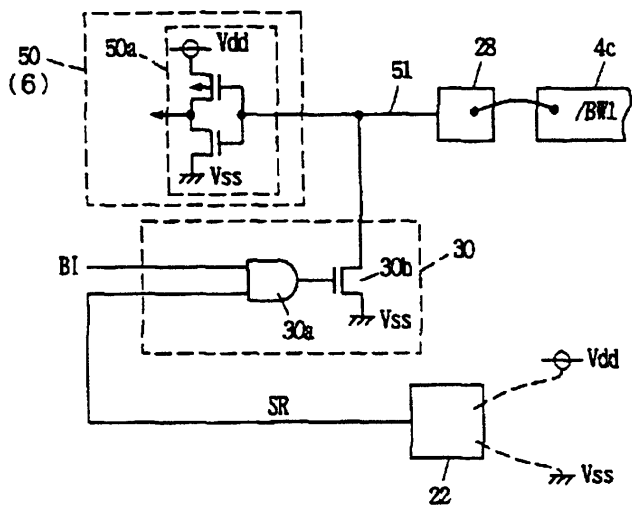
도면5



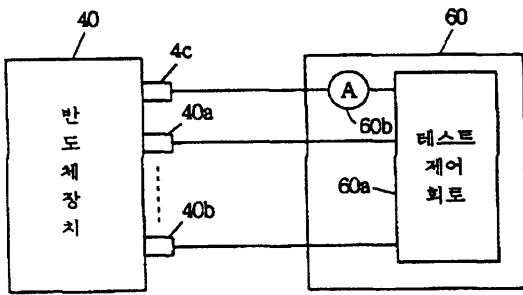
도면6



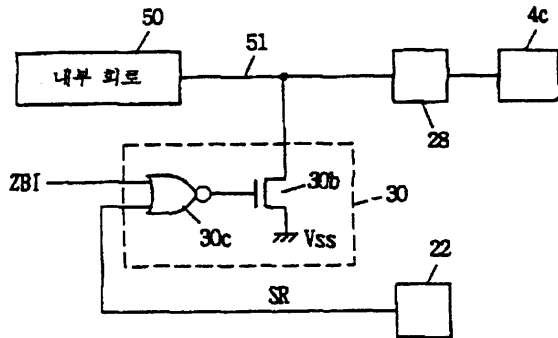
도면7



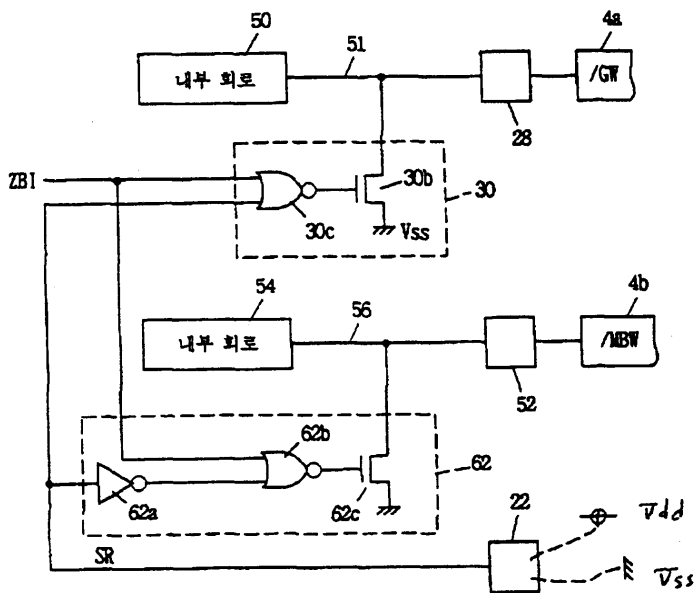
도면8



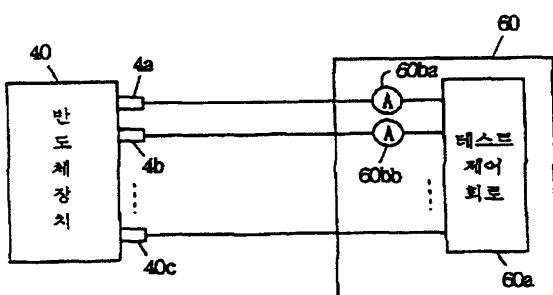
도면9



도면10



도면11



도면 15

