(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-165332
(P2006-165332A)
(43)公開日　平成18年6月22日(2006.6.22)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/82	(2006.01)	H01L	21/82	F	5F038
H01L 27/10	(2006.01)	H01L	27/10	431	5F064
H01L 27/04	(2006.01)	H01L	27/10	491	5F083
H01L 21/822	(2006.01)	H01L	27/04	H	

審査請求 未請求　請求項の数 5　ＯＬ　（全 18 頁）

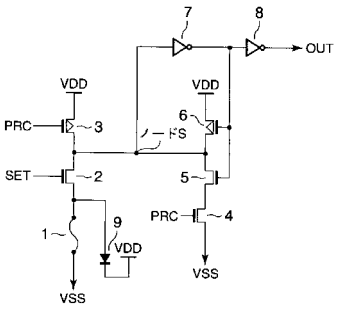
(21)出願番号　特願2004-355720 (P2004-355720)
(22)出願日　平成16年12月8日 (2004.12.8)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100075672
弁理士　峰　隆司
(74)代理人　100109830
弁理士　福原　淑弘

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【要約】
【課題】フューズ素子に接続されたトランジスタの酸化膜や拡散層が破壊されるのを防止する。
【解決手段】半導体記憶装置は、第１及び第２端子を有し、且つ前記第１端子と前記第２端子との間がレーザーにより電気的に切断されたか否かにより情報を記憶するフューズ素子１と、前記フューズ素子の情報が転送されるノードと、前記フューズ素子１と前記ノードとの間に設けられ、且つ前記フューズ素子１の情報を前記ノードにセットするN型トランジスタ２と、前記第１端子に接続されたアノードとカソードとを含み、且つ前記フューズ素子１が前記レーザーにより切断される際に発生する電荷を逃がすダイオード９とを含む。
【選択図】　図１



【特許請求の範囲】
【請求項１】
第１及び第２端子を有し、且つ前記第１端子と前記第２端子との間がレーザーにより電気的に切断されたか否かにより情報を記憶するフューズ素子と、
前記フューズ素子の情報が転送されるノードと、
前記フューズ素子と前記ノードとの間に設けられ、且つ前記フューズ素子の情報を前記ノードにセットするＮ型トランジスタと、
前記第１端子に接続されたアノードとカソードとを含み、且つ前記フューズ素子が前記レーザーにより切断される際に発生する電荷を逃がすダイオードと
を具備することを特徴とする半導体記憶装置。
【請求項２】
前記フューズ素子、前記Ｎ型トランジスタ及び前記ダイオードが設けられる基板をさらに具備し、
前記ダイオードは、前記基板に設けられたＮ型半導体領域と、前記第１端子に接続され且つ前記Ｎ型半導体領域に設けられたＰ型拡散層とを含むことを特徴とする請求項１記載の半導体記憶装置。
【請求項３】
基板と、
前記基板に設けられ、且つ第１及び第２端子を有し、且つ前記第１端子と前記第２端子との間がレーザーにより電気的に切断されたか否かにより情報を記憶するフューズ素子と、
前記基板に設けられ、且つ前記第１端子に接続された第１導電型半導体領域と、
前記フューズ素子の情報が転送されるノードと、
前記基板に設けられ、且つ前記第１導電型半導体領域と前記ノードとの間に設けられ、且つ前記フューズ素子の情報を前記ノードにセットするトランジスタと
を具備することを特徴とする半導体記憶装置。
【請求項４】
前記基板に設けられた第２導電型半導体領域をさらに具備し、
前記第１導電型半導体領域と前記トランジスタとは、前記第２導電型半導体領域に設けられることを特徴とする請求項３記載の半導体記憶装置。
【請求項５】
第１及び第２端子を有し、且つ前記第１端子と前記第２端子との間がレーザーにより電気的に切断されたか否かにより情報を記憶するフューズ素子と、
抵抗値を有し、且つ前記第１端子に接続された第１配線部と、
前記フューズ素子の情報が転送されるノードと、
前記第１配線部と前記ノードとの間に設けられ、且つ前記フューズ素子の情報を前記ノードにセットするトランジスタと
を具備することを特徴とする半導体記憶装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体記憶装置に係り、特に不揮発性メモリ素子を有する半導体記憶装置に関する。
【背景技術】
【０００２】
半導体記憶装置においては、不良メモリセルの救済や動作モードの設定等に用いるデータを記憶するために、不揮発性メモリ素子をプログラミングする。例えば、メモリのリダンダンシー回路では、メモリセルアレイの不良アドレスを記憶するために、プログラミングする不揮発性メモリ素子としてフューズ素子を用いている。
【０００３】

金属から構成されるフューズ素子は、金属の切断の有無により情報（データ“０”及びデータ“１”）を記憶する。このフューズ素子をプログラミングする方式としては、フューズ素子をレーザーで気化させて導通をなくすことによりプログラミングするレーザーフューズ方式が主流となっている。このレーザーフューズ方式を用いてフューズ素子を確実に切断するには、十分なエネルギーによりレーザーを照射する必要がある。

【０００４】

ところで、近年、半導体記憶装置の集積率向上に伴い、半導体記憶装置に用いられるトランジスタのサイズも縮小されている。サイズが縮小されたトランジスタを備えた半導体記憶装置において、レーザーによりフューズ素子を切断する場合、フューズ素子に接続されたトランジスタ或いはフューズ素子付近に配置されたトランジスタの酸化膜や拡散層が、フューズ素子切断時のエネルギーにより破壊されてしまう。これにより、不揮発性メモリ素子を備えた半導体記憶装置がＲＯＭ（Read Only Memory）としての機能を実現できないという問題がある。

【０００５】

また、この種の関連技術として、大きなエネルギーでフューズ素子をプログラミングすることが可能な装置が開示されている（特許文献１参照）。

【特許文献１】特開２００４－１１１９５９号公報

【発明の開示】

【発明が解決しようとする課題】

【０００６】

本発明は、レーザーを用いてフューズ素子を切断した場合でも、フューズ素子に接続されたトランジスタの酸化膜や拡散層が破壊されるのを防止することが可能な半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【０００７】

本発明の第１の視点に係る半導体記憶装置は、第１及び第２端子を有し、且つ前記第１端子と前記第２端子との間がレーザーにより電気的に切断されたか否かにより情報を記憶するフューズ素子と、前記フューズ素子の情報が転送されるノードと、前記フューズ素子と前記ノードとの間に設けられ、且つ前記フューズ素子の情報を前記ノードにセットするＮ型トランジスタと、前記第１端子に接続されたアノードとカソードとを含み、且つ前記フューズ素子が前記レーザーにより切断される際に発生する電荷を逃がすダイオードとを具備する。

【０００８】

本発明の第２の視点に係る半導体記憶装置は、基板と、前記基板に設けられ、且つ第１及び第２端子を有し、且つ前記第１端子と前記第２端子との間がレーザーにより電気的に切断されたか否かにより情報を記憶するフューズ素子と、前記基板に設けられ、且つ前記第１端子に接続された第１導電型半導体領域と、前記フューズ素子の情報が転送されるノードと、前記基板に設けられ、且つ前記第１導電型半導体領域と前記ノードとの間に設けられ、且つ前記フューズ素子の情報を前記ノードにセットするトランジスタとを具備する。

【０００９】

本発明の第３の視点に係る半導体記憶装置は、第１及び第２端子を有し、且つ前記第１端子と前記第２端子との間がレーザーにより電気的に切断されたか否かにより情報を記憶するフューズ素子と、抵抗値を有し、且つ前記第１端子に接続された第１配線部と、前記フューズ素子の情報が転送されるノードと、前記第１配線部と前記ノードとの間に設けられ、且つ前記フューズ素子の情報を前記ノードにセットするトランジスタとを具備する。

【発明の効果】

【００１０】

本発明によれば、レーザーを用いてフューズ素子を切断した場合でも、フューズ素子に接続されたトランジスタの酸化膜や拡散層が破壊されるのを防止することが可能な半導体

記憶装置を提供することができる。
【発明を実施するための最良の形態】
【００１１】
以下、本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、同一の機能及び構成を有する要素については、同一符号を付し、重複説明は必要な場合にのみ行う。
【００１２】
（第１の実施形態）
図１は、本発明の第１の実施形態に係る半導体記憶装置の構成を示す回路図である。ＰチャネルＭＯＳトランジスタ３のゲートには、プリチャージ信号ＰＲＣが入力されている。トランジスタ３のソースは、電源電圧ＶＤＤに接続されている。トランジスタ３のドレインは、ノードＳに接続されている。
【００１３】
トランジスタ３は、ノードＳをプリチャージするために設けられている。トランジスタ３は、プリチャージ信号ＰＲＣが活性化（ローレベル（電圧ＶＳＳ））されると、ノードＳをハイレベル（電圧ＶＤＤ）にプリチャージする。
【００１４】
ＮチャネルＭＯＳトランジスタ２のゲートには、セット信号ＳＥＴが入力されている。トランジスタ２のドレインは、ノードＳに接続されている。トランジスタ２のソースは、フューズ素子１の一方の端子に接続されている。フューズ素子１の他方の端子は、接地電圧ＶＳＳに接続されている。また、フューズ素子１の一方の端子は、ダイオード９のアノードに接続されている。ダイオード９のカソードは、電源電圧ＶＤＤに接続されている。
【００１５】
フューズ素子１は、レーザーにより切断することができる材料（例えば、金属）により構成されている。フューズ素子１は、情報（データ“０”及びデータ“１”）を記憶する。具体的には、フューズ素子１にレーザーを照射することにより、フューズ素子１を気化させて導通をなくす。これにより、フューズ素子１は、データ“０”を記憶する。切断されない場合、フューズ素子１は、データ“１”を記憶する。
【００１６】
トランジスタ２は、フューズ素子１の情報をノードＳにセットするために設けられている。トランジスタ２は、セット信号ＳＥＴが活性化（ハイレベル）されると、フューズ素子１の情報をノードＳにセットする。
【００１７】
ノードＳは、インバータ回路７の入力端子に接続されている。インバータ回路７の出力端子は、ＰチャネルＭＯＳトランジスタ６のゲートと、ＮチャネルＭＯＳトランジスタ５のゲートとに接続されている。トランジスタ６のソースは、電源電圧ＶＤＤに接続されている。トランジスタ６とトランジスタ５とのドレインは、夫々ノードＳに接続されている。
【００１８】
インバータ回路７とトランジスタ５とトランジスタ６とは、ラッチ回路を構成している。よって、プリチャージ信号ＰＲＣとセット信号ＳＥＴとが非活性化状態でも、ラッチ回路は、ノードＳの情報を固定する役割を果たす。
【００１９】
トランジスタ５のソースは、ＮチャネルＭＯＳトランジスタ４のドレインに接続されている。トランジスタ４のゲートには、プリチャージ信号ＰＲＣが入力されている。トランジスタ４のソースは、接地電圧ＶＳＳに接続されている。
【００２０】
トランジスタ４は、ノードＳからのリーク電流を削減するために設けられている。トランジスタ４は、プリチャージ信号ＰＲＣが活性化してノードＳがハイレベルに保持されている間、トランジスタ５を無効にする。これにより、ノードＳからのリーク電流を削減す

ることができる。

【００２１】

インバータ回路７の出力端子は、インバータ回路８の入力端子に接続されている。インバータ回路８は、出力信号ＯＵＴを出力する。なお、図示していないが、ＰチャネルＭＯＳトランジスタのバックバイアスは、電源電圧ＶＤＤが供給されている。また、ＮチャネルＭＯＳトランジスタのバックバイアスは、接地電圧ＶＳＳが供給されている。

【００２２】

図２は、図１に示した半導体記憶装置の動作を示すタイミング図である。初期状態は、プリチャージ信号ＰＲＣが活性状態（ローレベル）、且つセット信号ＳＥＴが非活性状態（ローレベル）になっている。このとき、ノードＳは、トランジスタ３がオンしているため、ハイレベルになっている。

【００２３】

その後、プリチャージ信号ＰＲＣが非活性状態（ハイレベル）にされる。このとき、ノードＳには変化がない。その後、セット信号ＳＥＴが活性状態（ハイレベル）にされる。フューズ素子１が切断されていれば、トランジスタ２はオンするが、接地電圧ＶＳＳに繋がるパスがなく、トランジスタ２のソースは高抵抗で接地電圧ＶＳＳに接続されている。このとき、トランジスタ６がオンしているため、ノードＳはハイレベルに保持される。

【００２４】

一方、フューズ素子１が切断されていなければ、ノードＳはトランジスタ２とフューズ素子１とを介して接地電圧ＶＳＳに接続される。このパスの抵抗を低く設計しておくとトランジスタ６に打ち勝ってノードＳがローレベルに引き抜かれる。このようにして、フューズ素子１が切断されている場合、ノードＳ及び出力信号ＯＵＴは、ハイレベルになる。フューズ素子１が切断されていない場合、ノードＳ及び出力信号ＯＵＴは、ローレベルになる。これにより、図１に示した半導体記憶装置は、ＲＯＭとしての機能を実現する。

【００２５】

図３は、図１に示した半導体記憶装置の主要部（フューズ素子１とトランジスタ２とダイオード９）の構成を示すレイアウト図である。図４は、図３に示したⅣ－Ⅳ線に沿った断面図である。図５は、図３に示したＶ－Ｖ線に沿った断面図である。

【００２６】

半導体基板１１には、低濃度のＰ型不純物を拡散して形成されたＰウェル１２と低濃度のＮ型不純物を拡散して形成されたＮウェル１３とが設けられている。Ｐウェル１２には、ＮチャネルＭＯＳトランジスタ２が設けられている。

【００２７】

具体的には、Ｐウェル１２の上には、ゲート絶縁膜２Ｂを介してゲート２Ａが設けられている。ゲート絶縁膜２Ｂは、例えばＳｉＯ２により構成される。ゲート２Ａ両側のＰウェル１２には、夫々、高濃度のＮ型不純物が注入されたn^+拡散層２Ｃ（ドレイン），２Ｄ（ソース）が設けられている。

【００２８】

ゲート２Ａは、コンタクトプラグ１４Ｃを介してメタル層１５Ａに接続されている。メタル層１５Ａには、プリチャージ信号ＰＲＣが入力される。n^+拡散層２Ｃは、コンタクトプラグ１４Ａを介してメタル層１５Ｂに接続されている。メタル層１５Ｂは、ノードＳに接続される。

【００２９】

n^+拡散層２Ｄは、コンタクトプラグ１４Ｂを介してメタル層１５Ｃに接続されている。メタル層１５Ｃの一方の端部は、コンタクトプラグ１４Ｄを介してフューズ素子１に接続されている。フューズ素子１は、幅が狭い部分にレーザーが照射されることで切断される。

【００３０】

フューズ素子１は、コンタクトプラグ１４Ｅを介してメタル層１５Ｄに接続されている。Ｐウェル１２には、高濃度のＰ型不純物が注入されたp^+拡散層１６が設けられている

。p^+拡散層１６は、コンタクトプラグ１４Ｆを介してメタル層１５Ｄに接続されている。

【００３１】

メタル層１５Ｃの他方の端部には、ダイオード９が接続されている。具体的には、Ｎウェル１３には、高濃度のＰ型不純物が注入されたp^+拡散層９Ａが設けられている。p^+拡散層９Ａは、コンタクトプラグ１４Ｇを介してメタル層１５Ｃに接続されている。図３に示すように、ダイオード９を構成するp^+拡散層９Ａは、半導体記憶装置が備えるＰチャネルＭＯＳトランジスタを構成するp^+拡散層とは別に新たに設けられている。

【００３２】

また、前述したように、ＰチャネルＭＯＳトランジスタのバックバイアスは、電源電圧ＶＤＤが供給されている。また、ＮチャネルＭＯＳトランジスタのバックバイアスは、接地電圧ＶＳＳが供給されている。すなわち、半導体基板１１に形成されたＰウェルには、接地電圧ＶＳＳが供給されている。半導体基板１１に形成されたＮウェルには、電源電圧ＶＤＤが供給されている。同様に、ダイオード９を構成するＮウェル１３には、電源電圧ＶＤＤが供給されている。

【００３３】

次に、レーザーによりフューズ素子１を切断する場合の半導体記憶装置の動作について説明する。図６は、レーザーによりフューズ素子１を切断する場合の半導体記憶装置の等価回路図である。

【００３４】

図６に示したダイオード１０は、ＮチャネルＭＯＳトランジスタ２のＰＮジャンクションであるn^+拡散層２ＤとＰウェル１２とからなるダイオードを等価的に表している。レーザーリペア装置によるレーザー照射は、半導体記憶装置に電源を接続しないで行われる。よって、各電源ノードは、チップ内部の容量を持ったフローティング状態（ＦＬＴ）であるが、ウェルの面積が大きいため略接地されている状態と変わりない。

【００３５】

前述したように、ダイオード９は、p^+拡散層９ＡとＮウェル１３とにより構成されている。すなわち、ダイオード９は、フューズ素子１に対して順方向に接続されたダイオードである。よって、フューズ素子１をレーザーにより切断する際、フューズ素子１に発生する正電荷をＮウェル１３に逃がすことができる。これにより、トランジスタ２に正電荷が流れ込むのを防ぐことで、トランジスタ２が有するＰＮジャンクション及び絶縁膜が破壊されるのを防ぐことができる。

【００３６】

また、ダイオード１０は、フューズ素子１に対して逆方向に接続されたダイオードである。よって、フューズ素子１をレーザーにより切断する際、フューズ素子１に発生する負電荷をＰウェル１２に逃がすことができる。これにより、トランジスタ２に負電荷が流れ込むのを防ぐことで、トランジスタ２が有するＰＮジャンクション及び絶縁膜が破壊されるのを防ぐことができる。

【００３７】

以上詳述したように本実施形態では、フューズ素子１にp^+拡散層９ＡとＮウェル１３とにより構成されるダイオード９を接続する。さらに、ダイオード９を構成するp^+拡散層９Ａは、半導体記憶装置が備えるＰチャネルＭＯＳトランジスタを構成するp^+拡散層とは別に新たに設けるようにしている。

【００３８】

したがって本実施形態によれば、フューズ素子１をレーザーにより切断する際に生じる正電荷によりフューズ素子１に接続されたＮチャネルＭＯＳトランジスタ２が破壊されるのを防ぐことができる。

【００３９】

さらに、フューズ素子１にＮチャネルＭＯＳトランジスタ２を接続することで、フューズ素子１をレーザーにより切断する際に生じる負電荷によりＮチャネルＭＯＳトランジス

タ２が破壊されるのを防ぐことができる。
【００４０】
なお、本実施形態では、半導体記憶装置が備えるトランジスタとしてＭＯＳトランジスタを例に説明している。しかし、これに限定されるものではなく、バイポーラトランジスタを用いても同様に実施可能である。すなわち、ＮチャネルＭＯＳトランジスタをＮＰＮトランジスタ、ＰチャネルＭＯＳトランジスタをＰＮＰトランジスタに置き換えても、本実施形態と同様の効果を得ることができる。後述する各実施形態も同様である。
【００４１】
（第２の実施形態）
第２の実施形態は、フューズ素子１に接続されたＰチャネルＭＯＳトランジスタが破壊されるのを防止するように半導体記憶装置を構成したものである。
【００４２】
図７は、本発明の第２の実施形態に係る半導体記憶装置の構成を示す回路図である。フューズ素子１の一方の端子は、電源電圧ＶＤＤに接続されている。フューズ素子１の他方の端子は、ＰチャネルＭＯＳトランジスタ２１のソースに接続されている。
【００４３】
トランジスタ２１のゲートには、セット信号ＳＥＴが入力されている。トランジスタ２１のドレインは、ノードＳに接続されている。ＮチャネルＭＯＳトランジスタ２２のゲートには、プリチャージ信号ＰＲＣが入力されている。トランジスタ２２のドレインは、ノードＳに接続されている。トランジスタ２２のソースは、接地電圧ＶＳＳに接続されている。
【００４４】
また、フューズ素子１の他方の端子は、ダイオード２０のカソードに接続されている。ダイオード２０のアノードは、接地電圧ＶＳＳに接続されている。
【００４５】
トランジスタ２２は、ノードＳをプリチャージするために設けられている。トランジスタ２２は、プリチャージ信号ＰＲＣが活性化（ハイレベル）されると、ノードＳをローレベルにプリチャージする。
【００４６】
フューズ素子１は、情報（データ“０”及びデータ“１”）を記憶する。具体的には、フューズ素子１にレーザーを照射することにより、フューズ素子１を気化させて、導通をなくす。これにより、フューズ素子１は、データ“１”を記憶する。切断されない場合、フューズ素子１は、データ“０”を記憶する。
【００４７】
トランジスタ２２は、フューズ素子１の情報をノードＳにセットするために設けられている。トランジスタ２２は、セット信号ＳＥＴが活性化（ローレベル）されると、フューズ素子１の情報をノードＳにセットする。
【００４８】
ノードＳは、ラッチ回路（インバータ回路７、ＰチャネルＭＯＳトランジスタ６及びＮチャネルＭＯＳトランジスタ５を含む）に接続されている。ラッチ回路の出力端子は、インバータ回路８の入力端子に接続されている。インバータ回路８は、出力信号ＯＵＴを出力する。なお、図示していないが、ＰチャネルＭＯＳトランジスタのバックバイアスは、電源電圧ＶＤＤが供給されている。また、ＮチャネルＭＯＳトランジスタのバックバイアスは、接地電圧ＶＳＳが供給されている。
【００４９】
図８は、図７に示した半導体記憶装置の動作を示すタイミング図である。初期状態は、プリチャージ信号ＰＲＣが活性状態（ハイレベル）、且つセット信号ＳＥＴが非活性状態（ハイレベル）になっている。このとき、ノードＳは、トランジスタ２２がオンしているため、ローレベルになっている。
【００５０】

その後、プリチャージ信号ＰＲＣが非活性状態（ローレベル）にされる。このとき、ノードＳには変化がない。その後、セット信号ＳＥＴが活性状態（ローレベル）にされる。フューズ素子１が切断されていれば、トランジスタ２１はオンするが、電源電圧ＶＤＤに繋がるパスがなく、トランジスタ２１のソースは高抵抗で電源電圧ＶＤＤに接続されている。このとき、トランジスタ５がオンしているため、ノードＳはローレベルに保持される。

【００５１】

一方、フューズ素子１が切断されていなければ、ノードＳはトランジスタ２１とフューズ素子１とを介して電源電圧ＶＤＤに接続される。このパスの抵抗を低く設計しておくとトランジスタ５に打ち勝ってノードＳがハイレベルになる。このようにして、フューズ素子１が切断されている場合、ノードＳ及び出力信号ＯＵＴは、ローレベルになる。フューズ素子１が切断されていない場合、ノードＳ及び出力信号ＯＵＴは、ハイレベルになる。これにより、図１に示した半導体記憶装置は、ＲＯＭとしての機能を実現する。

【００５２】

図９は、図７に示した半導体記憶装置の主要部（フューズ素子１とトランジスタ２１とダイオード２０）の構成を示すレイアウト図である。図１０は、図９に示したＸ－Ｘ線に沿った断面図である。図１１は、図９に示したXI－XI線に沿った断面図である。

【００５３】

半導体基板３１には、低濃度のＮ型不純物を拡散して形成されたＮウェル３２と低濃度のＰ型不純物を拡散して形成されたＰウェル３３とが設けられている。Ｎウェル３２には、ＰチャネルＭＯＳトランジスタ２１が設けられている。具体的には、Ｎウェル３２の上には、ゲート絶縁膜２１Ｂを介してゲート２１Ａが設けられている。ゲート２１Ａ両側のＮウェル３２には、夫々、高濃度のＰ型不純物が注入されたp^+拡散層２１Ｃ（ドレイン），２１Ｄ（ソース）が設けられている。

【００５４】

ゲート２１Ａは、コンタクトプラグ１４Ｃを介してメタル層１５Ａに接続されている。メタル層１５Ａには、セット信号ＳＥＴが入力される。p^+拡散層２１Ｃは、コンタクトプラグ１４Ａを介してメタル層１５Ｂに接続されている。メタル層１５Ｂは、ノードＳに接続される。

【００５５】

p^+拡散層２１Ｄは、コンタクトプラグ１４Ｂを介してメタル層１５Ｃに接続されている。メタル層１５Ｃの一方の端部は、コンタクトプラグ１４Ｄを介してフューズ素子１に接続されている。フューズ素子１は、コンタクトプラグ１４Ｅを介してメタル層１５Ｄに接続されている。Ｎウェル３２には、高濃度のＮ型不純物が注入されたn^+拡散層３４が設けられている。n^+拡散層３４は、コンタクトプラグ１４Ｆを介してメタル層１５Ｄに接続されている。

【００５６】

メタル層１５Ｃの他方の端部には、ダイオード２０が接続されている。具体的には、Ｐウェル３３には、高濃度のＮ型不純物が注入されたn^+拡散層２０Ａが設けられている。n^+拡散層２０Ａは、コンタクトプラグ１４Ｇを介してメタル層１５Ｃに接続されている。図９に示すように、ダイオード２０を構成するn^+拡散層２０Ａは、半導体記憶装置が備えるＮチャネルＭＯＳトランジスタを構成するn^+拡散層とは別に新たに設けられている。

【００５７】

次に、レーザーによりフューズ素子１を切断する場合の半導体記憶装置の動作について説明する。図１２は、レーザーによりフューズ素子１を切断する場合の半導体記憶装置の等価回路図である。なお、図１２は、図７に示した半導体記憶装置の主要部を表している。

【００５８】

ダイオード２３は、ＰチャネルＭＯＳトランジスタ２のＰＮジャンクションであるp^+

拡散層２１ＤとＮウェル３２とを表している。レーザーリペア装置によるレーザー照射は、半導体記憶装置に電源を接続しないで行われる。よって、電源ノードは、チップ内部の容量を持ったフローティング状態（ＦＬＴ）であるが、ウェルの面積が大きいため略接地されている状態と変わりない。

【００５９】

前述したように、ダイオード２０は、n^+拡散層２０ＡとＰウェル３３とにより構成されている。すなわち、ダイオード２０は、フューズ素子１に対して逆方向に接続されたダイオードである。よって、フューズ素子１をレーザーにより切断する際、フューズ素子１に発生する負電荷をＰウェル３３に逃がすことができる。これにより、トランジスタ２１に負電荷が流れ込むのを防ぐことで、トランジスタ２１が有するＰＮジャンクション及び絶縁膜が破壊されるのを防ぐことができる。

【００６０】

また、ダイオード２３は、フューズ素子１に対して順方向に接続されたダイオードである。よって、フューズ素子１をレーザーにより切断する際、フューズ素子１に発生する正電荷をＮウェル３２に逃がすことができる。これにより、トランジスタ２１に正電荷が流れ込むのを防ぐことで、トランジスタ２１が有するＰＮジャンクション及び絶縁膜が破壊されるのを防ぐことができる。

【００６１】

以上詳述したように本実施形態によれば、フューズ素子１をレーザーにより切断する際に生じる負電荷によりフューズ素子１に接続されたＰチャネルＭＯＳトランジスタ２１が破壊されるのを防ぐことができる。

【００６２】

さらに、フューズ素子１にＰチャネルＭＯＳトランジスタ２１を接続することで、フューズ素子１をレーザーにより切断する際に生じる正電荷によりＰチャネルＭＯＳトランジスタ２１が破壊されるのを防ぐことができる。

【００６３】

（第３の実施形態）

第３の実施形態は、フューズ素子１とトランジスタとの間に拡散層で形成された抵抗を接続することで、レーザー照射時にトランジスタが破壊されるのを防止するようにしたものである。

【００６４】

図１３は、本発明の第３の実施形態に係る半導体記憶装置の主要部の構成を示す回路図である。

【００６５】

ＰチャネルＭＯＳトランジスタ３のゲートには、プリチャージ信号ＰＲＣが入力されている。トランジスタ３のソースは、電源電圧ＶＤＤに接続されている。トランジスタ３のドレインは、ノードＳに接続されている。

【００６６】

ＮチャネルＭＯＳトランジスタ２のゲートには、セット信号ＳＥＴが入力されている。トランジスタ２のドレインは、ノードＳに接続されている。トランジスタ２のソースとフューズ素子１の一方の端子との間には、抵抗素子４０が接続されている。フューズ素子１の他方の端子は、接地電圧ＶＳＳに接続されている。ノードＳに接続されたラッチ回路等の構成は、第１の実施形態と同じである。

【００６７】

図１４は、図１３に示した半導体記憶装置（フューズ素子１とトランジスタ２と抵抗素子４０）の構成を示すレイアウト図である。図１５は、図１４に示したＸＶ－ＸＶに沿った断面図である。

【００６８】

半導体基板１１には、低濃度のＰ型不純物を拡散して形成されたＰウェル１２が設けられている。Ｐウェル１２には、低濃度のＮ型不純物を拡散して形成されたＮウェル４１が

設けられている。Ｎウェル４１には、高濃度のＮ型不純物が注入された２つのｎ$^+$拡散層４２，４３が設けられている。ｎ$^+$拡散層４２は、コンタクトプラグ４４を介してメタル層４５に接続されている。メタル層４５は、コンタクトプラグ１４Ｂを介してｎ$^+$拡散層２Ｄに接続されている。

【００６９】

ｎ$^+$拡散層４３は、コンタクトプラグ４６を介してメタル層４７に接続されている。メタル層４７は、コンタクトプラグ１４Ｄを介してフューズ素子１に接続されている。

【００７０】

このように構成された半導体記憶装置において、フューズ素子１とＮチャネルＭＯＳトランジスタ２のソースとは、Ｎウェル４１を介して接続されている。また、Ｎウェル４１は、Ｐウェル１２に孤立して形成されている。すなわち、Ｎウェル４１には、電源が接続されていない。

【００７１】

図１３に示した抵抗素子４０は、図１４に示したＮウェル４１に対応している。すなわち、Ｎウェル４１は、抵抗素子として機能する。これにより、フューズ素子１をレーザーにより切断する際に生じる負電荷をＮウェル４１を介してＰウェル１２に逃がすことができる。よって、負電荷によりＮチャネルＭＯＳトランジスタ２が破壊されるのを防ぐことができる。

【００７２】

また、フューズ素子１をレーザーにより切断する際に生じる熱を半導体基板１１を通して逃がすことができる。よって、熱によりＮチャネルＭＯＳトランジスタ２が破壊されるのを防ぐことができる。

【００７３】

なお、本実施形態では、抵抗素子４０としてＰウェル１２に形成したＮウェル４１を用いている。しかし、これに限定されるものではなく、Ｐウェル１２に形成したＮ型拡散層を抵抗素子４０として用いてもよい。

【００７４】

ところで、本実施形態は、ＰチャネルＭＯＳトランジスタの保護にも適用可能である。すなわち、フューズ素子１に接続されたトランジスタがＰチャネルＭＯＳトランジスタである場合、フューズ素子１とＰチャネルＭＯＳトランジスタのソースとの間に、Ｐウェルで形成された抵抗素子を配置する。

【００７５】

これにより、フューズ素子１をレーザーにより切断する際に生じる正電荷をＰウェルを介して逃がすことができる。よって、正電荷によりＰチャネルＭＯＳトランジスタが破壊されるのを防ぐことができる。

【００７６】

（第４の実施形態）

第４の実施形態は、フューズ素子１とＮチャネルＭＯＳトランジスタ２との間に、配線抵抗と配線容量とを付加することで、ＮチャネルＭＯＳトランジスタ２を保護するようにしたものである。

【００７７】

図１６は、本発明の第４の実施形態に係る半導体記憶装置の主要部の構成を示す等価回路図である。ＮチャネルＭＯＳトランジスタ２のソースとフューズ素子１の一方の端子との間には、抵抗素子５０が接続されている。また、ＮチャネルＭＯＳトランジスタ２のソースと接地電圧ＶＳＳとの間には、コンデンサ５１が設けられている。その他の構成は、第１の実施形態と同じである。

【００７８】

図１７は、図１６に示した半導体記憶装置（フューズ素子１と抵抗素子５０とコンデンサ５１）の構成を示すレイアウト図である。フューズ素子１には、コンタクトプラグ１４Ｄを介して配線部５２が接続されている。

【００７９】
配線部５２は、配線抵抗を付加するために、長く引き延ばし且つ蛇行するように構成されている。蛇行された配線部５２の夫々の間には、配線容量を付加するためにメタルグランド配線５３Ａ～５３Ｃが設けられている。メタルグランド配線５３Ａ～５３Ｃは、例えば接地電圧ＶＳＳに接続されている。このように構成することで、配線部５２に配線容量を付加することができる。なお、メタルグランド配線５３Ａ～５３Ｃに供給される電源は接地電圧ＶＳＳに限定されず、配線部５２が配線容量を有すればよい。
【００８０】
配線部５２の一方の端部は、コンタクトプラグ５４を介してメタル層５５に接続されている。メタル層５５は、ＮチャネルＭＯＳトランジスタ２のソースに接続されている（図示せず）。
【００８１】
配線部５２の配線抵抗は、図１６に示した抵抗素子５０に対応する。配線部５２の配線容量は、図１６に示したコンデンサ５１に対応する。
【００８２】
このように構成された半導体記憶装置において、フューズ素子１とＮチャネルＭＯＳトランジスタ２との間に抵抗素子５０を設けることで、フューズ素子１をレーザーにより切断する際に生じる熱がＮチャネルＭＯＳトランジスタ２に伝導するのを抑制することができる。よって、熱によりＮチャネルＭＯＳトランジスタ２が破壊されるのを防ぐことができる。
【００８３】
また、配線部５２に配線容量を付加することで、フューズ素子１をレーザーにより切断する場合、フューズ素子１に電荷が蓄積してもＮチャネルＭＯＳトランジスタ２のソースの電位が上昇するのを抑制することができる。これにより、レーザーブロー時の電荷によりＮチャネルＭＯＳトランジスタ２が破壊されるのを防ぐことができる。
【００８４】
なお、フューズ素子１に接続されたトランジスタがＰチャネルＭＯＳトランジスタであっても、本実施形態を適用可能である。
【００８５】
また、本実施形態では、配線部５２に付加する配線容量が大きいほど、トランジスタの破壊耐性は向上する。しかし、配線容量を大きくし過ぎると、半導体記憶装置の動作に影響を及ぼす可能性がある。この場合は、トランジスタ２とトランジスタ３との接続ノードに、一端を開放した配線容量を付加する。これにより、半導体記憶装置の動作を安定させることができる。
【００８６】
（第５の実施形態）
第５の実施形態は、フューズ素子１とトランジスタの拡散層とを接続するコンタクトプラグと、トランジスタのゲートとの距離を離すことでゲート絶縁膜を保護するようにしたものである。
【００８７】
図１８は、本発明の第５の実施形態に係る半導体記憶装置の構成を示す回路図である。ＮチャネルＭＯＳトランジスタ６０のソースは、フューズ素子１の一方の端子に接続されている。トランジスタ６０のゲートには、セット信号ＳＥＴが供給されている。トランジスタ６０のドレインは、ＰチャネルＭＯＳトランジスタ３のドレインに接続されている。その他の構成は、第１の実施形態と同じである。
【００８８】
図１９は、図１８に示したＮチャネルＭＯＳトランジスタ６０の構成を示す平面レイアウト図である。半導体基板１１には、低濃度のＰ型不純物を拡散して形成されたＰウェル１２が設けられている（図示せず）。
【００８９】

Ｐウェル１２には、ＮチャネルＭＯＳトランジスタ６０が設けられている。具体的には、Ｐウェル１２の上には、ゲート絶縁膜６１を介してゲート６２が設けられている。ゲート６２両側のＰウェル１２には、夫々、高濃度のＮ型不純物が注入されたｎ$^{+}$拡散層６３（ドレイン），６４（ソース）が設けられている。

【００９０】

ｎ$^{+}$拡散層６３は、コンタクトプラグ６５を介してメタル層６６に接続されている。メタル層６６は、ノードＳに接続される。ｎ$^{+}$拡散層６４は、コンタクトプラグ６７を介してメタル層６８に接続されている。メタル層６８は、フューズ素子１に接続される。

【００９１】

ところで、ゲート６２とコンタクトプラグ６７との距離Ｌは、ゲート６２とコンタクトプラグ６５との距離Ｍに比べ、例えば２倍以上長くなっている。なお、半導体基板１１には、トランジスタ６０以外にも他の複数のトランジスタ（ラッチ回路を構成するトランジスタ等）が設けられている。このトランジスタが有するソース或いはドレインとしての拡散層に接続されたコンタクトプラグとゲートとの間の距離は、ゲート６２とコンタクトプラグ６５との距離Ｍと同じである。

【００９２】

すなわち、距離Ｍは、トランジスタの特性が当該半導体記憶装置の面積、製造工程及び回路動作との関係において最適な値である。そして、本実施形態では、フューズ素子１に接続されるコンタクトプラグ６７とゲート６２との距離を意図的に長くしている。

【００９３】

さらに、本発明者等の実験により、距離Ｌは、以下に示す数値がより効果的であることが分かった。

【００９４】

（１）０．１５μｍ以上
（２）コンタクトプラグ６５，６７の径の１．５倍以上
（３）ゲート長の４倍以上
（４）実効ゲート酸化膜厚の１００倍以上

このようにトランジスタ６０を形成することで、フューズ素子１にレーザーを照射する際に発生する電荷により誘起される電界が、ゲート絶縁膜６１に集中するのを緩和することができる。これにより、ゲート絶縁膜６１が破壊されるのを防止することができる。

【００９５】

（第６の実施形態）

第６の実施形態は、フューズ素子１に接続されるＮチャネルＭＯＳトランジスタ７０のゲート絶縁膜を厚くすることで、フューズ素子１にレーザーを照射する際に発生する電荷によりゲート絶縁膜が破壊されるのを防止するようにしたものである。

【００９６】

本実施形態の半導体記憶装置の回路図は、第５の実施形態で示したトランジスタ６０がトランジスタ７０に変更された以外は上記図１８と同じである。よって、本実施形態の半導体記憶装置の回路図は、図示を省略する。

【００９７】

図２０は、本発明の第６の実施形態に係るＮチャネルＭＯＳトランジスタ７０の構成を示す断面図である。半導体基板１１には、低濃度のＰ型不純物を拡散して形成されたＰウェル１２とが設けられている。Ｐウェル１２には、ＮチャネルＭＯＳトランジスタ７０が設けられている。

【００９８】

具体的には、Ｐウェル１２の上には、ゲート絶縁膜７１が設けられている。ゲート絶縁膜７１は、例えばＳｉＯ２により構成される。ゲート絶縁膜７１の上には、ゲート７２が設けられている。ゲート７２両側のＰウェル１２には、夫々、高濃度のＮ型不純物が注入されたｎ$^{+}$拡散層７３（ドレイン），７４（ソース）が設けられている。

【００９９】

ゲート７２には、セット信号ＳＥＴが供給されている。n^+拡散層７３は、ＰチャネルＭＯＳトランジスタ３のドレインに接続されている。n^+拡散層７４は、フューズ素子１に接続されている。

【０１００】

また、半導体基板１１には、ラッチ回路等も設けられている。図２１は、ラッチ回路を構成するＮチャネルＭＯＳトランジスタ７５の構成を示す断面図である。例えば、ＮチャネルＭＯＳトランジスタ７５は、ラッチ回路に含まれるＮチャネルＭＯＳトランジスタ５に対応する。

【０１０１】

半導体基板１１には、Ｐウェル１２の上には、ゲート絶縁膜７６が設けられている。ゲート絶縁膜７６の上には、ゲート７７が設けられている。ゲート７７両側のＰウェル１２には、夫々、高濃度のＮ型不純物が注入されたn^+拡散層７８（ドレイン），７９（ソース）が設けられている。

【０１０２】

トランジスタ７５のゲート絶縁膜７６は、膜厚Ｏを有している。トランジスタは、通常、同一製造工程により形成される。よって、半導体基板１１に形成されたトランジスタのうちトランジスタ７０以外のトランジスタは、膜厚Ｏと略同じ厚さのゲート絶縁膜を有している。

【０１０３】

ここで、トランジスタ７０のゲート絶縁膜７１の膜厚Ｎは、トランジスタ７５のゲート絶縁膜７６の膜厚Ｏより厚くなっている。ゲート絶縁膜７１の膜厚Ｎは、フューズ素子１にレーザーを照射する際に発生する電荷によるサージストレスに対してゲート絶縁膜７１が破壊されない厚さに設定される。

【０１０４】

これにより、レーザー照射時に発生する電荷によるサージストレスに対するＮチャネルＭＯＳトランジスタ７０のゲート絶縁膜７１の耐圧を向上させることができる。よって、ＮチャネルＭＯＳトランジスタ７０が破壊されるのを防止することができる。

【０１０５】

なお、厚いゲート絶縁膜を有するトランジスタは、そのゲート長を長くする必要があるため、素子面積が大きくなる。しかし、ゲート絶縁膜を厚くするトランジスタを、レーザー照射時にサージストレスが直接印加されるトランジスタ或いはその近傍のトランジスタに限定することで、チップ面積の増大を小さく抑えることができる。

【０１０６】

なお、フューズ素子１に接続されるトランジスタがＰチャネルＭＯＳトランジスタであっても、本実施形態を適用可能なことは勿論である。

【０１０７】

この発明は、上記各実施形態に限定されるものではなく、その他、本発明の要旨を変更しない範囲において種々変形して実施可能である。

【図面の簡単な説明】

【０１０８】

【図１】本発明の第１の実施形態に係る半導体記憶装置の構成を示す回路図。

【図２】図１に示した半導体記憶装置の動作を示すタイミング図。

【図３】図１に示した半導体記憶装置の主要部の構成を示すレイアウト図。

【図４】図３に示したIV－IV線に沿った断面図。

【図５】図３に示したＶ－Ｖ線に沿った断面図。

【図６】図１に示したフューズ素子１をレーザーにより切断する場合の半導体記憶装置の等価回路図。

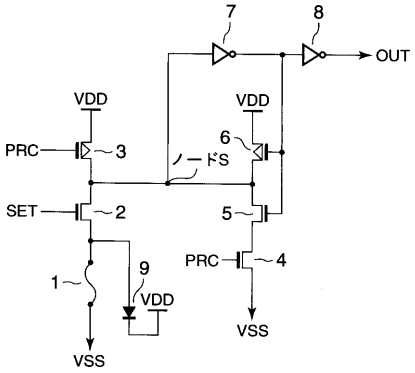
【図７】本発明の第２の実施形態に係る半導体記憶装置の構成を示す回路図。

【図８】図７に示した半導体記憶装置の動作を示すタイミング図。

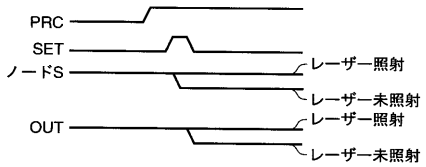
【図９】図７に示した半導体記憶装置の主要部の構成を示すレイアウト図。

【図１０】図９に示したＸ－Ｘ線に沿った断面図。
【図１１】図９に示したＸＩ－ＸＩ線に沿った断面図。
【図１２】図７に示したフューズ素子１をレーザーにより切断する場合の半導体記憶装置の等価回路図。
【図１３】本発明の第３の実施形態に係る半導体記憶装置の構成を示す回路図。
【図１４】図１３に示した半導体記憶装置の主要部の構成を示すレイアウト図。
【図１５】図１４に示したＸＶ－ＸＶに沿った断面図。
【図１６】本発明の第４の実施形態に係る半導体記憶装置の構成を示す等価回路図。
【図１７】図１６に示した半導体記憶装置の主要部の構成を示すレイアウト図。
【図１８】本発明の第５の実施形態に係る半導体記憶装置の構成を示す回路図。
【図１９】図１８に示したＮチャネルＭＯＳトランジスタ６０の構成を示す平面レイアウト図。
【図２０】本発明の第６の実施形態に係るＮチャネルＭＯＳトランジスタ７０の構成を示す断面図。
【図２１】ラッチ回路を構成するＮチャネルＭＯＳトランジスタ７５の構成を示す断面図。
【符号の説明】
【０１０９】
１…フューズ素子、２，４，５，２２，６０，７０，７５…ＮチャネルＭＯＳトランジスタ、３，６，２１…ＰチャネルＭＯＳトランジスタ、２Ｂ，２１Ｂ，６１，７１，７６…ゲート絶縁膜、２Ａ，２１Ａ，６２，７２，７７…ゲート、２Ｃ，２Ｄ，２０Ａ，３４，４２，４３，６３，６４，７３，７４，７８，７９…n^+拡散層、７，８…インバータ回路、９，１０，２０，２３…ダイオード、９Ａ，１６，２１Ｃ，２１Ｄ…p^+拡散層、１１，３１…半導体基板、１２，３３…Ｐウェル、１３，３２，４１…Ｎウェル、１４Ａ，１４Ｂ，１４Ｃ，１４Ｄ，１４Ｅ，１４Ｆ，１４Ｇ，４４，４６，５４，６５，６７…コンタクトプラグ、１５Ａ，１５Ｂ，１５Ｃ，１５Ｄ，４５，４７，５５，６６，６８…メタル層、４０，５０…抵抗素子、５１…コンデンサ、５２…配線部、５３Ａ，５３Ｂ，５３Ｃ…メタルグランド配線。

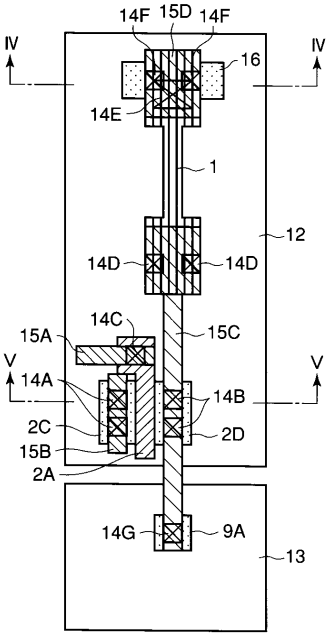
【図１】



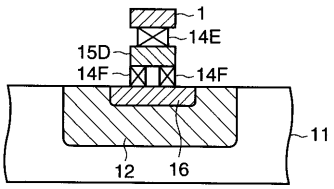
【図２】



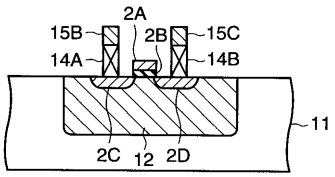
【図３】



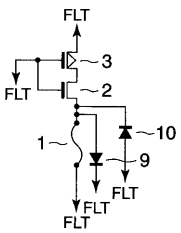
【図４】



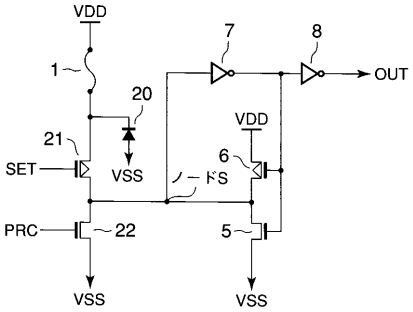
【図５】



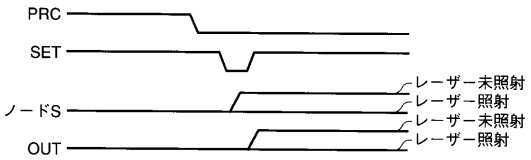
【図６】



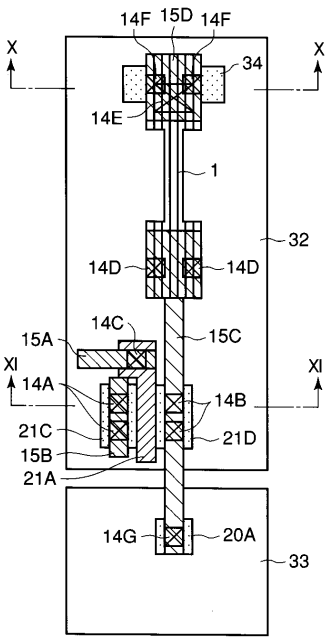
【図７】



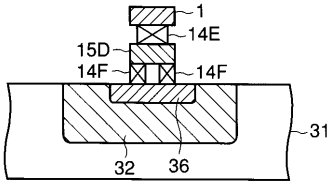
【図８】



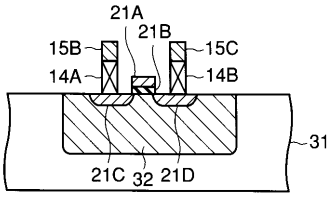
【図９】



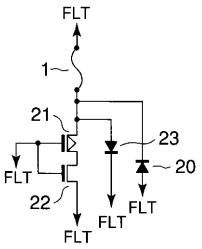
【図１０】



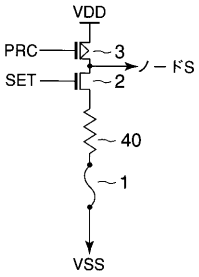
【図１１】



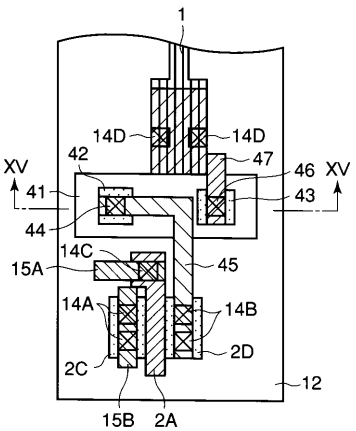
【図１２】



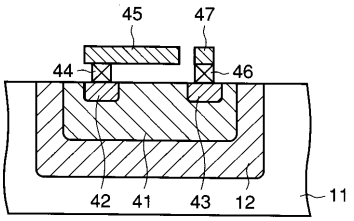
【図１３】



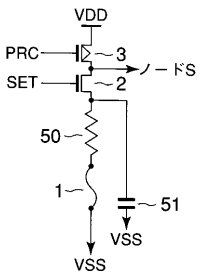
【図１４】



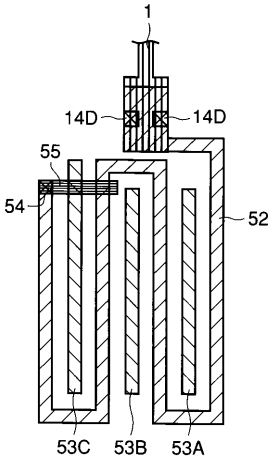
【図１５】



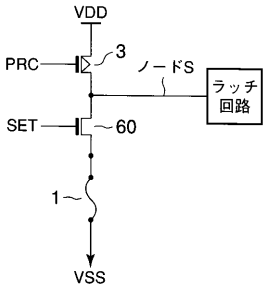
【図１６】



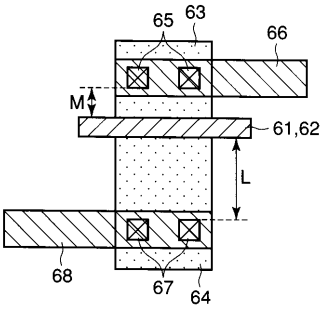
【図１７】



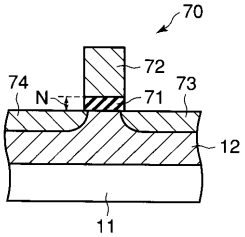
【図１８】



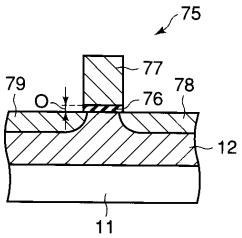
【図１９】



【図２０】



【図２１】



フロントページの続き

(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100092196
弁理士 橋本 良郎
(72)発明者 福田 良
神奈川県川崎市幸区小向東芝町１番地 株式会社東芝マイクロエレクトロニクスセンター内
(72)発明者 渡辺 陽二
神奈川県川崎市幸区小向東芝町１番地 株式会社東芝マイクロエレクトロニクスセンター内
(72)発明者 藤井 秀壮
神奈川県川崎市幸区小向東芝町１番地 株式会社東芝マイクロエレクトロニクスセンター内

Ｆターム(参考) 5F038 AR01 AR12 AV15 BH02 BH04 BH20 CA02 CD12 CD13 DF05
EZ12 EZ20
5F064 BB12 BB35 CC09 CC21 CC22 DD05 FF02 FF27 FF32 FF42
5F083 CR17 GA14 GA24 ZA10 ZA20