

公告本

406401

申請日期	87 年 3 月 5 日
案 號	87103214
類 別	H01L 27/00

A4
C4

(以上各欄由本局填註)

發明專利說明書

406401

一、發明 名稱	中 文	動態型記憶體
	英 文	
二、發明人 創作	姓 名	(1) 高橋康 (2) 高橋勉 (3) 荒井公司
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國埼玉縣浦和市岸町一一八一一七
	住、居所	(2) 日本國東京都立川市柏町二一三五一一七 (3) 日本國東京都小平市學園東町三一三一一九
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 德州儀器有限公司 Texas Instruments Incorporated
	國 籍	(1) 日本 (2) 美國
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 美國德州·達拉斯·北中央高速公路一三五〇〇號 13500 North Central Expressway, Dallas, Texas 75265 U.S.A.
	代 表 人 姓 名	(1) 金井務 (2) 鈴木國藏 Suzuki, Kunizo

裝

訂

線

406401

申請日期	87 年 3 月 5 日
案 號	87103214
類 別	

A4

C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	
	英 文	
二、發明 人 創作	姓 名	(4) 高橋繼雄 (5) 助川俊一 (6) 別所真次
	國 籍	(4) 日本 (5) 日本 (6) 日本 (4) 日本國東京都羽村市綠ヶ丘二―――一六
	住、居所	(5) 美國德州普蘭諾聖塔那路三五四九號 3549 Santana Ln Plano, TX 75023 U.S.A. (6) 美國德州普蘭諾#一二二三利格西路七〇一號 701 Legacy drive #1223 Plano, TX 75023 U.S.A.
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

106401

申請日期	87 年 3 月 5 日
案 號	87103214
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(7) 平雅之
	國 籍	(7) 日本 (7) 美國德州達拉斯自由圓環二八一號 2811 Freedom Cir. Dallas, TX 75287 U.S.A.
三、申請人	住、居所	
	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝
訂
線

406401

(由本局填寫)

承辦人代碼：

大類：

IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

· ☐有 ☐無主張優先權

日本

1997 年 4 月 10 日 9-108111

☒有主張優先權

有關微生物已寄存於：

· 寄存日期：

· 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

【發明之背景】

此發明係有關動態型 R A M (隨機存取記憶體) 者，例如有關採用具備主字元線和副字元線的分割字元線方式，利用於經由降壓記憶於記憶電容之高準位的內部電壓所形成者之有效技術者。

曾提案僅動作被選擇之記憶格所設之必要記憶塊，將可動作之記憶區域儘可能以低消耗電力達成，以及為達連接記憶格之副字元線之選擇動作之高速化，設置對主未字元線連接記憶格之複數之副字元線的分割字元線方式。做為如此之分割字元線方式之例，記載於 US.Serial No. 0 8 1 5 0 3 7 3 8 號 (對應日本公開公報平 1 - 2 8 6 1 9 7 號公報)。

又，將構成感測放大器之一對 P M O S 電晶體形成於 N - W E L L (井區) 範圍，對於此 N - W E L L 範圍供給內部降壓而言，則記載於日本特開平 1 - 1 8 7 8 5 6 號及日本特開平 2 - 1 8 7 8 4 公報。

於記憶電容器和位址選擇 M O S F E T 所成動態型記憶格，寫入位元線之高準位時，將字元線之選擇準位對上述位元線之高準位而言，需呈僅昇壓上述位址選擇 M O S F E T 之臨限值電壓分的高電壓。即，字元線之選擇準位係以上述位元線之高準位為基準加以決定者。伴隨大記憶容量化元件之微細化，上述位址選擇 M O S F E T 之閘極氧化膜亦被薄膜化，伴隨此點，閘極氧化膜之電場強度會有問題。因此，降壓自外部端子供給之電源電壓，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

形成定電壓化之內部電壓，以降低上述字元線之選擇準位。但是，如此之時，於形成上述位元線之高準位之增幅信號的感測放大器中，動作電壓會變低，動作速度會變慢。

爲使上述感測放大器之動作速度變快，採用於感測放大器動作開始時，提高動作電壓，可使於增幅開始時之位元線之高準位之起動變快的過激勵方式，或採用伴隨上述大記憶容量之字元線分割方式時，設於記憶陣列之周邊的上述感測放大器或該驅動電路則變得複雜，電路之動作電壓則分爲多支，防止門鎖超載地，如何將此有效率地於記憶陣列加以佈局，便成爲一重要之課題。

此發明之目的係提供實現高積體化和高速化的動態型 R A M 者。此發明之前述以及其他之目的和新穎之特徵係本發明之記述及自附圖可得知。

簡單說明本案中所揭示之發明中代表性者之概要，如下所述。即，自外部端予供給之電源電壓則供予汲極，於閘極施加昇壓之定電壓，設置自源極輸出定電壓之 N 通道型之電壓箝位 M O S F E T，將自此電壓箝位 M O S F E T 之源極輸出之箝位電壓，做爲感測放大器之動作電壓，經由感測放大器活性化信號，介由開關控制之 P 通道型之第 1 功率 M O S F E T 傳至構成感測放大器之 P 通道型增幅 M O S F E T 之共通源極線的同時，於形成上述 P 通道型之第 1 功率 M O S F E T 及構成感測放大器之上述 P 通道型 M O S F E T 的 N 型井區範圍，將自上述電壓箝位用 M O S F E T 之源極輸出之定電壓，做爲偏壓

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(3)

電壓加以供給。

【圖示之簡單說明】

圖 1 係顯示有關此發明之動態型 R A M 之一實施例的佈局圖。

圖 2 係為說明有關此發明之動態型 R A M 之概略佈局圖。

圖 3 係顯示有關此發明之動態型 R A M 之副陣列和該周邊電路之一實施例的概略佈局圖。

圖 4 係顯示有關此發明之動態型 R A M 之副陣列和形成該周邊電路之井區範圍之一實施例的概略佈局圖。

圖 5 係顯示有關此發明之動態型 R A M 之感測放大器部和該周邊電路之一實施例的要部電路圖。

圖 6 係為說明圖 3 所示之副陣列之主字元線和副字元線關係的要部方塊圖。

圖 7 係為說明圖 3 之副陣列之主字元線和感測放大器之關係的要部方塊圖。

圖 8 係為顯示有關此發明之動態型 R A M 之周邊電路部分之一實施例的概略方塊圖。

圖 9 係為說明有關此發明之動態型 R A M 之記憶格部的元件構造截面圖。

圖 10 係顯示使用有關此發明之動態型 R A M 之延遲電路之一實施例電路圖。

圖 11 係顯示產生有關此發明之動態型 R A M 所使用

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

之過激勵脈衝的脈衝產生電路之一實施例的電路圖。

圖 1 2 係顯示有關此發明之使用動態型 R A M 之準位變換電路之一實施例電路圖。

圖 1 3 A 及圖 1 3 B 係為說明有關此發明之動態型 R A M 之動作例的波形圖。

圖 1 4 係為說明有關此發明之動態型 R A M 之電源配線的概略佈局圖。

圖 1 5 係說明於此發明之前所檢討之動態型 R A M 之動作的波形圖。

圖 1 6 係為說明有關此發明之動態型 R A M 之元件構造截面圖。

圖 1 中，顯示有關本發明之動態型 R A M 之一實施例的概略佈局圖。於同圖之中，構成動態型 R A M 之各電路方塊中，係顯示呈可知與本發明有關之部分，此係經由公知之半導體積體電路之製造技術，於單結晶矽之 1 個半導體基板上加以形成者。

在此實施例中，記憶陣列係就整體而言，分為 4 個。對於半導體晶片之長度方向，分為左右 2 個之記憶陣列，於中央部分 1 4 設置位址輸入電路、資料輸出入電路及搭接襯墊列所成輸入界面電路等。連接此等中央部分 1 4 之兩側之記憶陣列的部分，配置列解碼器範圍 1 3。

對於如述之半導體晶片之長度方向，於左右分為 2 個，於上下分為 2 個之 4 個所成各記憶陣列中，對於長度方向，於上下中央部設置主行解碼範圍 1 1。於此主行解碼

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(5)

器之上下，形成主字元驅動範圍 1 2，可驅動各分為上述上下之記憶陣列之主字元線。

上述記憶陣列（副陣列）1 5 係如該擴大圖所示，挾著記憶陣列 1 5，被感應放大器範圍 1 6、副字元驅動器範圍 1 7 所包圍形成者。上述感應放大器範圍，和上述副字元驅動器範圍之交錯部係呈交錯範圍 1 8。設於上述感應放大器範圍 1 6 之感應放大器係經由共用感應方式所構成，除去配置於記憶格陣列兩端之感應放大器，以感應放大器為中心，於左右設置互補位元線，選擇性連接左右任一之記憶格陣列的互補位元線。

如上所述，對於半導體晶片之長度方向，於左右分為 4 個之記憶陣列係呈 2 組加以配置。如此地呈 2 組配置之 2 個記憶陣列係於該中央部分，配置上述主行解碼範圍 1 1 和主字元驅動器 1 2。此主行解碼器 1 1 係將此呈中心，對應上下分割 2 個之記憶陣列，共通地加以設置。主字元驅動器 1 2 係形成貫穿上述 1 個記憶陣列地加以延長之主字元線之選擇信號。又，於上述主字元驅動器 1 2，設置副字元選擇用之驅動器時，如後所述，與上述主字元線平行延長，形成副字元選擇線之選擇信號。

做為擴大圖所示之 1 個記憶格陣列（副陣列）1 5 係，雖未圖示副字元線則呈 2 5 6 條，與之正交之互補位元線（或資料線）則呈 2 5 6 對。於上述 1 個記憶陣列中，上述記憶格陣列（副陣列）1 5 於字元位元線方向設置 1 6 個之故，就整體之上述副字元線約設置 4 K 分，於字

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(6)

元線方向設置 8 個之故，互補位元線就整體而言約設置 2 K 份。如此記憶陣列就整體而言設置 8 個之故，整體中具有 $8 \times 2 K \times 4 K = 64 M$ 位元之大記憶容量。

上述 1 個記憶陣列係對主字元線方向分割為 8 個。於每分割之記憶格陣列 15 設置副字元驅動器（副字元線驅動電路）17。副字元驅動器 17 係對主字元線分割呈半導體層 18 之長度，形成與此平行地延長之副字元線之選擇信號。在此實施例中，為減少主字元線數，換言之，為緩和主字元線之配線間隔，對 1 個主字元線，於互補位元線方向配置 4 條所成副字元線。如此地，於主字元線方向分割為 8 條，及從對在於互補位元線方向分割為 4 條之副字元線中，為選擇一條之副字元線地，配置有副字元選擇驅動器。此副字元選擇驅動器係形成自延長於上述副字元驅動器之排列方向之 4 條副字元選擇線，選擇 1 個之選擇信號者。

著眼於上述 1 個記憶陣列時，對應包含分配於 1 個主字元線之 8 個記憶陣列中之欲選擇之記憶格的 1 個記憶格陣列之副字元驅動器中，選擇 1 條之副字元選擇線之結果，自屬於 1 條之主字元線的 $8 \times 4 = 32$ 條的副字元線中，選擇 1 個之副字元線。如上所述，於主字元線方向設置 2 K (2048) 之記憶格之故，於 1 個副字元線中，連接有 $2048 / 8 = 256$ 個之記憶格。然而，雖未特別加以限制，於更新動作（例如自我更新模式）中，對應於 1 條之主字元線的 8 條副字元線則呈選擇狀態。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(7)

如上所述，1個記憶陣列係對互補位元線方向而言，具有4K位元之記憶容量。但是，對1個互補位元線而言，連接4K之記憶格時，互補位元線之寄生容量則增大，會無法獲得經由微細之資訊記憶用電容器之容量比所讀取之信號準位，對於互補位元方向亦分割16份。即，經由以粗黑線所示之感應放大器16，互補位元線則分割呈16份。感應放大器16係經由共用感應方式構成，除去配置於記憶陣列之兩端之感應放大器16，令感應放大器16為中心，於左右設置互補位元線，選擇連接左右任一之互補位元線。

圖2中，顯示說明有關此發明之動態型RAM之概略佈局圖。同圖係將圖1之實施例以另外之觀點加以圖示者。即，與圖1同樣地，記憶晶片係對於長度方向（字元線方向），在於左右和上下，各2個記憶陣列被4分割，該長度方向之中央部分中，設置複數之搭接襯墊及周邊電路。

上述2個一組之記憶陣列係係各別具有約8M位元之記憶容量，其一方被擴大加以顯示地，設置於字元線方向8分割，於位元線方向16分割之副陣列。於上述副陣列之位元線方向之兩側，對上述位元線方向配置感應放大器。於上述副陣列之字元線方向之兩側，配置副字元驅動器。

上述1個之陣列中，設有整體4096條字元線和2048對之互補位元線。由此，於整體具有8M位元之

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (8)

記憶容量。如上所述，4096條之字元線分割為16個副陣列加以配置之故，1個副陣列中設有256條之字元線（副字元線）。又，如上所述，2048對之互補位元線分割呈8個副陣列加以配置之故，於1個副陣列中，設有256對之互補位元線。

於上述2個陣列中央部設置主行解碼器。即，同圖所示陣列之左側中，對應設於該右側之陣列和共通設置之前述主行解碼器，設置陣列控制器電路及副字元驅動器。於上述陣列控制電路中，配置貫穿上述8分割之副陣列地延長之主字元線。上述副字元驅動器係驅動上述主字元線。與上述主字元線同樣地，第1之副字元選擇線亦貫穿上述8分割之副陣列地加以延長。於上述陣列之上部中，設置Y解碼器及Y選擇線驅動器。

圖3中，則顯示有關此發明之動態型RAM之副陣列和該周邊電路之一實施例之概略佈局圖。同圖中，代表顯示例示於附上圖2所示記憶陣列中之斜線位置所配置之4個副陣列SBARY。於同圖中，形成副陣列SBARY之範圍中，經由附上斜線，區別設於該周邊之副字元驅動器範圍、感應放大器範圍及交錯區域者。

副陣列SBARY係分為如下之4類。即，將字元線之延長方向呈水平方向時，配置於右下之第1副陣列

SBARY係配置256條之副字元線SWL，互補位元線係由256對所構成。而且，對應於上述256條之副字元線SWL的256個副字元驅動器SWD係，於有關

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(9)

副陣列之左右，分割呈 1 2 8 個加以配置。對應上述 2 5 6 對之互補位元線 B L 所設之 2 5 6 個感應放大器 S A 係呈前述之共用感應方式，於有關副陣列之上下以 1 2 8 個為單位加以分割配置。

如上所述，右上配置之第 2 副陣列 S B A R Y 係正規之副字元線 S W L 加上 2 5 6 條，設置 8 條之預備字元線。因此，對應上述 2 5 6 + 8 條之副字元線 S W L 的 2 6 4 個之副字元驅動器 S W D 係於有關副陣列之左右，以 1 3 2 個為單位加以分割配置。如上所述，右下之副陣列則由 2 5 6 對之互補位元線 B L 所成，與上述同樣地，配置於 1 2 8 個感應放大器。形成於配置於上述右側之上下的副陣列 S B R A Y 的 1 2 8 對互補位元線，係對挾於此之感應放大器 S A，介由共用關關 M O S F E T，共通地加以連接。

如上所述，配置於左下之第 3 副陣列 S B R A Y 係與右鄰接之副陣列 S B R A Y 同樣地，副字元線 S W L 則由 2 5 6 條所構成。與上述同樣地，1 2 8 個副字元驅動器則加以分割配置。上述配置於下側左右之副陣列

S B R A Y 之 1 2 8 條之副字元線 S W L 係，對形成於挾於此範圍之 1 2 8 個副字元驅動器 S W D 而言，共通地加以連接。如上所述，左下配置之副陣列 S B R A Y 係加上 2 5 6 對所成之正規互補位元線 B L，另設有 4 對之預備位元線 4 R E D。因此，對應上述 2 6 0 對所成互補位元線 B L 的 2 6 0 個感應放大器 S A 係於有關副陣列之上下

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明⁽¹⁰⁾

，呈 1 3 0 個單位地分割配置。

如上所述，左上配置之第 4 副陣列 S B A R Y 係與右鄰副陣列 S B R A Y 同樣地，將正規之副字元線 S W L 於 2 5 6 條中設置預備副字元線 R 8 條。與下鄰接之副陣列同樣地，加上正規之互補位元線對之 2 5 6 對，預備位元線設置 4 對之故，副字元驅動器係於左右各分割 1 3 2 個加以配置。感應放大器 S A 係 1 3 0 為單位分割為上下加以配置。

主字元線 M W L 係以其中一個為代表，加以例示顯示延伸。又，行選擇線 Y S 係如其中一個所代表例示所示，向同圖之縱方向延伸。與上述主字元線 M W L 平行地，配置副字元線 S W L，與上述行選擇線 Y S 平行地配置互補位元線 B L（未圖示）。在此實施例中，令上述 4 個之副陣列做為基本單位，如圖 2 所示，於 8 M 位元分之記憶陣列中，於位元線方向形成 8 組之副陣列，於字元線方向構成 4 組之副陣列。1 組之副陣列以 4 個構成之故，於上述 8 M 位元之記憶陣列中，設置 $8 \times 8 \times 4 = 128$ 個之副陣列。上述 8 M 位元之記憶陣列於晶片整體設置 8 個之故，於記憶晶片整體中，形成 $128 \times 8 = 1024$ 個之副陣列。

對上述 4 個所成副陣列而言，8 條之副字元選擇線 F X 0 B ~ F X 7 B 則與主字元線 M W L 同樣地，貫穿 4 組（8 個）之副陣列地加以延伸。然後，副字元選擇線 F X 0 B ~ F X 3 B 所成 4 條，和 F X 4 B ~ F X 7 B 所

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (11)

成 4 條則分爲上下之副陣列加以延伸。如此地對於 2 個副陣列而言，分配 1 組之副字元選擇線 $F X 0 B \sim F X 7 B$ ，且將此等延長於副陣列上之理由係爲達成記憶晶片尺寸之小型化者。

即，對各副陣列而言，分配至上述 8 條之副字元選擇線 $F X 0 B \sim F X 7 B$ ，而且將此於感應放大器範圍上，形成配線通道之時，如圖 2 之記憶陣列，16 個副陣列則於上下之記憶陣列中，合計配置 32 個之故，需要 $8 \times 32 = 256$ 條份之配線通道。對此，上述實施例中，配線本身對 2 個副陣列而言，分配上述 8 條之副字元選擇線 $F X 0 B \sim F X 7 B$ ，而且，經由將此通過副陣列地加以配置，可不需設置特別之配線通道便可形成。

更且，於副陣列上，對 8 條之副字元線而言，設置 1 條之主字元線，爲選擇該 8 條中之 1 條副字元線，需要副字元選擇線。以於配合記憶格之間隔形成之副字元線之 8 條份中 1 條之比例，形成主字元線之故，主字元線之配線間隔會變得緩和。因此，可較容易利用與主字元線同樣之配線層，將上述副字元選擇線形成於主字元線間。

此實施例之副字元驅動器係如後述，採取使用透過後述之上述副字元選擇線 $F X 0 B$ 等供給之選擇信號，和反轉此之選擇信號，選擇 1 個之副字元線 $S W L$ 的構成。然後，副字元驅動器係採用以此爲中心，同時選擇配置於左右之副陣列之副字元線 $S W L$ 的構成。爲此，如上述，對 2 個副陣列而言，對 $128 \times 2 = 256$ 個之副字元驅動

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(12)

器而言，分割4條之副字元選擇線加以供給。即，著眼於副字元選擇線F X 0 B時，需供給 $256 \div 4 = 64$ 個之副字元線驅動器。

將與上述主字元線M W L平行延長者呈第1之副字元選擇線F X 0 B時，設於左上部之交錯區域，經由接受上述第1之副字元選擇線F X 0 B之選擇信號的副字元選擇線驅動電路F X D，於上述上下排列之64個副字元驅動器，設置供給選擇信號之第2副字元線F X 0。上述第1之副字元選擇線F X 0 B係對於與上述主字元線M W L及副字元選擇線S W L平行延長者，上述第2之副字元選擇線係與和此正交之列選擇線Y S及互補位元線B L平行延長。上述第2之副字元選擇線F X 0 ~ F X 7係分割呈偶數F X 0, 2, 4, 6和奇數F X 1, 3, 5, 7，分配至設於副陣列S B A R Y之左右的副字元驅動器S W D加以配置。

上述副字元選擇線驅動電路F X D係如於同圖所示，於1個交錯區域上下，以2個為單位分配配置。即，如上所述，左上部之交錯區域中，配置於下側之副字元選擇線驅動電路則對應於上述第1之副字元選擇線F X 0 B，設於左中間部之交錯區域的2個副字元選擇線F X D則對應於第1之副字元選擇線F X 2 B和F X 4 B，於設於左下部交錯區域之上側的副字元選擇線驅動電路則對應於上述第1之副字元選擇線F X 6 B。

中央上部之交錯區域中，配置於下側之副字元選擇線

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (13)

驅動電路則對應於上述第 1 之副字元選擇線 F X 1 B，設於中央中間部之交錯區域的 2 個副字元選擇線 F X D 則對應於第 1 之副字元選擇線 F X 3 B 和 F X 5 B，於設於中央下部交錯區域之上側的副字元選擇線驅動電路則對應於上述第 1 之副字元選擇線 F X 7 B。然後，右上部之交錯區域中，配置於下側之副字元選擇線驅動電路則對應於上述第 1 之副字元選擇線 F X 0 B，設於右中間部之交錯區域的 2 個副字元選擇線 F X D 則對應於第 1 之副字元選擇線 F X 2 B 和 F X 4 B，於設於右下部交錯區域之上側的副字元選擇線驅動電路則對應於上述第 1 之副字元選擇線 F X 6 B。如此地，設於記憶陣列之端部的副字元驅動器係於該右側不存在副陣列之故，只驅動左側之副字元線 S W L。

如此實施例，於副陣列上之主字元線之間隔間，配置副字元選擇線之構成中，無需特別之配線通道之故，於 1 個副陣列配置 8 條之副字元選擇線時，晶片亦不會變大。但是，為形成上述副字元選擇線驅動電路 F X D 會增大範圍，而妨礙高積體化。即，上述交錯區域中，於同圖中，形成對應虛線顯示之主輸出入線 M I O 或副輸出入線 L I O 所設之開關電路 I O S W，或驅動感應放大器之功率 M O S F E T、驅動共用開關 M O S F E T 之驅動電路，驅動前置充電 M O S F E T 之驅動電路等之周邊電路之故，並無多餘的面積。

如後所述，於副字元驅動器中，於上述第 2 之副字元

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (14)

選擇線 F X 0 ~ 6 等中，設置與此平行對應第 1 副字元選擇線通過選擇信號之配線，該負荷如後述為小之故，如上述第 2 之副字元選擇線 F X 0 ~ 6 無需設置特別之驅動器 F X D，經由直接與上述第 1 副字元選擇線 F X 0 B ~ 6 B 的配線加以構成。惟，該配線層係使用與上述第 2 之副字元選擇線 F X 0 ~ 6 相同者。

上述交錯區域中，配置於對應偶數之第 2 副字元選擇線 F X 0 ~ F X 6 之延長方向 A 者中，設置如於○中以 P 顯示者，對應感應放大器，供予定電壓化之內部電壓 V D L 的 N 通道型功率 M O S F E T，和如於○中以 O 顯示者，對應感應放大器，供予如後述之過載驅動用之箝位電壓 V D D C L P 的 P 通道型功率 M O S F E T，和如於○中以 N 顯示者，對應感應放大器，供予電路之接地電位 V S S L P 的 N 通道型功率 M O S F E T。

上述交錯區域中，配置於對應奇數之第 2 副字元選擇線 F X 0 ~ F X 6 之延長方向 B 者中，設置如於○中以 B 顯示者，令位元線之前置充電及等化用 M O S F E T 呈關閉狀態的 N 通道型功率 M O S F E T，和如於○中以 N 顯示者，對應感應放大器，供予電路之接地電位 V S S 的 N 通道型功率 M O S F E T。此 N 通道型功率 M O S F E T 係於自感應放大器列之兩側構成感應放大器之 N 通道型 M O S F E T 之增幅 M O S F E T 之源極，供給接地電壓。即，對應設於感應放大器之 1 2 8 個或 1 3 0 個之感應放大器，經由設於上述 A 側之交錯區域之 N 通道型功率

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(15)

M O S F E T，和經由設於上述 B 側之交錯區域之 N 通道型功率 M O S F E T 之兩者，供予接地電位。

如上述之副字元選擇線驅動電路 S W D，係以此為中心，選擇兩側之副陣列之副字元線。對此對應上述選擇之 2 個副字元選擇線，2 個感應放大器則被活化。即，令副字元線呈選擇狀態時，位址選擇 M O S F E T 呈開啓狀態，記憶電容器之電荷則與位元線電荷合成之故，需活化感應放大器，進行回到電荷狀態之再寫入動作。為此，除去對應上述端部之副陣列者，上述 P、O 及 N 所示功率 M O S F E T 係挾於此為活化兩側感應放大器加以使用。

對此，設置設於陣列端之副陣列之右側的副字元線驅動電路 S W D 中，僅選擇上述副陣列之副字元線之故，上述 P、O 及 N 所示功率 M O S F E T 係僅活化對應上述副陣列之感應放大器。

上述感應放大器係呈共用感應方式，配置於挾此之兩側的副陣列中，上述副字元線對應非選擇側之互補位元線的共用開關 M O S F E T 呈關閉狀態，經由切離，增幅對應上述選擇之副字元線的互補位元線之讀取信號，進行將記憶格之記憶電容固復至元本之電荷狀態之再寫入動作。

圖 4 中，顯示形成有關此發明之動態型 R A M 的副陣列和周邊電路的井區範圍之一實施例之概略佈局圖。同圖中，如圖 2 所示以記憶陣列中之虛線所包圍，包含於附上上述斜線之位置所配置之 4 個副陣列 S B R A Y 的 8 個為代表加以例示者。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明⁽¹⁶⁾

於同圖中，空白部分係表示 P 型基板 (P S U B) 。此 P 型基板 P U B 中，供予電路之接地電位 V S S 。於上述 P 型基板 P U B 中，如斜線所示形成 2 類之 N 型井區範圍 N W E L L (V D L) 和 N W E L L (V D D C L P) 。即，形成構成感應放大器 S A 之 P 通道型之增幅 M O S F E T 的 N 型通道範圍，和形成配置於前述 A 列之交錯區域的前述功率開關 M O S F E T 之 N 型井區範圍係供予利用昇壓電壓 V P P 所形成之箝位電壓 V D D C L P 。

前述 B 列之交錯區域中，形成構成對應副輸出入線 L I O 所設之開關電路 I S O W 之 P 通道型 M O S F E T ，或形成設於主輸出入線之前置預充電用和等化用之 P 通道型 M O S F E T 的 N 型井區範圍，供予降壓形成之內部電壓 V D L 。

形成副陣列，和副字元線驅動電路 S W D 的整體中，形成於深度之 N 型井區範圍 D W E L L 。於此深度之 N 型井區範圍中，供予對應字元線之選擇準位之昇壓電壓 V P P 。於此深深度之 N 型井區範圍 D W E L L 中，形成構成上述副字元線驅動電路 S W D 之 P 通道型 M O S F E T 的 N 型井區範圍 N W W L L 。與上述深深度之 N 型井區範圍 D W E L L 同樣地，施加昇壓電壓 V P P 。

於上述深深度之 N 型井區範圍 D W E L L 中，形成有構成記憶格之 N 通道型之位址選擇 M O S F E T 及副字元

(請先閱讀背面之注意事項再填寫本頁)

訂

像

經濟部中央標準局員工消費合作社印製

五、發明說明(17)

線驅動電路 SWD 之 N 通道型 MOSFET 之 P 型井區 PWELL。此等之 P 型井區範圍 PWELL 中，供予呈負電壓化基板逆偏壓電壓 VBB。

如圖 2 所示 8 分割來分析 1 個之陣列時，上述深深度之 N 型井區範圍 DWELL 係將對應字元線方向排列之 8 個副陣列呈 1 個單元，就整體而言，16 個排列於位元線方向地加以形成。然後，對應於配置於延長陣列上之主字元線之兩端之副字元驅動器之交錯區域呈前述 A 列，與前述同樣地如 B 列交互地配置。因此，除了端部，形成配置於上述 A 列與該兩側之 2 個感應放大器之 P 型通道 MOSFET 的 N 型井區範圍 NWELL (VDDCLP) 則共通化地加以設置。

於圖 5 中，顯示有關此發明之動態型 RAM 之感應放大器部，和該周邊電路之一實施例之主要電路圖。同圖中，例示有挾於 2 個副陣列配置之感應放大器和關連於此之電路。又，形成各元件之井區範圍則以虛線顯示，供予此之偏壓電壓亦一併顯示。

動態型記憶格係以上述設於一個之副陣列之副字元線 SWL，和設於互補位元線 BL，/BL 中之一方的 BL 間之 1 個為代表加以例示者。動態型記憶格係由位址選擇 MOSFET Qm 和記憶電容器 Cs 所構成。此 MOSFET Qm 之閘極係連接於副字元線 SWL，此 MOSFET Qm 之汲極則連接於位元線 BL，於源極連接記憶電容器 Cs。記憶電容器 Cs 之另一方電極係被共

(請先閱讀背面之注意事項再填寫本頁)

訂

像

訂

像

訂

像

五、發明說明⁽¹⁸⁾

通化，供予板電極。上述副字元線 S W L 之選擇準位係對上述位元枝之高準位，呈僅提高上述位址選擇 M O S F E T Q_m 之臨限值電壓份的高電壓 V P P。

將後述之感應放大器以內部降壓電壓 V D L 動作地，經由感應放大器增幅，供予位元線之高準位係呈對應上述內部電壓 V D L 之準位。因此，對應上述字元線之選擇準位之高電壓 V P P 係呈 V D L + V_{t h}。設於感應放大器之右側之副陣列之一對互補位元線 B L 和 / B L，係如同圖所示配置於平行，為取得位元線之容量平衡等，依需要適切地加以交錯。有關之互補位元線 B L 和 / B L 係經由共用開關 M O S F E T Q₁ 和 Q₂，與感應放大器之單位電路之輸出入節點連接。

感應放大器之單位電路係開極和汲極被交錯連接，由呈門鎖形態之 N 通道型之增幅 M O S F E T Q₅，Q₆ 及 P 通道型之增幅 M O S F E T Q₇、Q₈ 所構成。N 通道型 M O S F E T Q₅ 和 Q₆ 之源極，係連接於共通源極線 C S N。P 通道型 M O S F E T Q₇ 和 Q₈ 之源極，係連接於共通源極線 C S P。於上述共通源極線 C S N 和 C S P 中，各設置功率開關 M O S F E T。雖未特別加以限制，連接 N 通道型之增幅 M O S F E T Q₅ 和 Q₆ 之源極的共通源極線 C S N 中，經由設於上述 A 和 B 側之交錯區域的 N 通道型之功率開關 M O S F E T Q₁₂ 和 Q₁₃，供予對應接地電位之動作電壓。

連接上述 P 通道型之增幅 M O S F E T Q₇ 和 Q₈ 之

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (19)

源極之共通源極線 C S P 中，設有設於上述 A 側之交錯區域之過載驅動用之 P 通道型之功率 MOSFET Q15，和供給上述內部電壓 V D L 之 N 通道型之功率 MOSFET Q16。上述過載驅動用之電壓係使用經由昇壓電壓 V P P 供予閘極之 N 通道型 MOSFET Q14 所形成之箝位電壓 V D D C L P。於此 MOSFET Q14 之汲極中，供給自外端端子供給之電源電壓 V D D，令上述 MOSFET Q14 做為源極跟隨輸出電路加以動作，以上述昇壓電壓 V P P 為基準，形成僅下降 MOSFET Q14 之臨限值電壓份的箝位電壓 V D D C L P。

雖未特別加以限制，上述昇壓電壓 V P P，係將充電泵電路之動作使用基準電壓加以控制，呈 3.8 V 之安定高電壓。然後，MOSFET Q14 之臨限值電壓係形成呈較記憶格之位址選擇 MOSFET Q_m 為低之低臨限值電壓，令上述箝位電壓 V D D C L P 呈約 2.9 V 之安定化之定電壓。MOSFET Q26 係形成泄放電流路徑之 MOSFET，不流入約 1 M a 程度之微小電流。由此，呈經過長期間之等待狀態（非動作狀態）之時，經由電源電壓 V D D 之泵，可防止上述 v d d c l p 之過上昇，並防止供予有關過上昇時之電壓 V D D C L P 的增幅 MOSFET Q7、Q8 之逆偏壓效果之動作延遲。

此實施例中，著眼於經由上述之箝位電壓 V D D C L P，形成感應放大器之過載驅動電壓者，令供

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明(20)

給該電壓之 P 通道型之功率 MOSFET Q15，和感應放大器之 P 通道型之增幅 MOSFET Q7、Q8 於同圖以虛線顯示地，形成同樣之 N 型井區範圍 N W E L L 的同時，做為該偏壓電壓，供給上述箝位電壓 V D D C L P 者。然後，於感應放大器之 P 通道型之增幅 MOSFET Q7 和 Q8 之共通源極線 C S P，供予元本之動作電壓 V D L 的功率 MOSFET Q16 係倏為 N 通道型，與上述過載驅動用之 MOSFET Q14 電氣性分離地加以形成。

供予上述 N 通道型之功率 MOSFET Q15 之閘極的感應放大器活化信號 S A P 2，與上述 P 通道型之功率 MOSFET Q15 之過載驅動用活化信號 / S A P 1 呈逆相信號，雖未特別加以限制，該高準位呈對應於電源電壓 V D D 之信號。即，如前述 V D D C L P 係約 + 2.9 V 程度，電源電壓 V D D 之容許最小電壓 V D D m i n 係約 3.0 v 之故，令上述 P 通道型之功率 MOSFET Q15 呈關閉狀態的同時，令上述 N 通道型之功率 MOSFET Q16 經由使用低臨限值，輸出自源極側對應內部電壓 V D L 之電壓。

上述感應放大器之單位電路之輸出入節點中，設有令互補位元線短路之等化 MOSFET Q11，和於互補位元線供給半前置充電電壓之開關 MOSFET Q9 和 Q10 所成前置充電電路。此等之 MOSFET Q9 ~ Q11 之閘極係共通供給前置充電信號 B L E Q。形成此

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (21)

前置充電信號 BLEQ 的驅動電路，於上述 B 側交錯區域設置 N 通道型 MOSFET Q18，可使切斷高速化。即，經由記憶體存取之開始，為令字元線加快選擇時間，令設於各交錯區域之 N 通道型 MOSFET Q18 呈開啓狀態，將構成上述前置充電電路之 MOSFET Q9 ~ Q11 呈高速切換為關閉者。

對此，形成開始前置充電動作之信號的 P 通道型 MOSFET Q17，如上述非設於交錯區域，設置於 Y 解碼器 & YS 驅動部。即，經由記憶存取之終了，開始前置充電動作，於該動作中，有多餘時間之故，信號 BLEQ 之啓動不需高速化。結果，設於 A 側交錯區域之 P 通道型 MOSFET 係僅呈上述過載驅動用之功率 MOSFET Q15，設於 B 側交錯區域之 P 通道型 MOSFET 係構成以下說明之輸出入線之開關電路 IOSW 的 MOSFET Q24、Q25 及將共通輸入線 MIO 前置充電於內部電壓 VDL 的前置充電電路所構成之 MOSFET。然後，於此等之 N 型井區範圍中，供予上述 VDDCLP 或如 VDL 之偏壓電壓而呈 1 種類之 N 型井區範圍，不形成寄生可控矽整流元件。

感應放大器之單位電路係介由共通開關 MOSFET Q3 和 Q4，連接於右側之副陣列之同樣互補位元線 BL、/BL。開關 MOSFET Q12 和 Q13 係構成列開關電路，接受選擇信號 YS，將上述感應放大器之單位電路之輸出節點連接於副共通輸出入

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (22)

L I O。例如選擇左側之副陣列之副字元線 S W L 之時，感應放大器右側共通開關 M O S F E T Q 3 和 Q 4 呈關閉狀態。由此，感應放大器之輸入節點係連接於上述左側之互補位元線 B L、 $\overline{B L}$ ，增幅連接於選擇之副字元線 S W L 的記憶格之微小信號，通過上述列開關電路，傳至副共通輸出入線 L I O。上述副共通輸出入線係介由設於 B 側之交錯區域的 N 通道型 M O S F E T Q 19 和 Q 20 及上述 P 通道型 M O S F E T Q 24 和 Q 25 所成開關電路 I S O W，連接於接於主放大器之輸入端子的輸出入線 M I O。

副字元線驅動電路 S W D 係如以其中一個為代表例示，使用形成於上述深深度之 N 型井區範圍 D W E L L (V P P) 之 P 通道型 M O S F E T Q 21，和形成在形成於有關 D W E L L 內之 P 型井區範圍 P W E L L (V B B) 的 N 通道型 M O S F E T Q 22 及 Q 23 加以構成。反相電路 N 1 係雖未特別加以限制，構成如前述圖 3 之副字元選擇線驅動電路 F X D 者，如前所述，設於交錯區域者。副陣列之位址選擇 M O S F E T Q m 亦形成於上述 D W E L L 內之 P 型井區範圍 P W E L L (V B B)。圖 16 中，圖 5 所示 M S F E T s Q m、Q 15 及 Q 7 之源極及汲極則形成於 P 型半導體基板 P S U B 內之狀態，經由截面圖加以顯示。

圖 6 中，顯示為說明上述副陣列之主字元線和副字元線之關係的主要部分方塊圖。同圖係主要說明電路動作者

(請先閱讀背面之注意事項再填寫本頁)

訂

像

五、發明說明²³)

，無視如前述之副字元選擇線之幾何學配置，纏繞副字元選擇線 F X 0 B ~ 7 B 加以表示。於同圖中，為說明副字元線之選擇動作，將 2 條之主字元線 M W L 0 和 M W L 1 做為代表加以顯示。此等之主字元線 M W L 0 係經由主字元驅動器 M W D 0 加以選擇。其他之主字元線 M W L 1 係經由上述同樣主字元驅動器同樣地加以選擇。

上述 1 個之主字元線 M W L 0 中，對該延長方向，設置 8 組之副字元線。同圖中，其中 2 組之副字元線做為代表加以例示。副字元線係偶數 0 ~ 6 和奇數 1 ~ 7 之合計 8 條的副字元線則交互配置 1 個之副陣列。除去鄰接於主字元驅動器的偶數 0 ~ 6，和配置於主字元線之遠端側（字元驅動器之反對側）的奇數 1 ~ 7，配置於副陣列間之副字元驅動器係驅動該中心之左右之副陣列的副字元線。

由此，做為如前述之副陣列，雖加以 8 分割，如上所述經由實質上之副字元線驅動電路 S W D，對應 2 個副陣列之副字元線則同時選擇之故，實質上上述副陣列則分為 4 組。如上所述令副字元線 S W L 分為偶數 0 ~ 6 和奇數 1 ~ 7，於各記憶體區塊之兩側，配置副字元線驅動電路 S W D 之構成中，配合記憶格之配置，配置於高密度之副字元線 S W L 的實質間隔於副字元線驅動電路 S W D 中，可緩和至 2 倍，將副字元線驅動電路 S W D 和副字元線 S W L 有效率地佈局於半導體晶片上。

於此實施例中，上述副字元線驅動電路 S W D 係對 4 條之副字元線 0 ~ 6（1 ~ 7）而言，共通地自主字元線

（請先閱讀背面之注意事項再填寫本頁）

表

訂

原

五、發明說明²⁴)

M W L 供給選擇信號。設置選擇自上述 4 個之副字元線中 1 個副字元線之副字元選擇線 F X B。副字元選擇線係由 F X B 0 ~ F X B 7 之 8 條所構成，其中之偶數 F X B 0 ~ F X B 6 則供予上述偶數列之副字元驅動器 0 ~ 6，其中奇數 F X B 1 ~ F X B 7 則供予上述奇數列之副字元驅動裝置 1 ~ 7。

副字元選擇線 F X B 0 ~ F X B 7 係副陣列上中經由第 2 層之金屬配線層 M 2 加以形成。與同樣經由第 2 層之金屬配線層 M 2 所構成之主字元線 M W L 0 ~ M W L n 平行延長之第 1 副字元選擇線，和延長於由此正交之方向之第 2 副字元選擇線所成。雖未特別加以限制，上述第 2 之副字元選擇線係為與主字元線 M W L 交錯，經由第 3 層之金屬配線層 M 3 所構成。

副字元線驅動電路 S W D 係如其中 1 個所例示，於主字元線 M W L 連接輸入端子，於輸出端子連接副字元線 S W L 之 P 通道型 M O S F E T Q 2 1 和 N 通道型 M O S F E T Q 2 2 所成第 1 之 C M O S 反相電路，和設於上述副字元線 S W L 和電路之接地電位間，接受上述副字元選擇信號 F X B 的開關 M O S F E T Q 2 3 所構成。為連接此開關 M O S F E T Q 2 3 之閘極，實際上沿 0、2、4、6 所成副字元驅動裝置列，雖配置 F X 和 F X B 之合計 8 條之副字元選擇線，同圖中以 1 條線加以表示。

形成上述副字元選擇信號 F X B 之反轉信號 F X 的第 2 C M O S 反相電路 N 1 則做為副字元選擇線驅動裝置

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明⁽²⁵⁾

F X D 加以設置，令該輸出信號供予上述第 1 之 C M O S 反相電路之動作電壓端子的 P 通道型 M O S F E T Q 2 1 之源極端子。此第 2 之 C M O S 反相電路 N 1 係雖未特別加以限制，如前述圖 3 形成於交錯區域，對應複數（前述實施例為 6 4 個）所成副字元線驅動電路 S W D 共通地加以使用。

於如上述之副字元線驅動電路 S W D 之構成中，呈主字元線 M W L 對應於字元線之選擇準位的昇壓電壓 V P P 的高準位時，上述第 1 之 C M O S 反相電路之 N 通道型 M O S F E T Q 2 2 呈開啓狀態，令副字元線 S W L 呈電路之接地電位之行準位。此時，副字元選擇信號 F X B 呈如電路之接地電位的低準位的選擇準位，做為副字元選擇線驅動電路 F X D 之第 2 C M O S 反相電路 N 1 之輸出信號呈對應上述昇壓電壓 V P P 之選擇準位時，經由上述主字元線 M W L 之非選擇準位，P 通道型 M O S F E T Q 2 1 為開啓狀態之故，上述副字元線 S W L 係呈上述 N 通道型 M O S F E T Q 2 2 1 之開啓狀態的非選擇狀態。

上述主字元線 M W L 對應於選擇準位之電路接地電位的準位時，上述第 1 之 C M O S 反相電路之 N 通道型 M O S F E T Q 2 2 則呈關閉狀態，P 通道型 M O S F E T Q 2 1 呈開啓狀態。此時，副字元選擇信號 F X B 為如上述電路之接地電位之低準位時，做為副字元選擇線驅動電路 F X D 之第 2 C M O S 反相電路 N 1 之輸

(請先閱讀請背面之注意事項再填寫本頁)

訂

五、發明說明²⁶)

出信號呈對應上述昇壓電壓 V P P 之選擇準位，令副字元線 S W L 呈如 V P P 之選擇準位。如果，副字元選擇信號 F X B 為如昇壓電壓 V P P 之非選擇準位時，上述第 2 之 C M O S 反相電路 N 2 之輸出信號呈低準位，與此同時上述 N 通道型 M O S F E T Q 2 3 則呈開啓狀態，令副字元線 S W L 呈低準位之非選擇狀態。

上述主字元線 M W L 及配置於與此平行之第 1 副字元選擇線 F X B 係如上述，非選擇準位共同呈 V P P 之高準位。因此，R A M 於非選擇狀態（等待）之狀態時，於上述平行配置之主字元線 M W L 和第 1 之副字元選擇線 F X B 間，產生絕緣不良之時，亦不會有泄放電流流入。此結果，於主字元線 M W L 間，形成第 1 之副字元選擇線 F X B，可配置於副陣列上，做為佈局之高密度化，可避免上述泄放電流之直流不良，而呈高可靠性。

於圖 7 中，顯示為說明上述記憶陣列之主字元線和感應放大器的關係之主要部分方塊圖。於同圖中，做為代表顯示 1 條之主字元線。此主字元線 M W L 係經由主字元驅動器 M W D 加以選擇。鄰接於上述主字元驅動器，設置對應於上述偶數副字元線之副字元線驅動器 S W D。

同圖中，雖加以省略，使上述主字元線 M W L 和平行配置之副字元線呈正交地，設置互補位元線（Pair Bit Line）。於此實施例中，雖未特別加以限制，互補位元線亦分為偶數列和奇數列，對應各各，以副陣列（記憶格陣列）為中心，於左右分為感應放大器 S A。如前所述呈共

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(27)

通感應方式，於端部之感應放大器 S A 中，雖未設置實質上單側之互補位元線，介由共通開關 M O S F E T，與互補位元線加以連接。

如上所述於記憶方塊之兩側分散感應放大器 S A 加以配置的構成中，於奇數列和偶數列分配互補位元線之故，可緩和感應放大器列之間隔。相反地，呈高密度配置互補位元線，可確保形成感應放大器 S A 之元件區域。沿上述感應放大器 S A 之排列，配置上述副輸出入線。此副輸出入線係介由行開關，連接於上述互補位元線。行開關係自開關 M O S F E T 所構成。此開關 M O S F E T 之閘極係連接於傳達列解碼器之選擇信號的列選擇線 Y S。

於圖 8 中，顯示有關此發明之動態型 R A M 之周邊電路部分之一實施例的概略方塊圖。時間控制電路 T G 係接受自外部端子供給之行位址選通脈衝信號 / R A S、列位址選通脈衝信號 / C A S、寫入允許信號 / W E 及輸出允許信號 / O E，判定動作模式，形成對應此之內部電路之動作的必要各種時間信號。此說明書及圖面中，/ 係做為低準位為動作準位加以使用。

信號 R 1 和 R 3 係列系之內部時間信號，為使用行系之選擇動作。時間信號 ϕ X L 係處理列系位址加以保持之信號，供予行位址緩衝器 R A B。行位址緩衝器 R A B 係經由上述時間信號 ϕ X L，處理自位址端子 A 0 ~ A i 輸入的位址，保持於門鎖電路。時間信號 ϕ Y L 係處理列系位址加以保持之信號，供予列位址緩衝器 C A B。即，列

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (28)

位址緩衝器 R A B 係經由上述時間信號 $\phi Y L$ ，處理自位址端子 A 0 ~ A i 輸入的位址，保持於閃鎖電路。

信號 $\phi R E F$ 係於更新模式時之產生信號，供予設於行位址緩衝器之輸入部的多工器 A M X，於更新模式時，切換呈經由更新位址計數器電路 R F C 形成之更新用位址信號地加以控制。更新位址計數器電路 R F C 係計數經由時間控制電路 T G 所形成之更新用之步進脈衝 $\phi R C$ ，生成更新位址信號。於此實施例中，具有後述之自動更新和自我更新。時間信號 ϕX 係字元線選擇時間信號，供予解碼器 X I B，根據下位 2 位元之位址信號之解讀信號，形成 4 個之字元線選擇時間信號 X i B。時間信號 ϕY 係列選擇時間信號，供予列系前置解碼器 Y P D，輸出列選擇信號 A Y i x、A Y j x、A Y k x。

時間信號 ϕW 係指示寫入動作之控制信號，時間信號 ϕR 係指示讀取動作的控制信號。此等之時間信號 ϕW 和 ϕR 係供給於輸出入電路 I / O，於寫入動作時，活化含於輸出入電路 I / O 的輸入緩衝器，令輸入緩衝器呈高阻抗狀態。對此，於讀取動作時，活化上述輸出緩衝器，令輸入緩衝器呈輸出高阻抗狀態。時間信號 $\phi M S$ 係雖未特別加以限制，指示記憶陣列選擇動作的信號，供予列位址緩衝器 R A B，同步於此時間，輸出選擇信號 M s i。時間信號 $\phi S A$ 係指示感應放大器之動作信號。根據此時間信號 $\phi S A$ ，形成感應放大器之活化脈衝。

此實施例中，列系之冗長電路 X - R E D 做為代表加

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明⁽²⁹⁾

以例示。即，上述電路 X - R E D 係包含記憶不良位址之記憶電路，和位址比較電路。比較自記憶之不良位址和行位址緩衝器 R A B 輸出的內部位址信號 B x i，於不一致時，令信號 X E 呈高準位，令信號 X E B 呈低準位，令正規電路之動作呈有效者。使上述輸入之內部位址信號 B x i 和記憶之不良位址一致時，令信號 X E 呈低準位，禁止正規電路之不良主字元線之選擇動作的同時，令信號 X E B 呈低準位，輸出選擇 1 個之預備主字元線的選擇信號 X R i B。

內部電壓發生電路 V G 係接受自外部端予供給之 3 . 3 V 的電源電壓 V D D 和 0 V 之接地電位 V S S，形成上述昇壓電壓 V P P (+ 3 . 8 V)、內部電壓 V D L (+ 2 . 2 V)、板電壓 (前置充電電壓) V P L (1 . 1 V) 及基板電壓 V B B (- 1 . 0 V)。雖未特別加以限制，上述昇壓電壓 V P P 和基板電壓 V B B 係使用充電泵電路，和該控制電路，將上述電壓 V P P 及 V B B 安定地加以形成。上述內部電壓 V D L 係使用基準電壓，將上述電源電壓 V D D 內部降壓，加以安定化形成。上述板電壓 V P L 或半前置充電電壓係將內部降壓電壓 V D L 呈液晶顯示面板 1 2 加以分壓形成。

於圖 9 中，顯示為說明有關此發明之動態型 R A M 之元件構造截面圖。於此實施例中，做為上述之記憶格部次元件構造為代表例示。記憶格之記憶電容器係令第 2 層之多矽層做為儲存節 S N 使用，與位址選擇用 M O S F E T

(請先閱讀背面之注意事項再填寫本頁)

訂

東

五、發明說明⁸⁰)

之一方源極、汲極 S D 連接。上述第 2 層多矽層所成儲存節 S N 係呈冠冕構造，介由薄閘極絕緣膜，形成第 3 層多矽層之板電極 P L 加以構成。位址選擇用 M O S F E T 之閘極係與副字元線 S W L 一體構成，經由第 1 層多矽層和形成於該上部之鎢矽化物 (W S i) 加以形成。位址選擇用 M O S F E T 之另一方之源極、汲極係連接於由多矽層和設於該上部之與上述同樣之鎢矽化物所構成之位元線 B L。於上述記憶格之上部，形成第 2 層之金屬層 M 2 所成主字元線 M W B、副字元選擇線 F X B，於該上部形成第 3 層所成金屬層 M 3 所成 Y 選擇線 Y S 或副字元線 F X。

同圖中雖然省略，於記憶格部之周邊部，形成構成副字元線驅動器 S W D 等之 N 通道型 M O S F E T 或 P 通道型 M O S F E T。為構成此等之周邊電路，雖未圖示形成第 1 層之金屬層。例如為構成上述 C M O S 反相電路，連接 N 通道型 M O S F E T 和 P 通道型 M O S F E T 的閘極之配線係使用上述第 1 層之金屬層 M 1。於上述 C M O S 反相電路之輸入端子和第 2 金屬層 M 2 所成主字元線 M W B 之連接中，介由穿孔，落下做為虛擬之第 1 層金屬層 M 1，介由此第 1 層之配線層 M 1 和連接器，連接於閘極電極。

將以第 3 層之金屬層 M 3 所形成之 Y 選擇線 Y S，連接於列選擇開關 M O S F E T 之閘極時，或以上述金屬層 M 3 所形成之副字元線選擇線 F X 和副字元驅動器之 P 通

(請先閱讀背面之注意事項再填寫本頁)

訂

經濟部中央標準局員工消費合作社印製

五、發明說明(31)

道型 MOSFET 之源極、汲極之連接中，介由穿孔，落下做為虛擬之第 1 層金屬層 M2，金屬層 M1，與上述列開關 MOSFET 之閘極，或 P 通道型 MOSFET 之源極、汲極加以連接。

採用此實施例之元件構造時，如前述對應構成主字元線之第 2 層之金屬層 M2，於與此平行延長之第 2 層之金屬層 M2 之部分或與上述字元線之金屬層 M2 之交錯的第 3 層之金屬層 M3 的部分所成副字元選擇線間之絕緣膜，經由產生缺陷，會流入不可忽視之泄放電流。如此泄放電流本身係於記憶格之讀取／寫入動作中，沒有影響之時，實際上雖無問題，但會產生非選擇狀態之電流不良之問題。本發明中，如上述，主字元線 MWB 和副字元選擇線 FXB 以同樣電位為非選擇狀態之故，不產生上述泄放電流之產生。

經由上述主字元線 MWB 和副字元選擇線 FXB 間之泄放電流之產生，於記憶格之讀取／寫入動作產生不良時，置換呈預備之主字元線。但是，不良之主字元線 MWB 係直接留下，對上述主字元線 MWB 而言，泄放電流會持續呈流動結果。如上述之泄放電流之產生，係將有關主字元線 MWB 置換呈預備之主字元線的結果，對於記憶體之讀取、寫入動作不會有任影響。但是，不良，會增加直流電流，會導致製品性能之惡化，於最壞之時，呈直流不良之故，上述缺陷電路則不能活動，經由呈上述之構成，可避免此點。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (32)

如上述實施例，做為感應放大器之動作電壓，使用不依存於電源電壓 V_{DD} 之安定化電壓 V_{DDCLP} 和 V_{DL} 時，感應放大器之增幅動作係不依存於電源電壓 V_{DD} ，可進行安定之增幅動作。但是，做為形成上述感應放大器之活化信號或連接於感應放大器之增幅動作所進行之列選擇時間信號的延遲電路，使用電源電壓 V_{DD} 加以構成時，上述感應放大器之增幅動作之安定化反而成為問題。

如圖 15 之波形圖所示，電源電壓 V_{DD} 如容許最大值 $V_{DDmax} = 3.6V$ 變高之時，對應於此，增大流於延遲電路之電流，信號傳播延遲時間則變短。為此，過載驅動時間變短，位元線 B_L 和 $\neg B_L$ 之增幅速度則變慢。加上此點，列選擇信號 Y_S 之提升時間則對應於上述延遲時間之變短而變快。因此，感應放大器之增幅信號在充分變大之前，感應放大器之輸出入節經由與前述副共通輸出線 L_{IO} 連接，增幅振幅則會變小。

具體而言，低準位側之位元線電位係如對應副共通輸出入線 L_{IO} 之前述的內部電壓 V_{DL} ，經由高準位之前置充電而提昇，最壞之時，與上述感應放大器之高準位相等，而呈逆讀取之原因。因此，假定如上述之延遲電路之電源電壓依存性之最劣狀態，需設定各電路動作時間，做為結果會產生動作速度變慢之問題。

圖 10 中，顯示有關此發明使用動態型 RAM 之延遲電路之一實施例電路圖。於此實施例中，以在於內部電壓

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (33)

V C L 動作之 P 通道型 MOS F E T Q 3 0 和 N 通道型 MOS F E T Q 3 1 所成 C M O S 反相電路，將延遲信號之振幅不依賴於電源電壓 V D D 而呈一定，接受由此和阻抗 R 和電容器 C 所成延遲電路之延遲信號的 P 通道型 MOS F E T Q 3 2 和 Q 3 3 及 N 通道型 MOS F E T Q 3 4 和 Q 3 5 所成 N O R 閘極電路亦以上述內部電壓 V D L 加以動作。此構成中，無關於電源電壓 V D D 之變動，可設定一定之延遲時間。

即，輸入信號 I N 為低準位時，P 通道型 MOS F E T Q 3 0 則呈開啓狀態，形成對應於內部電壓 V D L 之高準位。由此，N O R 閘極電路之 N 通道型 MOS F E T Q 3 4 和 Q 3 5 呈開啓狀態，形成低準位之輸出信號。此信號係透過準位變換電路 L V C 和驅動電路 D R 1，自 V D D 準位變換至 V D D 準位信號加以輸出。上述輸入信號 I N 則變化呈高準位時，上述 P 通道型 MOS F E T Q 3 0 則呈關閉狀態，N 通道型 MOS F E T Q 3 1 呈開啓狀態之故，M O S F E T Q 3 4 則呈關閉狀態，P 通道型 MOS F E T Q 3 3 則呈開啓狀態。

但是，經由對應於保持於電容器 C 之 V D L 的高準位阻抗 R 放電，其直至到達上述 N O R 閘極電路之邏輯臨界電壓以下的期間，N O R 閘極電路之輸出信號係保持低準位。然後，上述電容器 C 之電位呈上述邏輯臨界電壓以下時，N O R 閘極電路之輸出信號係自低準位上昇至高準位

(請先閱讀背面之注意事項再填寫本頁)

訂

東

五、發明說明 (34)

。即，對自輸入信號 I N 之低準位上昇至高準位，於輸出信號 O U T 無視上述準位變換電路和驅動電路之延遲時間之時，經由上述阻抗 R 和電容器 C 所設定之延遲時間則於經過後上昇至高準位。

使用如此之延遲電路，例如令字元線之選擇時間信號呈輸入信號，經由上述輸出信號，形成感應放大器之活化信號時，無關於電源電壓 V D D 之變動，以幾近一定之時間間隔，可令字元線和感應放大器加以動作。然後，令上述感應放大器之活化信號呈輸入信號，經由該延遲信號，形成上述列選擇信號 Y S 時，不接受上述電源電壓 V D D 之變動，進行安定之動作。上述列選擇信號 Y S 係列位址選通脈衝信號 / C A S 為低準位，進行列位址信號之處理。且列解碼器被動作，形成選擇信號為條件者，於供予上述延遲電路之輸入信號 I N 中，當然包含如上述條件者。

圖 1 1 中，顯示產生過載驅動脈衝之脈衝產生電路之一實施例電路圖。此實施例中，過載驅動脈衝寬度不接受電源電壓 V D D 之變動影響之故，構成延遲電路之 C M O S 反相電路係如 P 通道型 M O S F E T Q 3 6 和 N 通道型 M O S F E T Q 3 7 所示之 C M O S 反相電路，將內部電壓 V D L 做為動作電壓使用。將如此之 C M O S 反相電路連接於複數段縱列形態，獲得對應需要之脈衝寬度之延遲時間。

形成感應放大器活化信號 / S A E 未圖示之輸入電路亦以上述內部電壓 V D L 動作，對應該低準位之變化，可

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (35)

形成自高準位變至低準位的時間信號 / S A P 1。然後，於上述延遲電路之延遲時間經過後，形成停止信號 S T P，將上述 / S P A 1 自低準位變至高準位，將上述過載驅動器用之 P 通道型 M O S F E T Q 1 5 呈關閉狀態。然後，將感應放大器活化信號 A S P 2 呈高準位地加以變化，令上述 P 通道型 M O S F E T Q 1 6 呈開啓狀態。

此實施例中，使用電源電壓 V D D，形成將上述 P 通道型 M O S F E T Q 1 5 呈關閉狀態的高準位，形成將上述 N 通道型 M O S F E T Q 1 6 呈開啓狀態的高準位。因此，M O S F E T Q 1 6 係將內部電壓直接供予共通源極線 C S P 地，該臨限值電壓則較上述記憶格之位址選擇 M O S F E T 爲低，具有低臨限值電壓。

此實施例中，使用以上述內部電壓 V D L 動作之 C M O S 反相電路的延遲電路，設定過載驅動時間之故，無關於電源電壓 V D D 之變動，可安定地動作感應放大器。結果，上述感應放大器之過載驅動電壓則經由上述箝位電壓 V D D C L P 和內部電壓 V D L，與安定動作呈相乘作用，達成感應放大器之增幅動作的安定化。即，增幅 M O S F E T 之基板電壓則以如前述之 V D D C L P 安定化之故，電源電壓 V D D 變高之時，可防止由於 P 型通道型之增幅 M O S F E T 的基板效果的臨限值電壓之增大，進行安定增益的增幅的同時，無電源電壓 V D D 變動所產生之動作時間的變動之故，可將時間範圍設定於必要之最小程度的結果，可期待記憶存取時間的高速化。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (36)

圖 1 2 中，顯示使用上述時間產生電路之準位變換電路 L V C 之一實施例電路圖。欲準位變換之輸入信號 I N 係經由 P 通道型 M O S F E T Q 4 0 和 N 通道型 M O S F E T Q 4 1 所成 C M O S 反相電路加以反轉，經由 P 通道型 M O S F E T Q 4 2 和 N 通道型 M O S F E T Q 4 3 所成 C M O S 反相電路所反轉。因此，上述 2 個 C M O S 反相電路之輸出信號係相互呈逆相信號。

上述相互呈逆相之 V D L 準位信號係供予 P 通道型 M O S F E T Q 4 5 和 N 通道型 M O S F E T Q 4 6 之閘極，和 P 通道型 M O S F E T Q 4 8 和 N 通道型 M O S F E T Q 4 9 之閘極。於上述 P 通道型 M O S F E T Q 4 5 和 Q 4 8 之源極和電源電壓 V D D 間，設置 P 通道型 M O S F E T Q 4 4 和 Q 4 7。於此等之 M O S F E T Q 4 4 和 Q 4 7 的閘極中，相互另一方之輸出信號則交錯性地供給，自上述 M O S F E T Q 4 8 和 Q 4 9 之汲極，輸出對應於電源電壓 V D D 的輸出信號 O U T。

M O S F E T Q 4 5 和 Q 4 6 之閘極為高準位 (V D L)，M O S F E T Q 4 8 和 Q 4 9 之閘極為低準位 (V S S) 時，經由 M O S F E T Q 4 6 之開啓狀態，令另一方之電路之 P 通道型 M O S F E T Q 4 7 呈開啓狀態。由此，透過 M O S F E T Q 4 7 和 Q 4 8，輸出電源電壓 V D D 之高準位，令 P 通道型 M O S F E T Q 4 4 呈開

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (37)

啓狀態。相反地，MOSFET Q 4 5 和 Q 4 6 之閘極爲低準位 (VSS)，MOSFET Q 4 8 和 Q 4 9 之閘極爲高準位 (VDL) 時，經由 MOSFET Q 4 9 之開啓狀態輸出低準位，令其他方之 P 通道型

MOSFET Q 4 4 呈開啓狀態。由此，透過 MOSFET Q 4 4 和 MOSFET Q 4 5，輸出電源電壓 VDD 之高準位，令 P 通道型 MOSFET Q 4 7 呈關閉狀態。

圖 1 3 A 及圖 1 3 B 中，顯示爲說明有關此發明動態型 RAM 之動作之一例的時間圖。圖 1 3 A 中，顯示電源電壓 VDD 容許最小 $VDD_{min} = 3.0V$ 之低狀態者。經由 $\neg RAS$ 之低準位，開始行系之記憶存取，行位址系之選擇時間信號 RAC 則會產生，由此選擇字元線 SWL。令此信號 RAC 經由前述圖 1 0 之延遲電路延遲，形成感應放大器活化信號 $\neg SAE$ 。令上述感應放大器活化信號 $\neg SAE$ 供予如圖 1 1 之時間產生電路，形成過載驅動脈衝和感應放大器之活化信號。由此，僅於過載驅動時間，共通源極線 CSP 之電位則高至內部電壓 VDL 以上，令位元線 BL 或 $\neg BL$ 之高準位的提升呈高速化。此後，令上述信號 $\neg SAE$ 以如前述圖 1 0 之延遲電路加以延遲提昇 Y 選擇信號 YS。

圖 1 3 B 中，顯示電源電壓 VDD 容許最大 $VDD_{max} = 3.6V$ 之高狀態者。如上所述以不依存於電源電壓 VDD 之延遲電路產生時間脈衝，且感應放大

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (38)

器增幅 MOSFET 的臨限值電壓則對應上述電源電壓 VDD 之變動不會改變之故，可安定動作，保持與過載驅動時間之整合性。為此，自電源電壓 VDD 之容許最小電壓變化至容許最大電壓時，安定地如設計般地動作，無需特別之時間範圍之設定之故，可實現記憶體存取之高速化。

圖 14 中，顯示為說明有關本發明之動態型 RAM 之電源配線的概略佈局圖。此實施例中，形成箝位電壓 VDDCLP 之 MOSFET 則配置於 Y 解碼器 YDEC 間。上述過載驅動器用之 P 通道 MOSFET 係形成於 A 列交錯區域之故，對應於此，配置上述電壓箝位用之 N 通道型 MOSFET。雖未特別加以限制，沿感應放大器列，形成短路用之配線。由此，進行下降 VDDCLP 之電源阻抗的處理。又，內部降壓電壓 VDL 係沿上述 A 列和 B 列之交錯區域加以延長。此內部降壓電壓 VDL 係介由 N 通道型之功率 MOSFET Q，供於共通源極線 CSP 之外，做為共通事出入線 MIO 之前置充電電壓加以利用者。

上述實施例所得之作用效果，係如下所述，即，

(1) 自外部端子所供給之電源電壓供給汲極，於閘極施加昇壓之定電壓，設置自源極輸出定電壓之 N 通道型電壓箝位 MOSFET，令自此電壓箝位 MOSFET 之源極輸出之箝位電壓做為感應放大器之動作電壓，經由感應放大器活化信號，介由開關控制之 P 通道型之第 1 功率

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (39)

M O S F E T，傳至構成感應放大器之 P 通道型增幅 M O S F E T 之共通源極線的同時，於形成構成上述 P 通道型第 1 功率 M O S F E T 及感應放大器的上述 P 通道型 M O S F E T 的上述 P 通道型 M O S F E T 的 N 型井區範圍，經由將自上述電壓箝位用 M O S F E T 之源極輸出之定電壓做為偏壓電壓加以供給，不影響電源電壓之變動，得可安定化感應放大器之增幅動作的效果。

(2) 於閘極供給感應放大器活化信號，於汲極供給定電壓化之內部電壓，更設置輸出自源極供予上述第 1 共通源極線的動作電壓的 N 通道型之第 3 功率 M O S F E T，自上述電壓箝位 M O S F E T 之源極輸出的定電壓係對於經由上述第 3 功率 M O S F E T 供給之動作電壓，呈高電壓之過載驅動用電壓，經由將自上述第 1 功率 M O S F E T 之閘極的感應放大器活化信號呈過載驅動用活化信號，得達成感應放大器之高速化和動作安定化之效果。

(3) 供給上述第 3 功率 M O S F E T 之閘極的感應放大器活性化信號和供予上述過載驅動用電壓之上述第 1 功率 M O S F E T 之閘極的活化信號同樣地，經由形成使用自外部端子供給之電源電壓 V D D，將此等之 M O S F E T 開關控制的同時，可達驅動電路之簡化之效果。

(4) 對應上述副陣列加以設置，構成設於上述互補位元線對中選擇者，介由列開關連接之副共通輸出入線和

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(40)

連接主放大器之共通輸出入線間的選擇開關電路的 P 通道型開關 MOSFET，和於上述共通輸出入線，將上述內部電壓做為前置充電電壓供予之 P 通道型之前置充電 MOSFET 及短路共通輸出入線之短路 MOSFET，形成 P 型基板上之 N 型井區範圍的同時，經由供給上述內部電壓，將此等電路合理配置的同時，於電源電壓之變動，可得無關地動作開關電路或前置充電電路的效果。

(5) 上述字元線係呈對於主字元線之延長方向分割之長度，且對於與上述主字元線交差之位元線方向複數配置，採用呈連接複數所成動態型記憶格之位址選擇 MOSFET 之閘極的副字元線的分割字元線方式，令上述 1 個之副陣列，經由副字元線驅動電路列和複數感應放大器列包圍形成，分為對應於上述副陣列所設之副共通輸出入線，和，對應於上述副陣列設置，連接於主放大器之共通輸出入線，將連接上述副共通輸入線和上述共通輸入線的開關電路，對應於副陣列之四隅，經由設置交錯上述感應放大器和副字元線驅動電路的交錯區域，對分割字元線方式之記憶陣列，得將上述開關電路有效配置之效果。

(6) 做為上述副字元線驅動電路，主字元線連接於共通連接之閘極所成輸入端子，於該輸出入端子連接上述副字元線，上述第 2 之非反轉副字元選擇線則連接於源極的 P 通道型 MOSFET 及該源極連接於接地電位之 N 通道型 MOSFET 所成第 1 之 CMOS 反相電路，和於上述第 1 之副字元選擇線連接閘極，設於上述副字元線和電

(請先閱讀背面之注意事項再填寫本頁)

訂

406401

五、發明說明⁽⁴¹⁾

路之接地電位間，於閘極構成連接於上述第2之反轉副字元線的N通道型MOSFET，令上述第2之反轉副字元選擇線，連接於上述第2之副字元選擇線，令上述第2之非反轉副字元線傳導經由上述第1之副字元選擇線連接於輸入端子之第2CMOS反相電路所成副字元選擇線驅動電路所形成之選擇信號，於上副字元線方向排列配置之複數交錯區域，經由交互配置上述副字元選擇線驅動電路和上述開關電路，可得有效之記憶格陣列佈局。

(7) 供予上述第1功率MOSFET之閘極的感應放大器活化信號係經由上述內部電壓動作之延遲電路所形成之延遲時間，設置脈衝寬度，不影響電源電壓之變動，可設定感應放大器之動作時間，與前述感應放大器之增幅動作安定化呈相乘作用，可得呈記憶取存時間高速化之效果。

(8) 令上述副陣列之互補位元線對，呈形成與上述副共通輸出入線連接之列開關MOSFET的選擇時間信號的電路，使用經由上述內送電壓動作之延遲電路加以構成，前述感應放大器之增幅動作安定化則相乘作用，可得記憶取存時間高速化之效果。

(9) 根據經由上述內部電壓動作之延遲電路形成之時間信號係接受經由上述內部電壓所形成之互補信號的一對CMOS反相電路，和上述一對之CMOS反相電路之P通道型MOSFET和設於自上述外部端子所供給之電源電壓間，於閘極相互地另一方之上述CMOS反相電路

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(42)

之輸出信號交錯供予之準位變換用之 P 通道型 MOSFET 所成準位變換電路，變換對應於上述電源電壓之準位，可得形成具有必要電壓準位和驅動能力之時間信號的效果。

雖然以上本發明人所成發明，根據實施例具體說明，本發明係非限定於前述實施例，只要不超脫該要點可做種種之改變。例如，副陣列之構成，或搭載於半導體晶片之複數記憶陣列之配置係對態該記憶容量等，可採用種種之實施形態。輸出入界面之部分係同步於時脈信號進行動作之同步動態型 RAM 亦可。分配於 1 個主字元線的配字元線數係如前述為 4 條之外，可採用 8 條等之種種實施形態。此發明係可廣為利用於動態型 RAM。

簡單說明經由本發明中所揭示之發明中之代表者所得效果時，則如下所述。即自外部端予供給之電源電壓 VDD 則供予汲極，於閘極施加昇壓定電壓，設置自源極輸出定電壓之 N 通道型之電壓箝位 MOSFET，令自此電壓箝位 MOSFET 之源極輸出的箝位電壓，做為感應放大器之動作電壓，經由感應放大器活化信號，介由開關控制 P 通道型第 1 功率 MOSFET，傳至構成感應放大器之 P 通道型增幅 MOSFET 之共通源極線的同時，形成構成上述 P 通道型之第 1 功率 MOSFET 及感應放大器之上述 P 通道型 MOSFET 的 N 型井區範圍，經由將自上述電壓箝位用 MOSFET 之源極輸出之定電壓做為偏壓電壓供給，不影響電源電壓之變動，可令感應放大器

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (43)

之量幅動作安定化。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：動態型記憶體)

本發明係設置自外部端子供給之電源電壓供予汲極，於閘極施加昇壓之定電壓，輸出自源極之定電壓的N通道型的電壓箝位MOSFET，將自此電壓箝位MOSFET之源極輸出之箝位電壓做為感應放大器之動作電壓，經由感應放大器活化信號，介由開關控制P通道型之第1功率MOSFET，傳達至構成感應放大器之P通道型增幅MOSFET的共通源極線的同時，形成構成上述P通道型之第1功率MOSFET及感應放大器的上巡P通道型MOSFET的N型井區範圍，將上述電壓箝位用MOSFET之源極所輸出之定電壓做為偏壓電壓供給者。

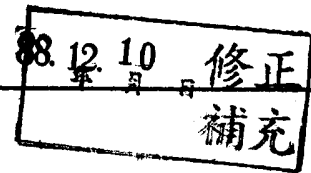
英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

錄



六、申請專利範圍

第 87103214 號專利申請案

中文申請專利範圍修正本

民國 88 年 12 月修正

1、一種動態型記憶體，針對形成於半導體基板的動態型記憶體，其特徵係包含

(1) 一對之位元線、

和 (2) 複數之字元線、

和 (3) 各別連接於上述一對位元線之一方和上述複數之字元線的任一者的動態記憶格、

和 (4) 包含具有各別連接於共同連接之一對之源極線的一方和上述一對之位元線的一對汲極，和交錯連接於此一對汲極的一對閘極的一對 P M O S 電晶體，和具有各別連接於其通連接之一對源極和上述一對之位元線的一對汲極，和交錯連接於此一對汲極的一對閘極的一對 N M O S 電晶體的感應放大器、

和 (5) 接受第 1 外部電源電壓的第 1 外部端子、

和 (6) 具備連接於上述第 1 外部端子之汲極和供給第 1 內部電壓的閘極，對上述第 1 外部電源電壓而言，將安定第 2 內部電壓自該源極所得之第 1 N M O S 電晶體、

和 (7) 具備連接於上述第 1 N M O S 電晶體之源極的源極和連接於上述一對 P M O S 電晶體之源極的汲極的第 1 P M O S 電晶體；

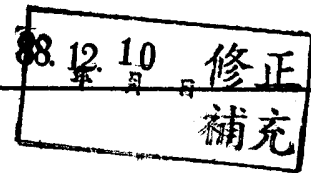
上述一對 P M O S 電晶體之源極及汲極及上述第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



六、申請專利範圍

第 87103214 號專利申請案

中文申請專利範圍修正本

民國 88 年 12 月修正

1、一種動態型記憶體，針對形成於半導體基板的動態型記憶體，其特徵係包含

(1) 一對之位元線、

和 (2) 複數之字元線、

和 (3) 各別連接於上述一對位元線之一方和上述複數之字元線的任一者的動態記憶格、

和 (4) 包含具有各別連接於共同連接之一對之源極線的一方和上述一對之位元線的一對汲極，和交錯連接於此一對汲極的一對閘極的一對 P M O S 電晶體，和具有各別連接於其通連接之一對源極和上述一對之位元線的一對汲極，和交錯連接於此一對汲極的一對閘極的一對 N M O S 電晶體的感應放大器、

和 (5) 接受第 1 外部電源電壓的第 1 外部端子、

和 (6) 具備連接於上述第 1 外部端子之汲極和供給第 1 內部電壓的閘極，對上述第 1 外部電源電壓而言，將安定第 2 內部電壓自該源極所得之第 1 N M O S 電晶體、

和 (7) 具備連接於上述第 1 N M O S 電晶體之源極之源極和連接於上述一對 P M O S 電晶體之源極的汲極的第 1 P M O S 電晶體；

上述一對 P M O S 電晶體之源極及汲極及上述第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1 P M O S 電晶體之源極及汲極係形成於上述半導體基板內之 N 井區，上述 N 井區中供予上述第 2 內部電壓者。

2、如申請專利範圍第 1 項之動態型記憶體，其中，於接受較上述第 2 內部電壓為低之第 3 內部電壓的端子和上述一對 P M O S 電晶體之源極間，更具有設置源極、汲極通路的開關電晶體，

上述感應放大器係根據自上述複數之動態記憶格所選擇之記憶格的記憶資訊，將高側電壓和低側電壓所成一對互補信號供予上述一對位元線，

於第 1 期間，回應上述第 1 P M O S 電晶體之動作，上述高側電壓則上昇，

於接續上述第 1 期間之第 2 期間中，回應上述開關電晶體之動作，上述高側電壓則接近於上述第 3 內部電壓者。

3、如申請專利範圍第 2 項之動態型記憶體，其中，更具有產生較上述第 1 外部電源電壓為高之上述第 1 內部電壓的第 1 產生器者。

4、如申請專利範圍第 3 項之動態型記憶體，其中，更具有接受第 2 外部電源電壓之第 2 外部端子，和具備連接於上述第 2 外部端子的源極和連接於上述一對 N M O S 電晶體的源極的汲極的第 2 N M O S 電晶體者。

5、如申請專利範圍第 4 項之動態型記憶體，其中，上述第 2 外部電源電壓係對應於電路之接地電位者。

6、如申請專利範圍第 5 項之動態型記憶體，其中，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1 P M O S 電晶體之源極及汲極係形成於上述半導體基板內之 N 井區，上述 N 井區中供予上述第 2 內部電壓者。

2、如申請專利範圍第 1 項之動態型記憶體，其中，於接受較上述第 2 內部電壓為低之第 3 內部電壓的端子和上述一對 P M O S 電晶體之源極間，更具有設置源極、汲極通路的開關電晶體，

上述感應放大器係根據自上述複數之動態記憶格所選擇之記憶格的記憶資訊，將高側電壓和低側電壓所成一對互補信號供予上述一對位元線，

於第 1 期間，回應上述第 1 P M O S 電晶體之動作，上述高側電壓則上昇，

於接續上述第 1 期間之第 2 期間中，回應上述開關電晶體之動作，上述高側電壓則接近於上述第 3 內部電壓者。

3、如申請專利範圍第 2 項之動態型記憶體，其中，更具有產生較上述第 1 外部電源電壓為高之上述第 1 內部電壓的第 1 產生器者。

4、如申請專利範圍第 3 項之動態型記憶體，其中，更具有接受第 2 外部電源電壓之第 2 外部端子，和具備連接於上述第 2 外部端子的源極和連接於上述一對 N M O S 電晶體的源極的汲極的第 2 N M O S 電晶體者。

5、如申請專利範圍第 4 項之動態型記憶體，其中，上述第 2 外部電源電壓係對應於電路之接地電位者。

6、如申請專利範圍第 5 項之動態型記憶體，其中，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

上述開關電晶體係 N M O S 電晶體者。

7、如申請專利範圍第 1 項之動態型記憶體，其中，上述第 1 N M O S 電晶體係於飽和範圍動作者。

8、一種動態型記憶體，其特徵係包含

複數之字元線、

和互補位元線對、

和各設置於上述複數之字元線之 1 條和上述互補位元線對之一方間，各含有位址選擇 M O S F E T 及記憶電容器的複數動態型記憶格、

交錯連接之閘極和汲極，各別連接於上述互補位元線對，構成電源電壓之增幅部之一對 P 通道型 M O S F E T 及上述交錯連接之閘極和汲極各別連接於上述互補位元線對，構成連接電位側之增幅部的一對 N 通道型 M O S F E T 所成感應放大器、

和上述感應放大器之一對 P 通道型 M O S F E T 的源極被共通化所成第 1 共通源極線、

和上述感應放大器之一對 N 通道型 M O S F E T 的源極被共通化所成第 2 共通源極線、

和供予電源電壓之外部端子、

和具有供予上述電源電壓之汲極、和對上述電源電壓之變動，輸出安定化電壓的源極的 N 通道型之電壓箝位 M O S F E T、

和具有連接於上述電壓箝位 M O S F E T 之源極，和施加第 1 活化信號的閘極，和於上述第 1 共通源極線輸出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

上述開關電晶體係 N M O S 電晶體者。

7、如申請專利範圍第 1 項之動態型記憶體，其中，上述第 1 N M O S 電晶體係於飽和範圍動作者。

8、一種動態型記憶體，其特徵係包含

複數之字元線、

和互補位元線對、

和各設置於上述複數之字元線之 1 條和上述互補位元線對之一方間，各含有位址選擇 M O S F E T 及記憶電容器的複數動態型記憶格、

交錯連接之閘極和汲極，各別連接於上述互補位元線對，構成電源電壓之增幅部之一對 P 通道型 M O S F E T 及上述交錯連接之閘極和汲極各別連接於上述互補位元線對，構成連接電位側之增幅部的一對 N 通道型 M O S F E T 所成感應放大器、

和上述感應放大器之一對 P 通道型 M O S F E T 的源極被共通化所成第 1 共通源極線、

和上述感應放大器之一對 N 通道型 M O S F E T 的源極被共通化所成第 2 共通源極線、

和供予電源電壓之外部端子、

和具有供予上述電源電壓之汲極、和對上述電源電壓之變動，輸出安定化電壓的源極的 N 通道型之電壓箝位 M O S F E T、

和具有連接於上述電壓箝位 M O S F E T 之源極，和施加第 1 活化信號的閘極，和於上述第 1 共通源極線輸出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

406401

六、申請專利範圍

電壓的汲極的 P 通道型之第 1 功率 MOSFET、

和具有供給第 2 活化信號之閘極，和供給電路之接地電位的源極，和輸出供予上述第 2 共通源極線的接地電位的汲極的 N 通道型之第 2 功率 MOSFET 所成；

上述 P 通道型之第 1 功率 MOSFET 及上述感應放大器之一對之 P 通道型 MOSFET 形成於 P 型半導體基板上之第 1 N 型井區範圍，自上述電壓箝位用 MOSFET 之源極輸出之定電壓供予上述第 1 N 型井區範圍者。

9、如申請專利範圍第 8 項之動態型記憶體，其中，更設置具有供予第 3 活化信號之閘極，和供予內部電壓之汲極，和於上述第 1 共通源極線輸出電壓的源極的 N 通道型第 3 功率 MOSFET 的同時，

自上述電壓箝位用 MOSFET 之源極輸出之電壓係呈較上述第 3 功率 MOSFET 輸出之電壓為高之電壓的過載驅動用電壓，

供予上述第 1 功率 MOSFET 之閘極的第 1 活化信號係過載驅動用活化信號者。

10、如申請專利範圍第 9 項之動態型記憶體，其中，供予上述第 3 功率 MOSFET 之閘極的第 3 活化信號係使用自上述外部端子供予之電源電壓加以形成者。

11、如申請專利範圍第 9 項或第 10 項之動態型記憶體，其中，更包含

第 1 共通輸出入線對、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

406401

六、申請專利範圍

電壓的汲極的 P 通道型之第 1 功率 MOSFET、

和具有供給第 2 活化信號之閘極，和供給電路之接地電位的源極，和輸出供予上述第 2 共通源極線的接地電位的汲極的 N 通道型之第 2 功率 MOSFET 所成；

上述 P 通道型之第 1 功率 MOSFET 及上述感應放大器之一對之 P 通道型 MOSFET 形成於 P 型半導體基板上之第 1 N 型井區範圍，自上述電壓箝位用 MOSFET 之源極輸出之定電壓供予上述第 1 N 型井區範圍者。

9、如申請專利範圍第 8 項之動態型記憶體，其中，更設置具有供予第 3 活化信號之閘極，和供予內部電壓之汲極，和於上述第 1 共通源極線輸出電壓的源極的 N 通道型第 3 功率 MOSFET 的同時，

自上述電壓箝位用 MOSFET 之源極輸出之電壓係呈較上述第 3 功率 MOSFET 輸出之電壓為高之電壓的過載驅動用電壓，

供予上述第 1 功率 MOSFET 之閘極的第 1 活化信號係過載驅動用活化信號者。

10、如申請專利範圍第 9 項之動態型記憶體，其中，供予上述第 3 功率 MOSFET 之閘極的第 3 活化信號係使用自上述外部端子供予之電源電壓加以形成者。

11、如申請專利範圍第 9 項或第 10 項之動態型記憶體，其中，更包含

第 1 共通輸出入線對、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

和設於第 1 共通輸出入對和上述互補位元線對間之列開關、

和第 2 共通輸出入線對、

和設於第 1 共通輸出入對和上述第 2 共通輸出入線對間之 P 通道型之開關 MOSFET 對、

於上述第 2 共通輸入線對供予所定之前置充電電壓的 P 通道型之前置充電 MOSFET 對，其中，令上述前置充電 MOSFET 對及 P 通道型之開關 MOSFET 對，形成在形成於上述 P 型基板上的第 2 N 型井區範圍，相關之第 2 N 型井區範圍中，供給供予上述第 3 功率 MOSFET 之汲極的內部電壓者。

1 2、如申請專利範圍第 8 項之動態型記憶體，其中，供予上述第 1 功率 MOSFET 之閘極的第 1 活化信號係經由供予上述第 3 功率 MOSFET 之汲極的上述內部電壓動作的第 1 延遲電路所形成之延遲時間，設定脈衝寬度。

1 3、如申請專利範圍第 1 2 項之動態型記憶體，其中，形成上述列開關之選擇時間信號的電路，係使用經由上述內部電壓動作之第 2 延遲電路加以構成者。

1 4、如申請專利範圍第 1 2 項之動態型記憶體，其中，根據上述第 1 延遲電路所形成之時間信號，

係接受經由上述內部電壓所形成之互補信號的一對 CMOS 反相電路，和設於上述一對 CMOS 反相電路之 P 通道型 MOSFET 和自上述外部端予供給之電源電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

和設於第 1 共通輸出入對和上述互補位元線對間之列開關、

和第 2 共通輸出入線對、

和設於第 1 共通輸出入對和上述第 2 共通輸出入線對間之 P 通道型之開關 MOSFET 對、

於上述第 2 共通輸入線對供予所定之前置充電電壓的 P 通道型之前置充電 MOSFET 對，其中，令上述前置充電 MOSFET 對及 P 通道型之開關 MOSFET 對，形成在形成於上述 P 型基板上的第 2 N 型井區範圍，相關之第 2 N 型井區範圍中，供給供予上述第 3 功率 MOSFET 之汲極的內部電壓者。

1 2、如申請專利範圍第 8 項之動態型記憶體，其中，供予上述第 1 功率 MOSFET 之閘極的第 1 活化信號係經由供予上述第 3 功率 MOSFET 之汲極的上述內部電壓動作的第 1 延遲電路所形成之延遲時間，設定脈衝寬度。

1 3、如申請專利範圍第 1 2 項之動態型記憶體，其中，形成上述列開關之選擇時間信號的電路，係使用經由上述內部電壓動作之第 2 延遲電路加以構成者。

1 4、如申請專利範圍第 1 2 項之動態型記憶體，其中，根據上述第 1 延遲電路所形成之時間信號，

係接受經由上述內部電壓所形成之互補信號的一對 CMOS 反相電路，和設於上述一對 CMOS 反相電路之 P 通道型 MOSFET 和自上述外部端予供給之電源電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

間，於閘極相互地另一方之上述 C M O S 反相電路之輸出信號被交錯供給所成準位變換用之 P 通道型 M O S F E T 所成準位變換電路，供予上述電源電壓。

1 5、如申請專利範圍第 1 0 項之動態型記憶體，其中，供予上述第 3 功率 M O S F E T 之閘極的驅動電壓準位，係與供予上述電壓箝位 M O S F E T 之閘極的電壓準位呈同一準位者。

1 6、一種動態型記憶體，針對形成於半導體基板的動態型記憶體，其特徵係包含

(1) 一對之位元線、

和 (2) 複數之字元線、

和 (3) 各別連接於上述一對位元線之一方和上述複數之字元線的任一者的動態記憶格、

和 (4) 包含具有各別連接於共同連接之一對之源極線的一方和上述一對之位元線的一對汲極，和交錯連接於此一對汲極的一對閘極的一對 P M O S 電晶體，和具有各別連接於其通連接之一對源極和上述一對之位元線的一對汲極，和交錯連接於此一對汲極的一對閘極的一對 N M O S 電晶體的感應放大器、

和 (5) 接受第 1 外部電源電壓的第 1 外部端子、

和 (6) 對於上述第 1 外部電源電壓，產生安定之第 1 內部電壓的第 1 電壓產生器、

和 (7) 具備接受上述第 1 內部電壓之源極和連接於上述一對 P M O S 電晶體源極之汲極的 P 通道之第 1 功率

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

間，於閘極相互地另一方之上述 C M O S 反相電路之輸出信號被交錯供給所成準位變換用之 P 通道型 M O S F E T 所成準位變換電路，供予上述電源電壓。

1 5、如申請專利範圍第 1 0 項之動態型記憶體，其中，供予上述第 3 功率 M O S F E T 之閘極的驅動電壓準位，係與供予上述電壓箝位 M O S F E T 之閘極的電壓準位呈同一準位者。

1 6、一種動態型記憶體，針對形成於半導體基板的動態型記憶體，其特徵係包含

(1) 一對之位元線、

和 (2) 複數之字元線、

和 (3) 各別連接於上述一對位元線之一方和上述複數之字元線的任一者的動態記憶格、

和 (4) 包含具有各別連接於共同連接之一對之源極線的一方和上述一對之位元線的一對汲極，和交錯連接於此一對汲極的一對閘極的一對 P M O S 電晶體，和具有各別連接於其通連接之一對源極和上述一對之位元線的一對汲極，和交錯連接於此一對汲極的一對閘極的一對 N M O S 電晶體的感應放大器、

和 (5) 接受第 1 外部電源電壓的第 1 外部端子、

和 (6) 對於上述第 1 外部電源電壓，產生安定之第 1 內部電壓的第 1 電壓產生器、

和 (7) 具備接受上述第 1 內部電壓之源極和連接於上述一對 P M O S 電晶體源極之汲極的 P 通道之第 1 功率

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

開關電晶體；

上述一對之 P M O S 電晶體之源極及汲極及上述第 1 功率開關電晶體之源極及汲極係形成於上述半導體基板內之 N 井區，於上述 N 井區供予上述第 1 內部電壓者。

17、如申請專利範圍第 16 項之動態型記憶體，其中，更具有對上述第 1 外部電源電壓進行安定化，且產生較上述第 1 內部電壓為低之電壓的第 2 內部電壓的第 2 電壓產生器、

和於上述第 2 電壓產生器之輸出端子和上述一對之 P M O S 電晶體之源極間設置源極、汲極通路的第 2 功率開關電晶體；

上述感應放大器係根據自上述複數之動態記憶格選擇之記憶格的記憶資訊，將自高側電壓和低側電壓所成一對互補信號供予上述一對位元線，

於第 1 期間，回應上述第 1 功率開關電晶體之動作，上述高側電壓則上昇，

於接續上述第 1 期間之第 2 期間中，回應上述第 2 功率開關電晶體之動作，上述高側電壓則接近於上述第 3 內部電壓者。

18、如申請專利範圍第 17 項之動態型記憶體，其中，上述第 2 功率開關電晶體係 N 通道型者。

19、如申請專利範圍第 18 項之動態型記憶體，其中，上述第 1 電壓產生器係具有於飽和範圍動作之 N M O S 電晶體。

六、申請專利範圍

開關電晶體；

上述一對之 P M O S 電晶體之源極及汲極及上述第 1 功率開關電晶體之源極及汲極係形成於上述半導體基板內之 N 井區，於上述 N 井區供予上述第 1 內部電壓者。

1 7、如申請專利範圍第 1 6 項之動態型記憶體，其中，更具有對上述第 1 外部電源電壓進行安定化，且產生較上述第 1 內部電壓為低之電壓的第 2 內部電壓的第 2 電壓產生器、

和於上述第 2 電壓產生器之輸出端子和上述一對之 P M O S 電晶體之源極間設置源極、汲極通路的第 2 功率開關電晶體；

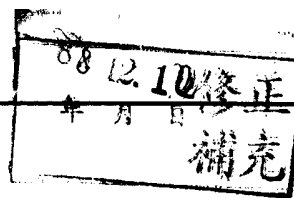
上述感應放大器係根據自上述複數之動態記憶格選擇之記憶格的記憶資訊，將自高側電壓和低側電壓所成一對互補信號供予上述一對位元線，

於第 1 期間，回應上述第 1 功率開關電晶體之動作，上述高側電壓則上昇，

於接續上述第 1 期間之第 2 期間中，回應上述第 2 功率開關電晶體之動作，上述高側電壓則接近於上述第 3 內部電壓者。

1 8、如申請專利範圍第 1 7 項之動態型記憶體，其中，上述第 2 功率開關電晶體係 N 通道型者。

1 9、如申請專利範圍第 1 8 項之動態型記憶體，其中，上述第 1 電壓產生器係具有於飽和範圍動作之 N M O S 電晶體。



六、申請專利範圍

20、一種動態型記憶體，具備

複數之字元線和複數之互補位元線對，

和設於上述字元線和上述互補位元線之一方之間，閘極則連接於上述字元線，連接於對應一方之源極、汲極的上述一方之互補位元線的位址選擇MOSFET及上述位址選擇MOSFET之其他之源極、汲極則連接於一方之電壓，於其他之電極施加所定之電壓所成記憶電容器所成動態型記憶格，

和上述交差連接之閘極和汲極則各別連接於上述複數之互補位元線對，構成電源電壓側之增幅部的複數對P通道型MOSFET及上述交錯連接之閘極和汲極則各別連接於上述複數之互補位元線對，構成接地電位側之增幅部之複數對之N通道型MOSFET所成感應放大器，

和共通化上述感應放大器之P通道型MOSFET之源極所成第1共通源極線，

和共通化上述感應放大器之N通道型MOSFET之源極所成第2共通源極線，

和接受自外部端予供給之電源電壓，輸出定電壓的電壓箝位電路，

和於上述電壓箝位電路之輸出端子連接源極，於閘極施加感應放大器活化信號，輸出自汲極供予上述第1共通源極的動作電壓的P通道型第1功率MOSFET，

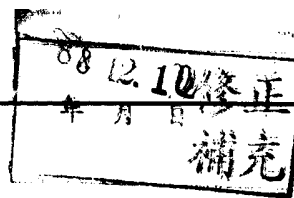
和於閘極供給感應放大器活化信號，於源極供給電路之接地電位，輸出自汲極供予上述第2共通源極之接地電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



六、申請專利範圍

20、一種動態型記憶體，具備

複數之字元線和複數之互補位元線對，

和設於上述字元線和上述互補位元線之一方之間，閘極則連接於上述字元線，連接於對應一方之源極、汲極的上述一方之互補位元線的位址選擇MOSFET及上述位址選擇MOSFET之其他之源極、汲極則連接於一方之電壓，於其他之電極施加所定之電壓所成記憶電容器所成動態型記憶格，

和上述交差連接之閘極和汲極則各別連接於上述複數之互補位元線對，構成電源電壓側之增幅部的複數對P通道型MOSFET及上述交錯連接之閘極和汲極則各別連接於上述複數之互補位元線對，構成接地電位側之增幅部之複數對之N通道型MOSFET所成感應放大器，

和共通化上述感應放大器之P通道型MOSFET的源極所成第1共通源極線，

和共通化上述感應放大器之N通道型MOSFET的源極所成第2共通源極線，

和接受自外部端予供給之電源電壓，輸出定電壓的電壓箝位電路，

和於上述電壓箝位電路之輸出端子連接源極，於閘極施加感應放大器活化信號，輸出自汲極供予上述第1共通源極的動作電壓的P通道型第1功率MOSFET，

和於閘極供給感應放大器活化信號，於源極供給電路之接地電位，輸出自汲極供予上述第2共通源極之接地電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

40640j

六、申請專利範圍

位的 N 通道型第 2 功率 MOSFET 所成；

於形成上述 P 通道型之第 1 功率 MOSFET 及構成
電源電壓側之增幅部的 P 通道型 MOSFET 的 N 型井區
，供予自上述電壓箝位電路輸出之定電壓者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

40640j

六、申請專利範圍

位的 N 通道型第 2 功率 MOSFET 所成；

於形成上述 P 通道型之第 1 功率 MOSFET 及構成
電源電壓側之增幅部的 P 通道型 MOSFET 的 N 型井區
，供予自上述電壓箝位電路輸出之定電壓者。

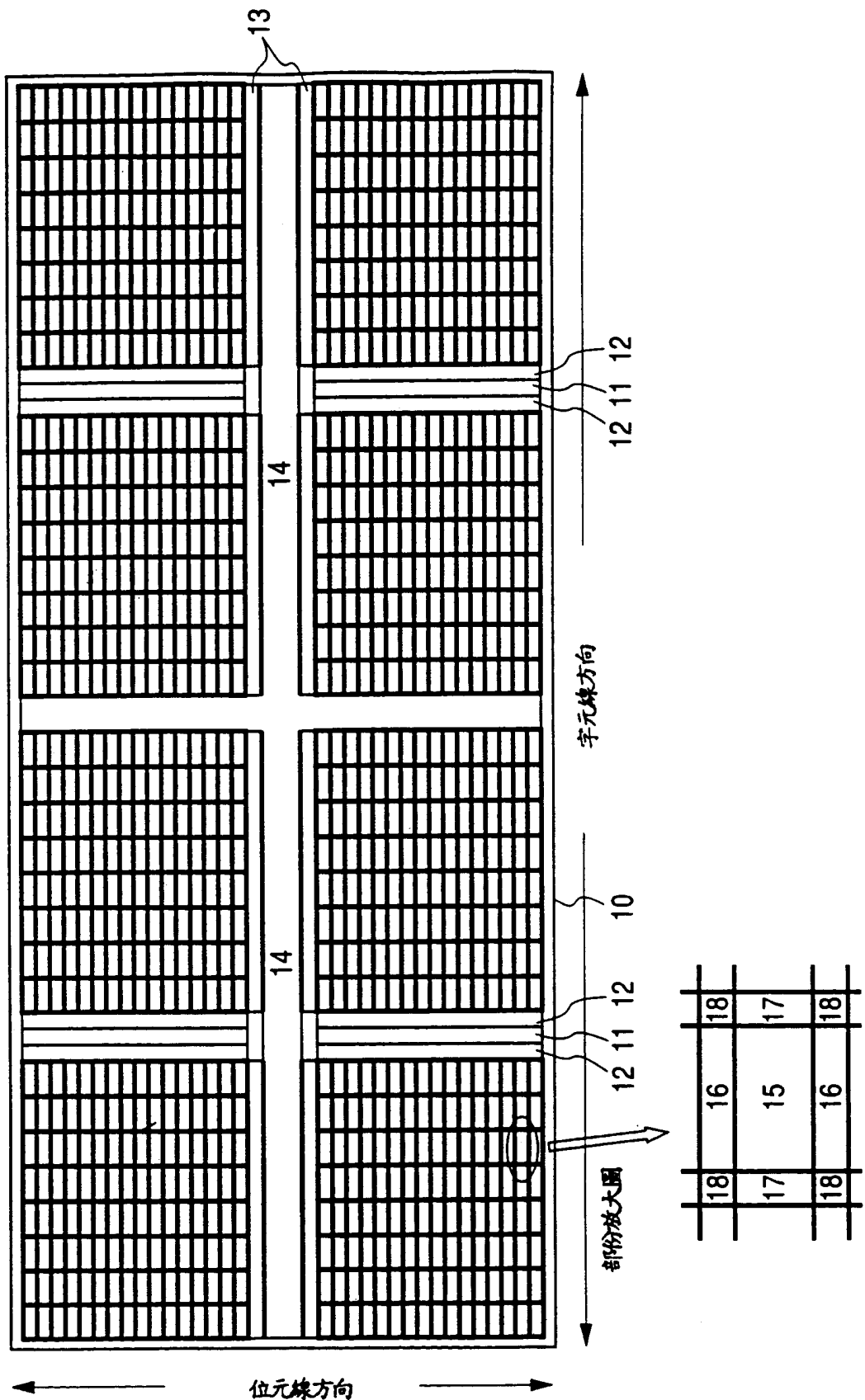
(請先閱讀背面之注意事項再填寫本頁)

裝

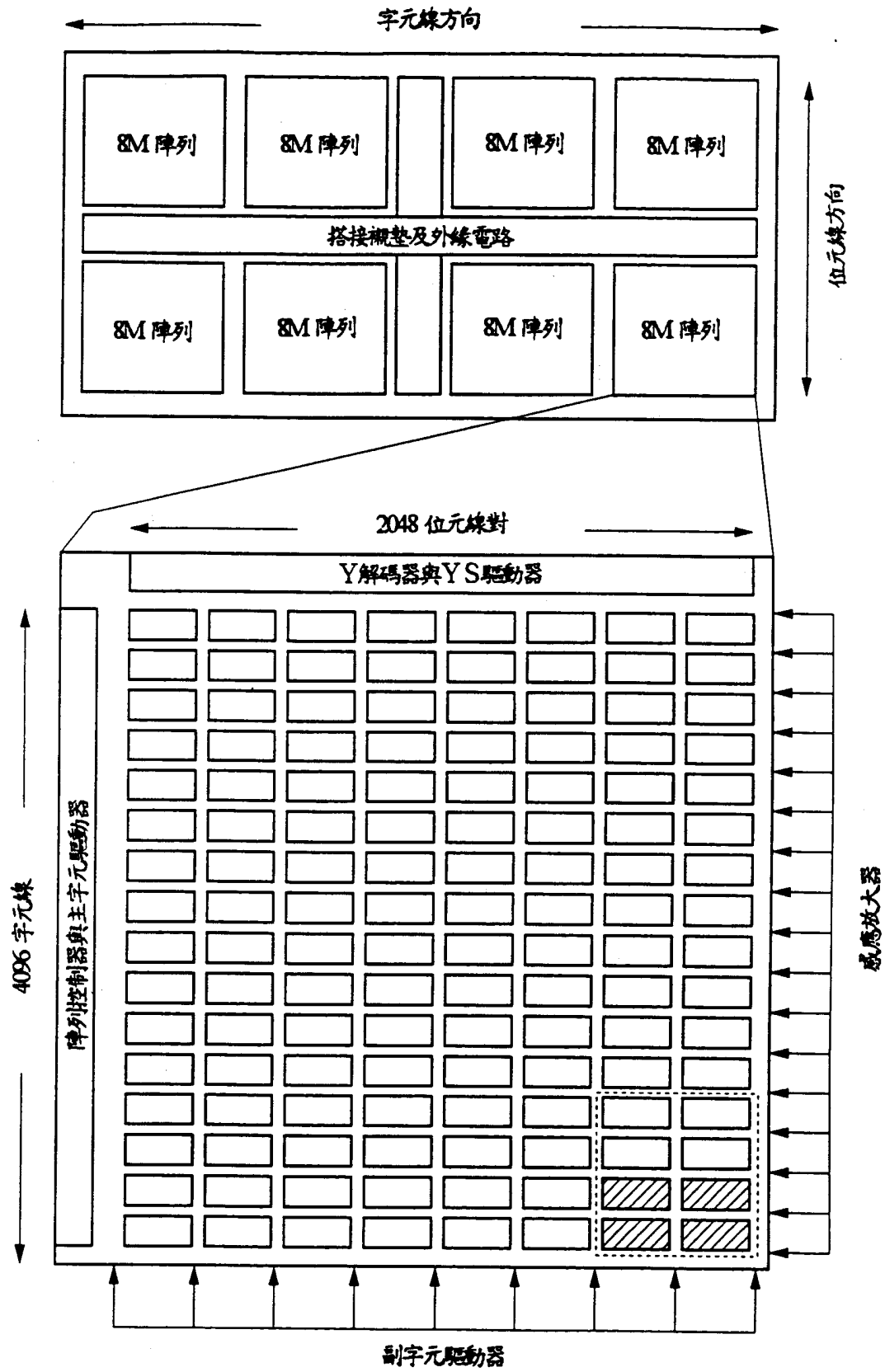
訂

線

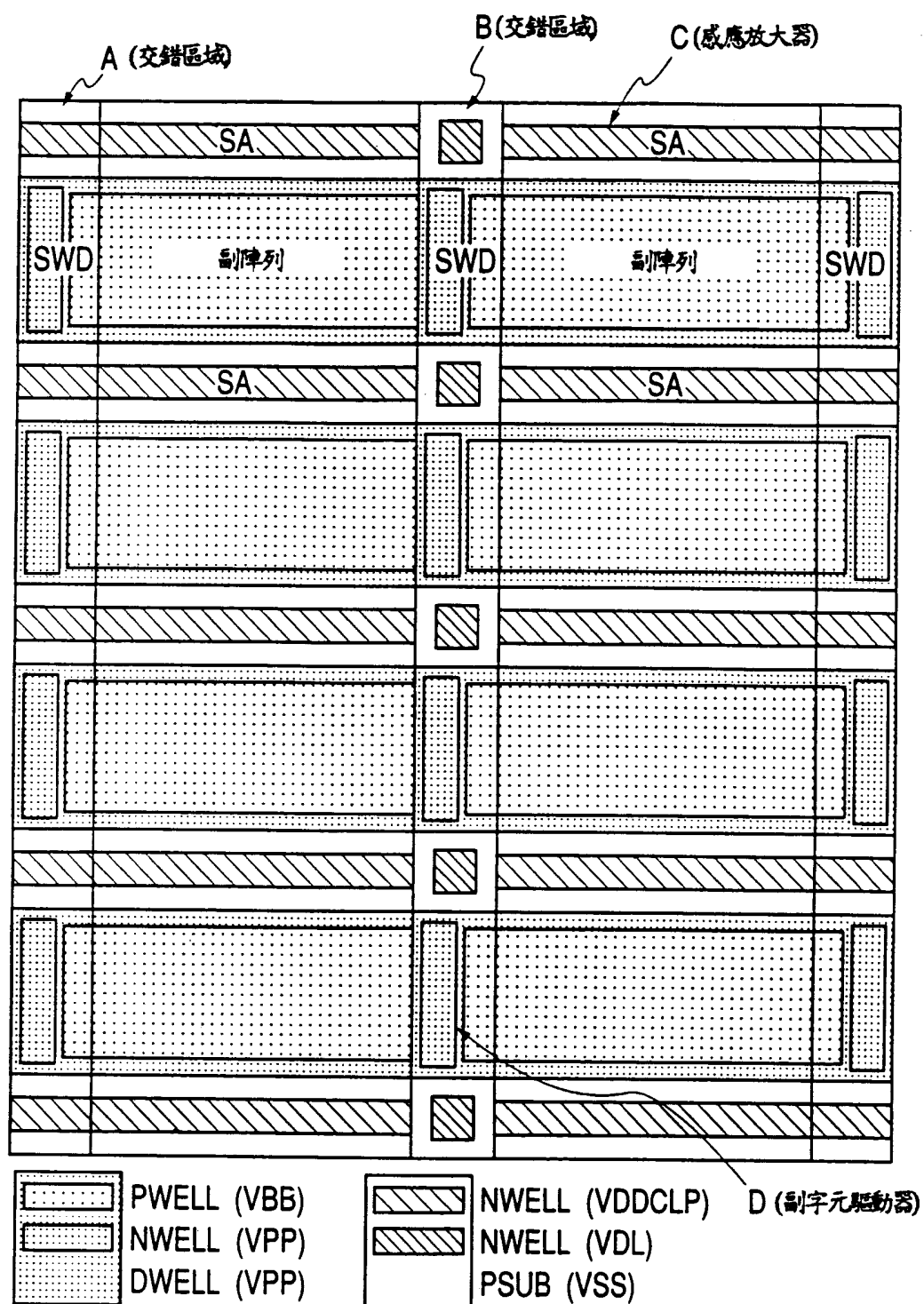
第1圖



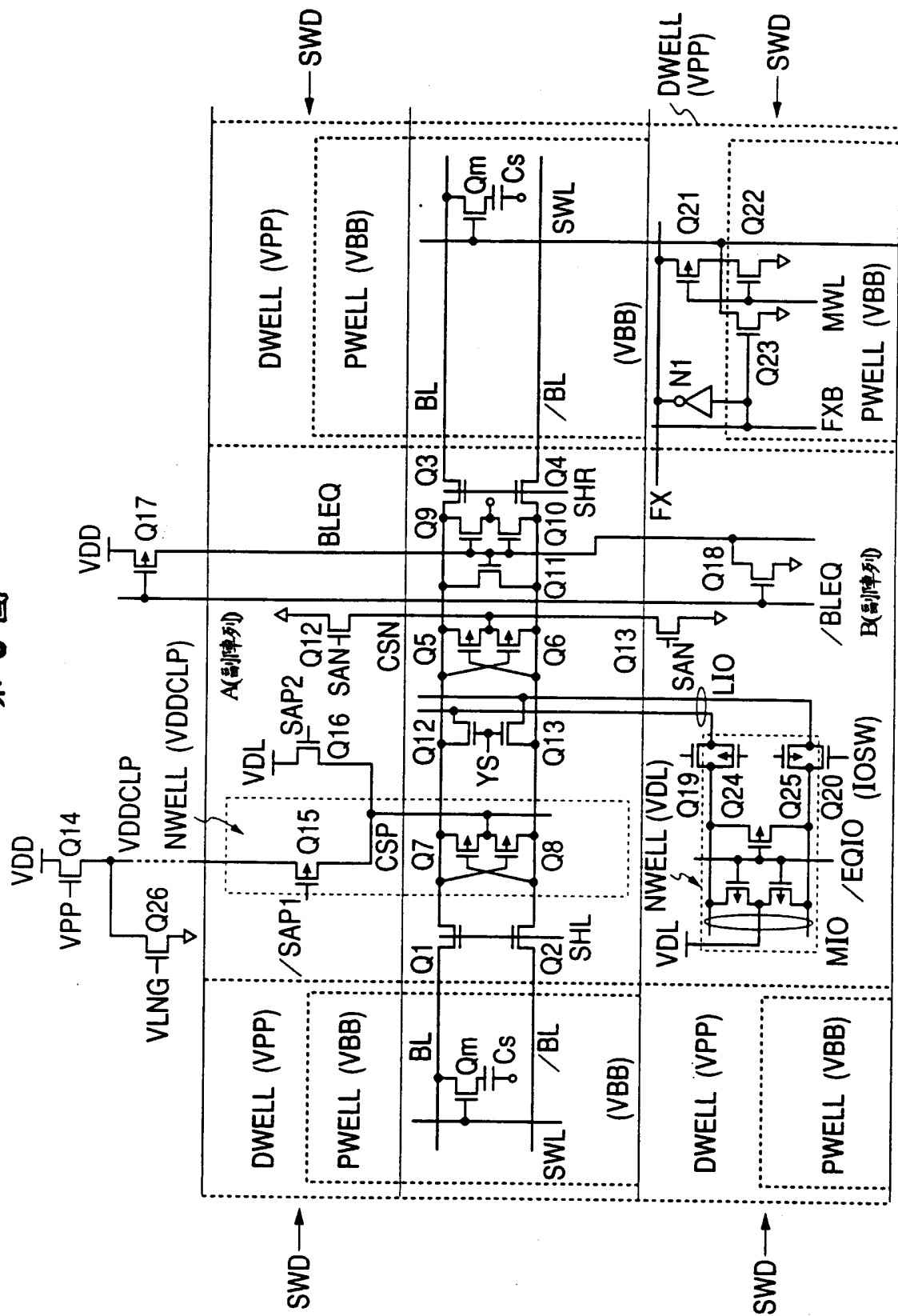
第 2 圖



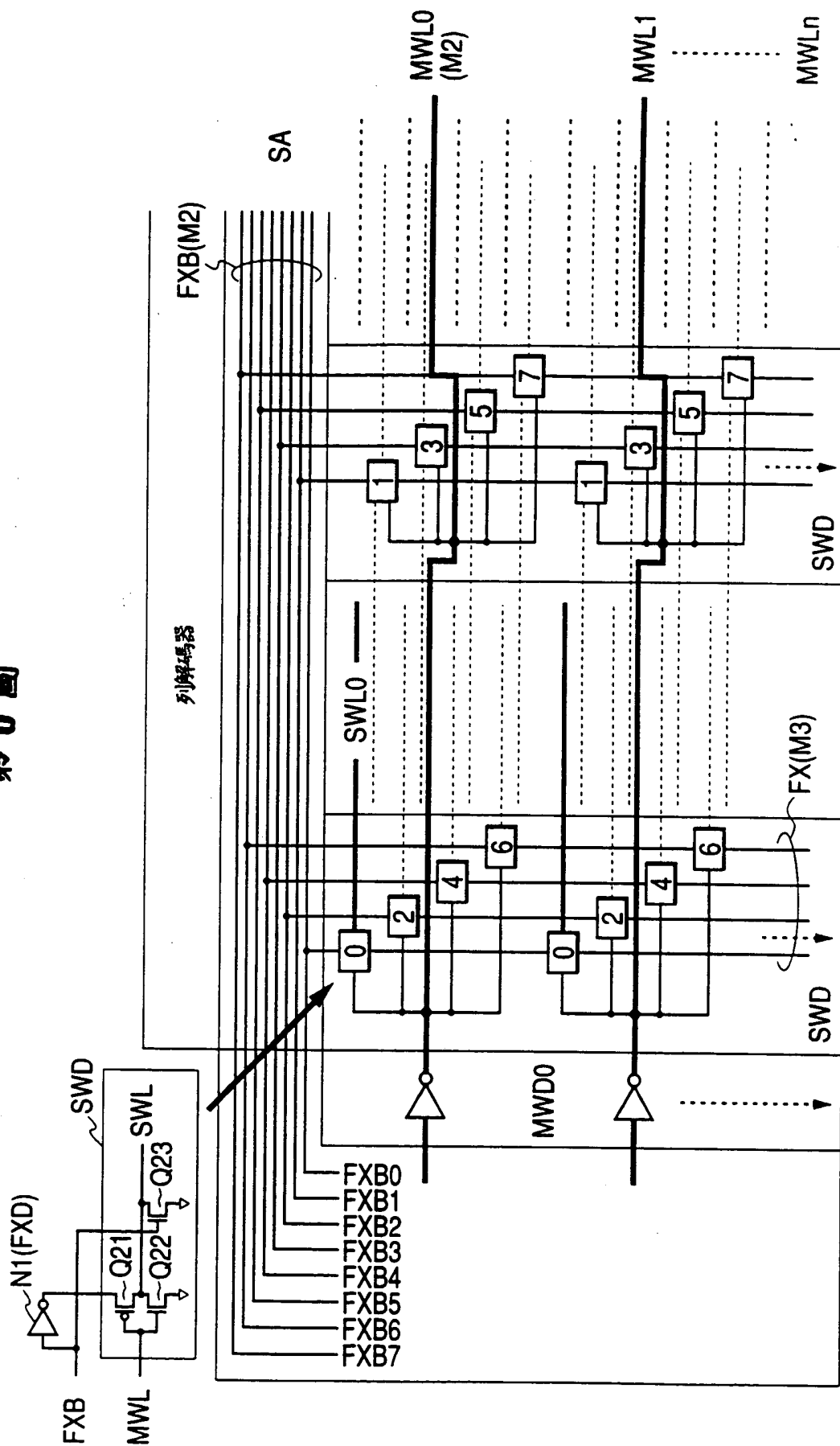
第4圖



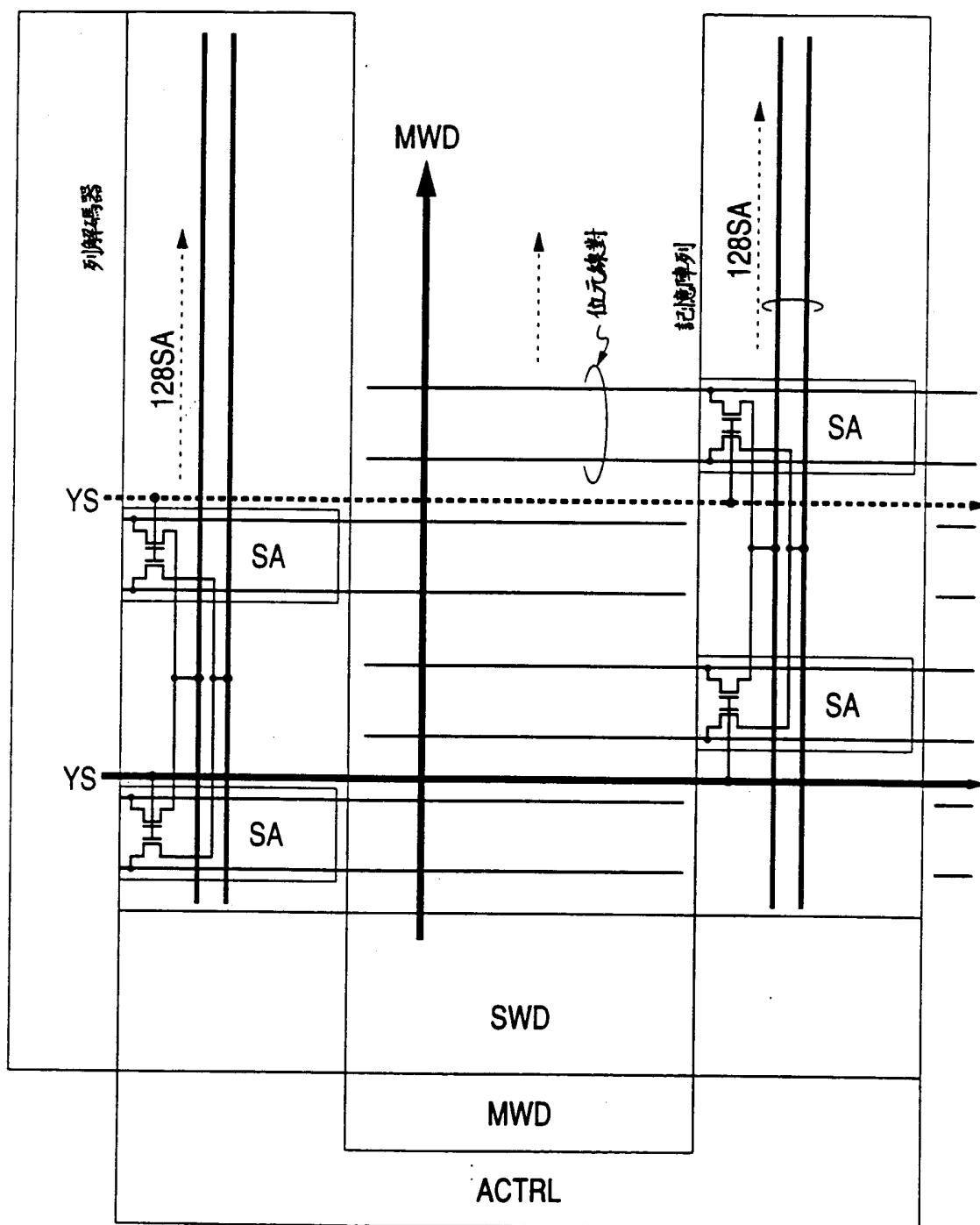
第 5 圖



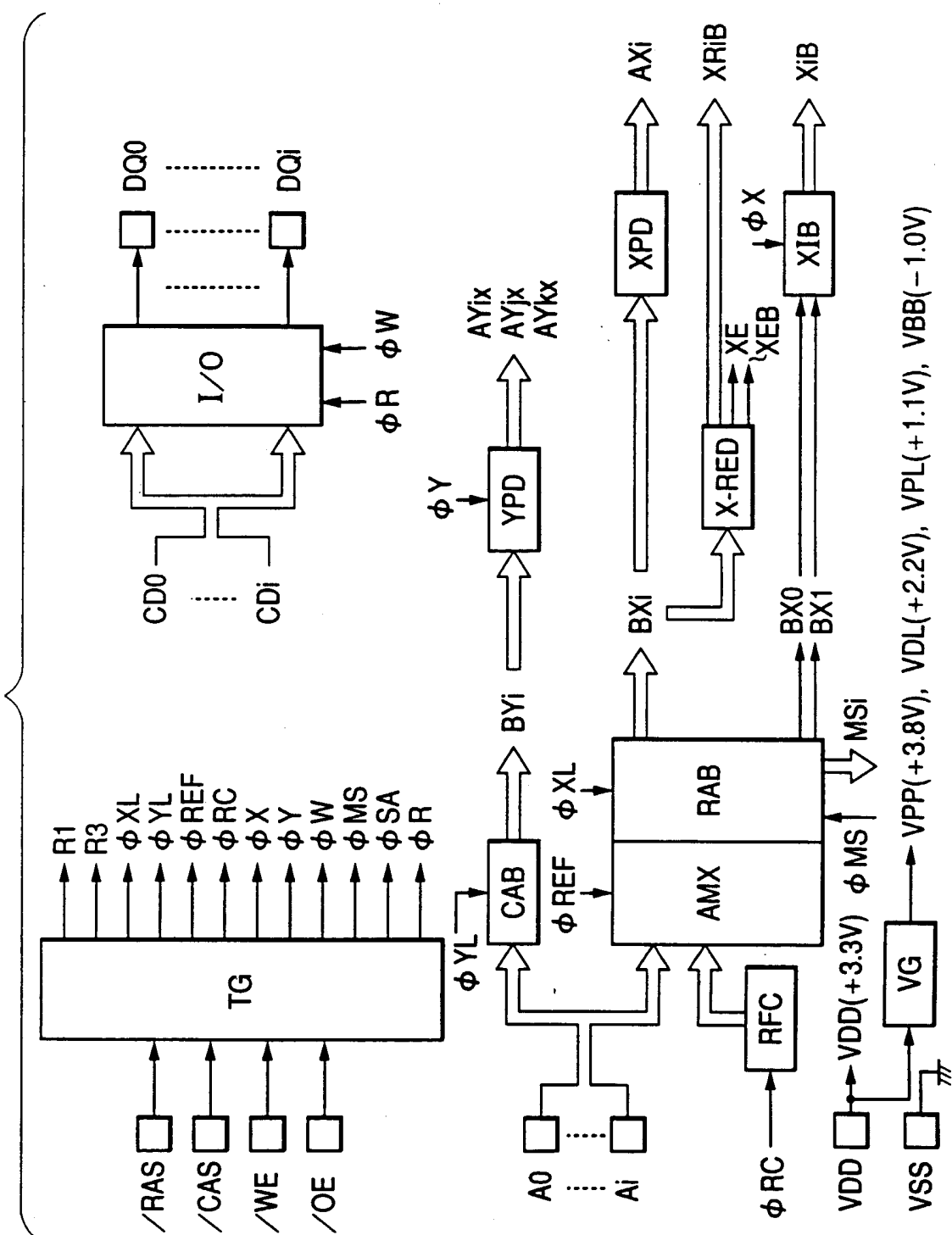
第 6 圖



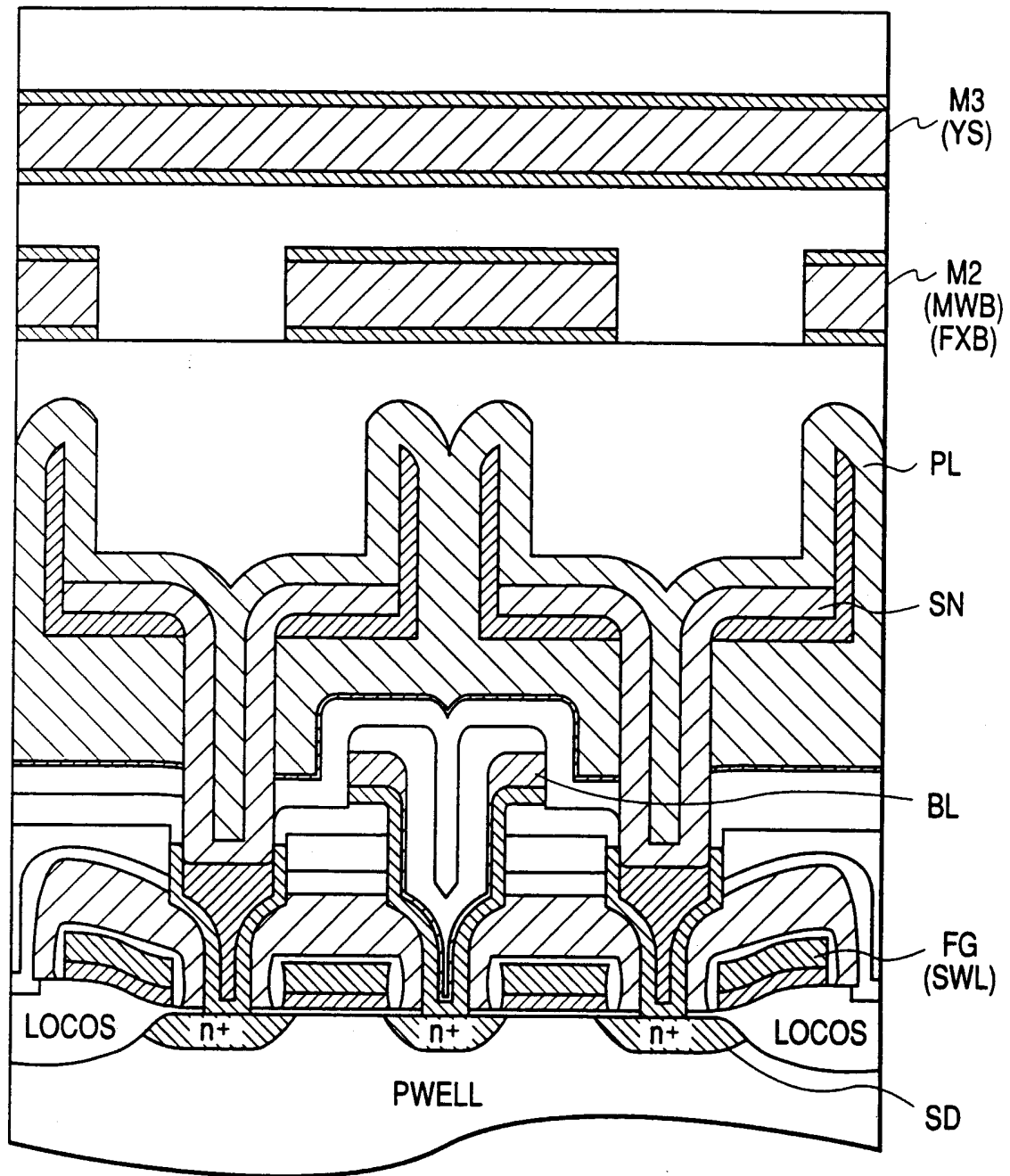
第7圖



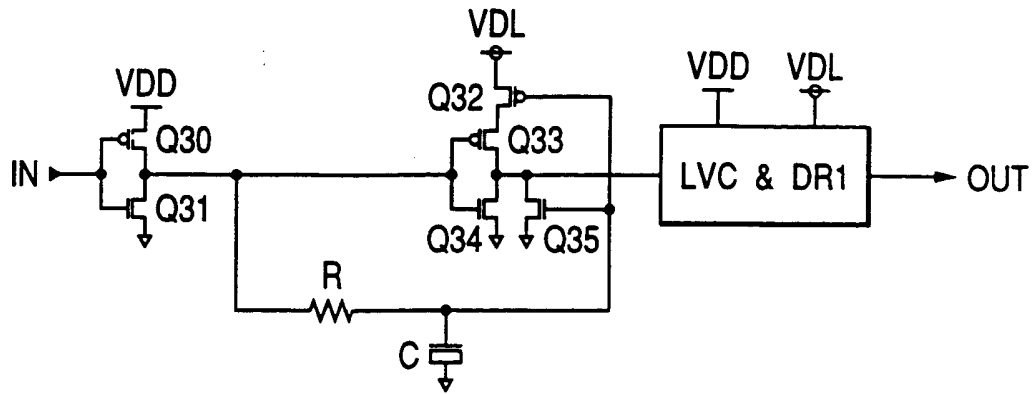
第 8 圖



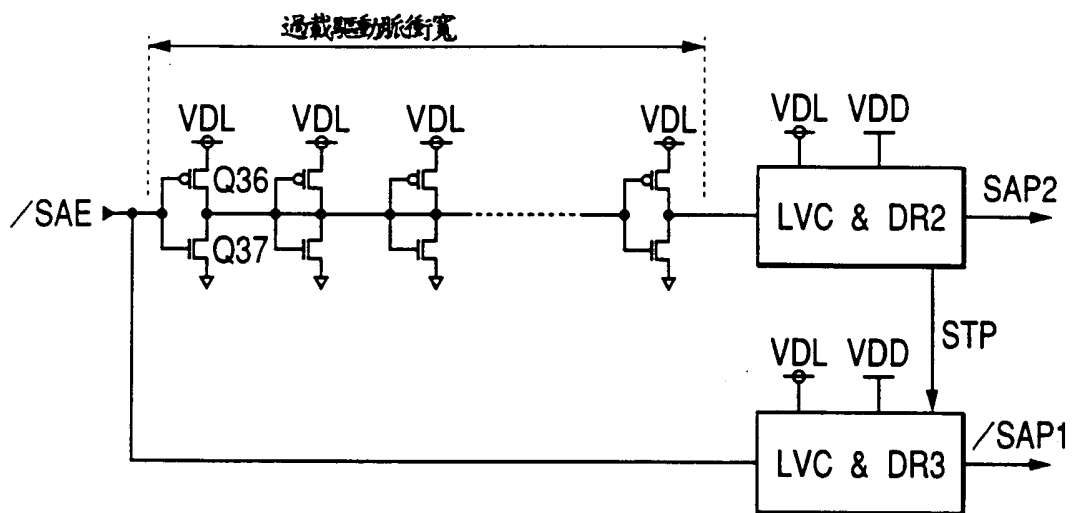
第 9 圖



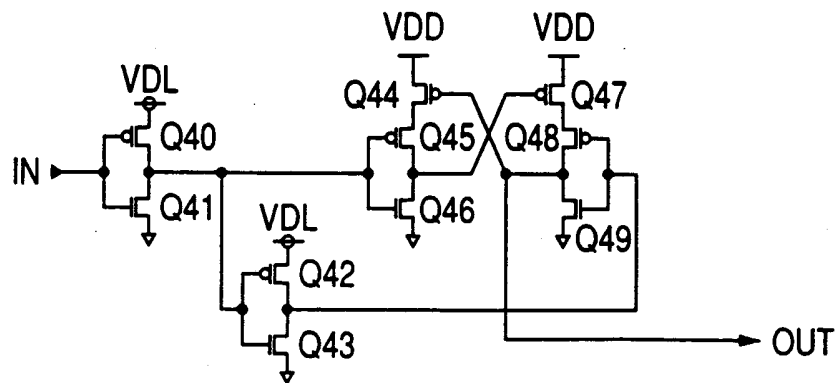
第10圖



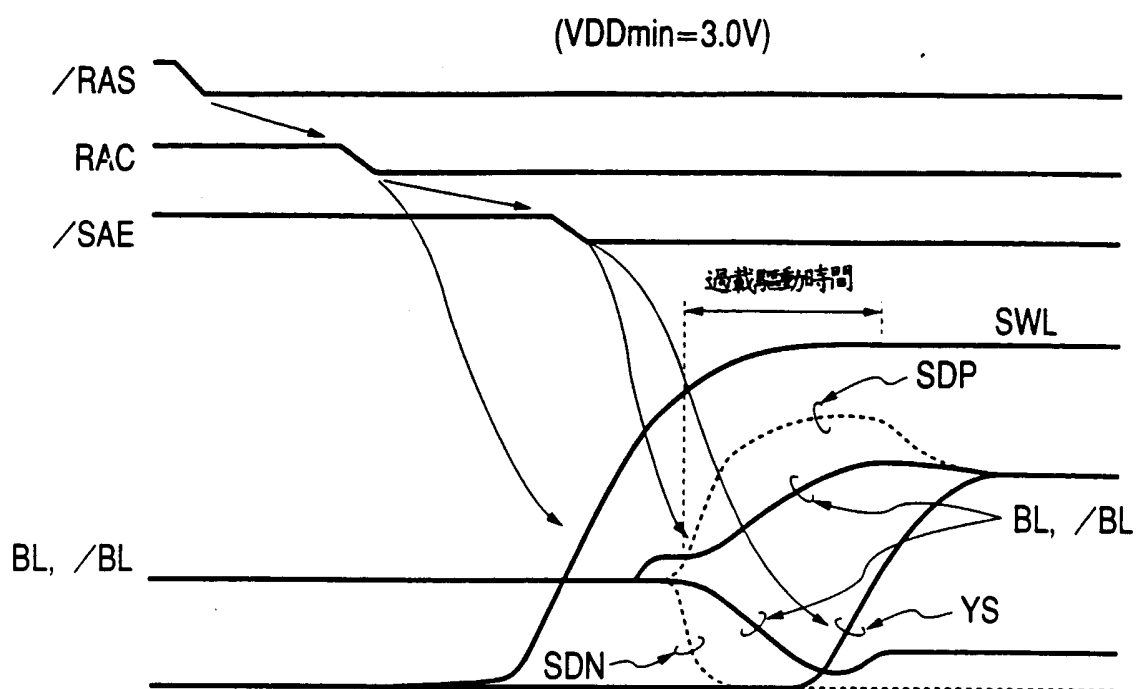
第11圖



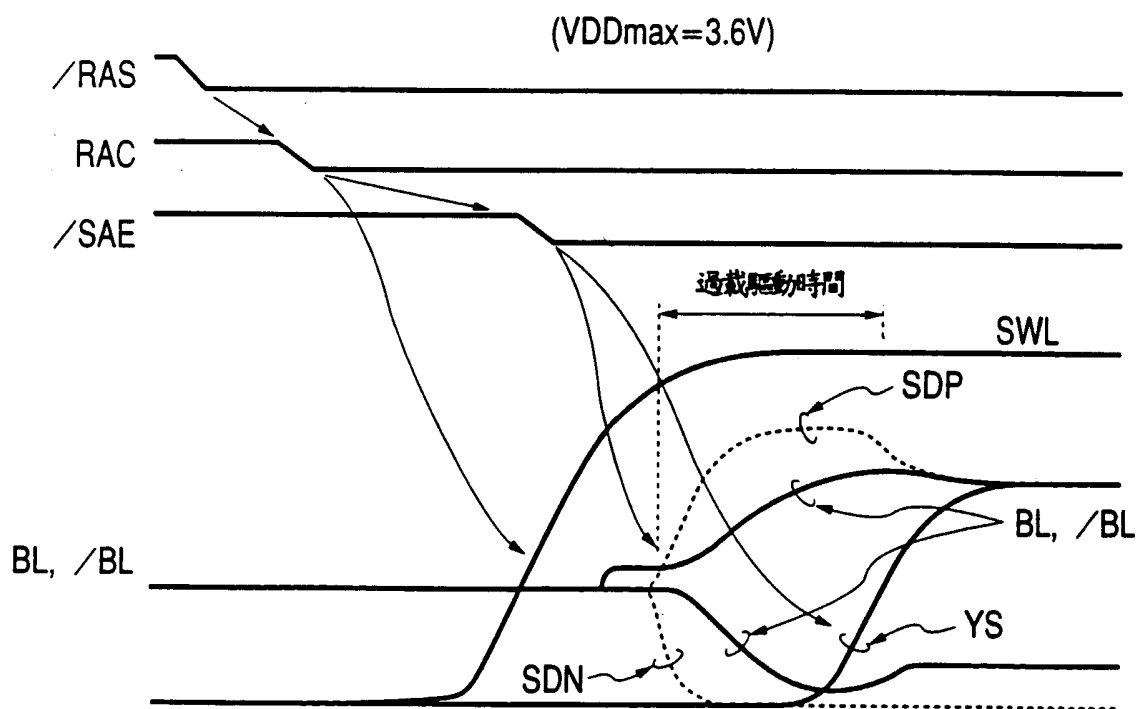
第12圖



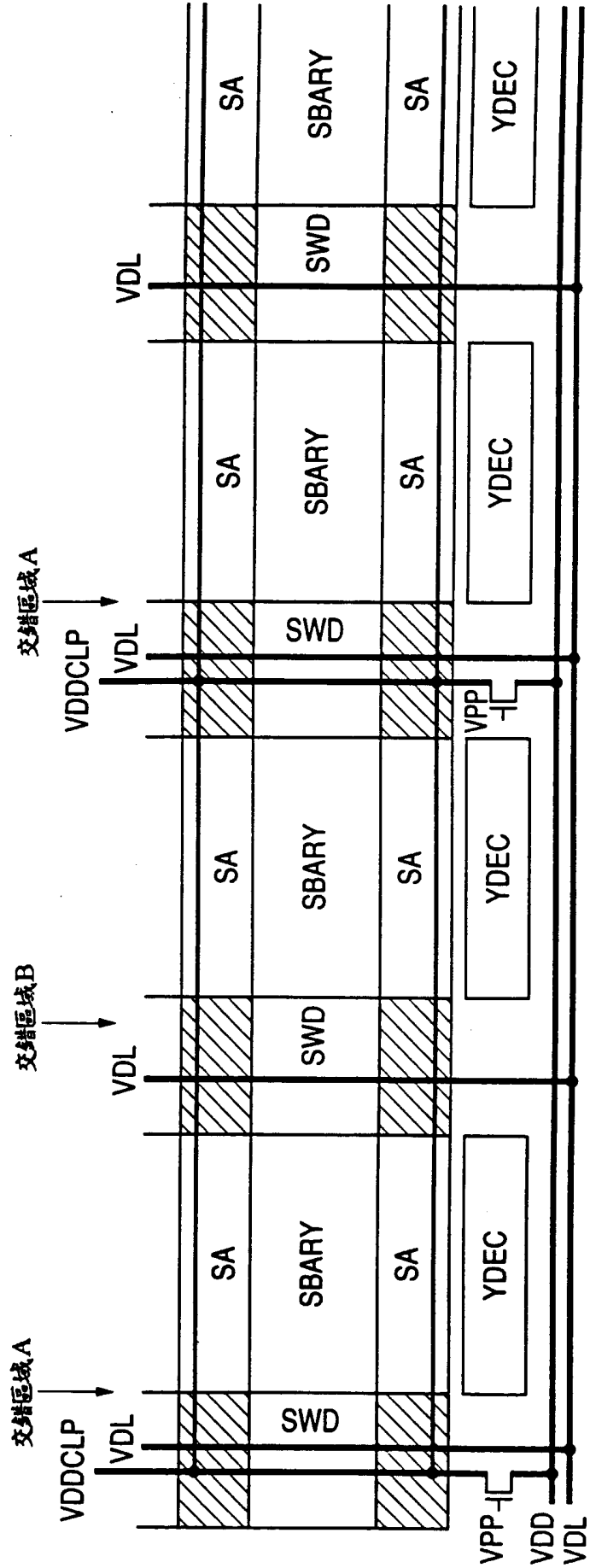
第13圖A



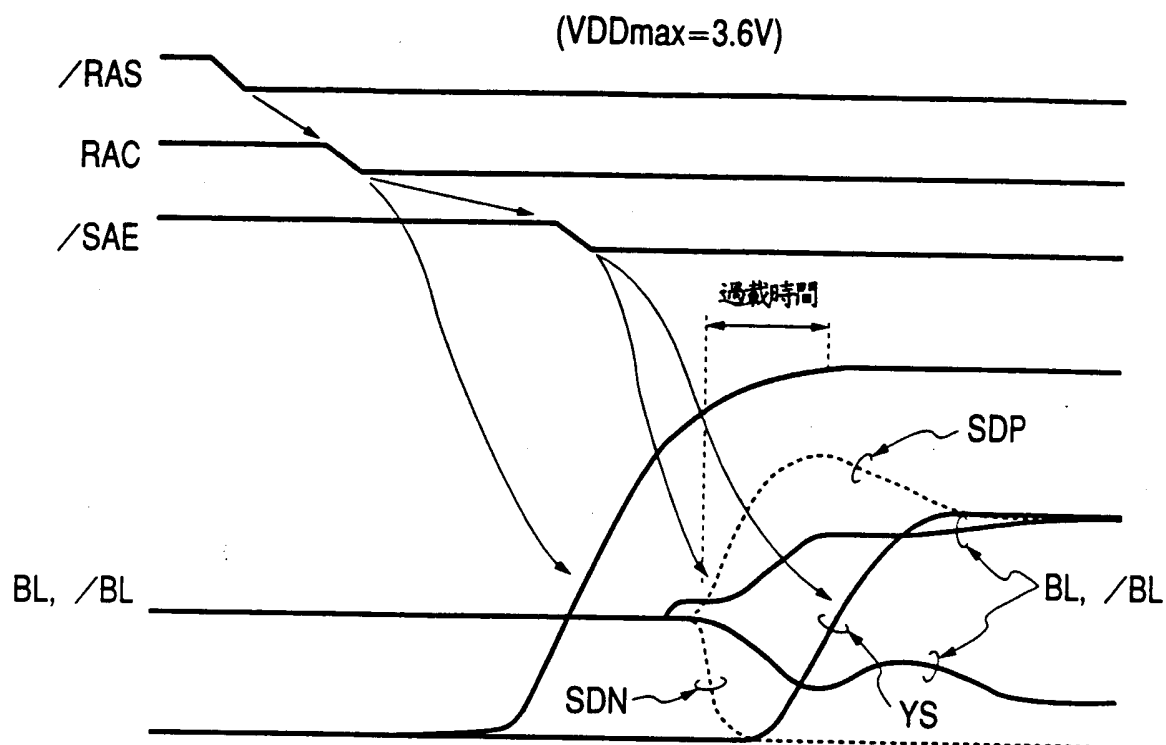
第13圖B



第14圖



第15圖



第16圖

