



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201320164 A1

(43)公開日：中華民國 102 (2013) 年 05 月 16 日

(21)申請案號：101137734

(22)申請日：中華民國 101 (2012) 年 10 月 12 日

(51)Int. Cl. : *H01L21/28 (2006.01)*

H01L21/336 (2006.01)

(30)優先權：2011/10/14 日本

2011-227022

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：本田達也 HONDA, TATSUYA (JP)；津吹將志 TSUBUKU, MASASHI (JP)；野中
裕介 NONAKA, YUSUKE (JP)；島津貴志 SHIMAZU, TAKASHI (JP)；山崎舜平
YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：18 項 圖式數：18 共 98 頁

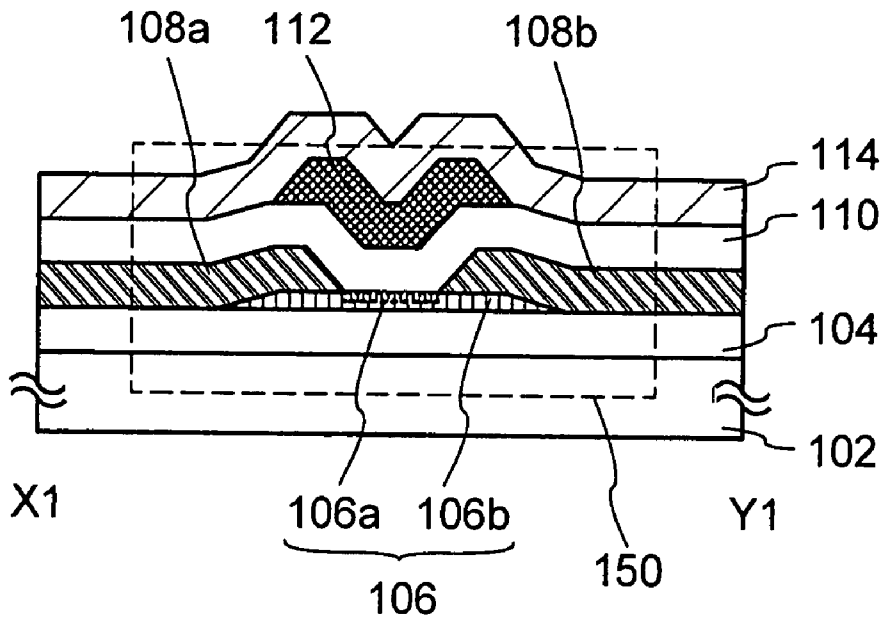
(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明降低包含在閘極絕緣膜附近的氧化物半導體膜中的雜質元素的濃度。另外，本發明提高閘極絕緣膜附近的氧化物半導體膜的結晶性。本發明是一種半導體裝置，該半導體裝置包括：基底絕緣膜；形成在基底絕緣膜上的氧化物半導體膜；形成在氧化物半導體膜上的源極電極及汲極電極；形成在氧化物半導體膜、源極電極及汲極電極上的包含矽氧化物的閘極絕緣膜；以及與閘極絕緣膜接觸且設置在至少與所述氧化物半導體膜重疊的區域上的閘極電極，其中，氧化物半導體膜具有從與閘極絕緣膜的介面向氧化物半導體膜的內側的矽濃度為 1.0at.%以下的區域，以及，至少在區域內包括結晶部。



- 102：基板
- 104：基底絕緣膜
- 106：氧化物半導體膜
- 106a：區域
- 106b：區域
- 108a：源極電極
- 108b：汲極電極
- 110：閘極絕緣膜
- 112：閘極電極
- 114：層間絕緣膜
- 150：電晶體



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201320164 A1

(43)公開日：中華民國 102 (2013) 年 05 月 16 日

(21)申請案號：101137734

(22)申請日：中華民國 101 (2012) 年 10 月 12 日

(51)Int. Cl. : *H01L21/28 (2006.01)*

H01L21/336 (2006.01)

(30)優先權：2011/10/14 日本

2011-227022

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：本田達也 HONDA, TATSUYA (JP)；津吹將志 TSUBUKU, MASASHI (JP)；野中
裕介 NONAKA, YUSUKE (JP)；島津貴志 SHIMAZU, TAKASHI (JP)；山崎舜平
YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：18 項 圖式數：18 共 98 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明降低包含在閘極絕緣膜附近的氧化物半導體膜中的雜質元素的濃度。另外，本發明提高閘極絕緣膜附近的氧化物半導體膜的結晶性。本發明是一種半導體裝置，該半導體裝置包括：基底絕緣膜；形成在基底絕緣膜上的氧化物半導體膜；形成在氧化物半導體膜上的源極電極及汲極電極；形成在氧化物半導體膜、源極電極及汲極電極上的包含矽氧化物的閘極絕緣膜；以及與閘極絕緣膜接觸且設置在至少與所述氧化物半導體膜重疊的區域上的閘極電極，其中，氧化物半導體膜具有從與閘極絕緣膜的介面向氧化物半導體膜的內側的矽濃度為 1.0at.%以下的區域，以及，至少在區域內包括結晶部。

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101137734

※申請日：101 年 10 月 12 日

※IPC 分類：

一、發明名稱：(中文／英文)

H01L 21/28 (2006.01)

半導體裝置

Semiconductor device

H01L 21/336 (2006.01)

二、中文發明摘要：

本發明降低包含在閘極絕緣膜附近的氧化物半導體膜中的雜質元素的濃度。另外，本發明提高閘極絕緣膜附近的氧化物半導體膜的結晶性。本發明是一種半導體裝置，該半導體裝置包括：基底絕緣膜；形成在基底絕緣膜上的氧化物半導體膜；形成在氧化物半導體膜上的源極電極及汲極電極；形成在氧化物半導體膜、源極電極及汲極電極上的包含矽氧化物的閘極絕緣膜；以及與閘極絕緣膜接觸且設置在至少與所述氧化物半導體膜重疊的區域上的閘極電極，其中，氧化物半導體膜具有從與閘極絕緣膜的介面向氧化物半導體膜的內側的矽濃度為 1.0at.% 以下的區域，以及，至少在區域內包括結晶部。

三、英文發明摘要：

The concentration of impurity elements included in an oxide semiconductor film in the vicinity of a gate insulating film is reduced. Further, crystallinity of the oxide semiconductor film in the vicinity of the gate insulating film is improved. A semiconductor device includes an oxide semiconductor film over a substrate, a source electrode and a drain electrode over the oxide semiconductor film, a gate insulating film which includes an oxide containing silicon and is formed over the oxide semiconductor film, and a gate electrode over the gate insulating film. The oxide semiconductor film includes a region in which the concentration of silicon is lower than or equal to 1.0 at.%, and at least the region includes a crystal portion.

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

102：基板

104：基底絕緣膜

106：氧化物半導體膜

106a、106b：區域

108a：源極電極

108b：汲極電極

110：閘極絕緣膜

112：閘極電極

114：層間絕緣膜

150：電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置及半導體裝置的製造方法。

在本說明書中，半導體裝置是指能夠藉由利用半導體特性工作的所有裝置，因此，電光裝置、半導體電路及電子裝置都是半導體裝置。

【先前技術】

使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到關注。該電晶體被廣泛地應用於如積體電路（IC）及影像顯示裝置（顯示裝置）等的電子裝置。例如，作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。但是，作為其他材料，氧化物半導體受到關注。

例如，已公開了作為電晶體的活性層使用包含銦（In）、鎵（Ga）及鋅（Zn）的非晶氧化物的電晶體（參照專利文獻1）。

使用氧化物半導體的電晶體的導通特性（導通電流等）比使用非晶矽的電晶體的導通特性高。為了將該使用氧化物半導體的電晶體應用於高功能裝置，需要進一步提高其特性，因此不斷研發氧化物半導體的晶化技術（參照專利文獻2）。在專利文獻2中，公開了藉由對氧化物半導體進行熱處理來實現晶化的技術。

[專利文獻1]日本專利申請公開第2006-165528號公

報

[專利文獻 2]日本專利申請公開第 2008-311342 號公報

在使用氧化物半導體膜的電晶體中，在構成頂閘極結構的電晶體的情況下，在該氧化物半導體膜上形成有閘極絕緣膜。當形成閘極絕緣膜時，有時閘極絕緣膜的構成元素混入到成為被形成面的氧化物半導體膜中。

例如，在形成氧化物半導體膜之後，當作為閘極絕緣膜利用濺射法形成氧化矽（ SiO_x ， $x=2$ 以上）時，該氧化矽的構成元素的矽與進行濺射時使用的稀有氣體元素（例如，氬等）一起引入到氧化物半導體膜中，並切斷氧化物半導體膜的構成元素的 In-O 的鍵，而作為雜質元素引入到氧化物半導體膜中。尤其是，有高濃度的雜質元素引入到氧化物半導體膜與閘極絕緣膜之間的介面附近的憂慮。因為在氧化物半導體膜與閘極絕緣膜之間的介面附近形成通道區，所以當矽等雜質元素被引入時，導致氧化物半導體膜的高電阻化。其結果，使電晶體的電特性之一的導通電流降低。如此，如果雜質元素殘留在氧化物半導體膜中，則成為影響到電晶體的電特性的主要原因。

另外，在氧化物半導體膜包括結晶部的情況下，當閘極絕緣膜的構成元素混入到氧化物半導體膜中時，氧化物半導體膜的結晶部的鍵被切斷，在閘極絕緣膜附近的氧化物半導體膜中形成多個非晶區。

【發明內容】

鑒於上述問題，本發明的目的是降低包含在閘極絕緣膜附近的氧化物半導體膜中的雜質元素的濃度。另外，本發明的另一目的是提高閘極絕緣膜附近的氧化物半導體膜的結晶性。此外，本發明再一的目的是藉由使用該氧化物半導體膜，提供一種具有穩定的電特性的半導體裝置。

所公開的本發明的一實施例是一種半導體裝置，包括：基底絕緣膜；形成在基底絕緣膜上的氧化物半導體膜；形成在氧化物半導體膜上的源極電極及汲極電極；形成在氧化物半導體膜、源極電極及汲極電極上的包含矽氧化物的閘極絕緣膜；以及與閘極絕緣膜接觸且設置在至少與氧化物半導體膜重疊的區域上的閘極電極，其中，氧化物半導體膜具有分佈在從與閘極絕緣膜的介面向氧化物半導體膜的內側的矽濃度為 1.0 at.% 以下的區域，並且，至少在區域內包括結晶部。

另外，所公開的本發明的另一實施例是一種半導體裝置，包括：基底絕緣膜；形成在基底絕緣膜上的氧化物半導體膜；形成在氧化物半導體膜上的包含矽氧化物的閘極絕緣膜；與閘極絕緣膜接觸且設置在至少與氧化物半導體膜重疊的區域上的閘極電極；形成在閘極絕緣膜及閘極電極上的層間絕緣膜；以及形成在層間絕緣膜上且至少與氧化物半導體膜電連接的源極電極及汲極電極，其中，氧化物半導體膜具有分佈在從與閘極絕緣膜的介面向氧化物半導體膜的內側的矽濃度為 1.0 at.% 以下的區域，並且，至

少在區域內包括結晶部。

在上述各結構中，區域較佳以接觸於閘極絕緣膜且具有 5nm 以下的厚度的方式形成。另外，除了區域之外的氧化物半導體膜較佳為包括結晶部，並且，在結晶部中，c 軸較佳在垂直於基底絕緣膜與氧化物半導體膜之間的介面的方向上一致。

另外，在上述各結構中，在區域中，矽濃度較佳為 0.1at.% 以下。另外，在區域中，碳濃度較佳為 $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以下。

藉由將閘極絕緣膜附近的氧化物半導體膜中的矽濃度或碳濃度設定為上述濃度，可以抑制氧化物半導體膜的高電阻化，並且可以提高結晶性。其結果，可以實現具有穩定的電特性的半導體裝置。

藉由所公開的本發明的一實施例，可以降低包含在閘極絕緣膜附近的氧化物半導體膜中的雜質元素的濃度。另外，可以提高閘極絕緣膜附近的氧化物半導體膜的結晶性。此外，可以提供一種具有穩定的電特性的半導體裝置。

【實施方式】

下面，參照圖式對本說明書所公開的發明的實施例進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可

以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施例所記載的內容中。

注意，為了便於理解，在圖式等中所示的各結構的位置、大小及範圍等有時不表示實際上的位置、大小及範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小及範圍等。

另外，本說明書中的“第一”、“第二”、“第三”等的序數詞是為避免構成要素的混淆而附記的，而不是用於在數目方面上進行限制。

另外，在本說明書等中，“上”或“下”不侷限於構成要素的位置關係為“直接在xx之上”或“直接在xx之下”。例如，“閘極絕緣層上的閘極電極”不排除閘極絕緣層與閘極電極之間具有其他構成要素的情況。

另外，在本說明書等中，“電極”或“佈線”不限定構成要素的功能。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”形成為一體的情況等。

此外，在採用極性不同的電晶體的情況下或在電路工作中電流方向發生變化的情況等下，“源極”和“汲極”的功能有時互相調換。因此，在本說明書等中，可以互相調換使用“源極”和“汲極”。

另外，在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接目標間的電信號的接收，就

對其沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、具有其他各種功能的元件等。

實施例 1

在本實施例中，參照圖 1A 至圖 2D 對半導體裝置及半導體裝置的製造方法的一實施例進行說明。

<半導體裝置的結構例子>

作為半導體裝置的一個例子，圖 1A 及圖 1B 示出頂閘極結構的電晶體的平面圖及剖面圖。圖 1A 是平面圖，圖 1B 相當於沿著圖 1A 中的虛線 X1-Y1 的剖面圖。注意，在圖 1A 中為了避免複雜，而省略電晶體 150 的構成要素的一部分（例如，閘極絕緣膜 110 等）。

圖 1A 及圖 1B 所示的電晶體 150 在基板 102 上包括：基底絕緣膜 104；形成在基底絕緣膜 104 上的包括區域 106a 及區域 106b 的氧化物半導體膜 106；形成在基底絕緣膜 104 及氧化物半導體膜 106 上的源極電極 108a 及汲極電極 108b；形成在氧化物半導體膜 106、源極電極 108a 及汲極電極 108b 上的閘極絕緣膜 110；以及與閘極絕緣膜 110 接觸且設置在至少與氧化物半導體膜 106 重疊的區域上的閘極電極 112。另外，在電晶體 150 上形成有層間絕緣膜 114。

另外，氧化物半導體膜 106 的厚度大於 5nm 且 200nm 以下，較佳為 10nm 以上且 30nm 以下。另外，氧化物半導體膜 106 較佳為採用具有單晶或微晶等結晶性的結構。

另外，如圖 1B 所示，氧化物半導體膜 106 的端部較佳為具有 20°至 50°的錐角。當氧化物半導體膜 106 具有垂直端部時，氧容易從氧化物半導體膜 106 的端部脫離而產生氧缺損。但是，藉由在氧化物半導體膜 106 的端部具有錐角，可以抑制氧缺損的產生並降低電晶體 150 的洩漏電流的產生。

另外，在本實施例中，氧化物半導體膜 106 較佳為 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體) 膜。此外，在後面說明的電晶體 150 的製造方法中，對 CAAC-OS 膜進行詳細說明。

另外，作為閘極絕緣膜 110 較佳為使用具有充分的耐壓性及絕緣性的包含矽的氧化物。當作為閘極絕緣膜 110 採用單層結構時，例如可以使用氧化矽等絕緣膜。

另外，閘極絕緣膜 110 也可以具有疊層結構。當作為閘極絕緣膜 110 採用疊層結構時，例如在包含矽的氧化物上層疊氧化鎂、氧化鋁、氮化矽、氧氮化矽、氧氮化鋁、氧化釷、氧化釷或氮氧化矽等，即可。此外，在包含矽的氧化物上層疊氧化鈣、矽酸鈣 (HfSi_xO_y ($x>0$, $y>0$))、添加有氮的矽酸鈣 (HfSiO_xN_y ($x>0$, $y>0$)) 及鋁酸鈣 (HfAl_xO_y ($x>0$, $y>0$)) 等 high-k 材料，即可。

另外，藉由作為閘極絕緣膜 110 使用包含矽的氧化物，可以藉由對該絕緣膜進行加熱使氧的一部分脫離，從而可以將氧供應到氧化物半導體膜 106 中以填補氧化物半導體膜 106 中的氧缺損。尤其是，較佳在閘極絕緣膜 110 中含有至少超過化學計量組成的氧，例如，作為閘極絕緣膜 110 較佳為使用以 $\text{SiO}_{2+\alpha}$ （注意， $\alpha > 0$ ）表示的氧化矽膜。藉由將上述氧化矽膜用作閘極絕緣膜 110，可以將氧供應到氧化物半導體膜 106 中，從而可以提高使用該氧化物半導體膜 106 的電晶體 150 的電晶體特性。

然而，當作為閘極絕緣膜 110 使用氧化矽膜時，有閘極絕緣膜 110 的構成元素的矽等作為雜質引入到氧化物半導體膜 106 中的憂慮。當閘極絕緣膜 110 的構成元素的矽等作為雜質引入到氧化物半導體膜 106 中時，成為影響到電晶體特性的主要原因。

另外，在氧化物半導體膜 106 是 CAAC-OS 膜的情況下，閘極絕緣膜 110 的構成元素的矽等混入到氧化物半導體膜 106 中，氧化物半導體膜 106 的結晶部的鍵被切斷，在閘極絕緣膜 110 附近的氧化物半導體膜 106 中形成多個非晶區。

尤其是，在氧化物半導體膜 106 與閘極絕緣膜 110 之間的介面附近，矽等雜質容易被引入。由於在氧化物半導體膜 106 與閘極絕緣膜 110 之間的介面附近形成有電晶體 150 的通道區，所以當矽等雜質引入到氧化物半導體膜 106 與閘極絕緣膜 110 之間的介面附近時，有使電晶體

150 的電特性變動的憂慮。

在此，參照圖 12A 至圖 14 對利用經典分子動力學計算檢查當作爲雜質對氧化物半導體膜 106 添加矽氧化物的 SiO_2 時發生的結構變化的結果進行說明。注意，作爲經典分子動力學計算軟體使用富士通株式會社製造的 SCIGRESS ME，以進行上述計算。在經典分子動力學法中，藉由對成爲原子間相互作用的特徵的經驗勢進行定義來對作用於各原子的力量進行評價。藉由對牛頓運動方程進行數值求解，可以不確定性跟蹤各原子的運動（時間演化）。

以下說明計算模型和計算條件。另外，在本計算中使用 Born-Mayer-Huggins 勢。

作爲計算模型，製造由 1680 原子數構成的 InGaZnO_4 的單晶結構（參照圖 12A）以及使用矽（Si）原子分別取代由 1680 原子數構成的 InGaZnO_4 中的 In、Ga、Zn 的各 20 原子的結構（參照圖 12B）。在圖 12B 所示的矽（Si）取代模型中，矽（Si）占 3.57atom%（2.34wt%）。另外，圖 12A 所示的單晶模型的密度是 6.36g/cm^3 ，並且圖 12B 所示的矽（Si）取代模型的密度是 6.08g/cm^3 。

藉由在低於 InGaZnO_4 的單晶結構的溶點（利用經典分子動力學計算的估計約爲 2000°C ）的 1727°C 下，以一定的壓力（1atom）進行 150psec（時間步長 $0.2\text{fsec} \times 75$ 萬步（step））的經典分子動力學計算，而對圖 12A 及圖 12B 所示的計算模型進行結構弛豫。此外，求出上述兩個

結構的徑向分佈函數 $g(r)$ 。注意，徑向分佈函數 $g(r)$ 是指表示在離某個原子距離 r 的位置上存在其他原子的概率密度的函數。隨著原子之間的相關性減弱， $g(r)$ 逐漸接近於 1。

圖 13A 及圖 13B 分別表示藉由對上述兩個計算模型進行 150psec 的經典分子動力學計算而得到的最終結構。另外，圖 14 表示各結構中的徑向分佈函數 $g(r)$ 。

圖 13A 所示的單晶模型穩定並且其最終結構也保持晶體結構，但是圖 13B 所示的矽 (Si) 取代模型不穩定並隨著時間推移晶體結構崩潰，而變為非晶結構。另外，當參照圖 14 比較各結構模型的徑向分佈函數 $g(r)$ 時，可知單晶模型在長距離的地點也有峰值而具有長程有序性。另一方面，在矽 (Si) 取代模型中，在 0.6nm 附近峰值消失，可知其不具有長程有序性。

從上述計算結果可知，藉由使 InGaZnO_4 包含矽 (Si)，容易使 InGaZnO_4 非晶化。另外，確認到即使在 InGaZnO_4 中含有矽 (Si) 的狀態下進行高溫加熱， InGaZnO_4 也不會發生晶化。

接著，參照圖 12A、15A 至圖 16 對利用經典分子動力學計算檢查當對氧化物半導體膜 106 添加碳原子 (C) 時發生的結構變化的結果進行說明。注意，作為經典分子動力學計算軟體使用富士通株式會社製造的 SCIGRESS ME，以進行上述計算。

以下說明計算模型和計算條件。另外，在本計算中使

用 Born-Mayer-Huggins 勢。另外，在與碳原子（C）的原子間互相作用中使用 Lennard-Jones 勢。

作為計算模型，製造由 1680 原子數構成的 InGaZnO_4 的單晶結構（參照圖 12A）以及使用碳原子（C）分別取代由 1680 原子數構成的 InGaZnO_4 中的 In、Ga、Zn 的各 20 原子且使用碳原子（C）取代氧（O）的 80 原子的結構（參照圖 15A）。在圖 15A 所示的碳（C）取代模型中，碳原子（C）占 8.33atom%。另外，圖 12A 所示的單晶模型的密度是 6.36g/cm^3 ，並且圖 15A 所示的碳（C）取代模型的密度是 5.89g/cm^3 。

藉由在低於 InGaZnO_4 的單晶結構的溶點（利用經典分子動力學計算的估計約為 2000°C ）的 1727°C 下，以一定的壓力（1atom）進行 150psec（時間步長 $0.2\text{fsec}\times 75$ 萬步（step））的經典分子動力學計算，而對圖 12A 及圖 15A 所示的計算模型進行結構弛豫。此外，求出上述兩個結構的徑向分佈函數 $g(r)$ 。注意，徑向分佈函數 $g(r)$ 是指表示在離某個原子距離 r 的位置上存在其他原子的概率密度的函數。隨著原子之間的相關性減弱， $g(r)$ 逐漸接近於 1。

圖 13A 及圖 15B 分別表示藉由對上述兩個計算模型進行 150psec 的經典分子動力學計算而得到的最終結構。另外，圖 16 表示各結構中的徑向分佈函數 $g(r)$ 。

圖 13A 所示的單晶模型穩定並且其最終結構也保持晶體結構，但是圖 15B 所示的碳（C）取代模型不穩定並隨

著時間推移晶體結構崩潰，而變為非晶結構。另外，當參照圖 16 比較各結構模型的徑向分佈函數 $g(r)$ 時，可知單晶模型在長距離的地點也有峰值而具有長程有序性。另一方面，在碳 (C) 取代模型中，在 0.7nm 附近峰值消失，可知其不具有長程有序性。

從上述計算結果可知，藉由使 InGaZnO_4 包含碳 (C)，容易使 InGaZnO_4 非晶化。另外，確認到即使在 InGaZnO_4 中含有碳 (C) 的狀態下進行高溫加熱， InGaZnO_4 也不會發生晶化。

於是，在本實施例所示的半導體裝置中抑制矽等雜質引入到氧化物半導體膜 106 與閘極絕緣膜 110 之間的介面附近。其結果，在氧化物半導體膜 106 中，形成分佈在從與閘極絕緣膜 110 的介面向氧化物半導體膜 106 的內側的矽濃度為 $1.0\text{at.}\%$ 以下的區域。在圖 1B 中，該區域表示為區域 106a。另外，包含在區域 106a 中的矽濃度更佳為 $0.1\text{at.}\%$ 以下。此外，區域 106a 以接觸於閘極絕緣膜 110 且具有 5nm 以下的厚度的方式存在。

另外，在圖 1B 中，氧化物半導體膜 106 中的區域 106a 之外的區域表示為區域 106b。

另外，當在閘極絕緣膜 110 中包含有碳等雜質時，也有與上述矽同樣地作為雜質引入到氧化物半導體膜 106 中的憂慮。於是，將包含在區域 106a 中的碳濃度設定為 $1.0 \times 10^{20} \text{atoms/cm}^3$ 以下，較佳為設定為 $1.0 \times 10^{19} \text{atoms/cm}^3$ 以下。

爲了不使矽等雜質混入到氧化物半導體膜 106 中，可以以氧化物半導體膜 106 不受損傷的方式形成閘極絕緣膜 110。例如，當藉由濺射法使用氧化矽膜形成閘極絕緣膜 110 時，降低閘極絕緣膜 110 的構成元素的矽碰撞到氧化物半導體膜 106 的勢力，即可。明確而言，有如下方法：降低形成閘極絕緣膜 110 時的成膜電力；提高形成閘極絕緣膜 110 時的成膜壓力；或者延長形成閘極絕緣膜 110 時的靶材與基板之間的距離（T-S 間距離）等。但是，閘極絕緣膜 110 的形成方法不侷限於此。例如，可以藉由 PE-CVD 法使用氧化矽膜、氧氮化矽膜、氮氧化矽膜等形成閘極絕緣膜 110。因爲與濺射法相比，在 PE-CVD 法中用作基底膜的氧化物半導體膜 106 受到的損傷少，所以是較佳的。

如上所述，藉由降低引入到氧化物半導體膜 106 的區域 106a 中的矽及碳等雜質的濃度，可以抑制電晶體 150 的電特性變動。另外，當氧化物半導體膜 106 是 CAAC-OS 膜時，可以到與閘極絕緣膜 110 之間的介面附近形成結晶部。藉由使用上述氧化物半導體膜 106 製造電晶體 150，可以製造具有穩定的電特性的半導體裝置。

另外，在後面說明的電晶體 150 的製造方法中，參照圖 2A 至圖 2D 對其他構成要素的詳細內容進行說明。

<電晶體 150 的製造方法>

以下，參照圖 2A 至圖 2D 對根據本實施例的圖 1A 和

圖 1B 所示的電晶體 150 的製造方法的一個例子進行說明。

首先，準備基板 102。雖然對可以用於基板 102 的基板沒有很大的限制，但是至少需要具有能夠承受後面的加熱處理程度的耐熱性。例如，可以使用鋁硼矽酸鹽玻璃或鋁硼矽酸鹽玻璃等玻璃基板、陶瓷基板、石英基板、藍寶石基板等的基板。此外，還可以應用由矽或碳化矽等構成的單晶半導體基板或多晶半導體基板、由矽鍺等構成的化合物半導體基板、SOI 基板等。

另外，作為基板 102 也可以使用撓性基板。當使用撓性基板時，既可以在撓性基板上直接製造包括氧化物半導體膜 106 的電晶體，又可以在其他製造基板上製造包括氧化物半導體膜 106 的電晶體，然後將該電晶體剝離且轉置到撓性基板上。此外，為了將該電晶體從製造基板剝離且轉置到撓性基板上，較佳在製造基板與包括氧化物半導體膜 106 的電晶體之間設置剝離層。

接著，在基板 102 上形成基底絕緣膜 104（參照圖 2A）。基底絕緣膜 104 具有防止氫、水分等雜質元素從基板 102 擴散的效果，可以使用選自氮化矽膜、氧化矽膜、氮氧化矽膜或氧氮化矽膜中的一種或多種膜的疊層結構來形成。

另外，作為基底絕緣膜 104 的其他效果，可以將氧供應到後面形成的氧化物半導體膜 106 中。例如，當作為基底絕緣膜 104 使用包含氧化物的絕緣膜時，可以藉由對該

基底絕緣膜 104 進行加熱使氧的一部分脫離，從而可以將氧供應到氧化物半導體膜 106 中以填補氧化物半導體膜 106 中的氧缺損。尤其是，較佳在基底絕緣膜 104 中含有至少超過化學計量組成的氧，例如，作為基底絕緣膜 104 較佳為使用以 $\text{SiO}_{2+\alpha}$ （注意， $\alpha > 0$ ）表示的氧化矽膜。藉由將上述氧化矽膜用作基底絕緣膜 104，可以將氧供應到氧化物半導體膜 106 中，從而可以提高使用該氧化物半導體膜 106 的電晶體 150 的電晶體特性。

另外，也可以在形成基底絕緣膜 104 之前對基板 102 進行電漿處理等。作為電漿處理，例如可以進行引入氬氣體來產生電漿的反濺射。反濺射是指使用 RF 電源在氬氛圍下對基板 102 一側施加電壓來在基板 102 附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氦、氧等代替氬氛圍。藉由進行反濺射，可以去除附著在基板 102 的表面的粉狀物質（也稱為微粒、塵屑）。

接著，在基底絕緣膜 104 上形成氧化物半導體膜 106（參照圖 2A）。另外，較佳氧化物半導體膜 106 是 CAAC-OS 膜。此外，較佳以不接觸大氣的方式連續地形成基底絕緣膜 104 及氧化物半導體膜 106。

在此，對能夠用於氧化物半導體膜 106 的 CAAC-OS 膜進行詳細說明。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下該結晶部的

尺寸為能夠容納於一個邊長小於 100nm 的立方體的尺寸。另外，在使用透射電子顯微鏡（TEM:Transmission Electron Microscope）觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。並且，在 CAAC-OS 膜中利用 TEM 觀察不到晶界（也稱為晶粒邊界（grain boundary））。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，在不同結晶部之間，a 軸及 b 軸的方向可以分別不同。在本說明書等中，當只記載“垂直”時，包括 85°以上且 95°以下的範圍。另外，當只記載“平行”時，包括 -5°以上且 5°以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長時，有時在表面附近結晶部所占的比例高。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以有時根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或表面的剖面形狀）朝向彼此不同的方向。

另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量的方向。結晶部藉由進行成膜或進行成膜之後的加熱處理等的晶化處理來形成。

使用 CAAC-OS 膜的電晶體能夠降低由可見光或紫外光引起的電晶體的電特性的變動。另外，可以抑制閾值的變動及偏差。因此，該電晶體的可靠性高。

另外，具有結晶性的氧化物半導體可以進一步降低塊體內缺陷。再者，藉由提高具有結晶性的氧化物半導體膜表面的平坦性，使用該氧化物半導體的頂閘極結構的電晶體可以得到使用處於非晶狀態的氧化物半導體的電晶體的場效應遷移率以上的場效應遷移率。爲了提高氧化物半導體膜表面的平坦性，較佳在平坦的表面上形成氧化物半導體，具體地，在平均面粗糙度（Ra）爲 0.15nm 以下，較佳爲 0.1nm 以下的表面上形成氧化物半導體。

注意，Ra 是將算術平均粗糙度擴大爲三維以使其能夠應用於面，可以以“將從基準面到指定面的偏差的絕對值平均而得的值”表示，以如下算式定義。

[算式 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

這裏，指定面是指成爲測量粗糙度對象的面，並且是以座標（ $x_1, y_1, f(x_1, y_1)$ ）（ $x_1, y_2, f(x_1, y_2)$ ）（ $x_2, y_1, f(x_2, y_1)$ ）（ $x_2, y_2, f(x_2, y_2)$ ）的四點

表示的四角形的區域，指定面投影在 xy 平面的長方形的面積為 S_0 ，基準面的高度（指定面的平均高度）為 Z_0 。可以利用原子力顯微鏡（AFM：Atomic Force Microscope）測量 R_a 。

另外，較佳用於氧化物半導體膜 106 的氧化物半導體至少包含銦（In）或鋅（Zn）。特別較佳為包含 In 及 Zn。另外，作為用來減少使用該氧化物半導體膜的電晶體的電特性不均勻的穩定劑，較佳除了包含上述元素以外，還包含鎵（Ga）。另外，作為穩定劑，較佳為包含錫（Sn）。另外，作為穩定劑，較佳為包含選自鈪（Hf）、鋯（Zr）、鈦（Ti）、釷（Sc）、鉕（Y）、鑼系元素（例如，鈰（Ce）、釹（Nd）、釱（Gd））中的一種或多種。

例如，作為氧化物半導體可以使用氧化銦；氧化錫；氧化鋅；In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物、In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-Zr-Zn 類氧化物、In-Ti-Zn 類氧化物、In-Sc-Zn 類氧化物、In-Y-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn

類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物、In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

在此，“In-Ga-Zn 氧化物”是指以 In、Ga 以及 Zn 為主要成分的氧化物，對 In、Ga 以及 Zn 的比率沒有限制。此外，也可以包含 In、Ga 及 Zn 以外的金屬元素。

另外，作為氧化物半導體可以使用由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$ ，且 m 不是整數) 表示的材料。另外，M 表示選自 Ga、Fe、Mn 及 Co 中的一種或多種金屬元素或者用作上述穩定劑的元素。另外，作為氧化物半導體，也可以使用由 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$ ，且 n 是整數) 表示的材料。

例如，可以使用其原子數比為 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ 或 $\text{In}:\text{Ga}:\text{Zn}=2:1:3$ 的 In-Ga-Zn 類氧化物或其組成附近的氧化物。

另外，在氧化物半導體膜 106 的成膜製程中，較佳在氧化物半導體膜 106 中儘量不包含氫或水。例如，作為氧化物半導體膜 106 的成膜製程的預處理，較佳在濺射裝置的預熱室中對形成有基底絕緣膜 104 的基板 102 進行預熱，使吸附到基板 102 及基底絕緣膜 104 的氫、水分等雜質脫離並進行排氣。另外，當形成氧化物半導體膜 106 時，較佳在殘留水分被排出的沉積室（也稱為成膜處理室）中進行。

另外，為了去除預熱室及沉積室內的水分，較佳為使

用吸附型的真空泵，例如低溫泵、離子泵、鈦昇華泵。另外，作為排氣單元，也可以使用提供有冷阱的渦輪泵。因為在使用低溫泵進行了排氣的預熱室及沉積室中，例如氫原子、水（ H_2O ）等包含氫原子的化合物（更佳的是，還對包含碳原子的化合物）等被排出，所以可以降低氧化物半導體膜 106 所包含的氫、水分等雜質的濃度。

另外，在本實施例中，作為氧化物半導體膜 106 藉由濺射法形成 In-Ga-Zn 類氧化物。此外，可以在稀有氣體（典型的是氬）氛圍下、氧氛圍下或稀有氣體和氧的混合氛圍下藉由濺射法形成氧化物半導體膜 106。

用來作為氧化物半導體膜 106 藉由濺射法形成 In-Ga-Zn 類氧化物的靶材例如可以使用如下靶材：原子數比為 In:Ga:Zn=1:1:1 的金屬氧化物靶材；原子數比為 In:Ga:Zn=3:1:2 的金屬氧化物靶材；或原子數比為 In:Ga:Zn=2:1:3 的金屬氧化物靶材。但是，能夠用於氧化物半導體膜 106 的靶材不侷限於這些靶材的材料及成分比。

另外，當使用上述金屬氧化物靶材形成氧化物半導體膜 106 時，有時靶材的組成與形成在基板上的薄膜的組成不同。例如，在使用 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [莫耳比] 的金屬氧化物靶材的情況下，雖然依賴於成膜條件，但是有時薄膜的氧化物半導體膜 106 的成分比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:0.6$ 至 0.8 [莫耳比]。這認為因為如下緣故：在形成氧化物半導體膜 106 中 ZnO 昇華，或者 In_2O_3 、 Ga_2O_3 、ZnO

的各成分的濺射速率不同。

因此，當想形成具有所希望的成分比的薄膜時，需要預先調整金屬氧化物靶材的成分比。例如，在將薄膜的氧化物半導體膜 106 的成分比設定為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [莫耳比] 的情況下，可以將金屬氧化膜靶材的成分比設定為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1.5$ [莫耳比]。換言之，可以預先增大金屬氧化物靶材的 ZnO 的含量。注意，靶材的成分比不侷限於上述數值，可以根據成膜條件或所形成的薄膜的組成適當的調整。另外，藉由增大金屬氧化物靶材的 ZnO 的含量，所得到的薄膜的結晶性得到提高，所以是較佳的。

此外，金屬氧化物靶材的相對密度為 90% 以上且 100% 以下，較佳為 95% 以上且 99.9% 以下。藉由使用高相對密度的金屬氧化物靶材，可以形成緻密的氧化物半導體膜 106。

另外，作為當形成氧化物半導體膜 106 時使用的濺射氣體，較佳為使用去除了氫、水、羥基或氫化物等雜質的高純度氣體。

當作為氧化物半導體膜 106 應用 CAAC-OS 膜時，作為形成該 CAAC-OS 膜的方法可以舉出如下三個方法。第一個方法是：在 100°C 以上且 450°C 以下的成膜溫度下形成氧化物半導體膜，由此形成 c 軸在平行於氧化物半導體膜的被形成面的法線向量或表面的法線向量的方向上一致的結晶部。第二個方法是：在以薄厚度形成氧化物半導體

膜之後進行 200°C 以上且 700°C 以下的熱處理，由此形成 c 軸在平行於氧化物半導體膜的被形成面的法線向量或表面的法線向量的方向上一致的結晶部。第三個方法是：在以薄厚度形成第一層氧化物半導體膜之後進行 200°C 以上且 700°C 以下的熱處理，再者形成第二層氧化物半導體膜，由此形成 c 軸在平行於氧化物半導體膜的被形成面的法線向量或表面的法線向量的方向上一致的結晶部。

另外，CAAC-OS 膜例如使用多晶的氧化物半導體濺射靶材，且利用濺射法形成。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域從 a - b 面劈開，即具有平行於 a - b 面的面的平板狀或顆粒狀的濺射粒子剝離。此時，藉由該平板狀的濺射粒子保持結晶狀態到達基板，可以形成 CAAC-OS 膜。

另外，爲了形成 CAAC-OS 膜，較佳爲應用如下條件。

藉由降低成膜時的雜質的混入，可以抑制因雜質導致的結晶狀態的破壞。例如，可以降低存在於沉積室內的雜質（氫、水、二氧化碳及氮等）的濃度。另外，可以降低成膜氣體中的雜質濃度。明確而言，使用露點爲 -80°C 以下，較佳爲 -100°C 以下的成膜氣體。

另外，藉由提高成膜時的基板加熱溫度，在濺射粒子到達基板之後發生濺射粒子的遷移。明確而言，在將基板加熱溫度設定爲 100°C 以上且 740°C 以下，較佳爲 150°C 以上且 500°C 以下的狀態下進行成膜。藉由增高成膜時的基

板加熱溫度，當平板狀的濺射粒子到達基板時，在基板上發生遷移，濺射粒子的平坦的面附著到基板。

另外，較佳的是，藉由提高成膜氣體中的氧比例並對電力進行最優化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol.% 以上，較佳為 100vol.%。

另外，當作爲氧化物半導體膜 106 形成 CAAC-OS 膜以外的具有結晶性的氧化物半導體膜（單晶或微晶）時，對成膜溫度沒有特別的限制。

接著，在基底絕緣膜 104 及氧化物半導體膜 106 上形成用於源極電極及汲極電極（包括由與其相同的層形成的佈線）的導電膜。作為用於源極電極及汲極電極的導電膜，例如可以使用包含選自鋁、鉻、銅、鈮、鈦、鉬、鎢中的元素的金屬膜或以上述元素爲成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。另外，還可以採用在鋁、銅等金屬膜的下側和上側中的一者或兩者層疊鈦、鉬、鎢等高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）的結構。此外，也可以使用導電金屬氧化物形成用於源極電極及汲極電極的導電膜。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、銦錫氧化物（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫爲 ITO）、銦鋅氧化物（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）。用於源極電極及汲極電極的導電膜可以藉由使用上述材料以單層或疊層形成。對其形成方法也沒有特別的限制，可以使用蒸鍍法、CVD 法、濺射法或旋塗法等各種成膜方法。

接著，藉由光微影製程在導電膜上形成光阻掩罩，選擇性地進行蝕刻來形成源極電極 108a 及汲極電極 108b，然後去除光阻掩罩（參照圖 2B）。作為藉由該光微影製程形成光阻掩罩時的曝光，較佳為使用紫外線、KrF 雷射、ArF 雷射。

另外，藉由上述製程，根據在氧化物半導體膜 106 上相鄰的源極電極 108a 的下端部與汲極電極 108b 的下端部之間的間隔寬度決定後面形成的電晶體 150 的通道長度 L。因此，當進行通道長度 L 短於 25nm 的曝光時，例如較佳為使用波長極短，即幾 nm 至幾十 nm 的極紫外線（Extreme Ultraviolet）進行藉由光微影製程形成光阻掩罩時的曝光。使用極紫外線的曝光的解析度高且其聚焦深度也大。因此，可以使後面形成的電晶體 150 的通道長度 L 微型化，而可以提高電路的工作速度。

此外，為了縮減在光微影製程中使用的光掩模數及製程數，也可以使用由透過的光成為多種強度的曝光掩模的多色調掩模形成的光阻掩罩進行蝕刻製程。由於使用多色調掩模形成的光阻掩罩成為具有多種厚度的形狀，並且藉由進行蝕刻可以進一步改變形狀，因此可以用於加工為不同圖案的多個蝕刻製程。由此，可以使用一個多色調掩模形成至少對應於兩種以上的不同圖案的光阻掩罩。從而，可以縮減曝光掩模數，並可以縮減對應的光微影製程，所以可以實現製程的簡化。

注意，當蝕刻導電膜時，較佳使蝕刻條件最適化以防

止氧化物半導體膜 106 被蝕刻而分離。但是，很難僅蝕刻導電膜而完全不蝕刻氧化物半導體膜 106，所以有時當蝕刻導電膜時只有氧化物半導體膜 106 的一部分被蝕刻，例如，氧化物半導體膜 106 的厚度的 5%至 50%被蝕刻，而成為具有槽部（凹部）的氧化物半導體膜 106。

接著，以覆蓋氧化物半導體膜 106、源極電極 108a 及汲極電極 108b 的方式形成閘極絕緣膜 110。在此，例如可以將閘極絕緣膜 110 的厚度設定為 1nm 以上且 500nm 以下。另外，對閘極絕緣膜 110 的製造方法沒有特別的限制，例如可以適當地利用濺射法、MBE 法、CVD 法、脈衝雷射沉積法、ALD 法等製造閘極絕緣膜 110。

閘極絕緣膜 110 較佳為使用具有充分的耐壓性及絕緣性的氧化物絕緣膜。當閘極絕緣膜 110 採用單層結構時例如可以使用氧化矽等含有矽的氧化物。

另外，當形成閘極絕緣膜 110 時，矽等雜質引入到氧化物半導體膜 106 與閘極絕緣膜 110 之間的介面附近。其結果，在氧化物半導體膜 106 與閘極絕緣膜 110 之間的介面附近形成區域 106a，除了區域 106a 之外的氧化物半導體膜 106 成為區域 106b。

另外，包含在區域 106a 中的矽濃度為 1.0at.%以下，較佳為 0.1at.%以下。此外，區域 106a 以接觸於閘極絕緣膜 110 且具有 5nm 以下的厚度的方式存在。

另外，當在閘極絕緣膜 110 中包含有碳等雜質時，與上述矽同樣地作為雜質引入到氧化物半導體膜 106 的區域

106a 中。於是，將包含在區域 106a 中的碳濃度設定為 $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以下，較佳為設定為 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下。

另外，閘極絕緣膜 110 也可以具有疊層結構。當作為閘極絕緣膜 110 採用疊層結構時，例如在包含矽的氧化物上層疊氧化鎂、氧化鋁、氮化矽、氧氮化矽、氧氮化鋁、氧化鈮、氧化釧或氮氧化矽等，即可。此外，在包含矽的氧化物上層疊氧化鈦、矽酸鈦（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加有氮的矽酸鈦（ HfSiO_xN_y （ $x>0$ 、 $y>0$ ））及鋁酸鈦（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））等 high-k 材料，即可。

藉由作為閘極絕緣膜 110 使用包含矽的氧化物，可以藉由對該絕緣膜進行加熱使氧的一部分脫離，從而將氧供應到氧化物半導體膜 106 中以填補氧化物半導體膜 106 中的氧缺損。尤其是，較佳在閘極絕緣膜 110 中含有至少超過化學計量組成的氧，例如，作為閘極絕緣膜 110 較佳為使用以 $\text{SiO}_{2+\alpha}$ （注意， $\alpha>0$ ）表示的氧化矽膜。藉由將上述氧化矽膜用作閘極絕緣膜 110，可以將氧供應到氧化物半導體膜 106 中，從而可以提高使用該氧化物半導體膜 106 的電晶體 150 的電晶體特性。

另外，為了不使矽等雜質混入到氧化物半導體膜 106 中，可以以氧化物半導體膜 106 不受損傷的方式形成閘極絕緣膜 110。例如，當藉由濺射法使用氧化矽膜形成閘極絕緣膜 110 時，降低閘極絕緣膜 110 的構成元素的矽碰撞

到氧化物半導體膜 106 的勢力，即可。明確而言，有如下方法：降低形成閘極絕緣膜 110 時的成膜電力；提高形成閘極絕緣膜 110 時的成膜壓力；或者延長形成閘極絕緣膜 110 時的靶材與基板之間的距離（T-S 間距離）等。但是，閘極絕緣膜 110 的形成方法不侷限於此。例如，可以藉由 PE-CVD 法使用氧化矽膜、氧氮化矽膜、氮氧化矽膜等形成閘極絕緣膜 110。因為與濺射法相比，在 PE-CVD 法中用作基底膜的氧化物半導體膜 106 受到的損傷少，所以是較佳的。

接著，在閘極絕緣膜 110 上形成用來形成閘極電極（包括由與該閘極電極相同的層形成的佈線）的導電膜。作為用於閘極電極的導電膜，例如可以使用鉬、鈦、鉕、鎢、鋁、銅、鈹、鈳等金屬材料或以這些金屬材料為主要成分的合金材料。作為用於閘極電極的導電膜，也可以使用導電金屬氧化物形成。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、銦錫氧化物（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時縮寫為 ITO）、銦鋅氧化物（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者藉由使這些金屬氧化物材料含有矽或氧化矽而形成的金屬氧化物。閘極電極可以使用上述材料以單層或疊層形成。對其形成方法也沒有特別的限制，可以使用蒸鍍法、CVD 法、濺射法或旋塗法等各種成膜方法。

接著，藉由光微影製程在導電膜上形成光阻掩罩，選擇性地進行蝕刻來形成閘極電極 112，然後去除光阻掩罩

(參照圖 2C)。此外，也可以藉由噴墨法形成用來形成閘極電極 112 的光阻掩罩。因為當利用噴墨法形成光阻掩罩時不使用光掩模，所以可以降低製造成本。另外，作為閘極電極 112 的蝕刻，可以採用乾蝕刻和濕蝕刻中的一者或兩者。此外，在形成閘極電極 112 的步驟，形成有電晶體 150。

接著，在閘極絕緣膜 110 及閘極電極 112 上形成層間絕緣膜 114 (參照圖 2D)。

作為層間絕緣膜 114 較佳為使用無機絕緣膜，可以使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜、氧化鎵膜、氧化鉛等氧化物絕緣膜的單層或疊層。另外，也可以在上述氧化物絕緣膜上還形成氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等氮化物絕緣膜的單層或疊層。例如，藉由濺射法從閘極電極 112 一側依次形成氧化矽膜及氧化鋁膜的疊層。

較佳在形成層間絕緣膜 114 之後，對氧化物半導體膜 106 進行熱處理。將該熱處理的溫度設定為 300℃ 以上且 700℃ 以下，或低於基板的應變點。

該熱處理在氮、氧、超乾燥空氣 (含水量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣) 或稀有氣體 (氬、氦等) 氛圍下進行，即可。但是，上述氮、氧、超乾燥空氣或稀有氣體等的氛圍較佳不含有水、氫等。另外，較佳將引入到熱處理裝置中的氮、氧或稀有氣體的純度設定為 6N (99.9999%) 以上，較佳為設定為 7N

(99.99999%) 以上 (即 , 將雜質濃度設定為 1ppm 以下 , 較佳為設定為 0.1ppm 以下) 。

形成氧化物半導體膜之後的熱處理有可能減少構成氧化物半導體的主要成分材料之一的氧。然而,在該熱處理中,可以從使用基底絕緣膜 104 或包含矽的氧化物形成的閘極絕緣膜 110 對氧化物半導體膜 106 供應氧,由此可以填補氧化物半導體膜 106 中的氧缺損。

藉由進行如上述那樣的熱處理,可以以儘量不含有主要成分以外的雜質的方式使氧化物半導體膜 106 高度純化。在被高度純化的氧化物半導體膜 106 中,起因於施體的載流子極少(近於 0),載流子濃度低於 $1 \times 10^{14} / \text{cm}^3$, 較佳低於 $1 \times 10^{12} / \text{cm}^3$, 更佳地低於 $1 \times 10^{11} / \text{cm}^3$ 。如上所述,可以形成被 i 型(本質)化的氧化物半導體膜 106。

藉由上述製程形成有電晶體 150。在電晶體 150 中降低引入到氧化物半導體膜 106 的區域 106a 中的矽等雜質的濃度。另外,當氧化物半導體膜是 CAAC-OS 膜時,可以到與閘極絕緣膜 110 之間的介面附近形成結晶部。因此,可以使電晶體 150 具有穩定的電特性。

此外,也可以在層間絕緣膜 114 上還設置平坦化絕緣膜。作為平坦化絕緣膜,可以使用具有耐熱性的有機材料如丙烯酸類樹脂、聚醯亞胺類樹脂、苯並環丁烯類樹脂、聚醯胺類樹脂、環氧樹脂等。另外,除了上述有機材料之外,還可以使用低介電常數材料(low-k 材料)、矽氧烷類樹脂等。另外,也可以層疊多個由這些材料形成的絕緣

膜。

以上，本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

實施例 2

在本實施例中，參照圖 3A 至圖 5B 對實施例 1 的圖 1A 至圖 2D 所示的半導體裝置及半導體裝置的製造方法的變形例子進行說明。另外，使用與圖 1A 至圖 2D 所示的符號相同的符號，而省略其重複說明。

<半導體裝置的結構例子（變形例子）>

作為半導體裝置的一個例子，圖 3A 及圖 3B 示出頂閘極結構的電晶體的平面圖及剖面圖。圖 3A 是平面圖，圖 3B 相當於沿著圖 3A 中的虛線 X2-Y2 的剖面圖。注意，在圖 3A 中為了避免複雜，而省略電晶體 160 的構成要素的一部分（例如，閘極絕緣膜 110 等）。

圖 3A 及圖 3B 所示的電晶體 160 在基板 102 上包括：基底絕緣膜 104；形成在基底絕緣膜 104 上的包括區域 106c、區域 106d、區域 106e 及區域 106f 的氧化物半導體膜 106；形成在氧化物半導體膜 106 上的閘極絕緣膜 110；與閘極絕緣膜 110 接觸且設置在至少與氧化物半導體膜 106 重疊的區域上的閘極電極 112；形成在閘極絕緣膜 110 及閘極電極 112 上的層間絕緣膜 114；以及設置在層間絕緣膜 114 上且與氧化物半導體膜 106 電連接的源極

電極 108a 及汲極電極 108b。

氧化物半導體膜 106 包括用作通道形成區的區域 106c 及區域 106d，包括以夾著通道形成區的方式用作一對低電阻區的區域 106e 及區域 106f。

另外，如圖 3B 所示，氧化物半導體膜 106 的端部較佳為具有 20° 至 50° 的錐角。當氧化物半導體膜 106 具有垂直端部時，氧容易從氧化物半導體膜 106 的端部脫離而產生氧缺損。但是，藉由在氧化物半導體膜 106 的端部具有錐角，可以抑制氧缺損的產生並降低電晶體 160 的洩漏電流的產生。

另外，閘極絕緣膜 110 較佳為使用具有充分的耐壓性及絕緣性的氧化物絕緣膜。當閘極絕緣膜 110 採用單層結構時例如可以使用氧化矽等含有矽的氧化物。

另外，藉由作為閘極絕緣膜 110 使用包含矽的氧化物，可以藉由對該絕緣膜進行加熱使氧的一部分脫離，從而可以將氧供應到氧化物半導體膜 106 中以填補氧化物半導體膜 106 中的氧缺損。尤其是，較佳在閘極絕緣膜 110 中含有至少超過化學計量組成的氧，例如，作為閘極絕緣膜 110 較佳為使用以 $\text{SiO}_{2+\alpha}$ （注意， $\alpha > 0$ ）表示的氧化矽膜。藉由將上述氧化矽膜用作閘極絕緣膜 110，可以將氧供應到氧化物半導體膜 106 中，從而可以提高使用該氧化物半導體膜 106 的電晶體 160 的電晶體特性。

然而，當作為閘極絕緣膜 110 使用氧化矽膜時，有閘極絕緣膜 110 中的矽作為雜質引入到氧化物半導體膜 106

中的憂慮。當閘極絕緣膜 110 的構成元素的矽等作為雜質引入到氧化物半導體膜 106 中時，成為影響到電晶體特性的主要原因。另外，在氧化物半導體膜 106 是 CAAC-OS 膜的情況下，閘極絕緣膜 110 的構成元素混入到氧化物半導體膜 106 中，氧化物半導體膜 106 的結晶部的鍵被切斷，在閘極絕緣膜 110 附近的氧化物半導體膜 106 中形成多個非晶區。

尤其是，在氧化物半導體膜 106 與閘極絕緣膜 110 之間的介面附近，矽等雜質容易被引入。由於在氧化物半導體膜 106 與閘極絕緣膜 110 之間的介面附近形成有電晶體 160 的通道區，所以當矽等雜質引入到氧化物半導體膜 106 與閘極絕緣膜 110 之間的介面附近時，有使電晶體 150 的電特性變動的憂慮。

於是，在本實施例所示的半導體裝置中抑制矽等雜質引入到氧化物半導體膜 106 與閘極絕緣膜 110 之間的介面附近。其結果，在氧化物半導體膜 106 中，形成分佈在從與閘極絕緣膜 110 的介面向氧化物半導體膜 106 的內側的矽濃度為 1.0at.% 以下的區域。在圖 3B 中，該區域表示為區域 106c 及區域 106e。另外，包含在區域 106c 及區域 106e 中的矽濃度更佳為 0.1at.% 以下。此外，區域 106c 及區域 106e 以接觸於閘極絕緣膜 110 且具有 5nm 以下的厚度的方式存在。

另外，在圖 3B 中，在氧化物半導體膜 106 中，基底絕緣膜 104 一側的區域表示為區域 106d 及區域 106f，近

於閘極絕緣膜 110 的區域表示為區域 106c 及區域 106e。

另外，當在閘極絕緣膜 110 中包含碳等雜質時，也有與上述矽同樣地作為雜質引入氧化物半導體膜 106 中的憂慮。於是，將包含在區域 106c 及區域 106e 中的碳濃度設定為 $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以下，較佳為設定為 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下。

為了不使矽等雜質混入到氧化物半導體膜 106 中，可以以氧化物半導體膜 106 不受損傷的方式形成閘極絕緣膜 110。例如，當藉由濺射法使用氧化矽膜形成閘極絕緣膜 110 時，降低閘極絕緣膜 110 的構成元素的矽碰撞到氧化物半導體膜 106 的勢力，即可。明確而言，有如下方法：降低形成閘極絕緣膜 110 時的成膜電力；提高形成閘極絕緣膜 110 時的成膜壓力；或者延長形成閘極絕緣膜 110 時的靶材與基板之間的距離（T-S 間距離）等。但是，閘極絕緣膜 110 的形成方法不侷限於此。例如，可以藉由 PE-CVD 法使用氧化矽膜、氧氮化矽膜、氮氧化矽膜等形成閘極絕緣膜 110。因為與濺射法相比，在 PE-CVD 法中用作基底膜的氧化物半導體膜 106 受到的損傷少，所以是較佳的。

如上所述，藉由降低引入到氧化物半導體膜 106 的區域 106c 及區域 106e 中的矽及碳等雜質的濃度，可以抑制電晶體 160 的電特性變動。另外，當氧化物半導體膜 106 是 CAAC-OS 膜時，可以到與閘極絕緣膜 110 之間的介面附近形成結晶部。藉由使用上述氧化物半導體膜 106 製造

電晶體 160，可以製造具有穩定的電特性的半導體裝置。

另外，在後面說明的電晶體 160 的製造方法中，參照圖 4A 至圖 5B 對其他構成要素的詳細內容進行說明。

<電晶體 160 的製造方法>

以下，參照圖 4A 至圖 5B 對根據本實施例的圖 3A 和圖 3B 所示的電晶體 160 的製造方法的一個例子進行說明。

首先，準備基板 102。基板 102 可以採用與實施例 1 所記載的結構同樣的結構。

接著，在基板 102 上形成基底絕緣膜 104（參照圖 4A）。基底絕緣膜 104 具有防止氫、水分等雜質元素從基板 102 擴散的功能，可以使用選自氮化矽膜、氧化矽膜、氮氧化矽膜或氧氮化矽膜中的一種或多種膜的疊層結構來形成。

另外，作為基底絕緣膜 104 的其他效果，可以將氧供應到後面形成的氧化物半導體膜 106 中。例如，當作為基底絕緣膜 104 使用包含氧化物的絕緣膜時，可以藉由對該基底絕緣膜 104 進行加熱使氧的一部分脫離，從而可以將氧供應到氧化物半導體膜 106 中以填補氧化物半導體膜 106 中的氧缺損。尤其是，較佳在基底絕緣膜 104 中含有至少超過化學計量組成的氧，例如，作為基底絕緣膜 104 較佳為使用以 $\text{SiO}_{2+\alpha}$ （注意， $\alpha > 0$ ）表示的氧化矽膜。藉由將上述氧化矽膜用作基底絕緣膜 104，可以將氧供應到

氧化物半導體膜 106 中，從而可以提高使用該氧化物半導體膜 106 的電晶體 160 的電晶體特性。

另外，也可以在形成基底絕緣膜 104 之前對基板 102 進行電漿處理等。作為電漿處理，例如可以進行引入氬氣體來產生電漿的反濺射。反濺射是指使用 RF 電源在氬氛圍下對基板 102 一側施加電壓來在基板 102 附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氬、氧等代替氬氛圍。藉由進行反濺射，可以去除附著在基板 102 的表面的粉狀物質（也稱為微粒、塵屑）。

接著，在基底絕緣膜 104 上形成氧化物半導體膜 106（參照圖 4A）。另外，較佳氧化物半導體膜 106 是 CAAC-OS 膜。此外，較佳以不接觸大氣的方式連續地形成基底絕緣膜 104 及氧化物半導體膜 106。

氧化物半導體膜 106 可以採用與實施例 1 所記載的結構同樣的結構。

接著，以覆蓋氧化物半導體膜 106 的方式形成閘極絕緣膜 110（參照圖 4B）。在此，例如可以將閘極絕緣膜 110 的厚度設定為 1nm 以上且 500nm 以下。另外，對閘極絕緣膜 110 的製造方法沒有特別的限制，例如可以適當地利用濺射法、MBE 法、CVD 法、脈衝雷射沉積法、ALD 法等製造閘極絕緣膜 110。

閘極絕緣膜 110 較佳為使用具有充分的耐壓性及絕緣性的氧化物絕緣膜。當閘極絕緣膜 110 採用單層結構時例如可以使用氧化矽等包含矽的氧化物。

另外，當形成閘極絕緣膜 110 時，矽等雜質引入到氧化物半導體膜 106 與閘極絕緣膜 110 之間的介面附近。其結果，在氧化物半導體膜 106 與閘極絕緣膜 110 之間的介面附近形成區域 106g，除了區域 106g 之外的氧化物半導體膜 106 成為區域 106h。另外，區域 106g 是後面成為區域 106c 及區域 106e 的部分，區域 106h 是後面成為區域 106d 及區域 106f 的部分。

另外，包含在區域 106g 中的矽濃度為 1.0at.%以下，較佳為 0.1at.%以下。此外，區域 106g 以接觸於閘極絕緣膜 110 且具有 5nm 以下的厚度的方式存在。

另外，當在閘極絕緣膜 110 中包含有碳等雜質時，與上述矽同樣地作為雜質引入到氧化物半導體膜 106 的區域 106g 中。於是，將包含在區域 106g 中的碳濃度設定為 $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以下，較佳為設定為 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下。

另外，閘極絕緣膜 110 也可以具有疊層結構。當作為閘極絕緣膜 110 採用疊層結構時，例如在包含矽的氧化物上層疊氧化鎵、氧化鋁、氮化矽、氧氮化矽、氧氮化鋁、氧化鉍、氧化釧或氮氧化矽等，即可。此外，在包含矽的氧化物上層疊氧化鈺、矽酸鈺（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加有氮的矽酸鈺（ HfSiO_xN_y （ $x>0$ ， $y>0$ ））及鋁酸鈺（ HfAl_xO_y （ $x>0$ ， $y>0$ ））等 high-k 材料，即可。

藉由作為閘極絕緣膜 110 使用包含矽的氧化物，可以

藉由對該絕緣膜進行加熱使氧的一部分脫離，從而將氧供應到氧化物半導體膜 106 中以填補氧化物半導體膜 106 中的氧缺損。尤其是，較佳在閘極絕緣膜 110 中含有至少超過化學計量組成的氧，例如，作為閘極絕緣膜 110 較佳為使用以 $\text{SiO}_{2+\alpha}$ （注意， $\alpha>0$ ）表示的氧化矽膜。藉由將上述氧化矽膜用作閘極絕緣膜 110，可以將氧供應到氧化物半導體膜 106 中，從而可以提高使用該氧化物半導體膜 106 的電晶體 160 的電晶體特性。

另外，為了不使矽等雜質混入到氧化物半導體膜 106 中，可以以氧化物半導體膜 106 不受損傷的方式形成閘極絕緣膜 110。例如，當藉由濺射法使用氧化矽膜形成閘極絕緣膜 110 時，降低閘極絕緣膜 110 的構成元素的矽碰撞到氧化物半導體膜 106 的勢力，即可。明確而言，有如下方法：降低形成閘極絕緣膜 110 時的成膜電力；提高形成閘極絕緣膜 110 時的成膜壓力；或者延長形成閘極絕緣膜 110 時的靶材與基板之間的距離（T-S 間距離）等。但是，閘極絕緣膜 110 的形成方法不侷限於此。例如，可以藉由 PE-CVD 法使用氧化矽膜、氧氮化矽膜、氮氧化矽膜等形成閘極絕緣膜 110。因為與濺射法相比，在 PE-CVD 法中用作基底膜的氧化物半導體膜 106 受到的損傷少，所以是較佳的。

接著，在閘極絕緣膜 110 上形成用來形成閘極電極（包括由與該閘極電極相同的層形成的佈線）的導電膜。作為用於閘極電極的導電膜，可以使用與實施例 1 所記載

的材料等同樣的結構。

接著，藉由光微影製程在導電膜上形成光阻掩罩，選擇性地進行蝕刻來形成閘極電極 112，然後去除光阻掩罩（參照圖 4C）。此外，也可以藉由噴墨法形成用來形成閘極電極 112 的光阻掩罩。因為當利用噴墨法形成光阻掩罩時不使用光掩模，所以可以降低製造成本。另外，作為閘極電極 112 的蝕刻，可以採用乾蝕刻和濕蝕刻中的一者或兩者。

接著，以閘極電極 112 為掩模將摻雜劑 181 引入到氧化物半導體膜 106 中，形成用作一對低電阻區的區域 106e 及區域 106f（參照圖 4D）。

摻雜劑 181 是改變氧化物半導體膜 106 的導電率的雜質。作為摻雜劑 181，可以使用選自第 15 族元素（典型的是磷（P）、砷（As）及銻（Sb））、硼（B）、鋁（Al）、氮（N）、氬（Ar）、氦（He）、氖（Ne）、銦（In）、氟（F）、氯（Cl）、鈦（Ti）和鋅（Zn）中的任一種以上。

也可以藉由注入法使摻雜劑 181 也可以穿過別的膜（例如閘極絕緣膜 110）而將其引入到氧化物半導體膜 106 中。作為摻雜劑 181 的引入方法，可以利用離子植入法、離子摻雜法、電漿浸沒離子植入法等。此時較佳為使用摻雜劑 181 的單個離子或氟化物、氯化物的離子。

可以藉由適當地設定加速電壓、劑量等的注入條件或者使摻雜劑 181 穿過的膜的厚度來控制摻雜劑 181 的引入

製程。在本實施例中，藉由離子植入法，作為摻雜劑 181 使用磷來進行磷離子的引入。另外，也可以將摻雜劑 181 的劑量設定為 $1 \times 10^{13} \text{ ions/cm}^2$ 以上且 $5 \times 10^{16} \text{ ions/cm}^2$ 以下。

低電阻區中的摻雜劑 181 的濃度較佳為 $5 \times 10^{18} / \text{cm}^3$ 以上且 $1 \times 10^{22} / \text{cm}^3$ 以下。

另外，當將摻雜劑 181 引入時，也可以同時加熱基板 102。

此外，既可以多次進行將摻雜劑 181 引入到氧化物半導體膜 106 中的處理，又可以使用多種摻雜劑。

另外，也可以在摻雜劑 181 的引入處理之後進行加熱處理。作為加熱條件，較佳為採用如下條件：溫度為 300°C 以上且 700°C 以下，較佳為 300°C 以上且 450°C 以下；在氧氛圍下；進行 1 小時。此外，也可以在氮氛圍下、減壓下或大氣（超乾燥空氣氛圍）下進行加熱處理。

當氧化物半導體膜 106 是結晶氧化物半導體膜或 CAAC-OS 膜時，有時由於摻雜劑 181 的引入其一部分被非晶化。在此情況下，藉由在引入摻雜劑 181 之後進行加熱處理，可以恢復氧化物半導體膜 106 的結晶性。

因此，在氧化物半導體膜 106 中，形成以夾著用作通道形成區的區域 106c 及區域 106d 設置有用作低電阻區的區域 106e 及區域 106f 的氧化物半導體膜 106。

接著，在閘極絕緣膜 110 及閘極電極 112 上形成層間絕緣膜 114（參照圖 5A）。

作為層間絕緣膜 114 較佳為使用無機絕緣膜，可以使用氧化矽膜、氮化矽膜、氧化鋁膜、氮化鋁膜、氧化鎵膜、氧化鉛等氧化物絕緣膜的單層或疊層。另外，也可以在上述氧化物絕緣膜上還形成氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等氮化物絕緣膜的單層或疊層。例如，藉由濺射法從閘極電極 112 一側依次形成氧化矽膜及氧化鋁膜的疊層。

當作為層間絕緣膜使用氧化鋁膜時，氧化鋁膜可以在製程中及製造之後防止成為電晶體 160 的電特性變動的主要原因的氫、水分等雜質混入到氧化物半導體膜 106 中。另外，氧化鋁膜可以在製程中及製造之後防止構成氧化物半導體的主要成分材料的氧從氧化物半導體膜 106 釋放。

另外，較佳在形成層間絕緣膜 114 之後，對氧化物半導體膜 106 進行熱處理。將該熱處理的溫度設定為 300℃ 以上且 700℃ 以下，或低於基板的應變點。

該熱處理在氮、氧、超乾燥空氣（含水量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣）或稀有氣體（氫、氦等）氛圍下進行，即可。但是，上述氮、氧、超乾燥空氣或稀有氣體等的氛圍較佳不含有水、氫等。另外，較佳將引入到熱處理裝置中的氮、氧或稀有氣體的純度設定為 6N（99.9999%）以上，較佳為設定為 7N（99.99999%）以上（即，將雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下）。

形成氧化物半導體膜之後的熱處理有可能減少構成氧

化物半導體的主要成分材料之一的氧。然而，在該熱處理中，可以從基底絕緣膜 104 或使用包含矽的氧化物形成的閘極絕緣膜 110 對氧化物半導體膜 106 供應氧，由此可以填補氧化物半導體膜 106 中的氧缺損。

藉由進行如上述那樣的熱處理，可以以儘量不含有主要成分以外的雜質的方式使氧化物半導體膜 106 高度純化。在被高度純化的氧化物半導體膜 106 中，起因於施體的載流子極少（近於 0），載流子濃度低於 $1 \times 10^{14}/\text{cm}^3$ ，較佳低於 $1 \times 10^{12}/\text{cm}^3$ ，更佳地低於 $1 \times 10^{11}/\text{cm}^3$ 。如上所述，可以形成被 i 型（本質）化的氧化物半導體膜 106。

接著，在閘極絕緣膜 110 及層間絕緣膜 114 中形成到達氧化物半導體膜 106（區域 106e 或區域 106f）的開口部，在開口部中形成用於源極電極及汲極電極（包括由與源極電極及汲極電極相同的層形成的佈線）的導電膜。作為用於源極電極及汲極電極的導電膜，可以使用與實施例 1 所記載的材料等同樣的結構。

接著，藉由光微影製程在導電膜上形成光阻掩罩，選擇性地進行蝕刻來形成源極電極 108a 及汲極電極 108b，然後去除光阻掩罩（參照圖 5B）。

藉由上述製程形成有電晶體 160（參照圖 5B）。在電晶體 160 中降低引入到氧化物半導體膜 106 的區域 106c 及區域 106e 中的矽等雜質的濃度。另外，當氧化物半導體膜 106 是 CAAC-OS 膜時，可以到與閘極絕緣膜 110 之間的介面附近形成結晶部。因此，可以使電晶體 160 具有

穩定的電特性。

此外，也可以在電晶體 160 上設置平坦化絕緣膜。作為平坦化絕緣膜，可以使用具有耐熱性的有機材料如丙烯酸類樹脂、聚醯亞胺類樹脂、苯並環丁烯類樹脂、聚醯胺類樹脂、環氧樹脂等。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂等。另外，也可以層疊多個由這些材料形成的絕緣膜。

以上，本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

實施例 3

在本實施例中，參照圖式來說明使用本說明書所示的電晶體的半導體裝置的一例，該半導體裝置即使在沒有電力供應的情況下也能夠保持儲存資料，並且對寫入次數也沒有限制。

圖 6A 至圖 6C 是半導體裝置的結構的一個例子。圖 6A 示出半導體裝置的剖面圖，圖 6B 示出半導體裝置的平面圖，圖 6C 示出半導體裝置的電路圖。在此，圖 6A 相當於沿著圖 6B 中的 C1-C2 及 D1-D2 的剖面。

圖 6A 及圖 6B 所示的半導體裝置在其下部具有使用第一半導體材料的電晶體 260，並在其上部具有使用第二半導體材料的電晶體 150。作為電晶體 150，可以採用實施例 1 所示的電晶體的結構，電晶體 150 是以與氧化物半導體膜 106 接觸的方式設置源極電極 108a 及汲極電極 108b

的例子。另外，雖然在本實施例中未記載，但是也可以應用實施例 2 所使用的電晶體。

這裏，第一半導體材料和第二半導體材料較佳為具有不同能隙的材料。例如，可以將氧化物半導體以外的半導體材料（例如，單晶矽等）用於第一半導體材料，並且將氧化物半導體用於第二半導體材料。作為氧化物半導體以外的材料使用單晶矽的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體利用其特性而可以長時間地保持電荷。

另外，雖然對上述電晶體都為 n 通道型電晶體的情況進行說明，但是當然可以使用 p 通道型電晶體。此外，除了為了保持資訊將使用氧化物半導體的如實施例 1 所示那樣的電晶體 150 之外，不需要將半導體裝置的具體結構如用於半導體裝置的材料或半導體裝置的結構等限定於在此所示的結構。

圖 6A 中的電晶體 260 包括：設置在包含半導體材料（例如，矽等）的基板 200 中的通道形成區 216；以夾著通道形成區 216 的方式設置的雜質區 220；接觸於雜質區 220 的金屬間化合物區 224；設置在通道形成區 216 上的閘極絕緣膜 208；以及設置在閘極絕緣膜 208 上的閘極電極 210。注意，雖然有時在圖式中沒有將電晶體的源極電極或汲極電極表示出來，但是為了方便起見有時將這種狀態也稱為電晶體。此外，在此情況下，為了說明電晶體的連接關係，有時將源極區或汲極區也稱為源極電極或汲極

電極。也就是說，在本說明書中，源極電極可能包括源極區。

另外，在基板 200 上以圍繞電晶體 260 的方式設置有元件分離絕緣膜 206，並且以覆蓋電晶體 260 的方式設置有絕緣膜 228 及絕緣膜 230。另外，爲了實現高集體化，如圖 6A 所示，較佳爲採用電晶體 260 不具有側壁絕緣膜的結構。然而，在重視電晶體 260 的特性的情況下，也可以在閘極電極 210 的側面設置側壁絕緣膜，並設置包含雜質濃度不同的區域的雜質區 220。

使用單晶半導體基板的電晶體 260 能夠進行高速工作。因此，藉由作爲讀出用電晶體使用該電晶體，可以高速地進行資訊的讀出。以覆蓋電晶體 260 的方式形成兩個絕緣膜。作爲形成電晶體 150 和電容元件 264 之前的處理，對該兩個絕緣膜進行 CMP 處理來形成平坦化的絕緣膜 228 及絕緣膜 230，同時使閘極電極 210 的上面露出。

作爲絕緣膜 228、絕緣膜 230，典型地可以使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜、氮化矽膜、氮化鋁膜、氮氧化矽膜、氮氧化鋁膜等無機絕緣膜。絕緣膜 228、絕緣膜 230 可以使用電漿 CVD 法或濺射法等形成。

另外，可以使用聚醯亞胺類樹脂、丙烯酸類樹脂、苯並環丁烯類樹脂等有機材料。另外，除了上述有機材料以外，也可以使用低介電常數材料（low-k 材料）等。在使用有機材料時，也可以使用旋塗法、印刷法等濕處理形成

絕緣膜 228 及絕緣膜 230。

此外，在本實施例中，作為絕緣膜 228 使用氮化矽膜，作為絕緣膜 230 使用氧化矽膜。

在藉由拋光處理（例如 CMP 處理）充分實現了平坦化的絕緣膜 230 上形成氧化物半導體膜 106。另外，絕緣膜 230 表面的平均面粗糙度較佳為 0.15nm 以下。

圖 6A 所示的電晶體 150 是將氧化物半導體用於通道形成區的電晶體。在此，包括在電晶體 150 中的氧化物半導體膜 106 較佳為是被高度純化的氧化物半導體膜。藉由使用被高度純化的氧化物半導體，可以得到具有極為優異的截止特性的電晶體 150。

電晶體 150 的截止電流小，所以藉由使用這種電晶體能夠長期保持儲存資料。換言之，因為不需要進行更新工作，或者，可以製造更新工作的頻率極少的半導體記憶體裝置，所以可以充分降低耗電量。

在電晶體 150 上設置有單層或疊層的絕緣膜 180。在本實施例中，作為絕緣膜 180 使用從閘極電極 112 一側層疊氧化鋁膜和氧化矽膜的疊層。另外，藉由將氧化鋁膜設定為高密度（例如，膜密度為 3.2g/cm^3 以上，較佳為 3.6g/cm^3 以上），可以對電晶體 150 賦予穩定的電特性，所以是較佳的。

另外，在隔著閘極絕緣膜 110 及絕緣膜 180 與電晶體 150 的源極電極 108a 重疊的區域上設置有導電膜 182，並由源極電極 108a、閘極絕緣膜 110、絕緣膜 180 和導電膜

182 構成電容元件 264。換言之，電晶體 150 的源極電極 108a 用作電容元件 264 的一方的電極，導電膜 182 用作電容元件 264 的另一方的電極。另外，當不需要容量時，也可以採用不設置電容元件 264 的結構。此外，電容元件 264 也可以另行設置在電晶體 150 的上方。

在電晶體 150 及電容元件 264 上設置有絕緣膜 184。而且，在絕緣膜 184 上設置有用來連接電晶體 150 與其他電晶體的佈線 186。雖然在圖 6A 中未圖示，但是佈線 186 藉由形成在設置於絕緣膜 180、閘極絕緣膜 110 等中的開口中的電極與汲極電極 108b 電連接。在此，較佳的是，該電極以至少與電晶體 150 的氧化物半導體膜 106 的一部分重疊的方式設置。

在圖 6A 及圖 6B 中，較佳的是，使電晶體 260 和電晶體 150 以至少在一部分上重疊的方式設置，並且使電晶體 260 的源極區或汲極區和氧化物半導體膜 106 以在一部分上重疊的方式設置。另外，以與電晶體 260 的至少一部分重疊的方式設置有電晶體 150 及電容元件 264。例如，電容元件 264 的導電膜 182 與電晶體 260 的閘極電極 210 以至少一部分重疊的方式設置。藉由採用這種平面佈局，可以降低半導體裝置的佔有面積，從而可以實現高集體化。

另外，汲極電極 108b 與佈線 186 的電連接既可以藉由使汲極電極 108b 與佈線 186 直接接觸而實現，又可以藉由在兩者之間的絕緣膜中設置電極，藉由該電極而實現。另外，介於兩者之間的電極也可以是多個。

接著，圖 6C 示出對應於圖 6A 及圖 6B 的電路結構的一個例子。

在圖 6C 中，第一佈線（1st Line）與電晶體 260 的源極電極和汲極電極中的一方電連接，第二佈線（2nd Line）與電晶體 260 的源極電極和汲極電極中的另一方電連接。另外，第三佈線（3rd Line）與電晶體 150 的源極電極和汲極電極中的一方電連接，第四佈線（4th Line）與電晶體 150 的閘極電極電連接。並且，電晶體 260 的閘極電極以及電晶體 150 的源極電極及汲極電極中的另一方與電容元件 264 的一方的電極電連接，第五佈線（5th Line）與電容元件 264 的另一方的電極電連接。

在圖 6C 所示的半導體裝置中，藉由有效地利用可以保持電晶體 260 的閘極電極的電位的特徵，可以如以下所示那樣進行資訊的寫入、保持以及讀出。

對資訊的寫入及保持進行說明。首先，將第四佈線的電位設定為使電晶體 150 成為導通狀態的電位，使電晶體 150 成為導通狀態。由此，對電晶體 260 的閘極電極和電容元件 264 施加第三佈線的電位。也就是說，對電晶體 260 的閘極電極施加規定的電荷（寫入）。這裏，施加賦予兩種不同電位電平的電荷（以下，稱為 Low 電平電荷、High 電平電荷）中的任一種。然後，藉由將第四佈線的電位設定為使電晶體 150 成為截止狀態的電位，使電晶體 150 成為截止狀態，保持對電晶體 260 的閘極電極施加的電荷（保持）。

因為電晶體 150 的截止電流極小，所以電晶體 260 的閘極電極的電荷被長時間地保持。

接著，對資訊的讀出進行說明。當在對第一佈線施加規定的電位（恆電位）的狀態下，對第五佈線施加適當的電位（讀出電位）時，第二佈線根據保持在電晶體 260 的閘極電極的電荷量具有不同的電位。這是因為一般而言，在電晶體 260 為 n 通道型的情況下，對電晶體 260 的閘極電極施加 High 電平電荷時的外觀上的閾值 V_{th_H} 低於對電晶體 260 的閘極電極施加 Low 電平電荷時的外觀上的閾值 V_{th_L} 的緣故。在此，外觀上的臨界電壓是指為了使電晶體 260 成為“導通狀態”所需要的第五佈線的電位。因此，藉由將第五佈線的電位設定為 V_{th_H} 和 V_{th_L} 之間的電位 V_0 ，可以辨別施加到電晶體 260 的閘極電極的電荷。例如，在寫入中，當被供應 High 水準電荷時，如果第五佈線的電位為 $V_0 (>V_{th_H})$ ，則電晶體 260 成為“導通狀態”。當被供應 Low 水準電荷時，即使第五佈線的電位為 $V_0 (<V_{th_L})$ ，電晶體 260 也維持“截止狀態”。因此，根據第二佈線的電位可以讀出所保持的資訊。

注意，當將記憶單元配置為陣列狀時，需要唯讀出所希望的記憶單元的資訊。在不讀出資訊的記憶單元的情況下，對第五佈線施加不管閘極電極的狀態如何都使電晶體 260 成為“截止狀態”的電位，也就是小於 V_{th_H} 的電位，即可。或者，將不管閘極電極的狀態如何都使電晶體 260 成為“導通狀態”的電位，也就是大於 V_{th_L} 的電位

施加到第五佈線即可。

在本實施例所示的半導體裝置中，藉由應用將氧化物半導體用於其通道形成區的截止電流極小的電晶體，可以在極長期間保持儲存資料。就是說，因為不需要進行更新工作，或者，可以將更新工作的頻率降低到極低，所以可以充分降低耗電量。另外，即使在沒有電力供給的情況下（較佳電位是固定的），也可以在長期間保持儲存資料。

另外，在本實施例所示的半導體裝置中，資訊的寫入不需要高電壓，而且也沒有元件劣化的問題。例如，不像習知的非揮發性記憶體的情況那樣，不需要對浮動閘極注入電子或從浮動閘極抽出電子，所以根本不會產生閘極絕緣層的劣化等的問題。就是說，在根據所公開的發明的半導體裝置中，對作為習知的非揮發性記憶體所存在的問題的能夠重寫的次數沒有限制，而使可靠性得到顯著提高。再者，根據電晶體的導通狀態或截止狀態而進行資訊的寫入，而也可以容易實現高速工作。

另外，在電晶體 150 中降低引入到氧化物半導體膜 106 的區域 106a 中的矽等雜質的濃度。另外，當氧化物半導體膜 106 是 CAAC-OS 膜時，可以到與閘極絕緣膜 110 之間的介面附近形成結晶部。因此，可以使電晶體 150 具有穩定的電特性。

因此，可以提供一種實現了微型化及高集體化且賦予高電特性的半導體裝置。

以上，本實施例所示的結構、方法等可以與其他實施

例所示的結構、方法等適當地組合而使用。

實施例 4

在本實施例中，關於使用實施例 1 或實施例 2 所示的電晶體的半導體裝置，參照圖 7A 和圖 7B 對與實施例 3 所示的結構不同的結構進行說明。該半導體裝置即使在沒有電力供應的情況下也能夠保持儲存資料，並且對寫入次數也沒有限制。

圖 7A 示出半導體裝置的電路結構的一個例子，圖 7B 是示出半導體裝置的一個例子的示意圖。首先對圖 7A 所示的半導體裝置進行說明，接著對圖 7B 所示的半導體裝置進行說明。

在圖 7A 所示的半導體裝置中，位元線 BL 與電晶體 150 的源極電極或汲極電極電連接，字線 WL 與電晶體 150 的閘極電極電連接，並且電晶體 150 的源極電極或汲極電極與電容元件 354 的第一端子電連接。

使用氧化物半導體的電晶體 150 具有截止電流極小的特徵。因此，藉由使電晶體 150 成為截止狀態，可以在極長時間儲存電容元件 354 的第一端子的電位（或累積在電容元件 354 中的電荷）。

接著，說明對圖 7A 所示的半導體裝置（記憶單元 350）進行資訊的寫入及保持的情況。

首先，藉由將字線 WL 的電位設定為使電晶體 150 成為導通狀態的電位，來使電晶體 150 成為導通狀態。由

此，將位元線 BL 的電位施加到電容元件 354 的第一端子（寫入）。然後，藉由將字線 WL 的電位設定為使電晶體 150 成為截止狀態的電位，來使電晶體 150 成為截止狀態，由此儲存電容元件 354 的第一端子的電位（保持）。

由於電晶體 150 的截止電流極小，所以能夠長期儲存電容元件 354 的第一端子的電位（或累積在電容元件中的電荷）。

接著，對資訊的讀出進行說明。當電晶體 150 成為導通狀態時，處於浮動狀態的位元線 BL 與電容元件 354 導通，於是，在位元線 BL 與電容元件 354 之間電荷被再次分配。其結果，位元線 BL 的電位發生變化。位元線 BL 的電位的變化量根據電容元件 354 的第一端子的電位（或累積在電容元件 354 中的電荷）而取不同的值。

例如，當以 V 表示電容元件 354 的第一端子的電位，以 C 表示電容元件 354 的容量，以 C_B 表示位元線 BL 所具有的電容成分（以下也稱為位元線電容），並且以 V_{B0} 表示電荷被再次分配之前的位元線 BL 的電位時，電荷被再次分配之後的位元線 BL 的電位成為 $(C_B \cdot V_{B0} + C \cdot V) / (C_B + C)$ 。因此，作為記憶單元 350 的狀態，當電容元件 354 的第一端子的電位為 V_1 和 V_0 ($V_1 > V_0$) 的兩個狀態時，保持電位 V_1 時的位元線 BL 的電位 $(=C_B \cdot V_{B0} + C \cdot V_1) / (C_B + C)$ 高於保持電位 V_0 時的位元線 BL 的電位 $(=C_B \cdot V_{B0} + C \cdot V_0) / (C_B + C)$ 。

並且，藉由比較位元線 BL 的電位與規定的電位，可

以讀出資訊。

如此，圖 7A 所示的半導體裝置可以利用電晶體 150 的截止電流極小的特徵長期保持累積在電容元件 354 中的電荷。換言之，因為不需要進行更新工作，或者，可以使更新工作的頻率極低，所以可以充分降低耗電量。另外，即使在沒有電力供給的情況下也可以長期保持儲存資料。

接著對圖 7B 所示的半導體裝置進行說明。

圖 7B 所示的半導體裝置在其上部作為儲存電路具有記憶單元陣列 351a 及 351b，該記憶單元陣列 351a 及 351b 具有多個圖 7A 所示的記憶單元 350。此外，圖 7B 所示的半導體裝置在其下部具有用來使記憶單元陣列 351（記憶單元陣列 351a 及 351b）工作的週邊電路 353。另外，週邊電路 353 與記憶單元陣列 351 電連接。

藉由採用圖 7B 所示的結構，可以將週邊電路 353 設置在記憶單元陣列 351（記憶單元陣列 351a 及 351b）的正下方，從而可以實現半導體裝置的小型化。

作為設置在週邊電路 353 中的電晶體，更佳地使用與電晶體 150 不同的半導體材料。例如，可以使用矽、鍺、矽鍺、碳化矽或砷化鎵等，較佳為使用單晶半導體。另外，還可以使用有機半導體材料等。使用這種半導體材料的電晶體能夠進行充分的高速工作。從而，藉由利用該電晶體，能夠順利實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

另外，圖 7B 所示的半導體裝置例示出層疊有兩個記

憶單元陣列 351（記憶單元陣列 351a、記憶單元陣列 351b）的結構，但是所層疊的記憶單元陣列的個數不侷限於此。也可以採用層疊有三個以上的記憶單元陣列的結構。

如上所述，藉由將利用使用氧化物半導體以外的材料的電晶體（換言之，能夠進行充分高速的工作的電晶體）的週邊電路以及利用使用氧化物半導體的電晶體（作更廣義解釋，其截止電流十分小的電晶體）的儲存電路設置為一體，能夠實現具有新穎特徵的半導體裝置。另外，藉由採用週邊電路和儲存電路的疊層結構，可以實現半導體裝置的集體化。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

實施例 5

在本實施例中，參照圖 8A 至圖 11 對將上述實施例所示的半導體裝置應用於行動電話、智慧手機、電子書閱讀器等便攜設備的例子進行說明。

在行動電話、智慧手機、電子書閱讀器等便攜設備中，為了暫時儲存影像資料而使用 SRAM 或 DRAM。使用 SRAM 或 DRAM 是因為快閃記憶體應答速度慢而不適於處理影像。另一方面，當將 SRAM 或 DRAM 用於影像資料的暫時儲存時，有如下特徵。

如圖 8A 所示，在一般的 SRAM 中，一個記憶單元由

電晶體 801 至電晶體 806 的六個電晶體構成，並且該電晶體 801 至電晶體 806 被 X 解碼器 807 和 Y 解碼器 808 驅動。電晶體 803 和電晶體 805 以及電晶體 804 和電晶體 806 構成反相器，該反相器能夠實現高速驅動。然而，由於一個記憶單元由六個電晶體構成，所以有記憶單元面積大的缺點。在將設計規則的最小尺寸設定為 F 的情況下，SRAM 的記憶單元面積一般為 100 至 $150F^2$ 。因此，SRAM 的每個比特位的單價是各種記憶體中最高的。

另一方面，在 DRAM 中，如圖 8B 所示，記憶單元由電晶體 811 和儲存電容器 812 構成，並且該電晶體 811 和儲存電容器 812 被 X 解碼器 813 和 Y 解碼器 814 驅動。由於一個單元由一個電晶體和一個電容構成，所以所占的面積小。DRAM 的儲存面積一般為 $10F^2$ 以下。注意，DRAM 需要一直進行更新工作，因此即使在不進行改寫的情況下也消耗電力。

相對於此，上述實施例所說明的半導體裝置的記憶單元面積為 $10F^2$ 左右，並且不需要頻繁的更新工作。從而，能夠縮小記憶單元面積，還能夠降低耗電量。

接著，圖 9 示出便攜設備的方塊圖。圖 9 所示的便攜設備具有：RF 電路 901；類比基帶電路 902；數位基帶電路 903；電池 904；電源電路 905；應用處理器 906；快閃記憶體 910；顯示器控制器 911；儲存電路 912；顯示器 913；觸控感應器 919；音頻電路 917；以及鍵盤 918 等。顯示器 913 具有：顯示部 914；源極驅動器 915；以及閘

極驅動器 916。應用處理器 906 具有：CPU（Central Processing Unit:中央處理器）907；DSP（Digital Signal Processor：數位信號處理器）908；以及介面 909（IF909）。儲存電路 912 一般由 SRAM 或 DRAM 構成，藉由將上述實施例所說明的半導體裝置用於該部分，能夠以高速進行資訊的寫入和讀出，能夠長期保持儲存資料，還能夠充分降低耗電量。

接著，圖 10 示出將上述實施例所說明的半導體裝置用於顯示器的儲存電路 950 的例子。圖 10 所示的儲存電路 950 具有：記憶體 952；記憶體 953；開關 954；開關 955；以及記憶體控制器 951。另外，儲存電路連接於：用來讀出並控制從信號線輸入的影像資料（輸入影像資料）和儲存在記憶體 952 及記憶體 953 中的資料（儲存影像資料）的顯示器控制器 956；以及根據來自顯示器控制器 956 的信號來進行顯示的顯示器 957。

首先，藉由應用處理器（未圖示）形成一個影像資料（輸入影像資料 A）。該輸入影像資料 A 藉由開關 954 被儲存在記憶體 952 中。然後，將儲存在記憶體 952 中的影像資料（儲存影像資料 A）藉由開關 955 及顯示器控制器 956 發送到顯示器 957 而進行顯示。

在輸入影像資料 A 沒有變化時，儲存影像資料 A 一般以 30 至 60Hz 左右的週期從記憶體 952 藉由開關 955 由顯示器控制器 956 讀出。

另外，例如在使用者進行了改寫畫面的操作時（即在

輸入影像資料 A 有變化時)，應用處理器形成新的影像資料（輸入影像資料 B）。該輸入影像資料 B 藉由開關 954 被儲存在記憶體 953 中。在該期間儲存影像資料 A 也繼續定期性地藉由開關 955 從記憶體 952 被讀出。當在記憶體 953 中儲存完新的影像（儲存影像資料 B）時，由顯示器 957 的下一個圖框開始讀出儲存影像資料 B，並且將該儲存影像資料 B 藉由開關 955 及顯示器控制器 956 發送到顯示器 957 而進行顯示。該讀出一直持續直到下一個新的影像資料儲存到記憶體 952 中。

如上所述，藉由由記憶體 952 及記憶體 953 交替進行影像資料的寫入和影像資料的讀出，來進行顯示器 957 的顯示。另外，記憶體 952、記憶體 953 不侷限於兩個不同的記憶體，也可以將一個記憶體分割而使用。藉由將上述實施例所說明的半導體裝置用於記憶體 952 及記憶體 953，能夠以高速進行資訊的寫入和讀出，能夠長期保持儲存資料，還能夠充分降低耗電量。

接著，圖 11 示出電子書閱讀器的方塊圖。圖 11 所示的電子書閱讀器具有：電池 1001；電源電路 1002；微處理器 1003；快閃記憶體 1004；音頻電路 1005；鍵盤 1006；儲存電路 1007；觸控面板 1008；顯示器 1009；以及顯示器控制器 1010。

在此，可以將上述實施例所說明的半導體裝置用於圖 11 的儲存電路 1007。儲存電路 1007 具有暫時保持書籍內容的功能。作為該功能的例子，例如有使用者使用高亮功

能的情況。使用者在看電子書閱讀器時，有時需要對某個部分做標記。該標記功能被稱為高亮功能，即藉由改變顯示顏色；劃下劃線；將文字改為粗體字；改變文字的字體等，來使該部分與周圍不一樣而突出表示。高亮功能就是將使用者所指定的部分的資訊儲存而保持的功能。當將該資訊長期保持時，也可以將該資訊拷貝到快閃記憶體 1004。即使在此情況下，藉由採用上述實施例所說明的半導體裝置，也能夠以高速進行資訊的寫入和讀出，能夠長期保持儲存資料，還能夠充分降低耗電量。

如上所述，本實施例所示的便攜設備安裝有根據上述實施例的半導體裝置。因此，能夠實現以高速進行資訊的讀出、長期保持儲存資料且充分降低耗電量的便攜設備。

本實施例所示的結構及方法等可以與其他實施例所記載的結構及方法等適當地組合而實施。

實施例 6

在本實施例中，有意地對氧化物半導體膜添加矽（Si），對其特性進行評價。以下，對評價方法的詳細內容進行說明。

首先，使用濺射裝置形成氧化物半導體膜。因此，有意地對在濺射裝置中使用的金屬氧化物靶材添加 Si。作為金屬氧化物靶材，製造對 In-Ga-Zn 類氧化物（以下，稱為 IGZO）添加 SiO₂ 的靶材。換言之，該靶材是 In-Ga-Zn-Si 類氧化物的靶材。

在本實施例中，作為 IGZO 靶材使用三個靶材：對其成分比為 $\text{In:Ga:Zn}=1:1:1$ [原子數比] 的靶材添加 2wt% 的 SiO_2 的靶材 A；對其成分比為 $\text{In:Ga:Zn}=1:1:1$ [原子數比] 的靶材添加 5wt% 的 SiO_2 的靶材 B；以及沒有添加 SiO_2 的靶材 C ($\text{In:Ga:Zn}=1:1:1$ [原子數比])。

另外，以下有時將使用靶材 A 製造的薄膜記載為 IGZO-SiO_x (2wt%)，將使用靶材 B 製造的薄膜記載為 IGZO-SiO_x (5wt%)，將使用靶材 C 製造的薄膜記載為 IGZO。

接著，使用上述靶材 A、靶材 B 及靶材 C 形成氧化物半導體薄膜，進行各種評價。作為評價方法，對所得到的薄膜的薄層電阻、組成及結晶性分別進行評價。

(薄層電阻評價)

分別製造樣本 1、樣本 2、樣本 3、樣本 4、樣本 5 和樣本 6。樣本 1 是如下樣本：藉由濺射法，在電力 = 100w、壓力 = 0.4Pa、基板溫度 = 200℃、 $\text{Ar/O}_2=10/5\text{ sccm}$ ($\text{O}_2=33\%$) 的條件下在玻璃基板上使用靶材 C 形成氧化物半導體膜，然後，在氮氛圍下以 450℃ 進行 1 小時的熱處理，接著在氧氛圍下以 450℃ 進行 1 小時的熱處理。樣本 2 是如下樣本：藉由濺射法，在電力 = 100w、壓力 = 0.4Pa、基板溫度 = 200℃、 $\text{Ar/O}_2=0/15\text{ sccm}$ ($\text{O}_2=100\%$) 的條件下在玻璃基板上使用靶材 C 形成氧化物半導體膜，然後，在氮氛圍下以 450℃ 進行 1 小時的熱處理，接著在

氧氛圍下以 450°C 進行 1 小時的熱處理。樣本 3 是如下樣本：藉由濺射法，在電力 = 100w 、壓力 = 0.4Pa 、基板溫度 = 200°C 、 $\text{Ar}/\text{O}_2 = 10/5\text{sccm}$ ($\text{O}_2 = 33\%$) 的條件下在玻璃基板上使用靶材 A 形成氧化物半導體膜，然後，在氮氛圍下以 450°C 進行 1 小時的熱處理，接著在氧氛圍下以 450°C 進行 1 小時的熱處理。樣本 4 是如下樣本：藉由濺射法，在電力 = 100w 、壓力 = 0.4Pa 、基板溫度 = 200°C 、 $\text{Ar}/\text{O}_2 = 0/15\text{sccm}$ ($\text{O}_2 = 100\%$) 的條件下在玻璃基板上使用靶材 A 形成氧化物半導體膜，然後，在氮氛圍下以 450°C 進行 1 小時的熱處理，接著在氧氛圍下以 450°C 進行 1 小時的熱處理。樣本 5 是如下樣本：藉由濺射法，在電力 = 100w 、壓力 = 0.4Pa 、基板溫度 = 200°C 、 $\text{Ar}/\text{O}_2 = 10/5\text{sccm}$ ($\text{O}_2 = 33\%$) 的條件下在玻璃基板上使用靶材 B 形成氧化物半導體膜，然後，在氮氛圍下以 450°C 進行 1 小時的熱處理，接著在氧氛圍下以 450°C 進行 1 小時的熱處理。樣本 6 是如下樣本：藉由濺射法，在電力 = 100w 、壓力 = 0.4Pa 、基板溫度 = 200°C 、 $\text{Ar}/\text{O}_2 = 0/15\text{sccm}$ ($\text{O}_2 = 100\%$) 的條件下在玻璃基板上使用靶材 B 形成氧化物半導體膜，然後，在氮氛圍下以 450°C 進行 1 小時的熱處理，接著在氧氛圍下以 450°C 進行 1 小時的熱處理。

另外，將樣本 1 至樣本 6 的所形成的氧化物半導體膜的厚度設定為 100nm 。表 1 示出所製造的樣本的條件及結構等。

[表 1]

	靶材	成膜條件	樣本結構	熱處理
樣本 1	靶材 C	Ar/O ₂ =10/5sccm (O ₂ =33%)	玻璃\IGZO=100nm	450℃
樣本 2	靶材 C	Ar/O ₂ =0/15sccm (O ₂ =100%)	玻璃\IGZO=100nm	450℃
樣本 3	靶材 A	Ar/O ₂ =10/5sccm (O ₂ =33%)	玻璃\IGZO-SiO _x (2wt%) =100nm	450℃
樣本 4	靶材 A	Ar/O ₂ =0/15sccm (O ₂ =100%)	玻璃\IGZO-SiO _x (2wt%) =100nm	450℃
樣本 5	靶材 B	Ar/O ₂ =10/5sccm (O ₂ =33%)	玻璃\IGZO-SiO _x (5wt%) =100nm	450℃
樣本 6	靶材 B	Ar/O ₂ =0/15sccm (O ₂ =100%)	玻璃\IGZO-SiO _x (5wt%) =100nm	450℃

接著，對上述樣本 1 至樣本 6 的薄層電阻進行測量。另外，在薄層電阻的評價中，使用薄層電阻測量器。圖 17 示出樣本 1 至樣本 6 的薄層電阻測量結果。另外，在圖 17 中，橫軸表示專案（所製造的薄膜），縱軸表示薄層電阻。

由圖 17 可知：在對 IGZO 中添加 Si 的薄膜中，薄層電阻上升。尤其是在樣本 5 中，薄層電阻超過測量裝置的測量上限（ $5 \times 10^5 \Omega/\text{cm}^2$ ），測量不到薄層電阻。另外，雖然在樣本 6 中也薄層電阻超過測量裝置的測量上限，但是由於測量裝置的原理而算出測量上限附近的數值。但是，關於測量裝置的上限的數值，不一定算出準確的數值。

（組成評價）

分別製造樣本 7 和樣本 8。樣本 7 是如下樣本：藉由濺射法，在電力 =100w、壓力 =0.4Pa、基板溫度 =200℃、Ar/O₂=0/15sccm（O₂=100%）的條件下在玻璃基板上使用靶材 A 形成氧化物半導體膜。樣本 8 是如下樣本：藉由濺射法，在電力 =100w、壓力 =0.4Pa、基板溫度 =200℃、Ar/O₂=0/15sccm（O₂=100%）的條件下在玻璃基板上使用靶材 B 形成氧化物半導體膜。

另外，將樣本 7 及樣本 8 的所形成的氧化物半導體膜的厚度設定為 100nm。

接著，對上述樣本 7 及樣本 8 的組成進行分析。另外，在組成分析中，使用 X 射線光電子能譜（XPS：X-Ray Photoelectron Spectroscopy）。XPS 是如下測量方法，即測量藉由對樣本表面照射 X 射線而產生的光電子能量，來分析樣本的構成要素和其電子狀態。表 2 示出樣本 7 及樣本 8 的條件、結構及組成分析的結果。

[表 2]

	靶材	成膜條件	樣本結構	組成分析結果[單位:at.%]				
				In	Ga	Zn	O	Si
樣本 7	靶材 A	Ar/O ₂ =0/15sccm (O ₂ =100%)	玻璃\IGZO-SiO _x (2wt%) =100nm	18.0	15.3	4.6	61.0	1.1
樣本 8	靶材 B	Ar/O ₂ =0/15sccm (O ₂ =100%)	玻璃\IGZO-SiO _x (5wt%) =100nm	16.7	14.4	4.3	62.0	2.6

由表 2 可知：使用靶材 A 製造的樣本 7 的組成為 In=18.0（at.%），Ga=15.3（at.%），Zn=4.6（at.%），

O=61.0 (at.%) , Si=1.1 (at.%) 。另外，可知：使用靶材 B 製造的樣本 8 的組成爲 In=16.7 (at.%) , Ga=14.4 (at.%) , Zn=4.3 (at.%) , O=62.0 (at.%) , Si=2.6 (at.%) 。

(結晶性評價)

分別製造樣本 9、樣本 10、樣本 11、樣本 12、樣本 13 和樣本 14。樣本 9 是如下樣本：藉由濺射法，在電力=100w、壓力=0.4Pa、基板溫度=200℃、Ar/O₂=0/15sccm (O₂=100%) 的條件下在玻璃基板上使用靶材 A 形成氧化物半導體膜。樣本 10 是如下樣本：藉由濺射法，在電力=100w、壓力=0.4Pa、基板溫度=200℃、Ar/O₂=0/15sccm (O₂=100%) 的條件下在玻璃基板上使用靶材 A 形成氧化物半導體膜，然後，在氮氛圍下以 450℃ 進行 1 小時的熱處理，接著在氧氛圍下以 450℃ 進行 1 小時的熱處理。樣本 11 是如下樣本：藉由濺射法，在電力=100w、壓力=0.4Pa、基板溫度=200℃、Ar/O₂=0/15sccm (O₂=100%) 的條件下在玻璃基板上使用靶材 A 形成氧化物半導體膜，然後，在氮氛圍下以 650℃ 進行 1 小時的熱處理，接著在氧氛圍下以 650℃ 進行 1 小時的熱處理。樣本 12 是如下樣本：藉由濺射法，在電力=100w、壓力=0.4Pa、基板溫度=200℃、Ar/O₂=0/15sccm (O₂=100%) 的條件下在玻璃基板上使用靶材 B 形成氧化物半導體膜。樣本 13 是如下樣本：藉由濺射法，在電力=100w、壓力=0.4Pa、基板溫度

=200℃、Ar/O₂=0/15sccm (O₂=100%) 的條件下在玻璃基板上使用靶材 B 形成氧化物半導體膜，然後，在氮氛圍下以 450℃ 進行 1 小時的熱處理，接著在氧氛圍下以 450℃ 進行 1 小時的熱處理。樣本 14 是如下樣本：藉由濺射法，在電力=100w、壓力=0.4Pa、基板溫度=200℃、Ar/O₂=0/15sccm (O₂=100%) 的條件下在玻璃基板上使用靶材 B 形成氧化物半導體膜，然後，在氮氛圍下以 650℃ 進行 1 小時的熱處理，接著在氧氛圍下以 650℃ 進行 1 小時的熱處理。

另外，將樣本 9 至樣本 14 的所形成的氧化物半導體膜的厚度設定為 100nm。表 3 示出所製造的樣本的條件及結構等。此外，樣本 9 至樣本 11 是具有與上述樣本 7 同樣的組成的氧化物半導體膜，樣本 12 至樣本 14 是具有與上述樣本 8 同樣的組成的氧化物半導體膜。

[表 3]

	靶材	成膜條件	樣本結構	熱處理
樣本 9	靶材 A	Ar/O ₂ =0/15sccm (O ₂ =100%)	玻璃\IGZO-SiO _x (2wt%) =100nm	沒有
樣本 10	靶材 A	Ar/O ₂ =0/15sccm (O ₂ =100%)	玻璃\IGZO-SiO _x (2wt%) =100nm	450℃
樣本 11	靶材 A	Ar/O ₂ =0/15sccm (O ₂ =100%)	玻璃\IGZO-SiO _x (2wt%) =100nm	650℃
樣本 12	靶材 B	Ar/O ₂ =0/15sccm (O ₂ =100%)	玻璃\IGZO-SiO _x (5wt%) =100nm	沒有
樣本 13	靶材 B	Ar/O ₂ =0/15sccm (O ₂ =100%)	玻璃\IGZO-SiO _x (5wt%) =100nm	450℃
樣本 14	靶材 B	Ar/O ₂ =0/15sccm (O ₂ =100%)	玻璃\IGZO-SiO _x (5wt%) =100nm	650℃

下面，對上述樣本 9 至樣本 14 的結晶性進行分析。另外，在結晶性的分析中，使用 X 射線繞射法（XRD：X-Ray Diffraction）。因為 XRD 是 X 射線在晶格中呈現繞射的現象，所以可以對測量樣本的結晶性進行測量。圖 18A 示出樣本 9 至樣本 11 的結晶性分析結果，圖 18B 示出樣本 12 至樣本 14 的結晶性分析結果。

由圖 18A 可知：在使用靶材 A 製造的樣本 9 至樣本 11 中，在沒有進行熱處理的樣本 9 及進行 450℃ 的熱處理的樣本 10 中，觀察不到呈現明確的結晶性的繞射峰值。另一方面，在進行 650℃ 的熱處理的樣本 11 中，在 2θ=31°附近觀察到呈現晶化的繞射峰值。

另外，由圖 18B 可知：在使用靶材 B 製造的樣本 12 至樣本 14 中，在沒有進行熱處理的樣本 12、進行 450℃

的熱處理的樣本 13 及進行 650℃ 的熱處理的樣本 14 中，觀察不到呈現明確的結晶性的繞射峰值。

根據上述結果可知：在使用靶材 A 製造的樣本 9 至樣本 11 中，氧化物半導體膜中的矽 (Si) 濃度為 1.1at.%，在使用靶材 B 製造的樣本 12 至樣本 14 中，氧化物半導體膜中的矽 (Si) 濃度為 2.6at.%。如此可知，當氧化物半導體膜中的 Si 濃度高時，晶化被阻礙。

【圖式簡單說明】

在圖式中：

圖 1A 和圖 1B 是示出半導體裝置的一實施例的平面圖及剖面圖；

圖 2A 至圖 2D 是示出半導體裝置的製程的一個例子的剖面圖；

圖 3A 和圖 3B 是示出半導體裝置的一實施例的平面圖及剖面圖；

圖 4A 至圖 4D 是示出半導體裝置的製程的一個例子的剖面圖；

圖 5A 和圖 5B 是示出半導體裝置的製程的一個例子的剖面圖；

圖 6A 至圖 6C 是說明半導體裝置的一實施例的圖；

圖 7A 和圖 7B 是說明半導體裝置的一實施例的圖；

圖 8A 和圖 8B 是說明半導體裝置的一實施例的圖；

圖 9 是說明半導體裝置的一實施例的圖；

圖 10 是說明半導體裝置的一實施例的圖；

圖 11 是說明半導體裝置的一實施例的圖；

圖 12A 和圖 12B 是用於計算的模型圖；

圖 13A 和圖 13B 是用於計算的模型圖；

圖 14 是示出計算結果的圖；

圖 15A 和圖 15B 是用於計算的模型圖；

圖 16 是示出計算結果的圖；

圖 17 是示出根據本發明的實施例的測量結果的圖；

圖 18A 和圖 18B 是示出根據本發明的實施例的測量結果的圖。

【主要元件符號說明】

102：基板

104：基底絕緣膜

106：氧化物半導體膜

106a：區域

106b：區域

106c：區域

106d：區域

106e：區域

106f：區域

106g：區域

106h：區域

108a：源極電極

- 108b：汲極電極
- 110：閘極絕緣膜
- 112：閘極電極
- 113：氧化物半導體膜
- 114：層間絕緣膜
- 150：電晶體
- 160：電晶體
- 180：絕緣膜
- 181：摻雜劑
- 182：導電膜
- 184：絕緣膜
- 186：佈線
- 200：基板
- 206：元件分離絕緣膜
- 208：閘極絕緣膜
- 210：閘極電極
- 216：通道形成區
- 220：雜質區
- 224：金屬間化合物區
- 228：絕緣膜
- 230：絕緣膜
- 254：電容元件
- 260：電晶體
- 264：電容元件

- 350：記憶單元
- 351：記憶單元陣列
- 351a：記憶單元陣列
- 351b：記憶單元陣列
- 353：週邊電路
- 354：電容元件
- 801：電晶體
- 803：電晶體
- 804：電晶體
- 805：電晶體
- 806：電晶體
- 807：X解碼器
- 808：Y解碼器
- 811：電晶體
- 812：儲存電容器
- 813：X解碼器
- 814：Y解碼器
- 901：RF電路
- 902：類比基帶電路
- 903：數位基帶電路
- 904：電池
- 905：電源電路
- 906：應用處理器
- 907：CPU

- 908 : DSP
- 909 : 介面
- 910 : 快閃記憶體
- 911 : 顯示器控制器
- 912 : 儲存電路
- 913 : 顯示器
- 914 : 顯示部
- 915 : 源極驅動器
- 916 : 閘極驅動器
- 917 : 音頻電路
- 918 : 鍵盤
- 919 : 觸控感應器
- 950 : 儲存電路
- 951 : 記憶體控制器
- 952 : 記憶體
- 953 : 記憶體
- 954 : 開關
- 955 : 開關
- 956 : 顯示器控制器
- 957 : 顯示器
- 1001 : 電池
- 1002 : 電源電路
- 1003 : 微處理器
- 1004 : 快閃記憶體

1005：音頻電路

1006：鍵盤

1007：儲存電路

1008：觸控面板

1009：顯示器

1010：顯示器控制器

七、申請專利範圍：

1.一種半導體裝置，包括：

基板上的氧化物半導體膜；

該氧化物半導體膜上的源極電極和汲極電極；

該氧化物半導體膜上的閘極絕緣膜，其中該閘極絕緣膜包含含有矽的氧化物；以及

該閘極絕緣膜上的閘極電極，

其中，該氧化物半導體膜包括矽濃度為 1.0at.%以下的區域，

其中，該區域位於該氧化物半導體膜與該閘極絕緣膜之間的介面且接觸於該閘極絕緣膜，以及

其中，該區域包括結晶部。

2.根據申請專利範圍第 1 項之半導體裝置，其中該氧化物半導體膜的端部具有 20°至 50°的錐角。

3.根據申請專利範圍第 1 項之半導體裝置，其中除了該區域之外的該氧化物半導體膜包括第二結晶部。

4.根據申請專利範圍第 1 項之半導體裝置，還包括該基板與該氧化物半導體膜之間的基底絕緣膜，

其中在該結晶部中，c 軸在垂直於該基底絕緣膜與該氧化物半導體膜之間的介面的方向上一致。

5.根據申請專利範圍第 1 項之半導體裝置，其中該區域中的該矽濃度為 0.1at.%以下。

6.根據申請專利範圍第 1 項之半導體裝置，還包括該閘極絕緣膜和該閘極電極上的層間絕緣膜。

7.一種半導體裝置，包括：

基板上的氧化物半導體膜；

該氧化物半導體膜上的源極電極和汲極電極；

該氧化物半導體膜上的閘極絕緣膜，其中該閘極絕緣膜包含含有矽的氧化物；以及

該閘極絕緣膜上的閘極電極，

其中，該氧化物半導體膜包括矽濃度為 1.0at.%以下且碳濃度為 $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以下的區域，

其中，該區域位於該氧化物半導體膜與該閘極絕緣膜之間的介面且接觸於該閘極絕緣膜，以及

其中，該區域包括結晶部。

8.根據申請專利範圍第 7 項之半導體裝置，其中該氧化物半導體膜的端部具有 20° 至 50° 的錐角。

9.根據申請專利範圍第 7 項之半導體裝置，其中除了該區域之外的該氧化物半導體膜包括第二結晶部。

10.根據申請專利範圍第 7 項之半導體裝置，還包括該基板與該氧化物半導體膜之間的基底絕緣膜，

其中在該結晶部中，c 軸在垂直於該基底絕緣膜與該氧化物半導體膜之間的介面的方向上一致。

11.根據申請專利範圍第 7 項之半導體裝置，其中該區域中的該矽濃度為 0.1at.%以下。

12.根據申請專利範圍第 7 項之半導體裝置，還包括該閘極絕緣膜和該閘極電極上的層間絕緣膜。

13.一種半導體裝置，包括：

基板上的氧化物半導體膜；

該氧化物半導體膜上的源極電極和汲極電極；

該氧化物半導體膜上的閘極絕緣膜，其中該閘極絕緣膜包含含有矽的氧化物；以及

該閘極絕緣膜上的閘極電極，

其中，該氧化物半導體膜包括矽濃度為 $1.0 \text{ at. \%}$ 以下且碳濃度為 $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以下的區域，

其中，該區域位於該氧化物半導體膜與該閘極絕緣膜之間的介面且接觸於該閘極絕緣膜，

其中，該區域包括結晶部，以及

其中，該區域具有 5 nm 以下的厚度。

14.根據申請專利範圍第 13 項之半導體裝置，其中該氧化物半導體膜的端部具有 20° 至 50° 的錐角。

15.根據申請專利範圍第 13 項之半導體裝置，其中除了該區域之外的該氧化物半導體膜包括第二結晶部。

16.根據申請專利範圍第 13 項之半導體裝置，還包括該基板與該氧化物半導體膜之間的基底絕緣膜，

其中在該結晶部中， c 軸在垂直於該基底絕緣膜與該氧化物半導體膜之間的介面的方向上一致。

17.根據申請專利範圍第 13 項之半導體裝置，其中該區域中的該矽濃度為 $0.1 \text{ at. \%}$ 以下。

18.根據申請專利範圍第 13 項之半導體裝置，還包括該閘極絕緣膜和該閘極電極上的層間絕緣膜。

圖 1A

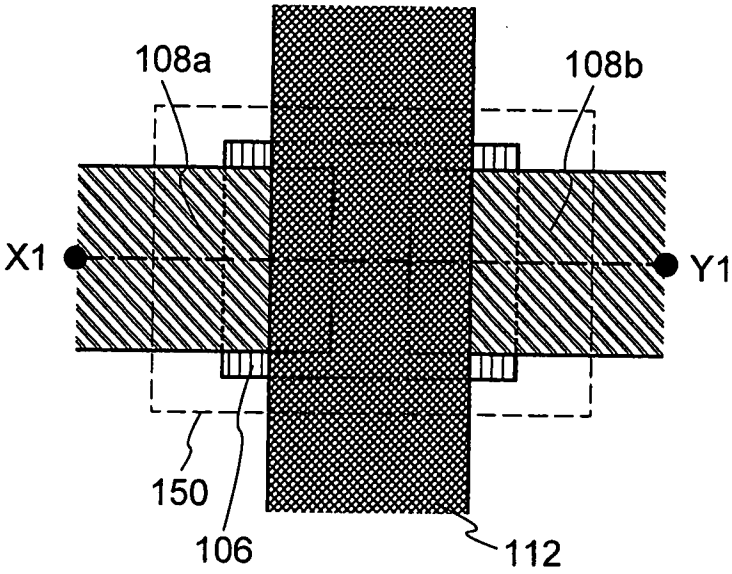


圖 1B

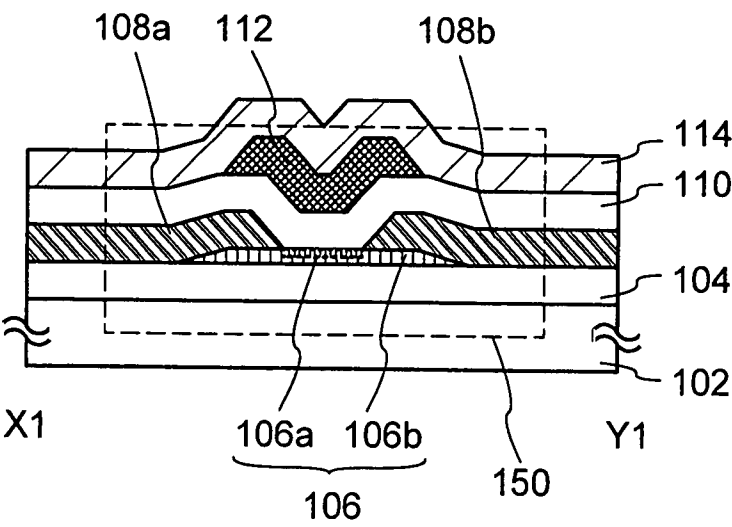


圖 2A

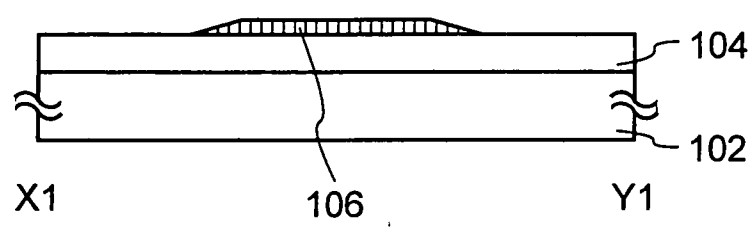


圖 2B

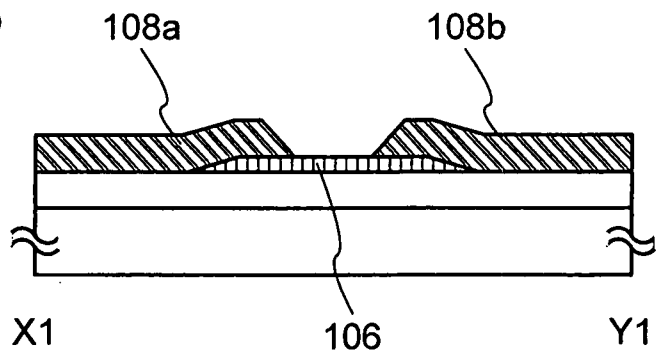


圖 2C

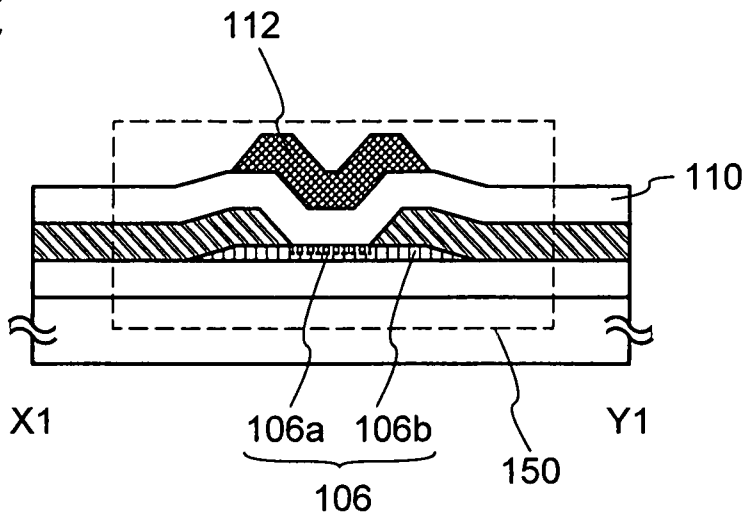


圖 2D

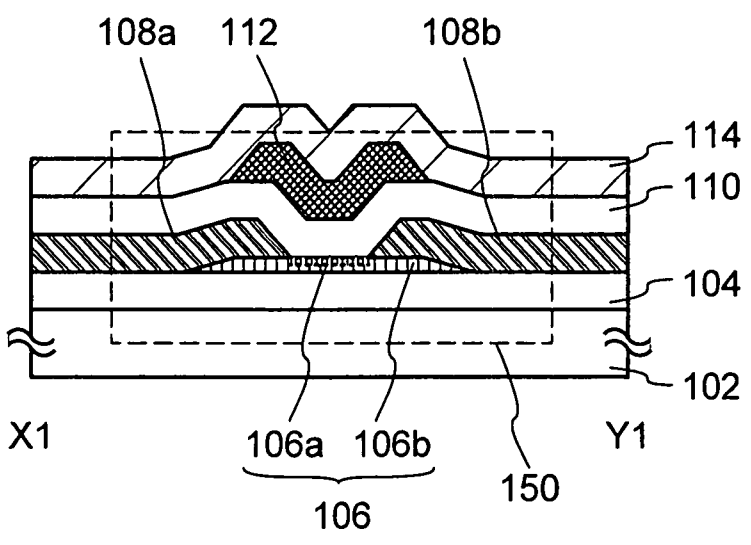


圖 3A

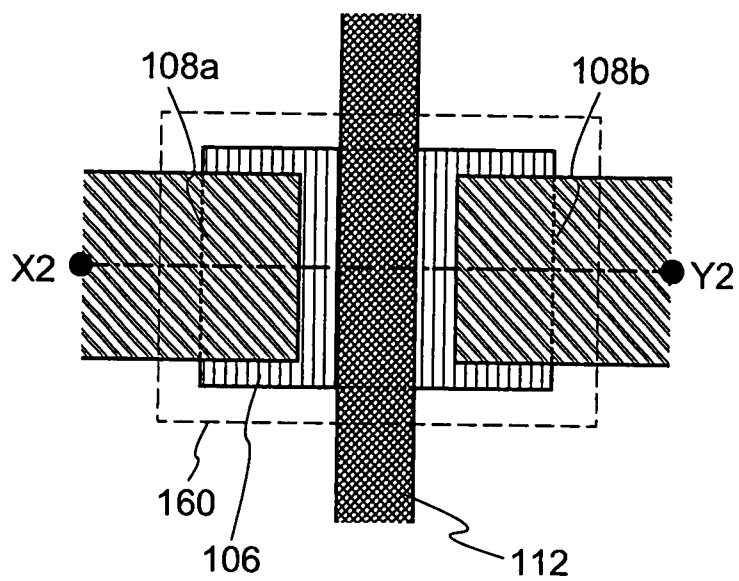


圖 3B

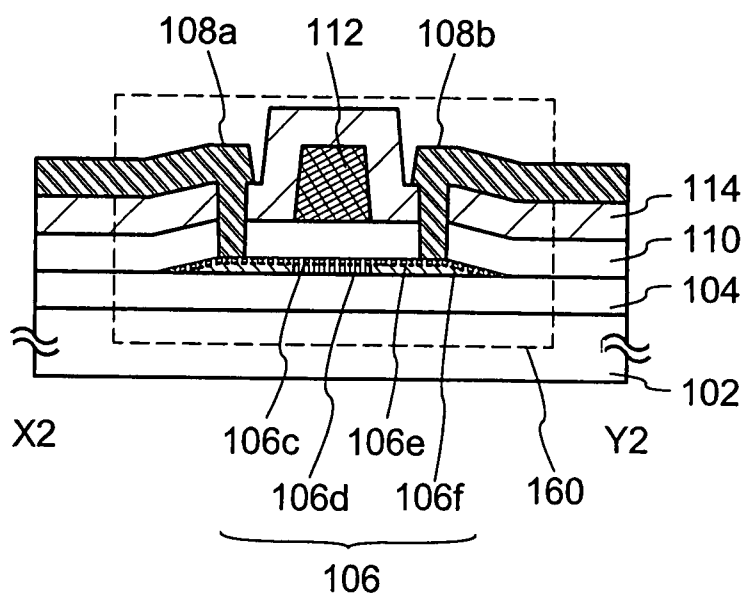


圖 4A

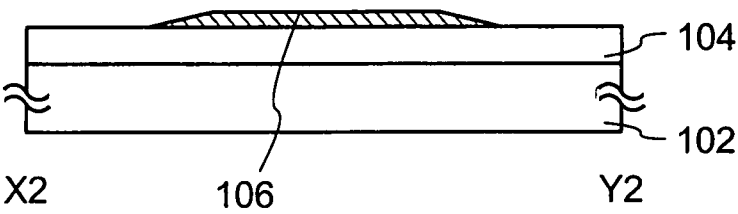


圖 4B

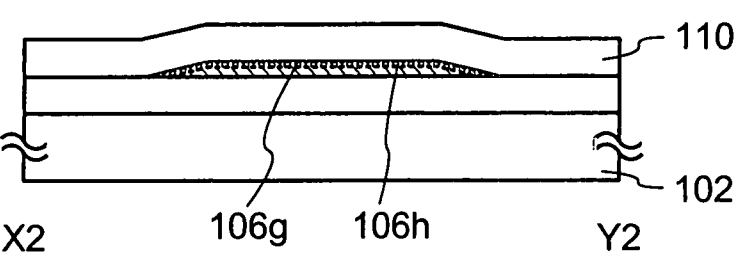


圖 4C

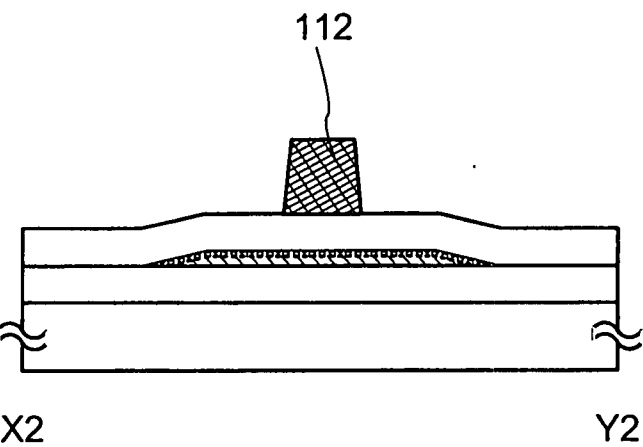


圖 4D

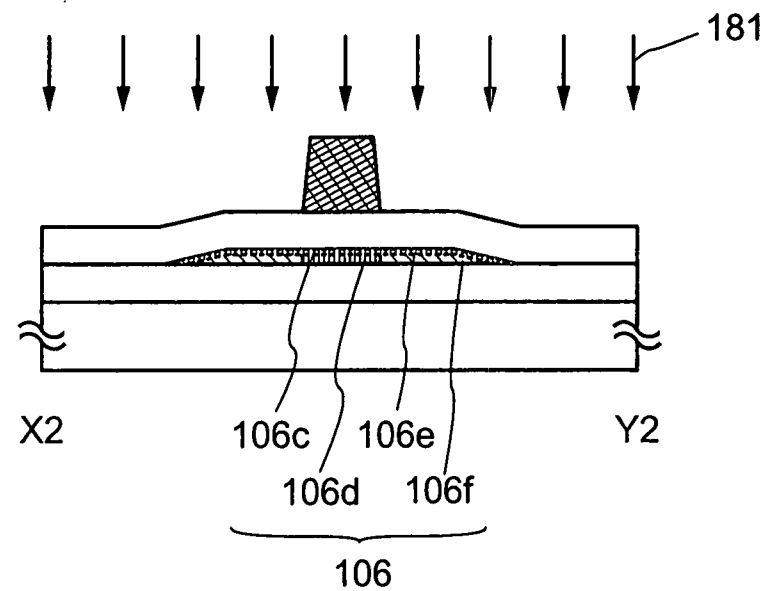


圖 5A

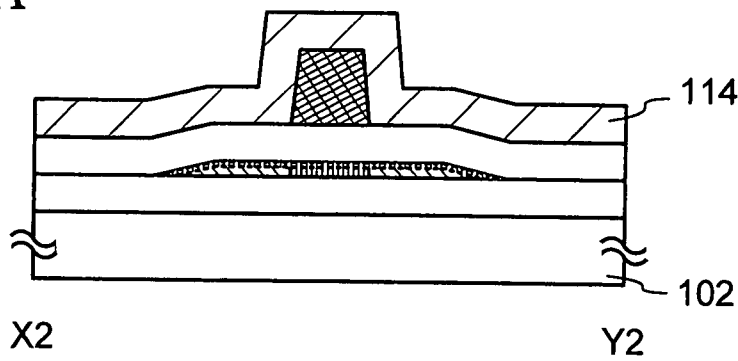


圖 5B

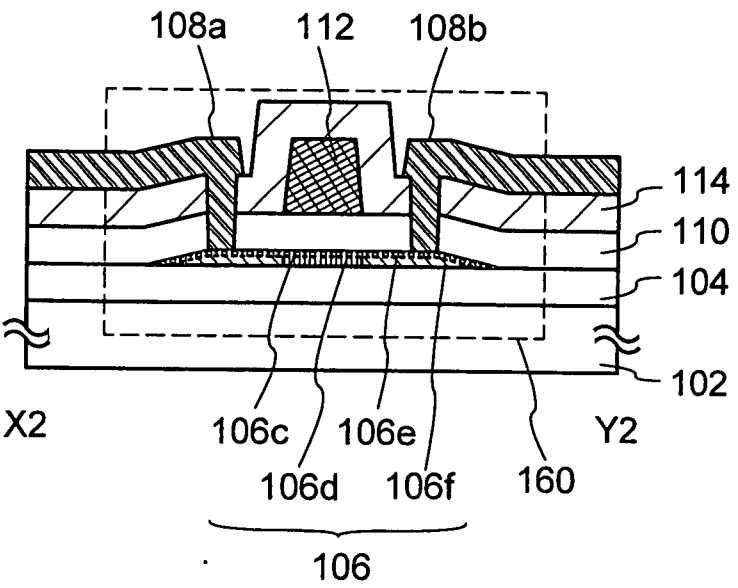


圖 6A

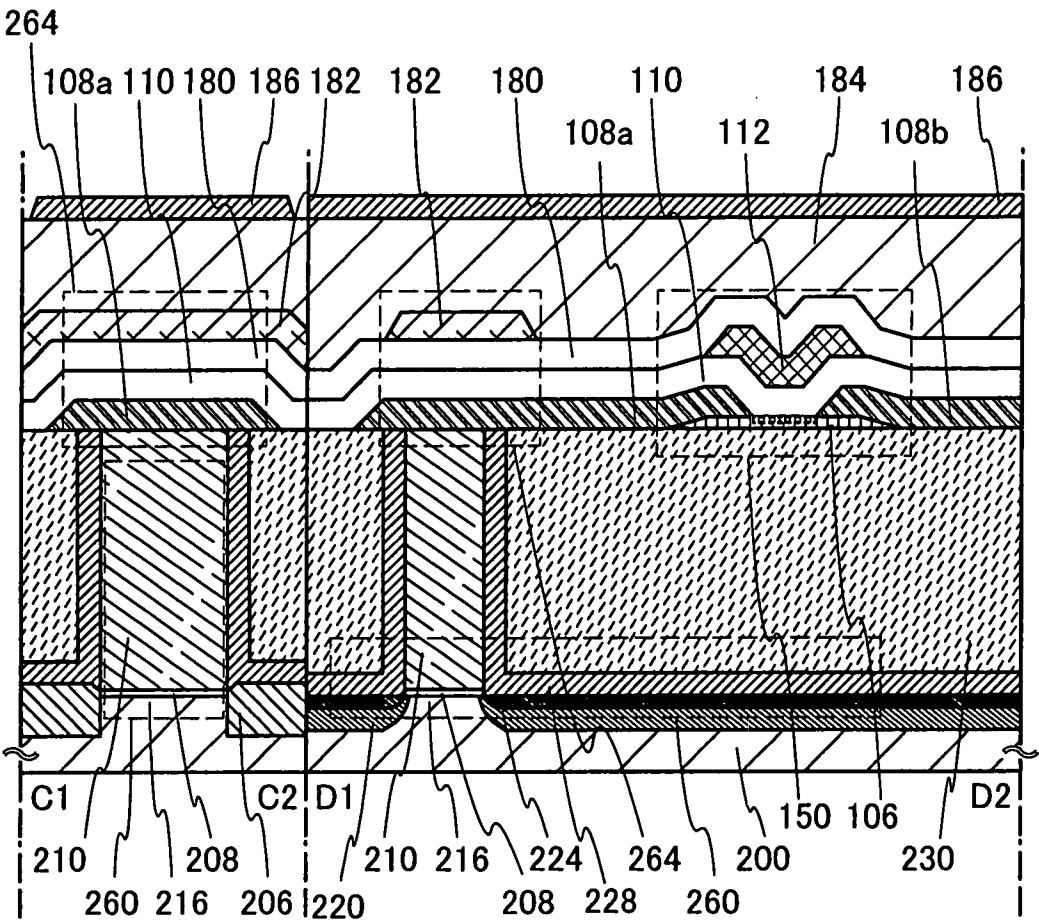


圖 6B

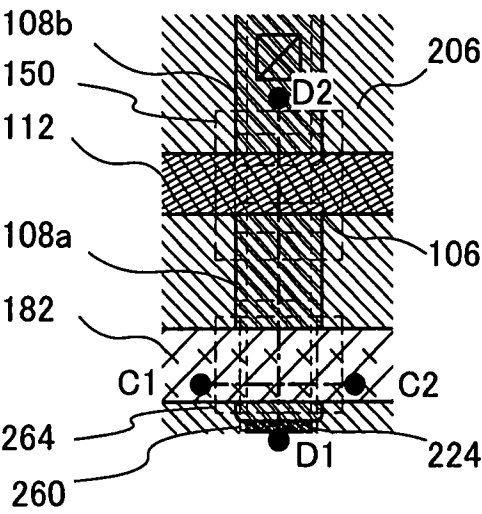


圖 6C

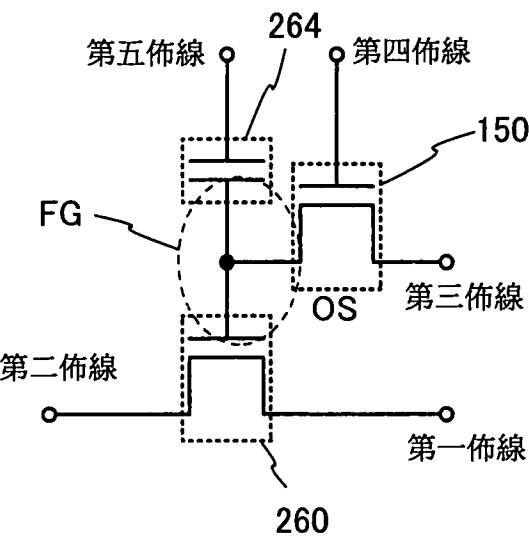


圖 7A

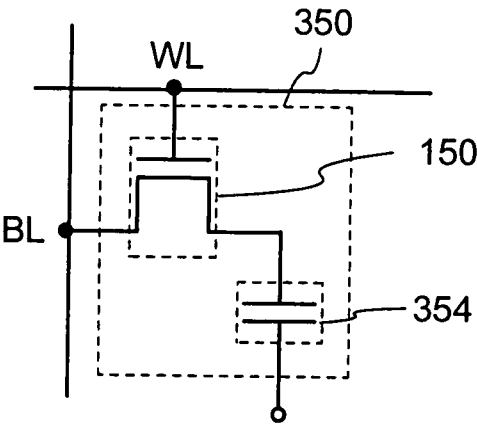


圖 7B

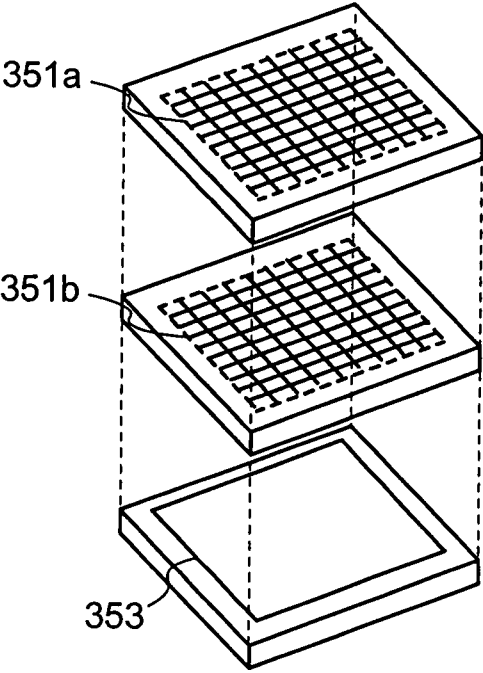


圖 8A

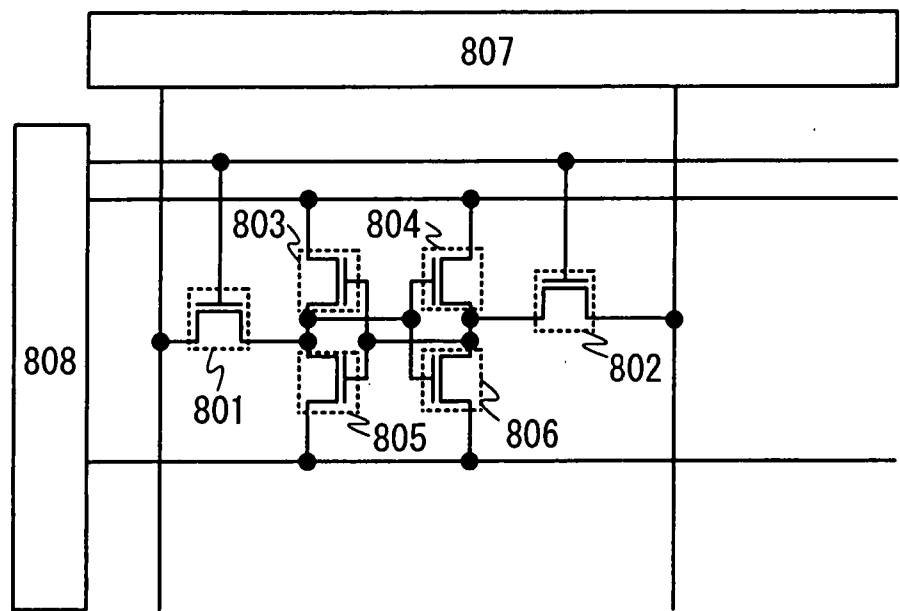


圖 8B

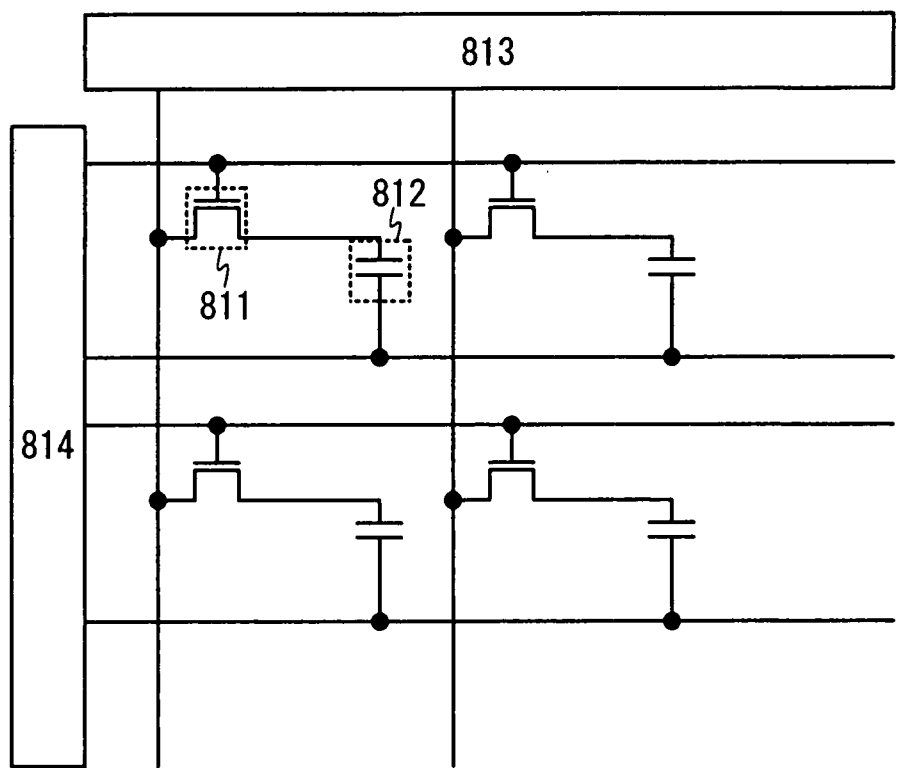


圖 9

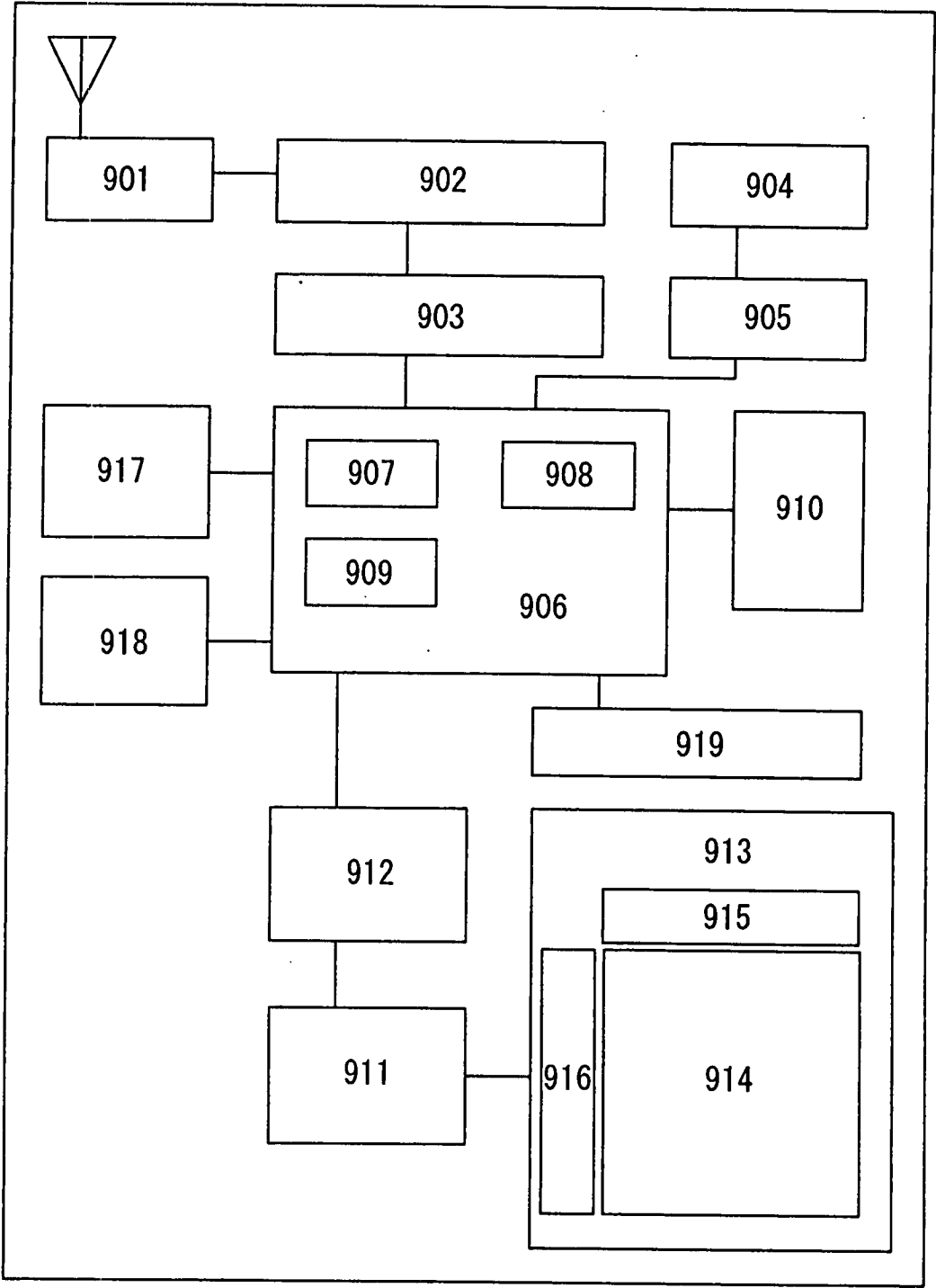


圖10

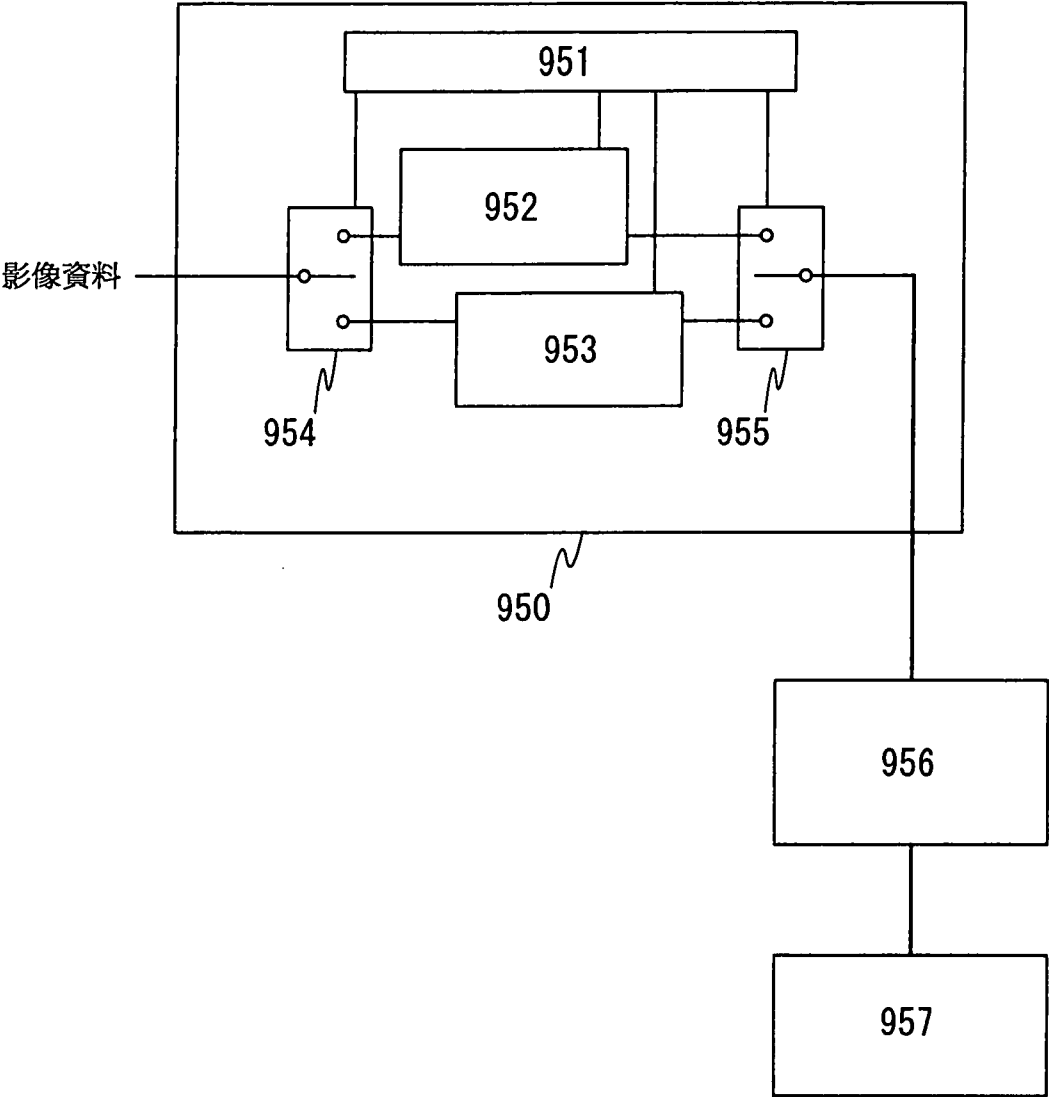


圖 11

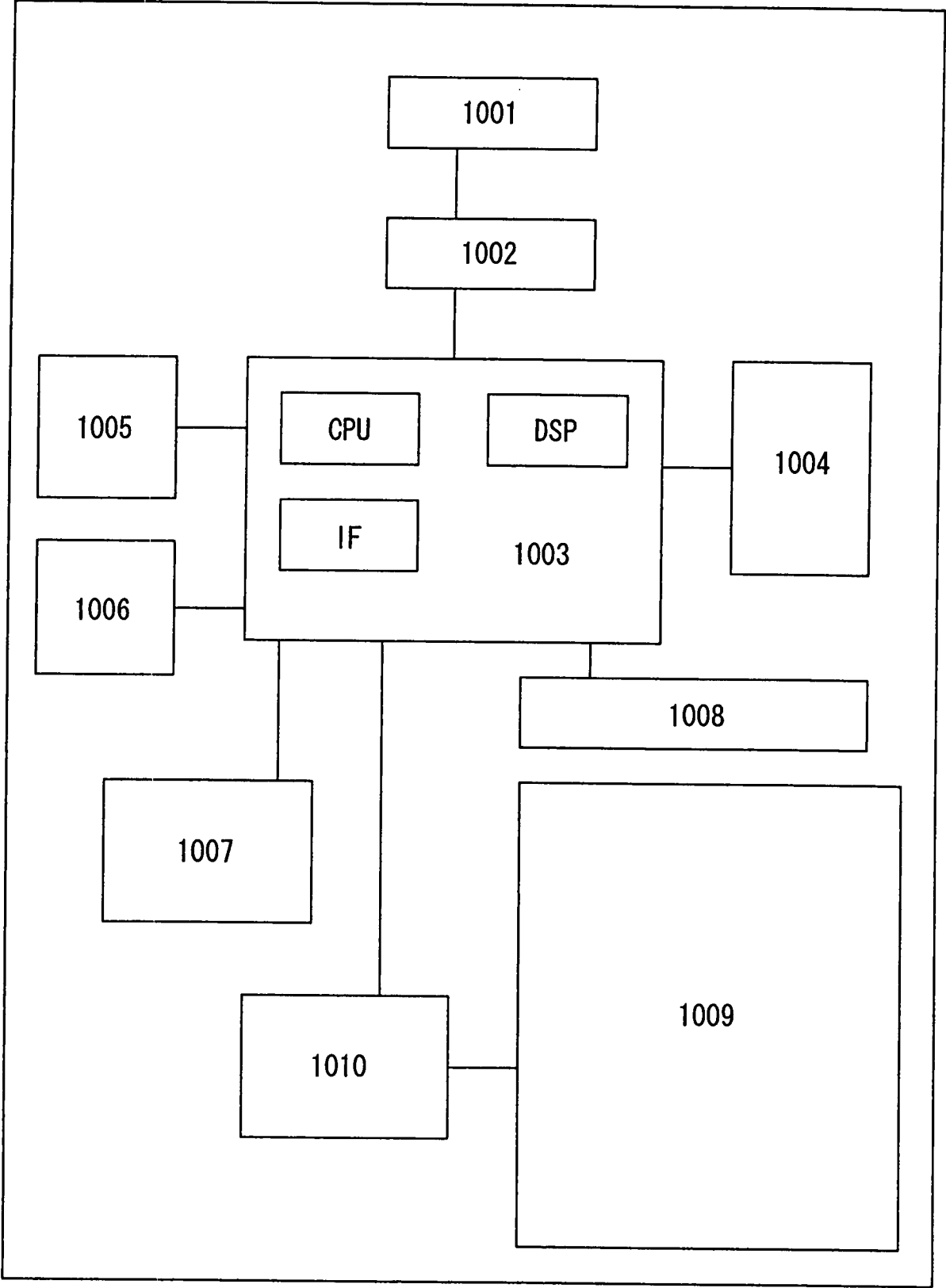


圖 12A

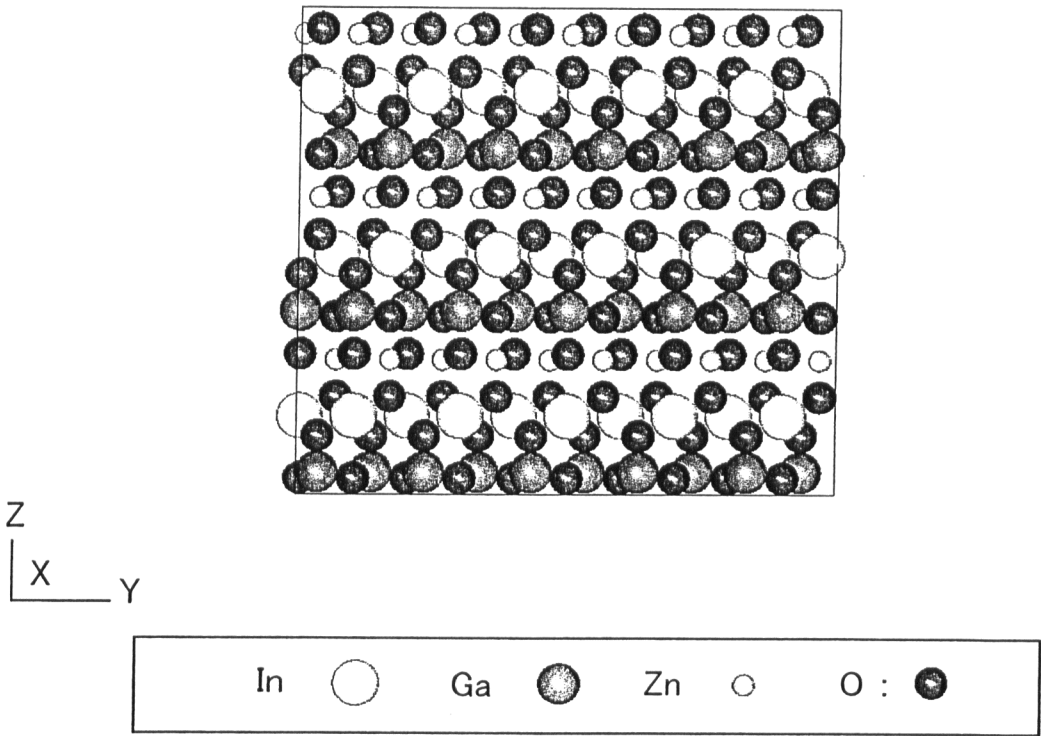


圖 12B

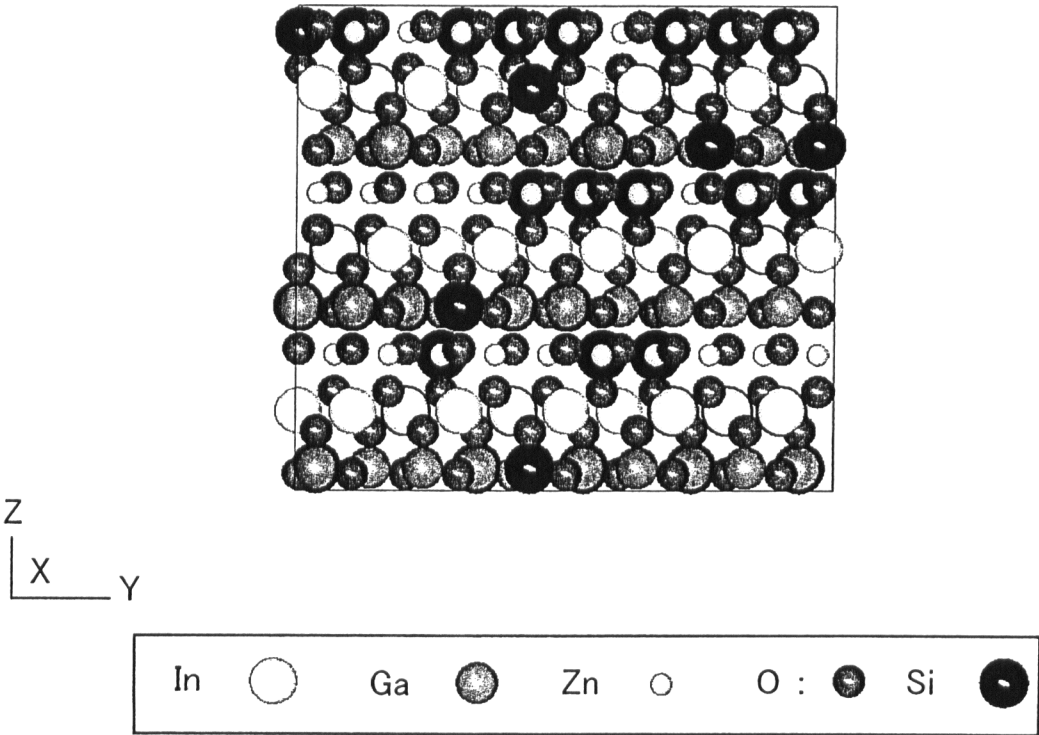


圖 13A

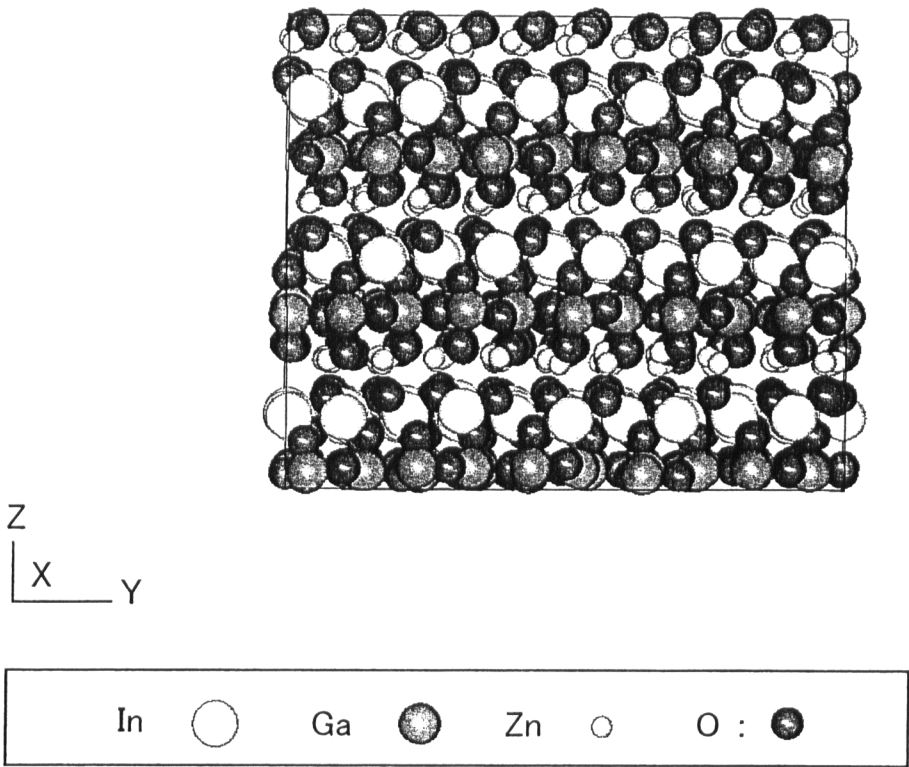


圖 13B

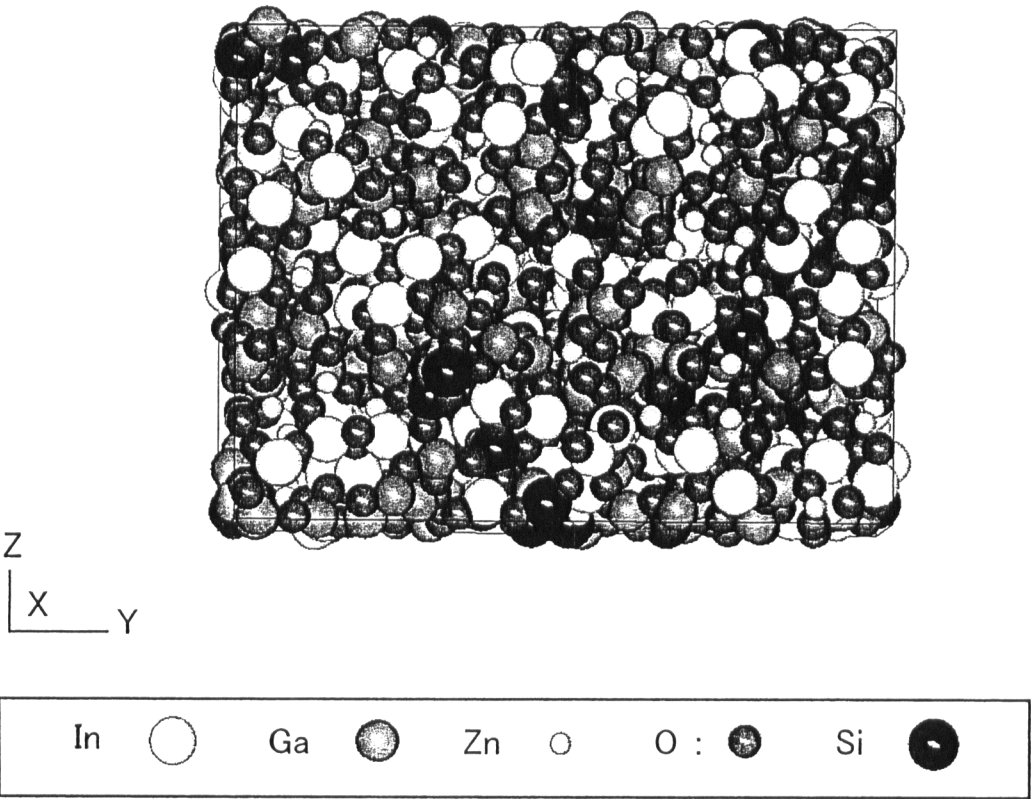


圖 14

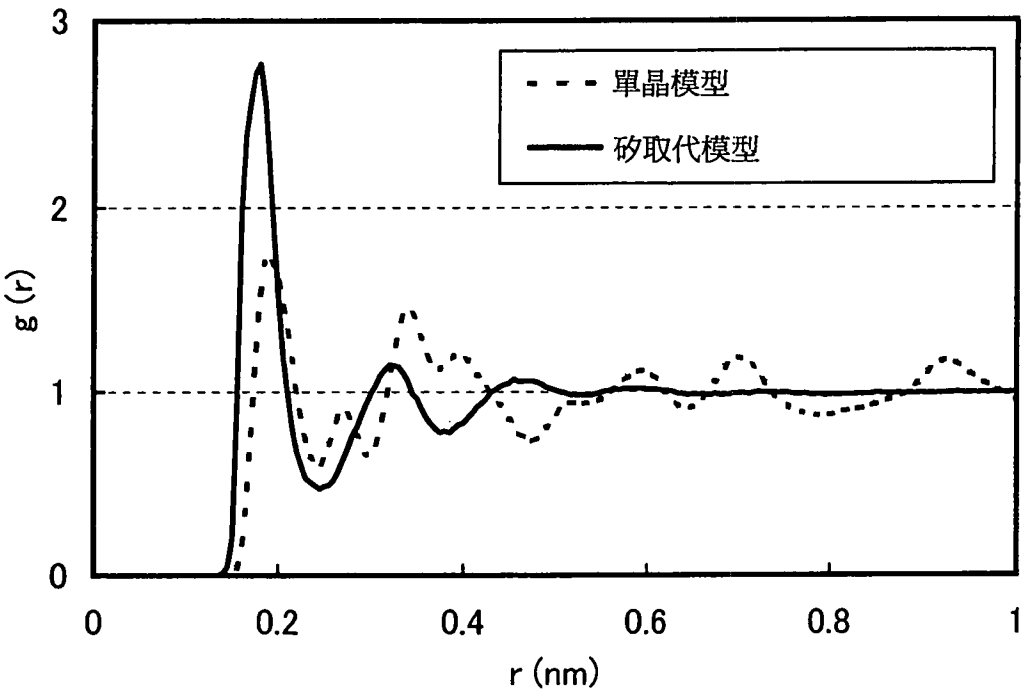


圖 15A

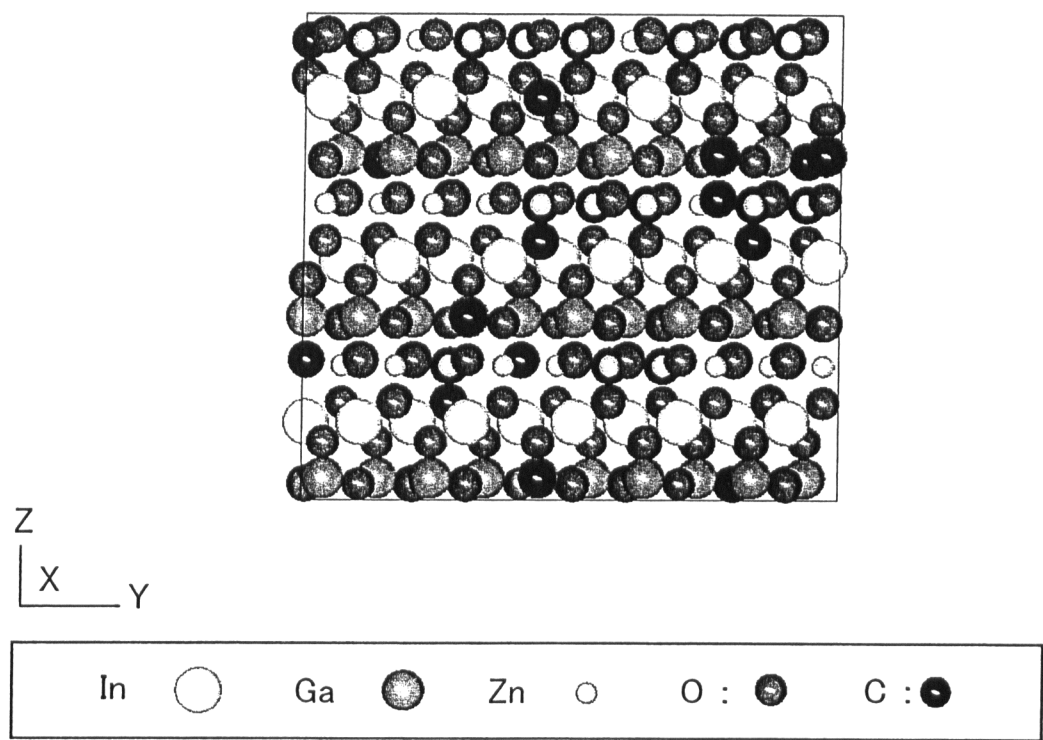


圖 15B

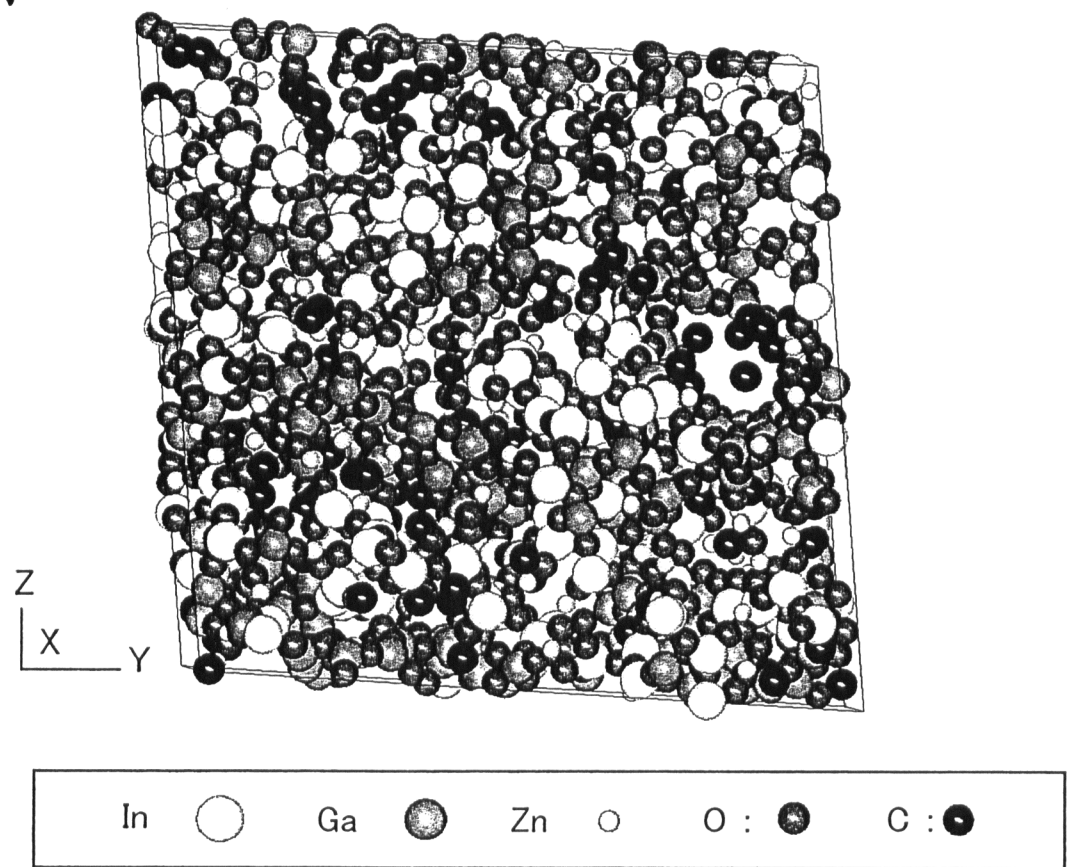


圖 16

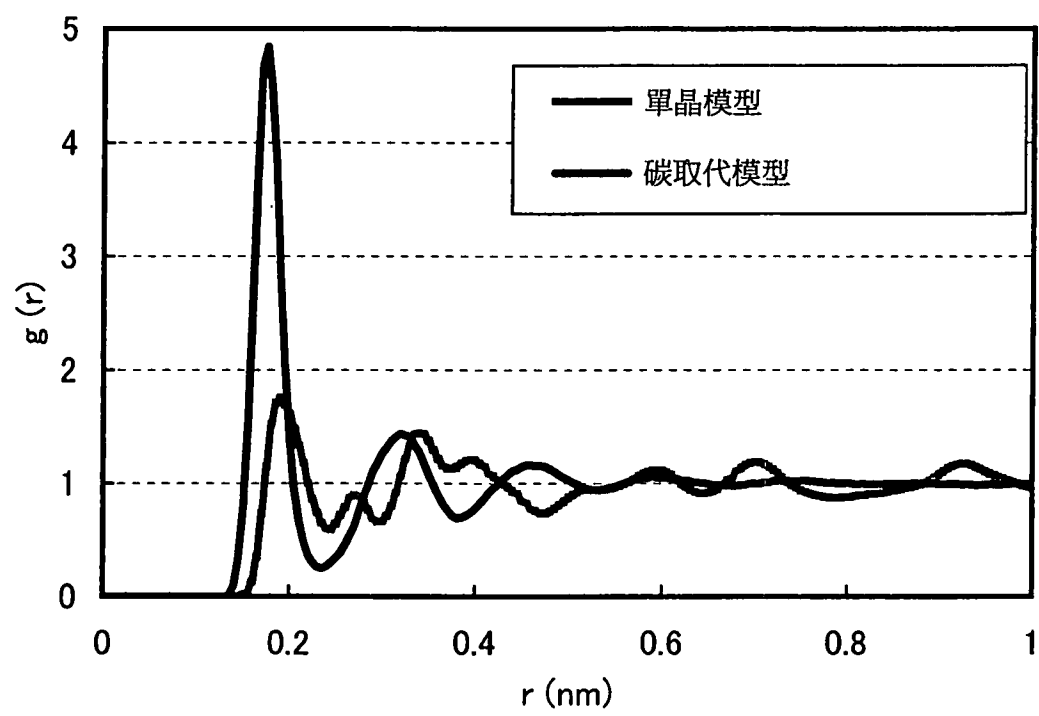


圖17

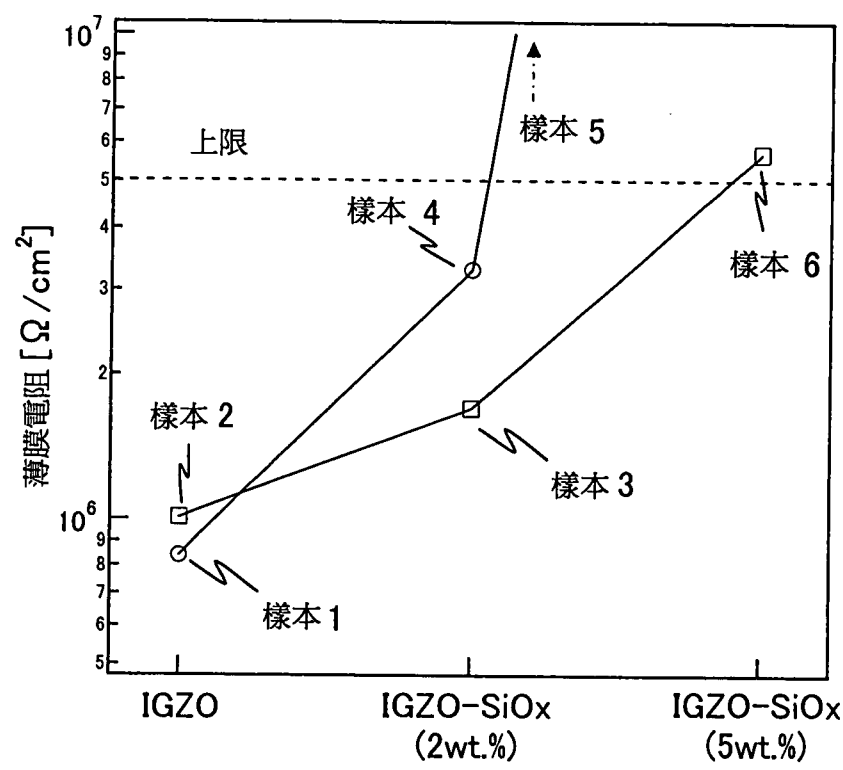


圖 18A

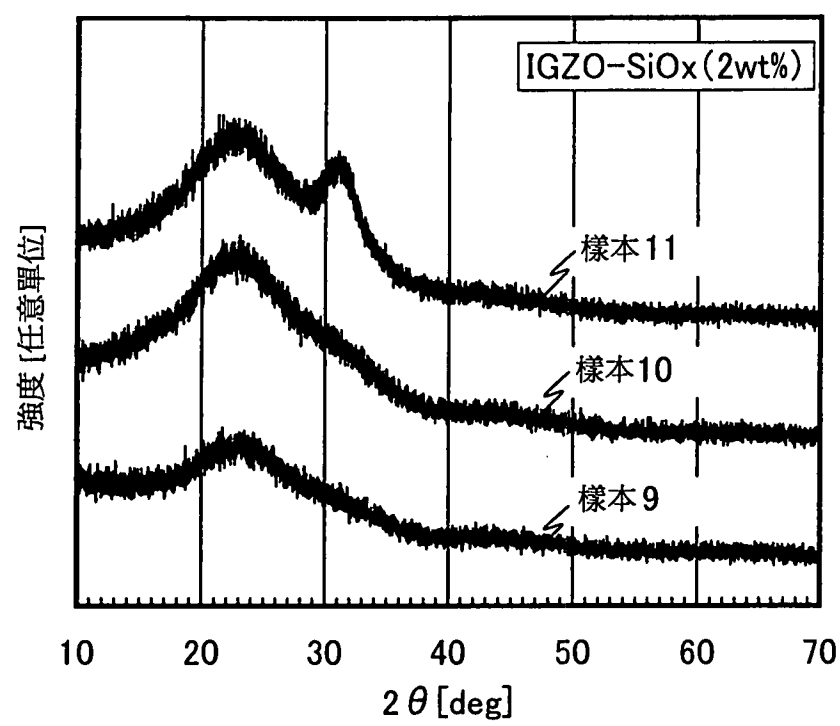


圖 18B

