

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5241036号
(P5241036)

(45) 発行日 平成25年7月17日(2013.7.17)

(24) 登録日 平成25年4月12日(2013.4.12)

(51) Int.Cl.

F I

| | | | | | |
|-------------|--------------|------------------|------|-------|------|
| G02F | 1/133 | (2006.01) | G02F | 1/133 | 575 |
| G09G | 3/20 | (2006.01) | G09G | 3/20 | 611A |
| G09G | 3/36 | (2006.01) | G09G | 3/20 | 612E |
| | | | G09G | 3/20 | 623B |
| | | | G09G | 3/20 | 623E |

請求項の数 7 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2010-59471 (P2010-59471)
 (22) 出願日 平成22年3月16日(2010.3.16)
 (65) 公開番号 特開2011-34051 (P2011-34051A)
 (43) 公開日 平成23年2月17日(2011.2.17)
 審査請求日 平成24年7月20日(2012.7.20)
 (31) 優先権主張番号 特願2009-161115 (P2009-161115)
 (32) 優先日 平成21年7月7日(2009.7.7)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 福尾 元男
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内

審査官 藤田 都志行

最終頁に続く

(54) 【発明の名称】 液晶表示用ドライバ及び液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

データ線側の液晶表示用ドライバであって、

第1電源電圧及び前記第1電源電圧より小さい第2電源電圧が供給され、前記デコードされた第1映像データを増幅して第1データ信号として出力する正極アンプと、

第3電源電圧及び前記第3電源電圧より大きい第4電源電圧が供給され、前記デコードされた第2映像データを増幅して第2データ信号として出力する負極アンプと、

前記第2電源電圧と第1基準電圧との比較結果、又は、前記第4電源電圧と第2基準電圧との比較結果に基づいて、Half-VDD動作及びFull-VDD動作のいずれかであるかを判定し、判定結果を示す判定信号を出力する判定部と

を具備し、

前記正極アンプ及び前記負極アンプは、前記判定信号に基づいて、Half-VDD動作及びFull-VDD動作のうちのいずれか一方により前記増幅を行う

液晶表示用ドライバ。

【請求項2】

請求項1に記載の液晶表示用ドライバにおいて、

前記第1基準電圧は、負極性電圧、前記第2映像データのデコードで参照される負極参照電圧、又は、前記デコードされた第2映像データの電圧のいずれかであり、

前記第2基準電圧は、正極性電圧、前記第1映像データデコードで参照される正極参照電圧、又は、前記デコードされた第1映像データの電圧のいずれかである

液晶表示用ドライバ。

【請求項 3】

請求項 1 又は 2 に記載の液晶表示用ドライバにおいて、

前記判定部は、前記第 2 電源電圧が、前記第 1 基準電圧よりも大きい、又は、前記第 4 電源電圧が、前記第 2 基準電圧よりも小さい場合、前記 Half - VDD 動作であると判定し、

前記正極アンプ及び前記負極アンプは、前記 Half - VDD 動作する液晶表示用ドライバ。

【請求項 4】

請求項 3 に記載の液晶表示用ドライバにおいて、

前記判定部は、前記第 2 電源電圧が、前記第 1 基準電圧よりも小さい、又は、前記第 4 電源電圧が、前記第 2 基準電圧よりも大きい場合、前記 Full - VDD 動作であると判定し、

前記正極アンプ及び前記負極アンプは、前記 Full - VDD 動作する液晶表示用ドライバ。

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の液晶表示用ドライバにおいて、

複数の正極性 電圧に基づいて、複数の正極参照電圧を生成する正極参照電圧発生回路と、

第 1 映像データに基づいて、前記複数の正極参照電圧から少なくとも一つの正極参照電圧をデコードされた第 1 映像データとして選択する正極デコーダと、

複数の負極性 電圧に基づいて、複数の負極参照電圧を生成する負極参照電圧発生回路と、

第 2 映像データに基づいて、前記複数の負極参照電圧から少なくとも一つの負極参照電圧をデコードされた第 2 映像データとして選択する負極デコーダと、

を更に具備する

液晶表示用ドライバ。

【請求項 6】

請求項 5 に記載の液晶表示用ドライバにおいて、

前記正極アンプは、

前記第 1 電源電圧と前記第 3 電源電圧とを供給され、前記デコードされた第 1 映像データと前記第 1 データ信号とを差動増幅する第 1 差動段と、

前記第 1 電源電圧と前記第 2 電源電圧とを供給され、前記第 1 差動段による差動増幅出力を A B 級増幅する第 1 出力段と、

前記第 1 電源電圧と前記第 2 電源電圧とを供給され、前記第 1 出力段による A B 級増幅出力の波形歪みを補正する第 1 中間段と

を備え、

前記第 1 中間段は、前記判定信号に基づいて、前記第 1 出力段へ供給する電圧を調整し、

前記負極アンプは、

前記第 3 電源電圧と前記第 1 電源電圧とを供給され、前記デコードされた第 2 映像データと前記第 2 データ信号とを差動増幅する第 2 差動段と、

前記第 3 電源電圧と前記第 4 電源電圧とを供給され、前記第 2 差動段による差動増幅出力を A B 級増幅する第 2 出力段と、

前記第 3 電源電圧と前記第 4 電源電圧とを供給され、前記第 2 出力段による A B 級増幅出力の波形歪みを補正する第 2 中間段と

を備え、

前記第 2 中間段は、前記判定信号に基づいて、前記第 2 出力段へ供給する電圧を調整する

液晶表示用ドライバ。

10

20

30

40

50

【請求項 7】

液晶パネルと、
前記液晶表示パネルを駆動する請求項 1 乃至 6 のいずれか一項に記載の液晶表示用ドライバと
を具備する

液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示用ドライバ及び液晶表示装置に関し、特にデータ線側の液晶表示用ドライバ及びそれを用いた液晶表示装置に関する。 10

【背景技術】

【0002】

近年、液晶テレビの大画面化が急速に進んでいる。大きいものとしては100型を超えるサイズの液晶テレビも開発されている。液晶テレビの大画面化が進むと、データ線の容量も増大する。そのため、データ線の駆動に関わる充放電に必要な充放電電力が増加する。したがって、データ線の駆動を行うデータドライバの出力アンプとして、高駆動能力の出力アンプが必要となる。高駆動能力の出力アンプを用いる場合、そのアイドル電流も増加する。そのため、出力アンプ自体の消費電力も増加する。このような消費電力の増加は、ドライバLSIの温度を上昇させるため、発熱の問題が生じる。特に1個当たりの出力ピン数の多いドライバLSIでは発熱は深刻な問題となりつつある。また、液晶テレビの価格低下が激しく、使用部品であるドライバLSIの価格抑制も強く望まれている。こうしたことから、低消費電力、低コスト(省面積)のドライバLSIが強く求められている。 20

【0003】

そのような課題を解決する技術として、特開2008-116654号公報(対応米国出願US2008174462(A1))に、データドライバ及び表示装置の技術が開示されている。図1は、特開2008-116654号公報のデータドライバの構成を示すブロック図である。本図には、ドット反転駆動を行う液晶駆動用のデータドライバの2出力分のDAC(デジタルアナログ変換回路)の構成が示されている。このDACは、正極参照電圧発生回路112、正極デコーダ111、正極アンプ110、負極参照電圧発生回路122、負極デコーダ121、負極アンプ120、出力スイッチ回路130を備えている。 30

【0004】

このDACの特徴は、高位電圧源VDD2及び低位電圧源VSSに加え、対向基板電圧VCOM付近の中位電圧源VDD1を備え、3つの電圧源を、正極アンプ110、負極アンプ120にそれぞれ供給している点である。正極アンプ110には、差動部110Aを除いて、高位電圧源VDD2及び中位電圧源VDD1が供給され、差動部110Aには高位電圧源VDD2及び低位電圧源VSSが供給される。負極アンプ120には、差動部120Aを除いて中位電圧源VDD1及び低位電圧源VSSが供給され、差動部120Aには、高位電圧源VDD2及び低位電圧源VSSが供給される。 40

【0005】

差動部110A以外の正極アンプ110、及び、差動部120A以外の負極アンプ120のそれぞれに供給される電圧源の電位差は、(VDD2-VDD1)、(VDD1-VSS)、但しVDD1=VCOMとされる。これらの電位差は、従来(液晶印加電圧の最大値の2倍)の1/2とされており、正極アンプ110、負極アンプ120の消費電力を削減している。

【0006】

一般的に、アンプを安定動作させるためにはアイドル電流(静消費電流)が必要とされる。正極アンプ110及び負極アンプ120の各アンプ内部のアイドル電流の割 50

合は、出力段のアイドル電流が、差動部のアイドル電流の数倍となるように設計される。したがって、差動部以外のアンプ構成要素部（出力段等）に供給する電圧源の電位差を差動部 110 A、120 A の電圧源の電位差よりも小さい構成とすることで、正極アンプ 110 及び負極アンプ 120 の各アンプ全体の消費電流のうち、差動部以外のアンプ構成要素部が占める割合を抑制でき、アンプ全体として消費電力の削減を図っている。

【0007】

以下、本明細書中において、上記図 1 を参照して説明された電源供給（差動部 110 A 以外の正極アンプ 110 に供給する電圧源は VDD2 と VDD1、及び、差動部 120 A 以外の負極アンプ 120 に供給する電圧源は VDD1 と VSS）による動作を Half-VDD 動作と称する。これに対し、正極アンプ、負極アンプともに供給する電圧源を VDD2、VSS とする従来の電源供給による動作を Full-VDD 動作と称する。

10

【0008】

なお、関連する技術として特開平 08 - 137443 号公報（対応米国特許 US 5748165 (A)）に画像表示装置が開示されている。この画像表示装置は、マトリクス状に配列されてアクティブマトリクス駆動により表示を行なう複数の画素と、1 行の上記画素に接続された走査信号線と、1 列の上記画素に接続されたデータ信号線と、上記走査信号線に走査信号を与える走査信号線駆動回路と、2 系統設けられてそれぞれ異なる電圧レベルの電源にて駆動され、上記データ信号線の偶数列と奇数列とにそれぞれ異なる極性の映像信号を与えるとともに、所定のデータ表示期間毎に上記データ信号線の偶数列と奇数列とに与える映像信号の極性を反転させるデータ信号線駆動回路と、偶数列の上記データ信号線に一方の上記データ信号線駆動回路からの映像信号を与え、奇数列の上記データ信号線に他方の上記データ信号線駆動回路からの映像信号を与えるとともに、所定のデータ表示期間毎に上記データ信号線の偶数列と奇数列とに対応するデータ信号線駆動回路を入れ替える入替手段とを備えていることを特徴とする。

20

【0009】

また、特開平 10 - 62744 号公報（対応米国特許 US 5973660 (A)）にマトリクス型液晶表示装置が開示されている。このマトリクス型液晶表示装置は、液晶用駆動回路と、スイッチ回路とを有する。この液晶用駆動回路は、2 系統の回路構成からなり、印加された映像データに応じ、供給された液晶駆動電圧の 1/2 の電圧、または液晶共通電極の電圧を基準として、正および負の電圧を出力するものであり、スイッチ回路は、2 系統の液晶用駆動回路を 2 端子で共用し、各端子に時系列に正および負の電圧を出力すると共に、2 端子間で互いに正負の振幅関係を保つ電圧を出力するようにスイッチ制御するものであることを特徴とする。

30

【先行技術文献】

【特許文献】

【0010】

【特許文献 1】特開 2008 - 116654 号公報

【特許文献 2】特開平 08 - 137443 号公報

【特許文献 3】特開平 10 - 62744 号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0011】

ユーザはデータドライバの電源供給条件として Full-VDD 動作を希望する場合が考えられる。その場合、上記特開 2008 - 116654 号公報の技術を用いると、Half-VDD 動作と Full-VDD 動作とではデータドライバ内部でのアンプ特性が異なるので、データドライバに所望の動作をさせることが出来ない可能性がある。

【0012】

また、データドライバの使用に際して、省電力優先や、電源部材コスト削減優先等の目的に応じて、Half-VDD 動作と Full-VDD 動作との切り替えを要望するユーザも存在する。このような要望に対応する方法として、データドライバの外部から切り替

50

え信号を受け付ける方法が考えられる。しかし、この方法では、ユーザからデータドライバの切り替え信号を貰う必要が生じる。加えて、データドライバ側では切り替え端子を設ける必要があり、その分のチップサイズが大きくなってしまう。

【0013】

液晶表示用ドライバにおいて、Half-VDD動作及びFull-VDD動作のいずれの動作であるかを自動認識することが可能な技術が望まれる。Half-VDD動作及びFull-VDD動作のどちらでも動作が可能であり、Half-VDD動作かFull-VDD動作かを自動認識して動作を切り替えることが可能な技術が望まれる。

【課題を解決するための手段】

【0014】

以下に、発明を実施するための形態で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、特許請求の範囲の記載と発明を実施するための形態との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、特許請求の範囲に記載されている発明の技術的範囲の解釈に用いてはならない。

【0015】

本発明の液晶表示用ドライバは、データ線側用である。この液晶表示用ドライバは、正極アンプ(10)と、負極アンプ(20)と、判定部(40)とを具備する。正極アンプ(10)は、第1電源電圧(VDD2)及び第1電源電圧より小さい第2電源電圧(VBOT)が供給され、デコードされた第1映像データ(V11)を増幅して第1データ信号(Vout1)として出力する。負極アンプ(20)は、第3電源電圧(VSS)及び第3電源電圧より大きい第4電源電圧(VTOP)が供給され、デコードされた第2映像データ(V21)を増幅して第2データ信号(Vout2)として出力する。判定部(40)は、第2電源電圧(VBOT)と第1基準電圧(V_{RM-} ; Half-VDD動作時、 $V_{BOT} > V_{RM-}$ なる電圧)との比較結果、又は、第4電源電圧(VTOP)と第2基準電圧(V_{RM+} ; Half-VDD動作時、 $V_{TOP} < V_{RM+}$ なる電圧)との比較結果に基づいて、Half-VDD動作及びFull-VDD動作のいずれかであるかを判定し、判定結果を示す判定信号(41)を出力する。正極アンプ(10)及び負極アンプ(20)は、判定信号(41)に基づいて、Half-VDD動作及びFull-VDD動作のうちいずれか一方により増幅を行う。

【0016】

本発明では、判定部を用いて、第2電源電圧(VBOT)と第1基準電圧(V_{RM-})とを比較することにより、第2電源電圧(VBOT)の大きさを検知することができる。それにより、第1電源電圧(VDD2)から第2電源電圧(VBOT)までの電圧範囲がHalf-VDD動作の電圧範囲であるか、Full-VDD動作の電圧範囲であるかを判定できる。又は、第4電源電圧(VTOP)と第2基準電圧(V_{RM+})とを比較することにより、第4電源電圧(VTOP)の大きさを検知することができる。それにより、第3電源電圧(VSS)から第4電源電圧(VTOP)までの電圧範囲がHalf-VDD動作の電圧範囲であるか、Full-VDD動作の電圧範囲であるかを判定できる。すなわち、判定部(40)は、Half-VDD動作かFull-VDD動作かを自動認識することができる。そして、この判定結果を用いることにより、正極アンプ(10)及び負極アンプ(20)は、Half-VDD動作及びFull-VDD動作に対応して、その機能を切り替えて実行することができる。

【0017】

本発明の液晶表示装置は、液晶パネル(96)と、液晶表示パネル(96)を駆動する上記の液晶表示用ドライバ(98)とを具備する。

本発明では、上記液晶表示用ドライバ(98)を有しているため、本液晶表示装置においても上記効果を得ることができる。加えて、Half-VDD動作及びFull-VDD動作の検出や切換のための他の回路等が不要になるため、液晶表示装置の設計が容易化されると共に、液晶表示装置を小型化することができる。

10

20

30

40

50

【発明の効果】

【0018】

本発明により、液晶表示用ドライバにおいて、Half-VDD動作及びFull-VDD動作のいずれの動作であるかを自動認識することができる。また、Half-VDD動作かFull-VDD動作かを自動認識して動作を切り替えることが可能となる。

【図面の簡単な説明】

【0019】

【図1】図1は、特開2008-116654号公報のデータドライバの構成を示すブロック図である。

【図2】図2は、本発明の実施の形態に係る液晶表示装置の構成を示すブロック図である。

10

【図3】図3は、本発明の実施の形態に係る液晶表示用ドライバとしてのデータドライバを示すブロック図である。

【図4】図4は、本発明の実施の形態に係る液晶表示用ドライバとしてのデータドライバを示すブロック図である。

【図5A】図5Aは、Half-VDD動作でのデータドライバに供給される電圧同士の関係を示す模式図である。

【図5B】図5Bは、Full-VDD動作でのデータドライバに供給される電圧同士の関係を示す模式図である。

【図6A】図6Aは、正極性及び負極性のガンマ曲線がクロスする場合のHalf-VDD動作でのデータドライバに供給される電圧同士の大小関係を示す模式図である。

20

【図6B】図6Bは、正極性及び負極性のガンマ曲線がクロスする場合のFull-VDD動作でのデータドライバに供給される電圧同士の大小関係を示す模式図である。

【図7A】図7Aは、正極性及び負極性のガンマ曲線がクロスしない場合のHalf-VDD動作でのデータドライバに供給される電圧同士の大小関係を示す模式図である。

【図7B】図7Bは、正極性及び負極性のガンマ曲線がクロスしない場合のFull-VDD動作でのデータドライバに供給される電圧同士の大小関係を示す模式図である。

【図8A】図8Aは、Half-VDD動作でのデータドライバに供給される電圧同士の関係を示す模式図である。

【図8B】図8Bは、Full-VDD動作でのデータドライバに供給される電圧同士の関係を示す模式図である。

30

【図9】図9は、図4の正極アンプと負極アンプ、判定部、及び出力スイッチ回路の実施の形態を示す回路図である。

【発明を実施するための形態】

【0020】

以下、本発明の実施の形態に係る液晶表示用ドライバ及び液晶表示装置に関して添付図面を参照して説明する。

【0021】

図2は、本発明の実施の形態に係る液晶表示装置の構成を示すブロック図である。液晶表示装置90は、表示コントローラ95、液晶パネル96、ゲートドライバ97、データドライバ98を具備する。

40

【0022】

表示コントローラ95は、クロック信号(CLK)、制御信号、映像データ、及び電源電圧をデータドライバ98へ、クロック信号(CLK)、制御信号、及び電源電圧をデータドライバ97へそれぞれ出力する。ゲートドライバ97は、電源電圧を供給され、クロック信号に同期して動作する。ゲートドライバ97は、制御信号に基づいて、液晶パネル96の複数のゲート線91を駆動する。ただし、LCDコントローラ95と一体に構成されていても良い。その場合、回路面積を小さくすることができる。データドライバ98は、電源電圧を供給され、クロック信号に同期して動作する。データドライバ98は、制御信号及び映像データに基づいて、液晶パネル96の複数のデータ線92を駆動する。ただ

50

し、表示コントローラ 95 と一体に構成されていても良い。その場合、回路面積を小さくすることができる。液晶パネル 96 は、ゲートドライバ 97 及びデータドライバ 98 により、それぞれ複数のゲート線 91 及び複数のデータ線 92 を駆動され、画像を表示する。液晶パネル 96 は、行列上に配列された複数の画素 99 を備える。画素 99 は、トランジスタ 93 と液晶を有する画素容量 94 を含む。トランジスタ 93 は、ゲートをゲート線 91 に、ソース/ドレインの一方をデータ線 92 に、他方を画素容量 94 の一方の端子にそれぞれ接続されている。画素容量 94 の他方の COM 端子には対向基板電圧 VCOM が供給される。ゲートドライバ 97 によるゲート線 91 の駆動により、トランジスタ 93 のオン/オフが制御される。データドライバ 98 によるデータ線 92 の駆動により、画素容量 94 の階調電圧が制御される。

10

【0023】

図 3 は、本発明の実施の形態に係る液晶表示用ドライバとしてのデータドライバ 98 を示すブロック図である。このデータドライバ 98 は、ドット反転を行う液晶駆動用のデータドライバであり、ラッチアドレスセクタ 81、ラッチ 82、レベルシフタ 83、参照電圧発生回路 35、正極デコーダ 11、負極デコーダ 21、正極アンプ 10、負極アンプ 20、及び、出力スイッチ回路 30、判定部 40 を備えている。

【0024】

ラッチアドレスセクタ 81 は、クロック信号 (CLK) に基づいて、データラッチのタイミングを決定する。ラッチ 82 は、ラッチアドレスセクタ 81 で決定されたタイミングに基づいて、映像データ (デジタル) をラッチする。そして、ストローク信号 (STB 信号) に応答して、レベルシフタ 83 を介して正極デコーダ 11 及び負極デコーダ 21 にデータを一齐に出力する。ラッチアドレスセクタ 81 及びラッチ 82 はロジック回路であり、一般に低電圧 (0V ~ 3.3V) で構成される。

20

【0025】

参照電圧発生回路 35 は、正極参照電圧発生回路 12 及び負極参照電圧発生回路 22 を備える。正極参照電圧発生回路 12 は、+ 極性ガンマ補正回路 (図示されず) から少なくとも 2 個のガンマ電圧 V_{G1+} 、 V_{G2+} を供給され、その分圧等により必要数 (複数) の正極参照電圧 (V_{R+}) を生成する。負極参照電圧発生回路 22 は、- 極性ガンマ補正回路 (図示されず) から少なくとも 2 個のガンマ電圧 V_{G1-} 、 V_{G2-} を供給され、その分圧等により必要数 (複数) の負極参照電圧 (V_{R-}) を生成する。正極デコーダ 11 は、正極参照電圧発生回路 12 から供給される参照電圧に基づいて、入力された映像データに対応した、重複も含む n 個 ($n \geq 1$ 、整数) の参照電圧を選択して、正極参照電圧 $V_{R11} \sim V_{R1n}$ として出力する。負極デコーダ 21 は、負極参照電圧発生回路 22 から供給される参照電圧に基づいて、入力された映像データに対応した、重複も含む n 個 ($n \geq 1$ 、整数) の参照電圧を選択して、負極参照電圧 $V_{R21} \sim V_{R2n}$ として出力する。正極アンプ 10 及び負極アンプ 20 は、それぞれ正極デコーダ 11 及び負極デコーダ 21 から出力された n 個の参照電圧を入力し、演算増幅して出力電圧を出力スイッチ回路 30 に供給する。出力スイッチ回路 30 は、偶数個のドライバ出力端子 P_1 、 P_2 、 \dots 、 P_s の 2 端子毎に設けられ、正極アンプ 10 及び負極アンプ 20 の出力電圧を、制御信号 S_1 、 S_2 に応じて前述の 2 端子へ切り替え出力する。

30

40

【0026】

判定部 40 は、参照電圧発生回路 35 内の正極参照電圧発生回路 12 及び負極参照電圧発生回路 22 (図 4 参照) より選定された基準電圧 (V_{RM+} 、 V_{RM-}) と、正極アンプ 10 及び負極アンプ 20 に供給される電源電圧 (V_{BOT} 、 V_{TOP}) とに基づいて、データドライバ 98 の動作が Half-VDD 動作 (Half-VDD 駆動) か Full-VDD 動作 (Full-VDD 駆動) かを判定する。そして、その判定結果を示す判定信号を正極アンプ 10 及び負極アンプ 20 へ出力する。正極アンプ 10 及び負極アンプ 20 は、その判定信号に基づいて、Half-VDD 動作か Full-VDD 動作かに応じた動作を実行する。すなわち、本実施の形態に係る液晶表示用ドライバは、判定部 40 により Half-VDD 動作及び Full-VDD 動作のうちのどちらの設定になっている

50

かを自動認識し、その設定に対応して動作を切り替えることが出来る。

【 0 0 2 7 】

図 4 は、本発明の実施の形態に係る液晶表示用ドライバとしてのデータドライバを示すブロック図である。この図では、データドライバにおける、デジタルアナログ変換を行う 2 出力分の回路及びその周辺の回路の構成が示されている。すなわち、参照電圧発生回路 3 5 (正極参照電圧発生回路 1 2、負極参照電圧発生回路 2 2)、正極デコーダ 1 1、負極デコーダ 2 1、正極アンプ 1 0、負極アンプ 2 0、及び、出力スイッチ回路 3 0、及び判定部 4 0 の部分が示されている。

【 0 0 2 8 】

正極参照電圧発生回路 1 2 は、少なくとも 2 個のガンマ電圧 $V_{G1(+)}$ 、 $V_{G2(+)}$ を供給され、その分圧等により必要数 (複数) の正極参照電圧 (V_{R+}) を生成し、正極デコーダ 1 1 へ出力する。ただし、複数の正極参照電圧 (V_{R+}) のうち、最大値はガンマ電圧 $V_{G2(+)}$ 以下であり、最小値はガンマ電圧 $V_{G1(+)}$ 以上である。この図の例では、2 個のガンマ電圧を供給され、そのガンマ電圧の最大値を $V_{G2(+)}$ とし、最小値を $V_{G1(+)}$ とする。なお、正極参照電圧発生回路 1 2 は、複数組の正極デコーダ 1 1、正極アンプ 1 0 に対して 1 つ設ける構成としてもよい。

10

【 0 0 2 9 】

正極デコーダ 1 1 は、正極参照電圧発生回路 1 2 から複数の正極参照電圧 (V_{R+}) を供給される。そして、その複数の正極参照電圧 (V_{R+}) の中から、供給される第 1 の映像データ (デジタル) D_1 に応じた少なくとも 1 つ (複数可) の参照電圧 V_{11} を選択し、デコードされた第 1 の映像データとして出力する。正極デコーダ 1 1 は、高位電圧源 V_{DD2} 及び中位電圧源 V_{DD1} を供給される。

20

【 0 0 3 0 】

正極アンプ 1 0 は、正極デコーダ 1 1 から、選択された少なくとも 1 つの参照電圧 V_{11} (デコードされた第 1 の映像データ) を供給される。また、判定部 4 0 から、データドライバ 9 8 の駆動が $Half-V_{DD}$ 駆動か $Full-V_{DD}$ 駆動かを示す判定信号 4 1 を供給される。そして、その判定信号 4 1 に基づいて、その参照電圧 V_{11} を増幅して正極階調電圧 V_{out1} を生成する。そのとき、 $Half-V_{DD}$ 駆動か $Full-V_{DD}$ 駆動かに対応して、動作設定を変更する。動作モードに応じた動作設定の変更例 (図 9) は後述する。正極アンプ 1 0 は、その正極階調電圧 V_{out1} をアンプ出力端子 N_{11} に出力する。正極アンプ 1 0 は、差動部 1 0 A を除いて、高位電圧源 V_{DD2} 及び低位電圧源 V_{BOT} を供給される。低位電圧源 V_{BOT} は、 $Half-V_{DD}$ 動作のときは対向基板電圧 V_{COM} 付近の電位で、正極参照電圧発生回路 1 2 の階調出力 V_{RM+} の最低電圧付近の電圧であり、 $Full-V_{DD}$ 動作のときは低位電圧源 V_{SS} 付近の電圧を供給される。差動部 1 0 A は、高位電圧源 V_{DD2} 及び低位電圧源 V_{SS} を供給される。

30

【 0 0 3 1 】

負極参照電圧発生回路 2 2 は、少なくとも 2 個のガンマ電圧 $V_{G1(-)}$ 、 $V_{G2(-)}$ を供給され、その分圧等により必要数 (複数) の負極参照電圧 (V_{R-}) を生成し、負極デコーダ 2 1 へ出力する。ただし、複数の負極参照電圧 (V_{R-}) のうち、最大値はガンマ電圧 $V_{G2(-)}$ 以下であり、最小値はガンマ電圧 $V_{G1(-)}$ 以上である。この図の例では、2 個のガンマ電圧を供給され、そのガンマ電圧の最大値を $V_{G2(-)}$ とし、最小値を $V_{G1(-)}$ とする。なお、負極参照電圧発生回路 2 2 は、複数組の負極デコーダ 2 1、負極アンプ 2 0 に対して 1 つ設ける構成としてもよい。

40

【 0 0 3 2 】

負極デコーダ 2 1 は、負極参照電圧発生回路 2 2 から複数の負極参照電圧 (V_{R-}) を供給される。そして、その複数の負極参照電圧 (V_{R-}) の中から、供給される第 2 の映像データ (デジタル) D_2 に応じた少なくとも 1 つ (複数可) の参照電圧 V_{21} を選択し、デコードされた第 2 の映像データとして出力する。負極デコーダ 2 1 は、中位電圧源 V_{DD1} 及び低位電圧源 V_{SS} を供給される。

【 0 0 3 3 】

50

負極アンプ20は、負極デコーダ21から、選択された少なくとも1つの参照電圧V21（デコードされた第2の映像データ）を供給される。また、判定部40から、データドライバ98の駆動がHalf-VDD駆動かFull-VDD駆動かを示す判定信号41を供給される。そして、その判定信号41に基づいて、その参照電圧V21を増幅して負極階調電圧Vout2を生成する。そのとき、Half-VDD駆動かFull-VDD駆動かに対応して、動作設定を変更する。動作モードに応じた動作設定の変更例（図9）は後述する。負極アンプ20は、その負極階調電圧Vout2をアンプ出力端子N12に出力する。負極アンプ20は、差動部20Aを除いて、高位電圧源VTOP及び低位電圧源VSSを供給される。高位電圧源VTOPは、Half-VDD動作のときは対向基板電圧VCOM付近の電位で、負極参照電圧発生回路22の階調出力V_{RM-}の最高電圧付近の電圧であり、Full-VDD動作のときは高位電圧源VDD2付近の電圧を供給される。差動部20Aは、高位電圧源VDD2及び低位電圧源VSSを供給される。

10

【0034】

出力スイッチ回路30は、図3で説明したように、制御信号S1、S2に応じて、正極アンプ10及び負極アンプ20の出力電圧Vout1、Vout2をドライバ出力端子P1、P2に切替えて出力する。

【0035】

判定部40は、正極参照電圧発生回路12及び負極参照電圧発生回路22より選定された基準電圧（V_{RM+}、V_{RM-}）と、正極アンプ10及び負極アンプ20に供給される電源電圧VBOT、VTOPとに基づいて、データドライバ98の駆動がHalf-VDD駆動かFull-VDD駆動かを判定し、判定結果を示す判定信号41を正極アンプ10及び負極アンプ20へ出力する。

20

【0036】

次に、Half-VDD駆動でのデータドライバに供給される電圧、及びFull-VDD駆動でのデータドライバに供給される電圧について、それぞれ図面を参照して説明する。ここで、図5A、図6A、図7A、及び図8Aは、Half-VDD駆動でのデータドライバに供給される電圧について説明する図である。一方、図5B、図6B、図7B、及び図8Bは、Full-VDD駆動でのデータドライバに供給される電圧について説明する図である。

【0037】

まず、Half-VDD駆動の場合について説明する。

図5Aは、Half-VDD駆動でのデータドライバに供給される電圧同士の関係を示す模式図である。詳しくは後述するが、電源（VSS、VBOT、VTOP、VDD2）及びガンマ（ γ ）電圧（VG1（-）、VG2（-）、VG1（+）、VG2（+））の電圧関係は、図の上方向に行くに従って高くなる。以降の図も同様である。図6Aは、正極性及び負極性のガンマ曲線がクロスする場合のHalf-VDD駆動でのデータドライバに供給される電圧同士の大小関係を示す模式図である。また、図7Aは、正極性及び負極性のガンマ曲線がクロスしない場合のHalf-VDD駆動でのデータドライバに供給される電圧同士の大小関係を示す模式図である。図8Aは、Half-VDD駆動でのデータドライバに供給される電圧同士の関係を示す模式図である。

30

40

【0038】

図5Aに示されるように、Half-VDD駆動では、正極アンプ10（差動部10Aを除く）に高位電圧源VDD2、低位電圧源VBOTが供給され、負極アンプ20（差動部20Aを除く）に高位電圧源VTOP、低位電圧源VSSが供給される。この時、図6Aのようにガンマ曲線がクロスする場合にはVBOT < VTOPであり、図7Aのようにガンマ曲線がクロスしない場合にはVBOT > VTOPである。しかし、出力をRail to Railにするためには、VBOT < VTOPとするのが好ましい。もちろん、データドライバの電源電圧とLCDに印加する電圧の関係に十分な余裕がある場合、VG1（+） > VBOT > VTOP > VG2（-）とすることもある。

どちらの場合も、正極アンプ10に供給される電圧源の電位差は（VDD2 - VBOT

50

)であり、負極アンプ20に供給される電圧源の電位差は($V_{TOP} - V_{SS}$)であり、Half-VDD動作となっていることが分かる。

【0039】

より詳細には、図6A、図7Aに示されるように、Half-VDD駆動において、正極アンプ10に供給される高位電圧源VDD2、低位電圧源VBOT、負極アンプ20に供給される高位電圧源VTOP、低位電圧源VSSの大小関係は、

$$V_{DD2} > V_{TOP} > V_{BOT} > V_{SS} \quad (1A)$$

又は

$$V_{DD2} > V_{TOP} \quad V_{BOT} > V_{SS} \quad (1B)$$

である。また、正極参照電圧発生回路12に供給されるガンマ電圧VG2(+)、VG1(+)、正極アンプ10に供給される高位電圧源VDD2、低位電圧源VBOTの大小関係は、

$$V_{DD2} > V_{G2(+)} > V_{G1(+)} > V_{BOT} \quad (2)$$

である。更に、負極参照電圧発生回路22に供給されるガンマ電圧VG2(-)、VG1(-)、負極アンプ20に供給される高位電圧源VTOP、低位電圧源VSSの大小関係は、

$$V_{TOP} > V_{G2(-)} > V_{G1(-)} > V_{SS} \quad (3)$$

である。また更に、ガンマ電圧VG2(+)、基準電圧 V_{RM+} 、高位電圧源VTOPの大小関係は、

$$V_{G2(+)} > V_{RM+} > V_{TOP} \quad (4)$$

であり、低位電圧源VBOT、基準電圧 V_{RM-} 、ガンマ電圧VG1(-)の大小関係は、

$$V_{BOT} > V_{RM-} > V_{G1(-)} \quad (5)$$

である。

【0040】

図8Aで、判定部40を例えばコンパレータ回路40Aとする。そして、そのコンパレータ回路40Aの反転入力及び非反転入力にそれぞれVTOP及び基準電圧 V_{RM+} を入力すれば、Half-VDD駆動ならば、ハイ(High)レベルの電圧が判定信号41として出力される。

【0041】

一方、図8Aで判定部40を例えばコンパレータ回路40Bとする。そして、そのコンパレータ回路40Bの反転入力及び非反転入力にそれぞれ基準電圧 V_{RM-} 及びVBOTを入力すれば、Half-VDD駆動ならば、同様に、ハイ(High)レベルの電圧が判定信号41として出力される。

【0042】

次に、Full-VDD駆動の場合について説明する。

一方、図5Bは、Full-VDD駆動でのデータドライバに供給される電圧同士の関係を示す模式図である。図6Bは、正極性及び負極性のガンマ曲線がクロスする場合のFull-VDD駆動でのデータドライバに供給される電圧同士の大小関係を示す模式図である。また、図7Bは、正極性及び負極性のガンマ曲線がクロスしない場合のFull-VDD駆動でのデータドライバに供給される電圧同士の大小関係を示す模式図である。図8Bは、Full-VDD駆動でのデータドライバに供給される電圧同士の関係を示す模式図である。

【0043】

図5Bに示されるように、Full-VDD駆動では、正極アンプ10(差動部10Aを除く)に高位電圧源VDD2、低位電圧源VBOTが供給され、負極アンプ20(差動部20Aを除く)に高位電圧源VTOP、低位電圧源VSSが供給され、 $V_{DD2} > V_{TOP}$ 、 $V_{BOT} > V_{SS}$ となる。どちらの場合も、正極アンプ10に供給される電圧源の電位差は($V_{DD2} - V_{BOT} (= V_{SS})$)であり、負極アンプ20に供給される電圧源の電位差は($V_{TOP} (= V_{DD2}) - V_{SS}$)であり、Full-VDD動作となっ

10

20

30

40

50

ていることが分かる。

【 0 0 4 4 】

より詳細には、図 6 B、図 7 B に示されるように、Full - VDD 駆動において、正極アンプ 10 に供給される高位電圧源 VDD2、低位電圧源 VBOT、負極アンプ 20 に供給される高位電圧源 VTOP、低位電圧源 VSS の大小関係は、

$$VDD2 \quad VTOP > VBOT \quad VSS \quad (1C)$$

である。また、正極参照電圧発生回路 12 に供給されるガンマ電圧 VG2 (+)、VG1 (+)、正極アンプ 10 に供給される高位電圧源 VDD2、低位電圧源 VBOT の大小関係は、上記の式 (2) と同じである。更に、負極参照電圧発生回路 22 に供給されるガンマ電圧 VG2 (-)、VG1 (-)、負極アンプ 20 に供給される高位電圧源 VTOP、低位電圧源 VSS の大小関係は、上記の式 (3) と同じである。

また更に、ガンマ電圧 VG2 (+)、基準電圧 VRM+、高位電圧源 VTOP の大小関係は、

$$VRM+ < VG2 (+) < VTOP \quad (6)$$

であり、低位電圧源 VBOT、基準電圧 VRM-、ガンマ電圧 VG1 (-) の大小関係は、

$$VBOT < VG1 (-) < VRM- \quad (7)$$

である。

【 0 0 4 5 】

図 8 B で、判定部 40 を上記のコンパレータ回路 40A とし、入力を同じにすれば、Full - VDD 駆動ならば、ロー (Low) レベルの電圧が判定信号 41 として出力される。一方、判定部 40 を上記のコンパレータ回路 40B とし、入力を同じにすれば、Full - VDD 駆動ならば、同様に、ロー (Low) レベルの電圧が判定信号 41 として出力される。

【 0 0 4 6 】

以上のように、判定部 40 は、正極参照電圧発生回路 12 より選定された基準電圧 VRM+ と負極アンプ 20 に供給される電源電圧 VTOP との比較結果、又は、負極参照電圧発生回路 22 より選定された基準電圧 VRM- と正極アンプ 10 に供給される電源電圧 VBOT との比較結果により、データドライバ 98 の駆動が Half - VDD 駆動ならばハイレベルの電圧を、Full - VDD 駆動ならばローレベルの電圧を判定信号 41 として出力する。それにより、正極アンプ 10 及び負極アンプ 20 は、その判定信号 41 に基づいて、Half - VDD 駆動又は Full - VDD 駆動の動作を実行することができる。なお、判定部 40 としては、コンパレータ回路 40A 及びコンパレータ回路 40B のいずれか一方を用いれば十分であり、両方を用いる必要はない。

【 0 0 4 7 】

上記の例では、汎用的な実施例として、ガンマ曲線がクロスする場合 / クロスしない場合にかかわらず、基準電圧 VRM+ として、Half - VDD 動作時の VTOP よりも高い電圧の + 極性ガンマ電圧のどれを選択しても良い。また、基準電圧 VRM- として、Half - VDD 動作時の VBOT よりも低い電圧の - 極性ガンマ電圧のどれを選択してもよい。

例えば、基準電圧 VRM+ として、第 1 の映像データ D1 のデコードで参照される正極参照電圧 VR+ や、デコードされた第 1 の映像データの電圧であっても良い。同様に、基準電圧 VRM- として、第 2 の映像データ D2 のデコードで参照される負極参照電圧 VR- や、デコードされた第 2 の映像データの電圧であっても良い。

上記の各例に示される判定用の基準となる電圧は、上記式 (4) 及び / 又は式 (5) を満足することを条件として選択されている。すなわち、そのような条件を必ず有していれば、判定用の基準電圧として、他の回路の他の電圧を用いてもよい。

なお、図 7 A の様に、ガンマ曲線がクロスしない場合、VG1 (+) > VTOP、VBOT > VG2 (-) であることが分かっているならば、判定部 40 は、判定用に、正極参照電圧発生回路 12 より選定された基準電圧 VRM+ として + 極性のコモン側 端子 (例示：

10

20

30

40

50

V_{G1}(+))、及び/又は、負極参照電圧発生回路22より選定された基準電圧V_{RM}として-極性のコモン側端子(V_{G2}(-))をそれぞれ用いてもよいことは明らかである。

【0048】

図9は、図4の正極アンプ10と負極アンプ20、判定部40、及び出力スイッチ回路30の回路図であり、正極アンプ10と負極アンプ20を等価回路に置き換えて、判定部40によって動作モードに応じた動作設定の変更を行う例を具体的に示した図である。正極アンプ10及び負極アンプ20は、AB級出力回路を応用したものであり、中間段(10B、20B)の抵抗を調整することにより、出力段(10C、20C)のトランジスタのゲート電位が調整されアンプ能力の切り替えを行っている。以下詳細に説明する。

10

【0049】

正極アンプ10は、差動入力段(差動部)10A、中間段10B及び出力段10Cを備えている。差動入力段(差動部)10Aは、入力を差動増幅する。出力段10Cは、差動増幅出力をAB級増幅する。中間段10Bは、出力段部10Cでの出力の波形歪みを補正する。正極アンプ10は、判定部40の判定信号41に基づいて、中間段10Bの電位を変えて、出力段10Cのトランジスタのゲート電圧を調整する。それにより、Half-VDD駆動及びFull-VDD駆動の動作を切り換えて実行することができる。

【0050】

正極アンプ10の差動入力段10Aは、電流源M15と、Nch差動対(M11、M12)と、Pchカレントミラー(M13、M14)とを備えている。電流源M15は、第1端子に低位電圧源VSSを接続されている。Nch差動対(M11、M12)は、その共通ソースに電流源M15の第2端子を接続されている。Pchカレントミラー(M13、M14)は、Nch差動対(M11、M12)の出力対と高位電圧源VDD2との間に接続されている。Nch差動対(M11、M12)は、入力対の非反転入力端(M12のゲート)に正極参照電圧V11(デコードされた第1の映像データ)を供給され、反転入力端(M11のゲート)にアンプ出力端子N11を接続される。

20

【0051】

正極アンプ10の出力段(増幅段)10Cは、増幅トランジスタM16と、増幅トランジスタM18とを備えている。増幅トランジスタM16(Pch)は、Pchカレントミラー(M13、M14)の入力端(M12とM14との接続点)をゲートに接続され、高位電圧源VDD2及びアンプ出力端子N11をソース及びドレインに接続され、充電作用を有している。増幅トランジスタM18(Nch)は、電流源M54の第2端子をゲートに接続され、低位電圧源VBOT及びアンプ出力端子N11をソース及びドレインに接続され、放電作用を有している。

30

【0052】

この場合、差動入力段(差動部)10Aに入力された正極参照電圧V11(デコードされた第1の映像データ)は、出力段(増幅段)10Cにおいて高位電圧源VDD2から低位電圧源VBOTの範囲の電圧に増幅される。Full-VDD駆動の場合、低位電圧源VBOTは概ね低位電圧源VSSと等しくなる。すなわち、増幅可能な電圧範囲は、概ねVDD2~VSSとなる。一方、Half-VDD駆動の場合、低位電圧源VBOTは概ね(VDD2-VSS)/2程度になる。すなわち、増幅可能な電圧範囲は、概ねVDD2~(VDD2-VSS)/2となる。

40

【0053】

正極アンプ10の中間段10Bは、浮遊電流源M51、M52と、スイッチSWP1、SWN1と、抵抗R51、R52と、電流源M53、M54とを備えている。電流源M53は、高位電圧源VDD2と増幅トランジスタM16のゲートとの間に接続される。電流源M54は、低位電圧源VBOTと増幅トランジスタM18のゲートとの間に接続される。浮遊電流源M51、M52の合計電流が、電流源M53及びM54のそれぞれとほぼ等しい電流に設定される。

【0054】

50

浮遊電流源M51は、バイアス電圧BP1をゲートに供給され、増幅トランジスタM16のゲートをソースに接続され、並列接続されたスイッチSWP1及び抵抗R51の一端をドレインに接続されたPchトランジスタM51からなる。浮遊電流源M52は、バイアス電圧BN1をゲートに供給され、増幅トランジスタM18のゲートをソースに接続され、並列接続されたスイッチSWN1及び抵抗R52の一端をドレインに接続されたNchトランジスタM52からなる。並列接続されたスイッチSWP1及び抵抗R51の他端、及びNchトランジスタM52のソースは、いずれも増幅トランジスタM18のゲートに接続されている。また、並列接続されたスイッチSWN1及び抵抗R52の他端、及びPchトランジスタM51のソースは、いずれも増幅トランジスタM16のゲートに接続されている。スイッチSWP1、SWN1は、判定部40からの制御信号41によりオン/オフする。

10

【0055】

Full-VDD動作の場合、VBOT VSSであり、電圧範囲は概ねVDD2~VSSとなる。スイッチSWP1、SWN1は、判定部40からの制御信号41によりオフになる。その結果、増幅トランジスタM16のゲートと増幅トランジスタM18のゲートとの間は、直列接続された浮遊電流源M51(Pchトランジスタ)及び抵抗R51と、直列接続された抵抗R52及び浮遊電流源M52(Nchトランジスタ)とが並列に接続された状態となる。すなわち、並列接続部分での電圧降下が相対的に大きくなるように調整される。これにより、電流源M53、並列接続部分(浮遊電流源M51、M52、抵抗R51、R52)、電流源M54での電圧分配が調整され、出力段10CのトランジスタM16、M18のゲート電位をFull-VDD動作に適した所望の値に調整することができる。それにより、正極アンプ10AをFull-VDD動作用のアンプとすることができる。

20

【0056】

一方、Half-VDD動作の場合、VBOT VTOPであり、電圧範囲は概ねVDD2~(VDD2-VSS)/2となる。スイッチSWP1、SWN1は、判定部40からの制御信号41によりオンになる。その結果、抵抗R51及び抵抗R52がバイパスされ、増幅トランジスタM16のゲートと増幅トランジスタM18のゲートとの間は、浮遊電流源M51(Pchトランジスタ)と、浮遊電流源M52(Nchトランジスタ)とが並列に接続された状態となる。すなわち、並列接続部分での電圧降下が相対的に小さくなるように調整される。これにより、電流源M53、並列接続部分(浮遊電流源M51、M52)、電流源M54での電圧分配が調整され、出力段10CのトランジスタM16、M18のゲート電位をHalf-VDD動作に適した所望の値に調整することができる。それにより、正極アンプ10AをHalf-VDD動作用のアンプとすることができる。

30

【0057】

このように、並列接続されたスイッチSWP1及び抵抗R51、及び並列接続されたスイッチSWN1及び抵抗R52を設け、両スイッチをオン/オフさせることにより、中間段10Bの電位を変えて、出力段10Cの増幅トランジスタM16、M18のゲート電圧を調整することができる。それにより、正極アンプ10をHalf-VDD動作とFull-VDD動作とを切り換えて動作させることができる。

40

【0058】

同様に、負極アンプ20は、差動入力段20A、中間段20B、出力段20Cを備えている。差動入力段(差動部)20Aは、入力を差動増幅する。出力段20Cは、差動増幅出力をAB級増幅する。中間段20Bは、出力段部20Cでの出力の波形歪みを補正する。負極アンプ20は、判定部40の判定信号41に基づいて、中間段20Bの電位を変えて、出力段20Cのトランジスタのゲート電圧を調整する。それにより、Half-VDD駆動及びFull-VDD駆動の動作を切り換えて実行することができる。

【0059】

負極アンプ20の差動入力段20Aは、電流源M25と、Pch差動対(M21、M22)と、Nchカレントミラー(M23、M14)とを備えている。電流源M25は、第

50

1端子に高位電圧源VDD2を接続されている。Pch差動対(M21、M22)は、その共通ソースに電流源M25の第2端子を接続されている。Nchカレントミラー(M23、M24)は、Pch差動対(M21、M22)の出力対と低位電圧源VSSとの間に接続されている。Pch差動対(M21、M22)は、入力対の非反転入力端(M22のゲート)に負極参照電圧V21(デコードされた第2の映像データ)を供給され、反転入力端(M21のゲート)にアンプ出力端子N12を接続される。

【0060】

負極アンプ20の出力段(増幅段)20Cは、増幅トランジスタM26と、増幅トランジスタM28とを備えている。増幅トランジスタM26(Nch)は、Nchカレントミラー(M23、M24)の入力端(M22とM24との接続点)をゲートに接続され、低位電圧源VSS及びアンプ出力端子N12をソース及びドレインに接続され、放電作用を有している。増幅トランジスタM28(Pch)は、電流源M63の第2端子をゲートに接続され、高位電圧源VTOP及びアンプ出力端子N12をソース及びドレインに接続され、充電作用を有している。

10

【0061】

この場合、差動入力段(差動部)20Aに入力された負極参照電圧V21(デコードされた第2の映像データ)は、出力段(増幅段)20Cにおいて高位電圧源VTOPから低位電圧源VSSの範囲の電圧に増幅される。Full-VDD駆動の場合、高位電圧源VTOPは概ね高位電圧源VDD2と等しくなる。すなわち、増幅可能な電圧範囲は、概ねVDD2~VSSとなる。一方、Half-VDD駆動の場合、高位電圧源VTOPは概ね(VDD2-VSS)/2程度になる。すなわち、増幅可能な電圧範囲は、概ね(VDD2-VSS)/2~VSSとなる。この場合、高位電圧源VTOPは低位電圧源VBOと同程度である。

20

【0062】

負極アンプ20の中間段10Bは、浮遊電流源M61、M62と、スイッチSWP2、SWN2と、抵抗R61、R62と、電流源M63、M64とを備えている。電流源M64は、低位電圧源VSSと増幅トランジスタM26のゲートとの間に接続される。電流源M63は、高位電圧源VTOPと増幅トランジスタM28のゲートとの間に接続される。浮遊電流源M61、M62の合計電流が、電流源M63及びM64のそれぞれとほぼ等しい電流に設定される。

30

【0063】

浮遊電流源M61は、バイアス電圧BP2をゲートに供給され、増幅トランジスタM28のゲートをソースに接続され、並列接続されたスイッチSWP2及び抵抗R61の一端をドレインに接続されたPchトランジスタM61からなる。浮遊電流源M62は、バイアス電圧BN2をゲートに供給され、増幅トランジスタM26のゲートをソースに接続され、並列接続されたスイッチSWN2及び抵抗R62の一端をドレインに接続されたNchトランジスタM62からなる。PchトランジスタM61のソース、及び並列接続されたスイッチSWN2及び抵抗R62の他端は、いずれも増幅トランジスタM28のゲートに接続されている。また、並列接続されたスイッチSWP2及び抵抗R61の他端、及びNchトランジスタM62のソースは、いずれも増幅トランジスタM26のゲートに接続されている。スイッチSWP2、SWN2は、判定部40からの制御信号41によりオン/オフする。

40

【0064】

Full-VDD動作の場合、VTOP VDD2であり、電圧範囲は概ねVDD2~VSSとなる。スイッチSWP2、SWN2は、判定部40からの制御信号41によりオフになる。その結果、増幅トランジスタM26のゲートと増幅トランジスタM28のゲートとの間は、直列接続された抵抗R61及び浮遊電流源M61(Pchトランジスタ)と、直列接続された浮遊電流源M62(Nchトランジスタ)及び抵抗R62とが並列に接続された状態となる。すなわち、並列接続部分での電圧降下が相対的に大きくなるように調整される。これにより、電流源M63、並列接続部分(浮遊電流源M61、M62、抵

50

抗 R 6 1、R 6 2)、電流源 M 6 4 での電圧分配が調整され、出力段 2 0 C のトランジスタ M 2 8、M 2 6 のゲート電位を F u l l - V D D 動作に適した所望の値に調整することができる。それにより、負極アンプ 2 0 A を F u l l - V D D 動作のアンプとすることができる。

【 0 0 6 5 】

一方、H a l f - V D D 動作の場合、V T O P V B O T であり、電圧範囲は概ね (V D D 2 - V S S) / 2 ~ V S S となる。スイッチ S W P 2、S W N 2 は、判定部 4 0 からの制御信号 4 1 によりオンになる。その結果、抵抗 R 6 1 及び抵抗 R 6 2 がバイパスされ、増幅トランジスタ M 2 6 のゲートと増幅トランジスタ M 2 8 のゲートとの間は、浮遊電流源 M 6 1 (P c h トランジスタ) と、浮遊電流源 M 6 2 (N c h トランジスタ) とが並列に接続された状態となる。すなわち、並列接続部分での電圧降下が相対的に小さくなるように調整される。これにより、電流源 M 6 3、並列接続部分 (浮遊電流源 M 6 1、M 6 2)、電流源 M 6 4 での電圧分配が調整され、出力段 2 0 C のトランジスタ M 2 8、M 2 6 のゲート電位を H a l f - V D D 動作に適した所望の値に調整することができる。それにより、負極アンプ 2 0 A を H a l f - V D D 動作のアンプとすることができる。

10

【 0 0 6 6 】

このように、並列接続されたスイッチ S W P 2 及び抵抗 R 6 1、及び並列接続されたスイッチ S W N 2 及び抵抗 R 6 2 を設け、両スイッチをオン / オフさせることにより、中間段 1 0 B の電位を変えて、出力段 2 0 C の増幅トランジスタ M 2 6、M 2 8 のゲート電位を調整することができる。それにより、H a l f - V D D 動作と F u l l - V D D 動作とを切り換えて動作させることができる。

20

【 0 0 6 7 】

なお、上記正極アンプ 1 0 及び負極アンプ 2 0 の回路構成は一例であり、本発明はその例に限定されるものではない。すなわち、判定信号に基づいて H a l f - V D D 動作 / F u l l - V D D 動作を切り替え可能であれば、他の回路構成を用いることも可能である。

【 0 0 6 8 】

次に、本発明の実施の形態に係る液晶表示用ドライバとしてのデータドライバの動作について説明する。

【 0 0 6 9 】

(1) H a l f - V D D 動作

図 4、図 8 A、及び図 9 を参照して、H a l f - V D D 動作時では、電源電圧 V B O T として負極参照電圧発生回路 2 2 から選定された基準電圧 $V_{R M -}$ より高い電圧が、また、電源電圧 V T O P として正極参照電圧発生回路 1 2 から選定された基準電圧 $V_{R M +}$ より低い電圧がそれぞれ与えられる。例えば、以下の条件である。

$$V B O T > \text{基準電圧 } V_{R M -}$$

$$V T O P < \text{基準電圧 } V_{R M +}$$

この場合、判定部 4 0 は H a l f - V D D 動作を示す判定信号 4 1 (ハイレベルの電圧) を出力する。

【 0 0 7 0 】

正極アンプ 1 0 の中間段 1 0 B の S W P 1、S W N 1 は、判定信号 4 1 に基づいてそれぞれ ON になる。その結果、出力段 1 0 C のトランジスタ M 1 6、M 1 8 のゲート電位が調整され、正極アンプ 1 0 は H a l f - V D D 動作に切り替えられて動作する。同様に、負極アンプ 2 0 の中間段 2 0 B の S W P 2、S W N 2 は、判定信号 4 1 に基づいてそれぞれ ON になる。その結果、出力段 2 0 C のトランジスタ M 2 6、M 2 8 のゲート電位が調整され、負極アンプ 2 0 は H a l f - V D D 動作に切り替えられて動作する。

30

40

【 0 0 7 1 】

正極参照電圧発生回路 1 2 は、少なくとも二つのガンマ電圧 $V G 2 (+)$ 、 $V G 1 (+)$ に基づいて、複数の正極参照電圧 $V R +$ を生成して出力する。正極デコーダ 1 1 は、正極参照電圧発生回路 1 2 から供給される正極参照電圧 $V R +$ に基づいて、入力された映像データに対応した、少なくとも一つの正極参照電圧 $V 1 1$ を選択して、デコードされた第

50

1の映像データとして出力する。正極アンプ10は、判定部40の判定に基づいて、Half-VDD動作を行い、正極デコーダ11から出力された正極参照電圧V11を演算増幅して出力電圧Vout1を出力スイッチ回路30に供給する。

【0072】

負極参照電圧発生回路22は、少なくとも二つのガンマ電圧VG2(-)、VG1(-)に基づいて、複数の負極参照電圧VR-を生成する。負極デコーダ21は、負極参照電圧発生回路22から供給される負極参照電圧VR-に基づいて、入力された映像データに対応した、少なくとも一つの負極参照電圧V21を選択して、デコードされた第2の映像データとして出力する。負極アンプ20は、判定部40の判定に基づいて、Half-VDD動作を行い、負極デコーダ21から出力された負極参照電圧V21を演算増幅して出力電圧Vout2を出力スイッチ回路30に供給する。

10

【0073】

出力スイッチ回路30は、正極アンプ10の出力電圧Vout1及び負極アンプ20の出力電圧Vout2を、制御信号S1、S2に応じて前述の2端子P1、P2へ切り替え出力する。

【0074】

(2) Full-VDD動作

図4、図8B、及び図9を参照して、Full-VDD動作時では、電源電圧VBOTとして負極参照電圧発生回路22から選定された基準電圧VRM-より低い電圧が、また、電源電圧VTOPとして正極参照電圧発生回路12から選定された基準電圧VRM+より高い電圧がそれぞれ与えられる。例えば、以下の条件である。

20

$$VBOT - VSS < \text{基準電圧 } V_{RM-}$$

$$VTOP = VDD2 > \text{基準電圧 } V_{RM+}$$

この場合、判定部40はFull-VDD動作を示す判定信号41(ローレベルの電圧)を出力する。

【0075】

正極アンプ10の中間段10BのSWP1、SWN1は、判定信号41に基づいてそれぞれOFFになる。その結果、出力段10CのトランジスタM16、M18のゲート電位が調整され、正極アンプ10はFull-VDD動作用に切り替えられて動作する。同様に、負極アンプ20の中間段20BのSWP2、SWN2は、判定信号41に基づいてそれぞれOFFになる。その結果、出力段20CのトランジスタM26、M28のゲート電位が調整され、負極アンプ20はFull-VDD動作用に切り替えられて動作する。

30

【0076】

その他の動作については、正極アンプ10がFull-VDD動作を行い、負極アンプ20がFull-VDD動作を行う他は、上記Half-VDD動作の場合と同様である。

【0077】

以上のようにして、本発明の実施の形態に係るデータドライバが動作する。

【0078】

本発明により、供給される電源電圧VBOT、VTOPの電圧レベルの情報を利用して、液晶表示装置の動作がHalf-VDD動作かFull-VDD動作かを判定することができる。すなわち、液晶表示用ドライバにおいて、Half-VDD動作及びFull-VDD動作のいずれの動作であるかを自動認識することが可能となる。また、その判定結果を用いることにより、Half-VDD動作及びFull-VDD動作を自動的に切り替えることが可能となる。それにより、データドライバの外部からの切り替え信号を利用する必要がなく、データドライバ側に特別な切り替え端子を設ける必要もなくなる。その結果、Half-VDD/Full-VDD動作切替専用の信号入力端子が不要となるので、チップサイズを縮小でき、消費電力も低減できる。

40

また、上記液晶表示用ドライバを液晶表示装置に用いることで、上記効果を得ることができると共に、Half-VDD動作及びFull-VDD動作の検出や切換のための他

50

の回路等が不要になり、液晶表示装置の設計が容易化されると共に、液晶表示装置を小型化することができる。

【 0 0 7 9 】

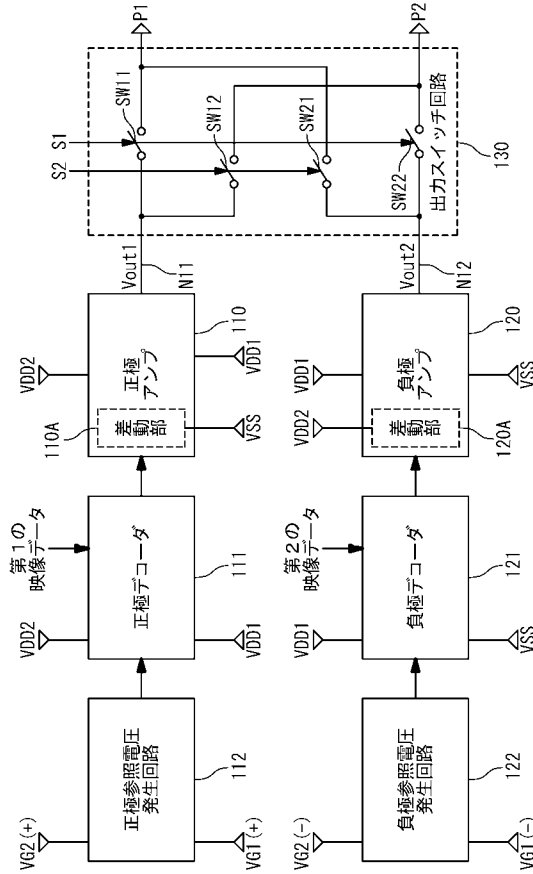
本発明は上記各実施の形態に限定されず、本発明の技術思想の範囲内において、各実施の形態は適宜変形又は変更され得ることは明らかである。

【 符号の説明 】

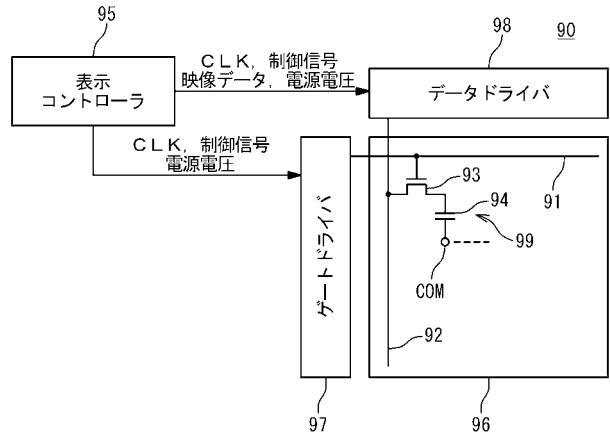
【 0 0 8 0 】

| | | |
|-------|---------------|----|
| 1 0 | 正極アンプ | |
| 1 0 A | 差動部 (差動入力段) | |
| 1 0 B | 中間段 | 10 |
| 1 0 C | 出力段 | |
| 1 1 | 正極デコーダ | |
| 2 0 | 負極アンプ | |
| 2 0 A | 差動部 (差動入力段) | |
| 2 0 B | 中間段 | |
| 2 0 C | 出力段 | |
| 2 1 | 負極デコーダ | |
| 3 0 | 出力スイッチ回路 | |
| 3 5 | 参照電圧発生回路 | |
| 4 0 | 判定部 | 20 |
| 4 1 | 判定信号 | |
| 8 1 | ラッチアドレスセレクタ | |
| 8 2 | ラッチ | |
| 8 3 | レベルシフタ | |
| 9 0 | 液晶表示装置 | |
| 9 1 | ゲート線 | |
| 9 2 | データ線 | |
| 9 3 | トランジスタ | |
| 9 4 | 画素容量 | |
| 9 5 | 表示コントローラ | 30 |
| 9 6 | 液晶パネル | |
| 9 7 | ゲートドライバ | |
| 9 8 | データドライバ | |
| 9 9 | 画素 | |
| 1 1 0 | 正極アンプ | |
| 1 1 1 | 正極デコーダ | |
| 1 1 2 | 正極参照電圧発生回路 | |
| 1 2 0 | 負極アンプ | |
| 1 2 1 | 負極デコーダ | |
| 1 2 2 | 負極参照電圧発生回路 | 40 |
| 1 3 0 | 出力スイッチ回路 | |

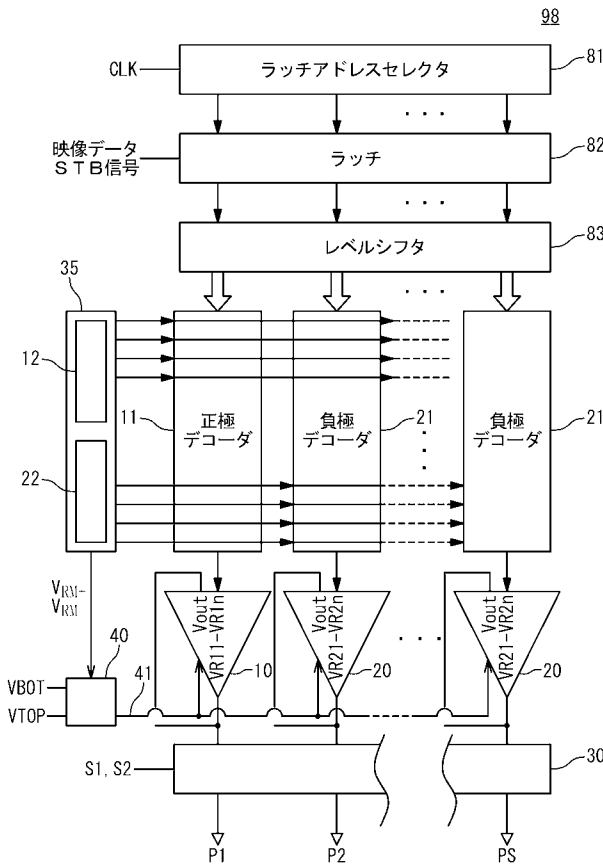
【図1】



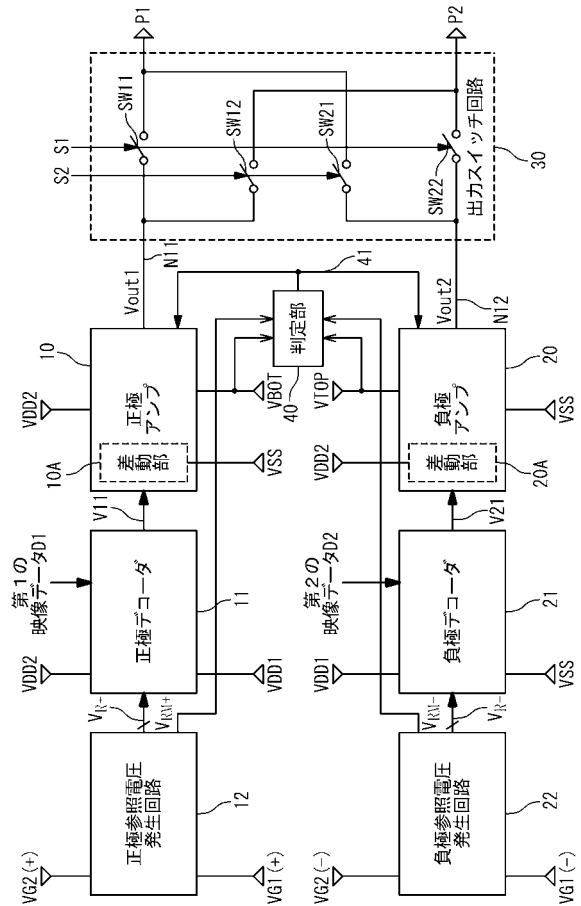
【図2】



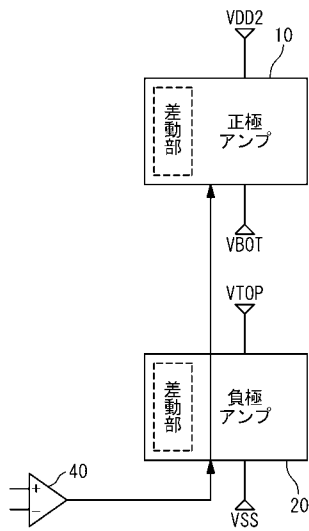
【図3】



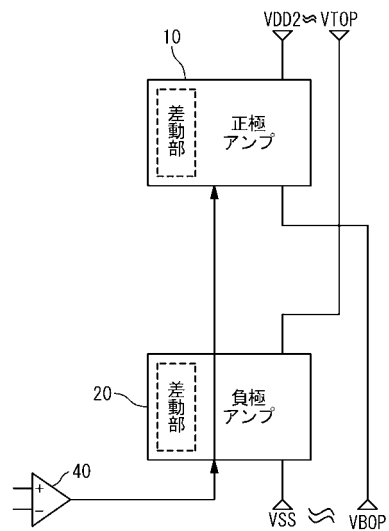
【図4】



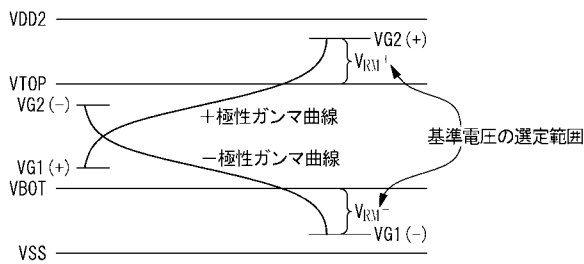
【図 5 A】



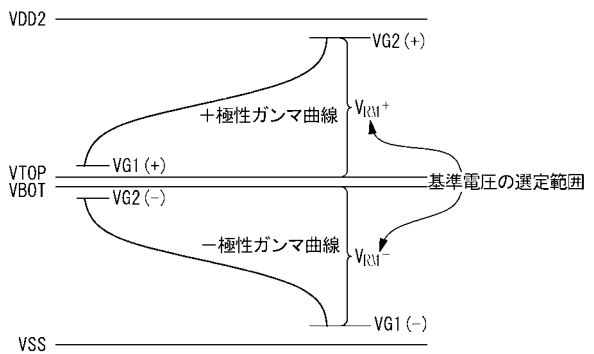
【図 5 B】



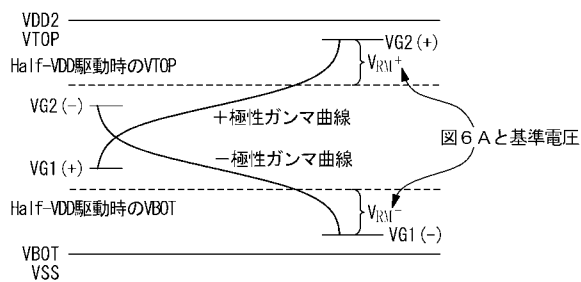
【図 6 A】



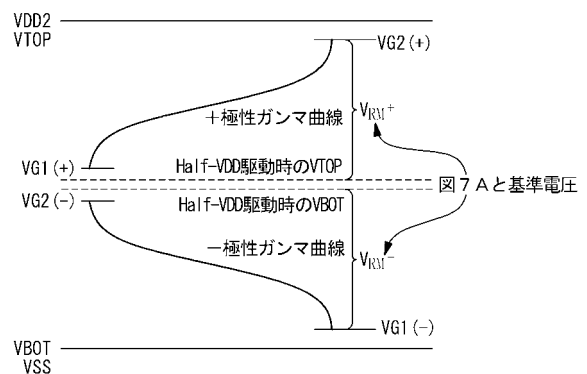
【図 7 A】



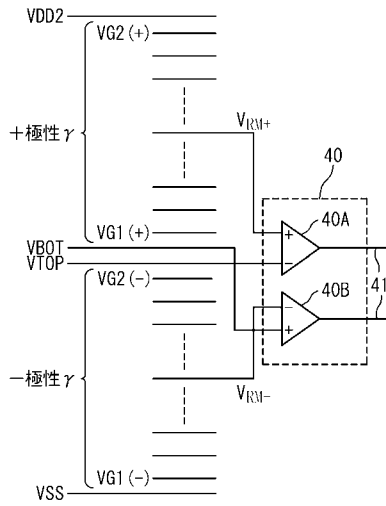
【図 6 B】



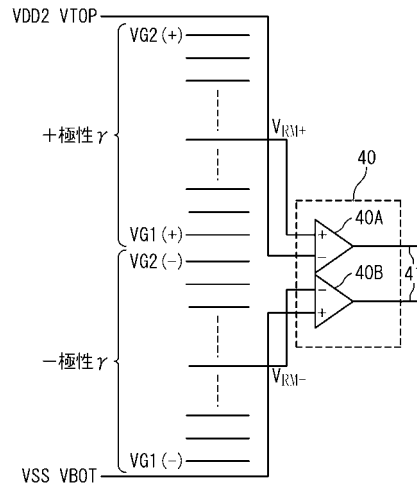
【図 7 B】



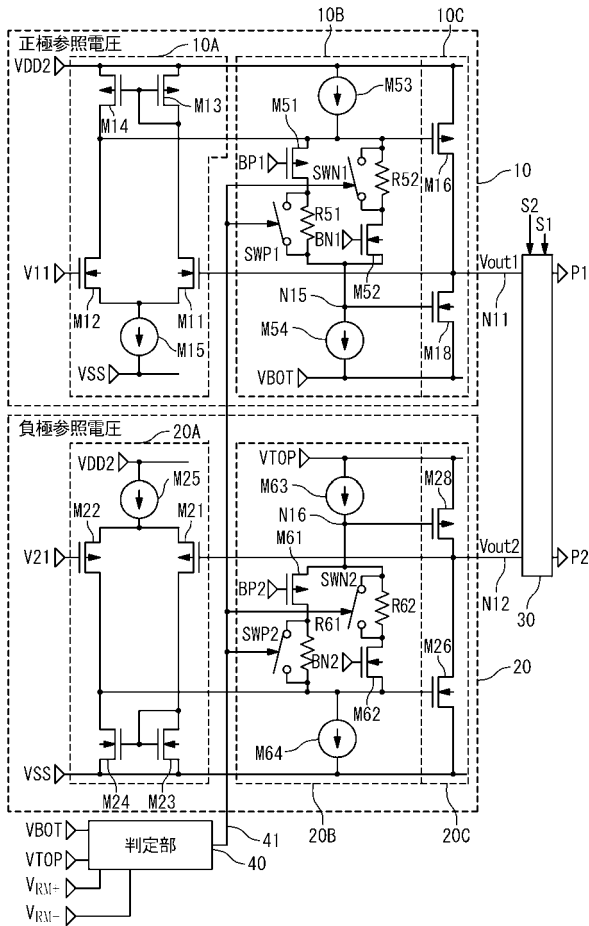
【図8A】



【図8B】



【図9】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 4 1 C
G 0 9 G 3/36

(56)参考文献 特開2009-244830(JP,A)

特開2008-116654(JP,A)

特開2002-175052(JP,A)

特開2006-350082(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 3

G 0 9 G 3 / 2 0

G 0 9 G 3 / 3 6