



(12)发明专利

(10)授权公告号 CN 104321967 B

(45)授权公告日 2018.01.09

(21)申请号 201380026206.5

(22)申请日 2013.05.16

(65)同一申请的已公布的文献号

申请公布号 CN 104321967 A

(43)申请公布日 2015.01.28

(30)优先权数据

2012-119929 2012.05.25 JP

2012-229607 2012.10.17 JP

2013-008054 2013.01.21 JP

(85)PCT国际申请进入国家阶段日

2014.11.19

(86)PCT国际申请的申请数据

PCT/JP2013/064299 2013.05.16

(87)PCT国际申请的公布数据

W02013/176199 EN 2013.11.28

(73)专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72)发明人 池田隆之 黑川义元

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 李玲

(51)Int.Cl.

H03K 19/177(2006.01)

H01L 21/82(2006.01)

(56)对比文件

CN 1622331 A, 2005.06.01, 全文.

US 2011187409 A1, 2011.08.04, 全文.

审查员 宫玉龙

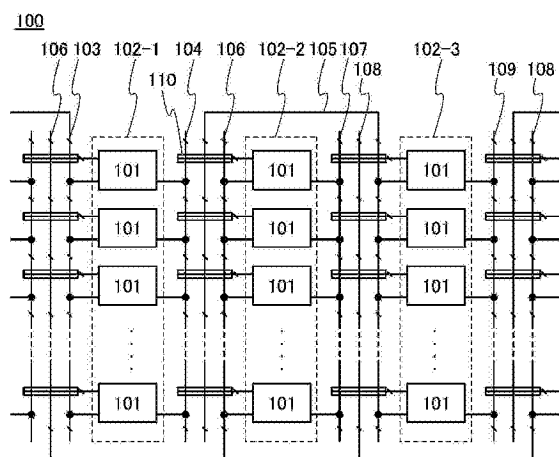
权利要求书4页 说明书37页 附图35页

(54)发明名称

可编程逻辑装置及半导体装置

(57)摘要

提供一种包括排列在多个列中的逻辑元件的可编程逻辑装置。连接逻辑元件的布线排列在所述多个列之间。控制布线与所述逻辑元件之间的电连接的开关电路也排列在所述多个列之间。所述开关电路中的每一个根据配置数据来选择一个布线与一个逻辑元件的输入端子之间的电连接。



1. 一种可编程逻辑装置,包括:
 - 排列在第一列中的第一逻辑元件;
 - 排列在与所述第一列平行的第二列中的第二逻辑元件;
 - 排列在与所述第一列及所述第二列平行的第三列中的第三逻辑元件,其中所述第二列是在所述第一列与所述第三列之间;
 - 在所述第一列与所述第二列之间的第一布线;
 - 在所述第一列与所述第二列之间的第二布线;
 - 包括导电膜的第三布线,所述导电膜在所述第一列与所述第二列之间且在所述第二列与所述第三列之间;
 - 在所述第一列与所述第二列之间的第一开关电路;以及
 - 在所述第二列与所述第三列之间的第二开关电路,
 - 其中,所述第一布线、所述第二布线和所述第三布线中的每一个通过所述第一开关电路与所述第二逻辑元件之一电连接,
 - 其中,所述第一布线之一与所述第一逻辑元件之一的输出端子电连接,
 - 其中,所述第二布线之一与所述第二逻辑元件之一的输出端子电连接,
 - 其中,所述第三布线中的每一个通过所述第二开关电路与所述第三逻辑元件之一电连接,
 - 其中,所述第一开关电路包括第一开关和第二开关,并且
 - 所述第二开关被配置成根据通过所述第一开关提供给所述第二开关的所述配置数据来控制所述第二逻辑元件之一与所述第一布线、所述第二布线和所述第三布线中的任一个之间的电连接。
2. 根据权利要求1所述的可编程逻辑装置,还包括:
 - 排列在与所述第一列、所述第二列及所述第三列平行的第四列中的I/O元件,其中所述第一列是在所述第二列与所述第四列之间;
 - 在所述第一列与所述第四列之间的第四布线;以及
 - 在所述第一列与所述第四列之间的第三开关电路,
 - 其中,所述第四布线与所述I/O元件电连接,并且
 - 其中,所述第四布线中的每一个通过所述第三开关电路与所述第一逻辑元件之一电连接。
3. 根据权利要求1所述的可编程逻辑装置,
 - 其中所述第一开关是第一晶体管,
 - 所述第二开关是第二晶体管,
 - 并且所述第一晶体管包括在氧化物半导体膜中的沟道形成区。
4. 根据权利要求3所述的可编程逻辑装置,其中所述氧化物半导体膜包含铟和锌。
5. 根据权利要求1所述的可编程逻辑装置,
 - 其中所述第一开关电路还包括:
 - 第四布线;以及
 - 第三开关,被配置成控制在所述第四布线与所述第二逻辑元件之一之间的电连接,
 - 并且所述第四布线被配置成被提供用来初始化的电位。

6. 根据权利要求1所述的可编程逻辑装置，
其中所述第一布线中的另一个与所述第一逻辑元件中的另一个的输出端子电连接，
并且所述第二布线中的另一个与所述第二逻辑元件中的另一个的输出端子电连接。
7. 一种可编程逻辑装置，包括：
排列在第一列中的第一逻辑元件；
排列在与所述第一列平行的第二列中的第二逻辑元件；
排列在与所述第一列及所述第二列平行的第三列中的第三逻辑元件，其中所述第二列是在所述第一列与所述第三列之间；
在所述第一列与所述第二列之间的第一布线；
在所述第一列与所述第二列之间的第二布线；
包括导电膜的第三布线，所述导电膜在所述第一列与所述第二列之间且在所述第二列与所述第三列之间；
在所述第一列与所述第二列之间的第一开关电路；以及
在所述第二列与所述第三列之间的第二开关电路，
其中，所述第一布线、所述第二布线和所述第三布线中的每一个通过所述第一开关电路与所述第二逻辑元件之一电连接，
所述第一布线之一与所述第一逻辑元件之一的输出端子电连接，
所述第二布线之一与所述第二逻辑元件之一的输出端子电连接，
所述第三布线中的每一个通过所述第二开关电路与所述第三逻辑元件之一电连接，
所述第三布线被配置在所述第二列的上侧或下侧的周围，
其中所述第一开关电路包括第一开关和第二开关，并且
所述第二开关被配置成根据通过所述第一开关提供给所述第二开关的所述配置数据来控制所述第二逻辑元件之一与所述第一布线、所述第二布线和所述第三布线中的任一个之间的电连接。
8. 根据权利要求7所述的可编程逻辑装置，还包括：
排列在与所述第一列、所述第二列及所述第三列平行的第四列中的I/O元件，其中所述第一列是在所述第二列与所述第四列之间；
在所述第一列与所述第四列之间的第四布线；以及
在所述第一列与所述第四列之间的第三开关电路，
其中所述第四布线与所述I/O元件电连接，
并且所述第四布线中的每一个通过所述第三开关电路与所述第一逻辑元件之一电连接。
9. 根据权利要求7所述的可编程逻辑装置，
其中所述第一开关是第一晶体管，
所述第二开关是第二晶体管，
并且所述第一晶体管包括在氧化物半导体膜中的沟道形成区。
10. 根据权利要求9所述的可编程逻辑装置，其中所述氧化物半导体膜包含铟和锌。
11. 根据权利要求7所述的可编程逻辑装置，
其中所述第一开关电路还包括：

第四布线;以及

第三开关,被配置成控制在所述第四布线与所述第二逻辑元件之一之间的电连接,并且所述第四布线被配置成被提供用来初始化的电位。

12. 根据权利要求7所述的可编程逻辑装置,

其中所述第一布线中的另一个与所述第一逻辑元件中的另一个的输出端子电连接,并且所述第二布线中的另一个与所述第二逻辑元件中的另一个的输出端子电连接。

13. 一种可编程逻辑装置,包括:

排列在第一列中的第一逻辑元件;

排列在第二列中的第二逻辑元件;

排列在第三列中的第三逻辑元件;

排列在第四列中的第四逻辑元件;

在所述第一列与所述第二列之间的第一布线;

在所述第一列与所述第二列之间的第二布线;

包括导电膜的第三布线,所述导电膜在所述第一列与所述第二列之间且在所述第二列与所述第三列之间;

在所述第二列与所述第三列之间且在所述第三列与所述第四列之间的第四布线;

在所述第一列与所述第二列之间的第一开关电路;

在所述第二列与所述第三列之间的第二开关电路;以及

在所述第三列与所述第四列之间的第三开关电路,

其中,所述第一布线之一与所述第一逻辑元件之一的输出端子电连接,

所述第二布线之一与所述第二逻辑元件之一的输出端子电连接,

所述第三布线之一与所述第三逻辑元件之一的输出端子电连接,

所述第四布线之一与所述第四逻辑元件之一的输出端子电连接,

所述第一开关电路被配置成控制在所述第二逻辑元件之一的输入端子与所述第一布线、所述第二布线和所述第三布线中的任一个之间的电连接,

所述第二开关电路被配置成控制在所述第三逻辑元件之一的输入端子与所述第三布线和所述第四布线中的任一个之间的电连接,

所述第三开关电路被配置成控制在所述第四逻辑元件之一的输入端子与所述第四布线中的任一个之间的电连接,

所述第三布线被配置在所述第二列的上侧的周围,

所述第四布线被配置在所述第三列的下侧的周围,

其中所述第一开关电路包括第一开关和第二开关,

并且所述第二开关被配置成根据通过所述第一开关提供给所述第二开关的所述配置数据来控制在所述第二逻辑元件之一与所述第一布线、所述第二布线和所述第三布线中的任一个之间的电连接。

14. 根据权利要求13所述的可编程逻辑装置,还包括:

排列在第五列中的IO元件,其中所述第一列是在所述第二列与所述第五列之间;

在所述第一列与所述第五列之间的第五布线;以及

在所述第一列与所述第五列之间的第四开关电路,

其中所述第五布线与所述IO元件电连接，

并且所述第五布线中的每一个通过所述第四开关电路与所述第一逻辑元件之一的输入端子电连接。

15. 根据权利要求13所述的可编程逻辑装置，

其中所述第一开关是第一晶体管，

所述第二开关是第二晶体管，

并且所述第一晶体管包括在氧化物半导体膜中的沟道形成区。

16. 根据权利要求15所述的可编程逻辑装置，其中所述氧化物半导体膜包含铟和锌。

17. 根据权利要求13所述的可编程逻辑装置，

其中所述第一开关电路还包括：

第五布线；以及

第三开关，被配置成控制在所述第五布线与所述第二逻辑元件之一的输入端子之间的电连接，

并且所述第五布线被配置成被提供用来初始化的电位。

18. 根据权利要求13所述的可编程逻辑装置，

其中所述第一布线中的另一个与所述第一逻辑元件中的另一个的输出端子电连接，

所述第二布线中的另一个与所述第二逻辑元件中的另一个的输出端子电连接，

所述第三布线中的另一个与所述第三逻辑元件中的另一个的输出端子电连接，

并且所述第四布线中的另一个与所述第四逻辑元件中的另一个的输出端子电连接。

可编程逻辑装置及半导体装置

技术领域

[0001] 本发明涉及一种物体、方法或制造方法。本发明也涉及一种工序 (process)、机器 (machine)、产品 (manufacture) 或组件 (composition of matter)。尤其是,本发明例如涉及一种半导体装置、显示装置、发光装置、蓄电装置、它们的驱动方法或它们的制造方法。本发明的一个方式例如具体涉及一种能够改变硬件的构成的可编程逻辑装置以及包含该可编程逻辑装置的半导体装置。

背景技术

[0002] 在可编程逻辑装置 (PLD:Programmable Logic Device) 中,逻辑电路由适当的数量的逻辑元件 (基本块) 构成,在制造之后可以改变各逻辑元件的功能及逻辑元件之间的互连。具体而言,上述PLD包括多个逻辑元件、控制逻辑元件之间的连接的布线资源 (routing resource) 和寄存器。该寄存器储存用来定义各逻辑元件的功能和由布线资源形成的逻辑元件之间的连接的数据 (配置数据)。

[0003] 用来储存配置数据的寄存器被称为配置存储器。将配置数据储存在配置存储器中被称为配置 (configuration)。尤其是,用另一配置数据重写该配置存储器被称为重配置 (reconfiguration)。

[0004] 在操作期间能够重配置逻辑电路 (该过程被称为动态重配置) 的PLD具有面积效率比通常的PLD更高的优点。多上下文 (Multi-Context) 系统是以如下方法实现动态重配置的方法,将从存储器元件读出的配置数据储存在对应于逻辑元件或布线资源的配置存储器中。与配置数据传送方法相比,多上下文系统可以以更高速度进行逻辑电路的重配置,该配置数据传送方法通过依次将配置数据从存储器元件发送到对应于逻辑元件或布线资源的配置存储器来实现动态重配置。

[0005] 专利文献1公开了可编程LSI,其中,通过将从动态随机存取存储器 (dynamic random access memory:DRAM) 被发送的配置数据储存在由静态随机存取存储器 (Static Random Access Memory:SRAM) 构成的配置存储器中来在短时间进行重配置。

[0006] [参考文献]

[0007] 专利文献1:日本专利申请公开H10-285014号公报

发明内容

[0008] 由于采用多上下文系统的PLD除了存储器元件之外还需要具有配置存储器,所以与实现动态重配置的其他方法诸如配置数据传送方法的情况相比,PLD中的如存储器元件及配置存储器等存储装置的面积较大,由此PLD不能充分利用动态重配置的高面积效率。尤其是,SRAM在每个存储单元中需要大量元件;因此难以将存储装置的面积保持很小。DRAM在每个存储单元中的元件个数比SRAM少,有效地使存储装置的面积保持很小;但是,因为需要进行刷新工作,所以难以降低耗电量。

[0009] 随着可编程逻辑装置的设计灵活性的提高,包括在布线资源中的开关的个数往往

会增加。根据配置数据来决定在布线资源中的开关的开/闭状态的选择(切换);当开关的个数增加时,相对于可编程逻辑装置的电路尺寸,对应于一个电路结构的配置数据的容量变得相对很大。其结果是,将配置数据传送到配置存储器需要长时间。另外,开关个数的增加要求具有大存储容量的存储器元件或配置存储器,这难以抑制存储装置的面积的增大。此外,随着开关个数的增加,在可编程逻辑装置内经过开关的信号延迟是显著的,这妨碍了可编程逻辑装置的高速工作。

[0010] 在关闭可编程逻辑装置的电源之后,与布线资源中的开关连接的各个布线的电位变得有时候浮接。根据用于配置存储器的存储元件的结构,当可编程逻辑装置被断电时,用来决定包括在布线资源中的开关的切换的配置数据是有时丢失的。例如,在专利文献1所记载的可编程LSI中,由于配置存储器由SRAM构成,所以当使可编程逻辑装置断电时配置数据就丢失了。当布线的电位变为浮接且配置数据丢失时,在给可编程逻辑装置加电之后,在正常工作中电分离的布线有时候通过上述开关建立电导通状态。在此情况下,当这些布线具有不同的电位时,大量的电流有可能流过该布线而破坏可编程逻辑装置。

[0011] 鉴于上述技术背景,本发明的一个方式的目的是提供一种具有高设计灵活性和较少数目的用来控制逻辑元件之间的连接的开关的可编程逻辑装置。本发明的一个方式的另一个目的是提供一种可靠性高的可编程逻辑装置。

[0012] 另外,本发明的一个方式的另一个目的是提供一种通过使用上述可编程逻辑装置实现高速工作或高可靠性的半导体装置。

[0013] 随着可编程逻辑装置的电路尺寸增大,需要具有更大的存储容量的配置存储器,由此难以抑制可编程逻辑装置的面积增大。

[0014] 鉴于上述问题,本发明的一个方式的目的是提供一种即使电路规模增大也具有小布局面积的可编程逻辑装置。

[0015] 另外,本发明的一个方式的另一个目的是提供一种存储装置的面积小的可编程逻辑装置。本发明的一个方式的另一个目的是提供一种能够高速地重配置逻辑电路且存储装置的面积小的可编程逻辑装置。本发明的一个方式的另一个目的是提供一种能够高速地重配置逻辑电路且存储装置的面积小且可实现高速工作的可编程逻辑装置。

[0016] 另外,本发明的一个方式的另一个目的是提供一种通过使用上述可编程逻辑装置来减小尺寸或实现高性能的半导体装置。

[0017] 本发明的一个方式的目的是提供一种新颖的半导体装置等。另外,这些目的的记载不妨碍其他目的的存在。在本发明的一个方式中,未必解决所有上述目的。其它目的从说明书、附图、权利要求书等的记载显然地可取得。

[0018] 在本发明的第一方式中,包括在布线资源中的开关电路具有保持其开/闭状态的数据的存储装置的功能。具体而言,该开关电路包括多个组,每一组包括用作第一开关的第一晶体管和用作第二开关的第二晶体管,该第一开关控制布线或端子之间的电连接,该第二开关在该第一晶体管的栅极处供应、保持及释放通过配置数据决定的量的电荷。上述多个组之一中的上述第一晶体管是根据配置数据而导通的,由此通过开关电路来决定多个布线与逻辑元件的输入端子之间的连接。

[0019] 与在如通常的硅或锗等的半导体中具有沟道形成区的晶体管相比,在其带隙比硅宽且其本征载流子密度比硅低的半导体膜中具有沟道形成区的晶体管可以具有小得多的

截止状态电流。作为其带隙比硅宽且其本征载流子密度比硅低的半导体膜的例子是具有硅的带隙的2倍以上的大带隙的氧化物半导体、碳化硅和氮化镓。

[0020] 第二晶体管优选具有极小的截止状态电流,以防止保持在第一晶体管的栅极处的电荷泄漏。因此,上述在其带隙比硅宽且其本征载流子密度比硅低的半导体膜中具有沟道形成区的晶体管优选用作第二晶体管。

[0021] 在具有上述结构的开关电路中,用来控制布线或端子之间的电连接的第一晶体管的开/闭状态是根据配置数据而决定的,且被具有极小截止状态电流的第二晶体管保持。因此,在本发明的一个方式的可编程逻辑装置中,开关电路用作配置存储器和存储器元件这两者,并且各组的元件数小于SRAM的元件数。因此,与设置有配置存储器和存储器元件这两者的具有现有结构的可编程逻辑装置的情况相比,用来储存配置数据的存储装置的面积可更小。

[0022] 因为上述第二晶体管的截止状态电流小于在硅膜中具有沟道形成区的晶体管,所以该开关电路的数据保持时间可以长于DRAM的数据保持时间。因此,可以较不频繁地执行数据重写,其结果,可以减小耗电量。

[0023] 再者,本发明的第一方式的可编程逻辑装置至少包括具有多个第一逻辑元件的列、具有多个第二逻辑元件的列、以及具有多个第三逻辑元件的列。本发明的一个方式的可编程逻辑装置还包括与多个第一逻辑元件的输出端子电连接的多个第一布线、与多个第二逻辑元件的输出端子电连接的多个第二布线、以及与多个第三逻辑元件的输出端子电连接的多个第三布线。第一及第二布线设置在多个第一逻辑元件与多个第二逻辑元件之间。第三布线设置在多个第一逻辑元件与多个第二逻辑元件之间以及多个第二逻辑元件与多个第三逻辑元件之间。

[0024] 在本发明的第一方式中,第一至第三布线与上述多个第二逻辑元件的输入端子之间的电连接是由多个上述开关电路控制的。具体而言,在各开关电路中,上述多个组之一的上述第一晶体管是根据配置数据而导通的,由此决定第一至第三布线与上述多个第二逻辑元件的输入端子之间的电连接。

[0025] 在本发明的第一方式中,通过上述结构,可以由一个开关电路控制一个第二逻辑元件与另一个第二逻辑元件之间的电连接。可以由一个开关电路控制一个第一逻辑元件与一个第二逻辑元件之间的电连接。此外,可以由一个开关电路控制一个第二逻辑元件与一个第三逻辑元件之间的电连接。因此,在本发明的一个方式中,包括在布线资源中的开关电路的个数可以是很小的且可以实现可编程逻辑装置的高设计灵活性。

[0026] 在本发明的第二方式中,包括在布线资源中的开关电路包括多个至少具有第一开关和第二开关的组,该第二开关根据通过上述第一开关被施加包括配置数据的信号的节点的电位而控制布线之间的电连接。上述多个组之一的上述第二开关是根据配置数据而开启的,由此决定在连接到多个逻辑元件的输出端子的多个布线之一与电连接到一个逻辑元件的输入端子的一个布线之间的通过开关电路的连接。

[0027] 再者,本发明的第二方式的可编程逻辑装置至少包括具有多个第一逻辑元件的列、具有多个第二逻辑元件的列、以及具有多个第三逻辑元件的列。在此,与多个第一逻辑元件的输出端子电连接的多个布线称为第一布线,与多个第二逻辑元件的输出端子电连接的多个布线称为第二布线,与多个第三逻辑元件的输出端子电连接的多个布线称为第三布

线。在本发明的一个方式中,多个第一及第二布线设置在具有多个第一逻辑元件的列与具有多个第二逻辑元件的列之间。另外,多个第三布线设置在具有多个第一逻辑元件的列与具有多个第二逻辑元件的列之间以及具有多个第二逻辑元件的列与具有多个第三逻辑元件的列之间。

[0028] 在此,与多个第二逻辑元件的输入端子电连接的多个布线称为第四布线。在本发明的一个方式中,多个第一至第三布线与多个第四布线之间的电连接由多个开关电路控制。具体而言,各开关电路的上述多个组之一中的上述第二开关是根据配置数据而开启的,由此决定多个第一至第三布线之一与多个第四布线之一之间的电连接。

[0029] 在本发明的第二方式中,通过上述结构,可以由一个开关电路控制一个第二逻辑元件与另一个第二逻辑元件之间的电连接。可以由一个开关电路控制一个第一逻辑元件与一个第二逻辑元件之间的电连接。另外,可以由一个开关电路控制一个第二逻辑元件与一个第三逻辑元件之间的电连接。因此,在本发明的一个方式中,可以减小包括在布线资源中的开关电路的个数且可以实现可编程逻辑装置的高设计灵活性。

[0030] 本发明的第二方式的可编程逻辑装置还包括一开关,该开关控制与第一至第三逻辑元件中的任一个的输入端子电连接的布线和被提供预定电位的布线之间的电连接。在本发明的一个方式中,通过上述结构,电连接到输入端子的上述布线的电位可以初始化,以便为预定的电平。因此,即使在关闭可编程逻辑装置的电源之后电连接到输入端子的布线的电位成为浮接状态并且配置数据消失,由此在开启可编程逻辑装置的电源之后在电连接到输入端子的布线与电连接到输出端子的多个布线之间构成电导通状态,也可以防止上述布线之间流过的电流经过输入端子流到逻辑元件中。由此,可以防止对可编程逻辑装置的破坏。有时,在刚开启可编程逻辑装置的电源之后,逻辑元件的输入端子具有高电平与低电平之间的中间电位。当该中间电位施加到逻辑元件的输入端子时,在逻辑元件所具有的CMOS电路中容易产生贯通电流。但是,在本发明的一个方式中,上述结构可以防止在开启电源之后输入端子具有中间电位,因此可以防止上述贯通电流的发生。

[0031] 除了用来初始化的上述开关之外,本发明的第二方式中的可编程逻辑装置也可以包括具有将电连接到输入端子的布线的电位保持为高(high)或低(low)的功能的锁存器。在本发明的一个方式中,通过上述结构,在开启电源之后输入端子的电位可以保持为高或低;因此可以防止产生上述贯通电流。

[0032] 在本发明的第三方式中,包括在逻辑元件中的配置存储器包括:多个第一开关;多个第二开关,每一个第二开关根据通过上述第一开关被施加包括配置数据的第一信号的第一节点的电位而控制被施加第一电位的第一布线与第二布线之间的电连接;多个第三开关;多个第四开关,每一个第四开关根据通过上述第三开关被施加其极性与上述第一信号的极性相反的第二信号的第二节点的电位而控制被提供低于上述第一电位的第二电位的第三布线与上述第二布线之间的电连接;以及多个第五开关,每一个第五开关控制第二布线对第四布线的电位输出。根据上述配置数据定义在上述逻辑元件中进行的逻辑运算。

[0033] 在本发明的第三方式中,通过上述结构,第一电位或第二电位可以根据配置数据被施加到第四布线。因此,能够在从配置存储器读出配置数据之前正确读出配置数据而不对第四布线进行预充电。其结果是,用来预充电的电路不是必然要被设置在驱动配置存储器的电路中的,这防止可编程逻辑装置的面积增大。

[0034] 在本发明的第四方式中,分别具有上述结构的配置存储器的多个逻辑元件被配置成列状,并且包括在上述多个逻辑元件中的配置存储器被配置成行列状。在本发明的第四方式中,包括在布线资源中的多个开关电路也被配置成行和列状。

[0035] 在第三方式的配置存储器中,由第一和第二开关构成的部分以及由第三和第四开关构成的部分具有与第二方式的开关电路中的由第一开关和第二开关构成的部分相同的开关之间的连接结构。因此,在本发明的第四方式中,配置存储器和开关电路被配置成行列状,由此可以由同一驱动电路控制配置存储器的操作和开关电路的操作。因此,与分开设置驱动开关电路的电路和驱动配置存储器的电路的情况相比,可以防止可编程逻辑装置的面积增大。

[0036] 本发明的一个方式可以提供一种存储装置的面积很小的可编程逻辑装置。本发明的一个方式可以提供一种能够高速地重配置逻辑电路且存储装置的面积很小的可编程逻辑装置。另外,本发明的一个方式可以提供一种能够高速地重配置逻辑电路且存储装置的面积很小且可实现高速工作的可编程逻辑装置。本发明的一个方式可以提供一种通过使用上述可编程逻辑装置来减小尺寸或实现高性能的半导体装置。

[0037] 本发明的一个方式可以提供一种具有高设计灵活性且用来控制逻辑元件之间的连接的开关的个数更少的可编程逻辑装置。本发明的一个方式可以提供一种可靠性高的可编程逻辑装置。此外,本发明的一个方式可以提供一种实现高速操作或高可靠性的半导体装置。

[0038] 本发明的一个方式可以提供一种即使电路规模增大也具有小布局面积的可编程逻辑装置。本发明的一个方式可以提供一种尺寸减小的半导体装置。

附图说明

[0039] 在附图中:

[0040] 图1A至1C示出PLD及开关电路的结构;

[0041] 图2示出开关电路的结构;

[0042] 图3示出开关电路的结构;

[0043] 图4示出开关电路的结构;

[0044] 图5是时序图;

[0045] 图6示出开关电路的结构;

[0046] 图7是时序图;

[0047] 图8示出开关电路的结构;

[0048] 图9示出开关电路的结构;

[0049] 图10示出开关电路的结构;

[0050] 图11是时序图;

[0051] 图12示出开关电路的结构;

[0052] 图13A和13B都示出单元的结构;

[0053] 图14A和14B示出锁存器的结构;

[0054] 图15示出PLD的结构;

[0055] 图16A至16C都示出逻辑元件的结构;

- [0056] 图17是PLD的俯视图；
- [0057] 图18A至18C都示出LUT的结构；
- [0058] 图19是单元的截面图；
- [0059] 图20是晶体管的截面图；
- [0060] 图21示出晶体管的叠层结构；
- [0061] 图22示出晶体管的叠层结构；
- [0062] 图23示出晶体管的叠层结构；
- [0063] 图24是配置存储器的电路图；
- [0064] 图25示出逻辑元件的结构例子；
- [0065] 图26示出IO的结构例子；
- [0066] 图27是三态缓冲器的电路图；
- [0067] 图28示出PLD的掩模图案；
- [0068] 图29示出PLD的结构例子；
- [0069] 图30示出单元的电路图和时序图；
- [0070] 图31示出过驱动电压与延迟时间之间的关系；
- [0071] 图32是PLD的显微照片；
- [0072] 图33示出环形振荡器的振荡频率随时间的变化；
- [0073] 图34A至34F都示出电子设备。

具体实施方式

[0074] 以下参照附图对本发明的实施方式进行详细说明。注意，本发明不局限于以下说明，而所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此，本发明不应该被解释为仅局限于下述实施方式的说明。

[0075] 注意，本发明的可编程逻辑装置在其范畴内包括使用半导体元件形成的各种半导体集成电路，诸如微处理器、图像处理电路、半导体显示装置用控制器、数字信号处理器(Digital Signal Processor:DSP)以及微控制器。本发明的半导体装置在其范畴内包括各种装置诸如使用上述半导体集成电路形成的RF标签以及半导体显示装置。半导体显示装置在其范畴内包括液晶显示装置、在各像素中设置有以有机发光元件(OLED)为代表的发光元件的发光装置、电子纸、数字微镜装置(Digital Micromirror Device:DMD)、等离子体显示面板(Plasma Display Panel:PDP)、场致发射显示器(Field Emission Display:FED)、以及在驱动电路中具有半导体元件的其他半导体显示装置。

[0076] <PLD的结构例子>

[0077] 在本发明的一个方式的PLD中，设置有具有多个逻辑元件(LE)的多个列，在各列之间配置有多个布线和多个开关电路。图1A示出本发明的一个方式中的PLD100的一部分的例子。

[0078] 在图1A中，具有多个LE101的第一列102-1、具有多个LE101的第二列102-2以及具有多个LE101的第三列102-3被设置在PLD100中。图1A示出从左侧依次平行放置了第一列102-1、第二列102-2及第三列102-3的例子。

[0079] 在图1A中,多个布线103、多个布线104、多个布线105、多个布线106、多个布线107、多个布线108以及多个布线109被设置在PLD100中。

[0080] 第一列102-1中的各LE101的第一输出端子与多个布线103中的一个连接。第一列102-1中的各LE101的第二输出端子与多个布线104中的一个连接。

[0081] 第二列102-2中的各LE101的第一输出端子与多个布线106中的一个连接。第二列102-2中的各LE101的第二输出端子与多个布线107中的一个连接。

[0082] 第三列102-3中的各LE101的第一输出端子与多个布线105中的一个连接。第三列102-3中的各LE101的第二输出端子与多个布线109中的一个连接。

[0083] 此外,LE101的第一输出端子的个数和第二输出端子的个数不一定局限于一个,第一输出端子的个数和第二输出端子的个数之一或两者也可以多于一个。注意,不管第一输出端子的个数及第二输出端子的个数是多少,一个输出端子总是与一个布线连接。换言之,当列102包括Y个LE101(Y是自然数)时,PLD100至少具有与第一输出端子连接的Y个布线和与第二输出端子连接的Y个布线。

[0084] 另外,在本说明书中“连接”是指电连接且相当于能够供应或传送电流、电压或电位的状态。因此,连接状态不仅是指直接连接的状态,而且是指通过能够供应或传送电流、电压或电位的如布线、电阻器、二极管、晶体管等电路元件的间接连接的状态。

[0085] 第一列102-1被设置在多个布线103与多个布线104之间。第二列102-2被设置在多个布线106与多个布线107之间。第三列102-3被设置在多个布线105与多个布线109之间。

[0086] 与第二列102-2中的各LE101的第一输出端子连接的多个布线106被设置在第一列102-1与第二列102-2之间以及第一列102-1与图1A中位于第一列102-1的左侧的LE101的列(未图示)之间。与第三列102-3中的各LE101的第一输出端子连接的多个布线105被设置在第一列102-1与第二列102-2之间以及第二列102-2与第三列102-3之间。与图1A中位于第三列102-3的右侧的各LE101(未图示)的第一输出端子连接的多个布线108被设置在第二列102-2与第三列102-3之间以及第三列102-3与位于第三列102-3的右侧的LE101的列(未图示)之间。

[0087] 当关注第N列(N是3或更大的自然数)时,与该第N列中的各LE101的第一输出端子连接的多个布线被设置在第N列与第(N-1)列之间以及第(N-1)列与第(N-2)列之间。在N为2的情况下,与第二列中的各LE101的第一输出端子连接的多个布线被设置在第二列与第一列之间以及第一列与I/O元件(I0)之间。该I0具有接口的功能,用于控制从PLD外部到LE101的信号的输入或从LE101到PLD外部的信号的输出。

[0088] 图1A所示的具有LE101的列102与多种布线之间的位置关系是本发明的一个方式的一个例子。在本发明的一个方式中,具有LE101的列102和多种布线被配置为并联方式。

[0089] 在本发明的一个方式中,当关注第(N-1)列(N是3或更大的自然数)时,与第(N-1)列中的各LE101的第一输出端子连接的多个布线、与第N列中的各LE101的第一输出端子连接的多个布线以及与第(N-2)列中的各LE101的第二输出端子连接的多个布线是通过开关电路110而连接到第(N-1)列中的各LE101的多个输入端子。

[0090] 具体而言,在图1A中,例如,与第二列102-2中的各LE101的第一输出端子连接的多个布线106、与第三列102-3中的各LE101的第一输出端子连接的多个布线105以及与第一列102-1中的各LE101的第二输出端子连接的多个布线104是通过开关电路110而连接到第二

列102-2中的各LE101的多个输入端子。

[0091] 图1B是图1A所示的控制多个布线104、多个布线105及多个布线106与第二列102-2中的各LE101的多个输入端子之间的连接的开关电路110的电路图。图1B中的多个布线111与第二列102-2中的LE101的多个输入端子连接。开关电路110具有多个开关电路120。图1C示出图1B所示的开关电路110的具体结构例子。如图1C所示,图1B中的开关电路110具有开关电路120-1、开关电路120-2以及开关电路120-3的三个开关电路120。

[0092] 图1C示出对应于三个布线111的开关电路110,因此示出开关电路110具有开关电路120-1、开关电路120-2以及开关电路120-3的三个开关电路120的情况。开关电路110中所具有的开关电路120的个数可以根据LE101中的输入端子的个数而决定。

[0093] 图1B及图1C示出控制多个布线104、105及106与多个布线111之间的连接的开关电路110;图1A中的控制多个布线与多个布线之间的连接的开关电路110具有与上述结构相似的结构。

[0094] 接着,图2示出图1C中的开关电路110的具体结构例子。图2更明确地示出多个布线104、多个布线105及多个布线106与开关电路110之间的连接关系。如图2所示,开关电路120的每一个控制多个布线104、105和106中的所有布线与多个布线111中的一个布线之间的连接。

[0095] 具体而言,图2示出一个例子,在该例子中,多个布线104具有布线104-1、布线104-2、布线104-3;多个布线105具有布线105-1、布线105-2、布线105-3;多个布线106具有布线106-1、布线106-2、布线106-3。图2示出一个例子,在该例子中,多个布线111具有布线111-1、布线111-2、布线111-3。

[0096] 在图2中,开关电路120-1控制多个布线104、105和106中的所有布线与布线111-1之间的连接。具体而言,开关电路120-1具有根据配置数据选择多个布线104、105和106中的一个且连接所选择的一个布线与布线111-1的功能。

[0097] 开关电路120-2控制多个布线104、105和106中的所有布线与布线111-2之间的连接。具体而言,开关电路120-2具有根据配置数据选择多个布线104、105和106中的一个且连接所选择的一个布线与布线111-2的功能。

[0098] 开关电路120-3控制多个布线104、105和106中的所有布线与布线111-3之间的连接。具体而言,开关电路120-3具有根据配置数据选择多个布线104、105和106中的一个且连接所选择的一个布线与布线111-3的功能。

[0099] <开关电路的结构例子>

[0100] 接着,说明开关电路120的结构例子。图3示出本发明的一个方式中的开关电路120的结构例子。开关电路120包括多个组,每一个组至少具有开关131和开关130。在图3中,各组表示为单元140。图3示出开关电路120具有以单元140-1至140-n(n是自然数)表示的多个单元140的例子。

[0101] 开关131具有控制将包括配置数据的信号的的电位供应给单元140内的节点FD的功能。具体而言,当开关131导通(开启)时,包括配置数据且施加给布线121的信号的电位被供应给节点FD。当开关131非导通状态(关闭)时,节点FD的电位被保持。

[0102] 开关131的开启/关闭状态是根据施加给布线122的信号的电位而选择的。图3示出在单元140-1至140-n中的每一个中的开关131的开启/关闭状态是根据施加到以布线122-1

至122-n表示的多个布线122中的相对应的一个布线的信号的电位而选择的情况。

[0103] 开关130具有根据节点FD的电位控制布线123与布线111之间的电连接的功能。具体而言,当开关130开启时,布线123与布线111彼此电连接。当开关130关闭时,布线123与布线111彼此电分离。图3示出在单元140-1至140-n中开关130控制布线111与以布线123-1至123-n表示的多个布线123中的相对应的一个之间的电连接的例子。

[0104] 另外,布线123与LE及IO的输出端子电连接,布线111与LE及IO的输入端子电连接。因此,当在单元140-1至140-n中的至少一个中根据配置数据而开启开关130时,多个布线123(布线123-1至123-n)中的至少一个即LE或IO的输出端子中的至少一个是通过开关电路120而被选择的,并且所选择的输出端子与布线111即LE或IO的输入端子电连接。

[0105] 注意,本说明书中的输入端子是指被供应输入信号的布线等的节点,并且通过该节点输入信号的电位、电压、电流等施加到电路。因此,电连接于输入端子的布线可以看作输入端子的一部分。另外,本说明书中的输出端子是指被供应输出信号的布线等的节点,并且通过该节点输出信号的电位、电压、电流等输出给电路。因此,电连接于输出端子的布线可以看作输出端子的一部分。

[0106] 本发明的一个方式的PLD100还包括控制布线111与被施加预定的电位的布线125之间的电连接的开关126。开关126根据信号INIT而开启和关闭。具体而言,当开关126开启时,布线125的电位施加给布线111,当开关126关闭时,布线125的电位不施加给布线111。

[0107] 在本发明的一个方式中,通过开启开关126,布线111的电位可以被初始化成处于预定的电平。另外,在关闭PLD100的电源之后,布线111及123的电位容易成为浮接状态。在关闭PLD的电源之后,根据配置存储器所具有的存储元件的结构,配置数据有时消失。在此情况下,当开启PLD的电源时,通过开关电路120在布线111与布线123之间建立电导通,并且当布线111与多个布线123具有不同的电位时,有时大量的电流流过在这些布线。但是,在本发明的一个方式中,如上所述,布线111的电位可以被初始化,因此防止大量的电流在布线111与多个布线123之间流过。这可防止PLD的损坏。

[0108] 在刚开启PLD100的电源之后,有时LE101的输入端子的电位成为高电平与低电平之间的中间电位。如果该中间电位施加到LE101的输入端子,贯通电流就容易产生在LE101所具有的CMOS电路中。但是,在本发明的一个方式中,由于如上所述那样布线111的电位可以被初始化,所以可以防止在刚开启电源之后LE101的输入端子具有中间电位;因此,可以防止贯通电流的发生。

[0109] 在本发明的一个方式的PLD100中,在开启PLD100的电源且使布线111的电位初始化之后,用来关闭开关电路120所具有的所有单元140中的开关130的配置数据也可以被写入配置存储器中。由此,布线111与多个布线123可以彼此电分离;因此,当布线111与多个布线123具有不同的电位时,可以防止大量的电流通过开关电路120而在布线111和多个布线123之间流过。由此,可以防止PLD100的损坏。

[0110] 在图3所示的开关电路120被用作图2中的开关电路120-1的情况下,图2中的多个布线104、105及106相当于图3中的布线123-1至123-n,图2中的布线111-1相当于图3中的布线111。

[0111] 在图3所示的开关电路120被用作图2中的开关电路120-2的情况下,图2中的多个布线104、105及106相当于图3中的布线123-1至123-n,图2中的布线111-2相当于图3中的布

线111。

[0112] 在图3所示的开关电路120被用作图2中的开关电路120-3的情况下,图2中的多个布线104、105及106相当于图3中的布线123-1至123-n,图2中的布线111-3相当于图3中的布线111。

[0113] 如上所述,在本发明的一个方式中,与LE101的输出端子电连接的如布线104、105及布线106等多个布线中的一个是根据配置数据而被选择,并且所选择的这一个布线与电连接到LE101的输入端子的一个布线(比如布线111)是通过上述开关电路120而电连接的。此外,在本发明的一个方式中,包括具有上述结构的开关电路120的开关电路110和由开关电路110控制电连接的上述各种布线被设置在如第一列102-1、第二列102-2、第三列102-3等包括LE101的多个列之间;由此,在图1A所示的PLD100中,第二列102-2中的一个LE101与第二列102-2中的另一个LE101之间的电连接可以由一个开关电路120控制。第一列102-1中的一个LE101与第二列102-2中的一个LE101之间的电连接可以由一个开关电路120控制。此外,第二列102-2中的一个LE101与第三列102-3中的一个LE101之间的电连接可以由一个开关电路120控制。因此,本发明的一个方式可以实现PLD100,该PLD100在具有高设计灵活性的同时包括了在布线资源中的个数很少的开关电路。

[0114] <开关电路的具体结构例子1>

[0115] 接着,说明图3所示的开关电路120的具体结构例子。图4示出开关电路120的结构例子。开关电路120包括多个组,每一个组包含晶体管130t和晶体管131t,该晶体管130t控制布线或端子之间的电连接,该晶体管131t具有极低的截止状态电流且在晶体管130t的栅极处供应、保持及释放由配置数据所决定的电荷量。

[0116] 在图4中,各组被表示为单元140。对应于多个布线104、105及106的总数的单元140被设置在图4所示的开关电路120中。另外,图2示出多个布线104、105及106的总数为9的情况;由此,为了匹配于图2的结构,图4示出开关电路120具有单元140-1至140-9的9个单元140以及对应于多个布线104、105及106的9个布线123(布线123-1至123-9)的例子。

[0117] 各单元140除了晶体管130t及晶体管131t之外还包括与晶体管130t的栅极连接的电容器132。除了保持在晶体管130t的栅极中所累积的电荷的功能之外,该电容器132还具有在使晶体管130t的栅极保持为浮接状态的同时将布线127的电位的变化添加到晶体管130t的栅极电位的功能。

[0118] 具体而言,晶体管130t的源极和漏极中的一个与布线111连接,其另一个与对应于多个布线104、105和106中的一个的一个布线123连接。晶体管131t的源极和漏极中的一个与晶体管130t的栅极连接,其另一个与布线121连接。晶体管131t的栅极与多个布线122(布线122-1至122-9)中的一个连接。电容器132的一对电极中的一个与多个布线127(布线127-1至127-9)中的一个连接,其另一个与晶体管130t的栅极连接。

[0119] 注意,晶体管的“源极”是指用作活性层的半导体膜的一部分的源区或与上述半导体膜电连接的源电极。与此同样,晶体管的“漏极”是指用作活性层的半导体膜的一部分的漏区或与上述半导体膜电连接的漏电极。“栅极”是指栅电极。

[0120] 术语晶体管的“源极”和“漏极”可根据晶体管的沟道型或施加给各端子的电位电平而互换。一般而言,在n沟道型晶体管中,被施加低电位的端子称为源极,被施加高电位的端子称为漏极。另外,在p沟道型晶体管中,被施加低电位的端子称为漏极,被施加高电位的

端子称为源极。在本说明书中,为了方便起见,有时假设源极和漏极被固定而说明晶体管的连接关系;在实际上,源极和漏极的名称根据上述电位的关系而互换。

[0121] 单元140根据需要也可以具有其他电路元件,诸如晶体管、二极管、电阻器、电容器或电感器。

[0122] 下面,参照图5的时序图说明图4所示的开关电路120的工作例子。注意,在图5的时序图中,晶体管130t及晶体管131t是n沟道型晶体管。

[0123] 首先,描述了从时刻T1到时刻T6的配置数据的第一写入。从时刻T1到时刻T6将接地电位GND施加给布线127。

[0124] 从时刻T1到时刻T2,高于接地电位GND的高电位的电位VDD被施加给多个布线122中的布线122-1,并且低于接地电位GND的低电位的电位VSS被施加给其他布线122。电位VSS被施加给布线121。由此,电位VSS被施加给单元140-1中所包括的晶体管130t的栅极(FD1)。因此,对应于数字值“0”的配置数据被储存在单元140-1中。

[0125] 从时刻T3到时刻T4,高电位的电位VDD被施加给多个布线122中的布线122-2,并且低电位的电位VSS被施加给其他布线122。高电位的电位VDD被施加给布线121。由此,电位VDD被施加给单元140-2中所包括的晶体管130t的栅极(FD2)。因此,对应于数字值“1”的配置数据被储存在单元140-2中。

[0126] 从时刻T5到时刻T6,高电位的电位VDD被施加给多个布线122中的布线122-3,并且低电位的电位VSS被施加给其他布线122。电位VSS被施加给布线121。由此,电位VSS被施加给单元140-3中所包括的晶体管130t的栅极(FD3)。因此,对应于数字值“0”的配置数据被储存在单元140-3中。

[0127] 注意,图5的时序图只示出对单元140-1至140-3的配置数据的第一写入;对单元140-4至140-9的配置数据的第一写入与此同样地进行。另外,在单元140-1至140-9中,只在一个单元140中通过第一写入而储存了对应于数字值“1”的配置数据。

[0128] 然后,描述了根据通过第一写入而储存在单元140中的配置数据而进行的逻辑电路的第一切换。

[0129] 从时刻T7到时刻T8,高电位的电位VDD被施加给布线127。从时刻T7到时刻T8,在单元140-1中的晶体管130t关闭,在单元140-2中的晶体管130t开启,在单元140-3中的晶体管130t关闭。由此,在布线123-2和布线111之间建立了电导通,布线123-2的电位被施加给布线111。具体而言,图5的时序图示出电位VDD被施加给布线111的情况。

[0130] 接着,描述了从时刻T8到时刻T13的配置数据的第二写入。从时刻T8到时刻T13,将接地电位GND施加给布线127。

[0131] 从时刻T8到时刻T9,高电位的电位VDD被施加给多个布线122中的布线122-1,并且低电位的电位VSS被施加给其他布线122。高电位的电位VDD被施加给布线121。由此,电位VDD被施加给单元140-1中所包括的晶体管130t的栅极(FD1)。因此,对应于数字值“1”的配置数据被储存在单元140-1中。

[0132] 从时刻T10到时刻T11,高电位的电位VDD被施加给多个布线122中的布线122-2,并且低电位的电位VSS被施加给其他布线122。电位VSS被施加给布线121。由此,电位VSS被施加给单元140-2中所包括的晶体管130t的栅极(FD2)。因此,对应于数字值“0”的配置数据被储存在单元140-2中。

[0133] 从时刻T12到时刻T13,高电平的电位VDD被施加给多个布线122中的布线122-3,并且低电平的电位VSS被施加给其他布线122。电位VSS被施加给布线121。由此,电位VSS被施加给单元140-3中所包括的晶体管130t的栅极(FD3)。因此,对应于数字值“0”的配置数据被储存在单元140-3中。

[0134] 注意,图5的时序图只示出对单元140-1至140-3的配置数据的第二写入;对单元140-4至140-9的配置数据的第二写入与此同样地进行。另外,在单元140-1至140-9中,只有一个单元140中通过第二写入而储存了对应于数字值“1”的配置数据。

[0135] 然后,描述了根据通过第二写入而储存在单元140中的配置数据而进行的逻辑电路的第二切换。

[0136] 从时刻T14到时刻T15,高电平的电位VDD被施加给布线127。从时刻T14到时刻T15,在单元140-1中的晶体管130t开启,在单元140-2中的晶体管130t关闭,在单元140-3中的晶体管130t关闭。由此,在布线123-1和布线111之间建立了电导通,布线123-1的电位被施加给布线111。具体而言,图5的时序图示出接地电位GND被施加给布线111的情况。

[0137] 另外,在配置数据的写入的过程中,布线123-1至123-9的电位与布线111的电位优选保持为相同,在此情况下,即使在配置数据的写入期间晶体管130t开启,也可以防止过量的电流通过晶体管130t而在布线111与布线123-1至123-9中的任一个之间流动。

[0138] 布线111的电位优选通过锁存电路等保持为预定的电平,在此情况下,可以防止布线111的电位为浮接状态,并且可以防止过量的电流产生于用布线111的电位给其输入端子供电的LE中。

[0139] 如上所述,开关电路120中所包括的多个单元140中的一个是根据配置数据而成为导通的,由此布线111与多个布线123中的一个之间的连接是由开关电路120而决定的。

[0140] 在本发明的一个方式中,上述结构允许在图1A所示的PLD100中用一个开关电路120控制第二列102-2中的一个LE101与第二列102-2中的另一个LE101之间的电连接。可以用一个开关电路120控制第一列102-1中的一个LE101与第二列102-2中的一个LE101之间的电连接。此外,可以用一个开关电路120控制第二列102-2中的一个LE101与第三列102-3中的一个LE101之间的电连接。因此,本发明的一个方式可以实现具有高设计灵活性且在布线资源中包括个数很少的开关电路的PLD100。

[0141] 在截止状态电流极小的晶体管131t中,沟道形成区形成在具有比硅更宽的带隙及比硅更低的本征载流子密度的半导体膜中。这种半导体的例子是具有比硅宽2倍以上的带隙的氧化物半导体、碳化硅及氮化镓。具有上述半导体的晶体管可以具有比包含如硅或锗等一般的半导体的晶体管很低的截止状态电流。因此,通过使用具有上述结构的晶体管131t可以防止保持在控制布线或端子彼此之间的电连接的晶体管130t的栅极的电荷泄漏。

[0142] 在具有上述结构的开关电路120中,用来控制布线或端子之间的电连接的晶体管130t的开/闭状态是根据配置数据而决定的且被截止状态电流极小的晶体管131t保持。因此,在本发明的一个方式中,开关电路110用作配置存储器和存储器元件这两者,并且各单元140中的元件数少于SRAM中的元件数。因此,用来储存配置数据的存储装置的面积可以小于设置配置存储器和存储器元件这两者的现有的结构的PLD的情况。

[0143] 因为晶体管131t的截止状态电流小于在硅膜中具有沟道形成区的晶体管,所以开关电路110的数据保持时间可以长于DRAM。因此,可以以更低频度进行数据重写,其结果,可

以减少耗电量。

[0144] <开关电路的具体结构例子2>

[0145] 接着,说明图3所示的开关电路120的其它具体结构例子。图6所示的开关电路120包括多个单元140,该单元140的每一个具有用作开关131的晶体管131t、用作开关130的晶体管130t和与晶体管130t的栅极电连接的电容器132。图6具体地示出开关电路120包括单元140-1至140-n的n个单元140的例子。

[0146] 具体而言,晶体管131t的栅极与布线122电连接。另外,晶体管131t的源极和漏极中的一个与布线121电连接,其另一个与晶体管130t的栅极电连接。晶体管130t的源极和漏极中的一个与布线123电连接,其另一个与布线111电连接。

[0147] 电容器132的一对电极中的一个与晶体管130t的栅极电连接,其另一个与布线127-1至127-n的多个布线127中的一个电连接。除了保持储存在节点FD中的电荷的功能之外,该电容器132还具有在使节点FD保持为浮接状态的同时将布线127的电位的变化添加到节点FD的电位的功能。

[0148] 单元140根据需要也可以具有其他电路元件,诸如晶体管、二极管、电阻器、电容器或电感器。

[0149] <开关电路的工作例子>

[0150] 下面,参照图7的时序图说明图6所示的开关电路120的工作例子。注意,在图7的时序图中,晶体管131t及晶体管130t是n沟道型晶体管。此外,布线125被提供了低于接地电位GND的低电平的电位VSS。

[0151] 首先,说明在开启PLD的电源之后的从时刻T1到时刻T8进行的布线111的电位的初始化以及节点FD的电位的初始化。

[0152] 时刻T1之前的时刻是在刚向PLD开启电源之后,所以假设多个布线123和布线111的电位为浮接,并且各单元140的节点FD的电位为浮接。在图7中,用阴影线表示电位为浮接的期间。

[0153] 从时刻T1到时刻T8,输入到晶体管126t的栅极的信号INIT的电位成为高电平,晶体管126t开启。由此,电位VSS通过晶体管126t施加给布线111。另外,当在向开启PLD的电源的同时信号INIT的电位设定为高电平时,可以进一步缩短布线111的电位为浮接的期间。在本发明的一个方式中,通过将电位VSS施加给布线111,布线111可以被初始化,所以LE的输入端子不成为浮接,并且可以防止在LE所具有的CMOS电路中产生贯通电流。由此,可以防止PLD的损坏。另外,通过从时刻T1到时刻T8将接地电位GND施加给布线127,可以防止布线123与布线111之间的电导通,并且即使布线123与布线111具有不同的电位,也可以防止大量的电流在布线123与布线111之间流过。

[0154] 从时刻T1到时刻T8,在电位VSS施加给布线111的同时所有单元140中的节点FD的电位被初始化。具体而言,在图7中,首先,从时刻T2到时刻T3,高于接地电位GND的高电平的电位VDD被施加给多个布线122中的布线122-1,电位VSS被施加给其他布线122。电位VSS也被施加给布线121。因此,在单元140-1中,电位VSS被施加给节点FD1,由此晶体管130t关闭。

[0155] 然后,从时刻T4到时刻T5,高于接地电位GND的高电平的电位VDD被施加给多个布线122中的布线122-2,电位VSS被施加给其他布线122。电位VSS也被施加给布线121。因此,在单元140-2中,电位VSS被施加给节点FD2,由此晶体管130t关闭。

[0156] 接着,从时刻T6到时刻T7,高于接地电位GND的高电平的电位VDD被施加给多个布线122中的布线122-3,电位VSS被施加给其他布线122。电位VSS也被施加给布线121。因此,在单元140-3中,电位VSS被施加给节点FD3,由此晶体管130t关闭。

[0157] 注意,图7中的时序图只示出单元140-1至140-3中的节点FD的电位的初始化;单元140-4至140-n中的节点FD的电位与此同样地被初始化。通过上述一系列的工作,在所有单元140中节点FD的电位被初始化,并且晶体管130t关闭。

[0158] 然后,在时刻T8中,信号INIT的电位成为低电平,并且晶体管126t关闭。

[0159] 接着,说明从时刻T9到时刻T15的配置数据的写入。从时刻T9到时刻T15,假设接地电位GND被施加给布线127。从时刻T9到时刻T15,信号INIT的电位维持为低,晶体管126t维持关闭。

[0160] 首先,从时刻T9到时刻T10,高电平的电位VDD被施加给多个布线122中的布线122-1,低电平的电位VSS被施加给其他布线122。高电平的电位VDD被施加给布线121。因此,在单元140-1中电位VDD被施加给节点FD1。换言之,单元140-1储存对应于数字值“1”的配置数据。

[0161] 接着,从时刻T11到时刻T12,高电平的电位VDD被施加给多个布线122中的布线122-2,低电平的电位VSS被施加给其他布线122。低电平的电位VSS被施加给布线121。因此,在单元140-2中电位VSS被施加给节点FD2。换言之,单元140-2储存对应于数字值“0”的配置数据。

[0162] 接着,从时刻T13到时刻T14,高电平的电位VDD被施加给多个布线122中的布线122-3,低电平的电位VSS被施加给其他布线122。低电平的电位VSS被施加给布线121。因此,在单元140-3中电位VSS被施加给节点FD3。换言之,单元140-3储存对应于数字值“0”的配置数据。

[0163] 注意,图7中的时序图只示出对单元140-1至140-3的配置数据的写入;对单元140-4至140-n的配置数据的写入与此同样地进行。另外,在单元140-1至140-n中,只有一个单元通过写入而储存了对应于数字值“1”的配置数据。

[0164] 然后,对根据通过写入而储存在单元140中的配置数据进行的逻辑电路的切换进行说明。

[0165] 从时刻T15到时刻T16,当高电平的电位VDD施加给布线127时,接地电位GND与电位VDD之间的电位差被添加到各单元140中的节点FD。由此,从时刻T9到时刻T15的期间,只在储存有对应于数字值“1”的配置数据的单元140中,节点FD的电位充分变高并且晶体管130t开启。具体而言,在图7的时序图中,从时刻T9到时刻T15,对应于数字值“1”的配置数据储存在单元140-1中,由此控制布线123-1与布线111之间的电连接的晶体管130t开启,并且布线123-1的电位通过晶体管130t施加给布线111。

[0166] 如上所述,开关电路120所具有的上述多个单元140中的一个是根据配置数据而导通的,由此布线111与多个布线123中的一个之间的连接是在开关电路120中决定的。

[0167] 虽然图7示出节点FD的电位在每个单元140中按顺序一个接一个地被初始化的情况,但是在所有单元140中的节点FD的电位也可以同时被初始化。

[0168] <开关电路的具体结构例子3>

[0169] 接着,说明与图4不同的在图3中示出的开关电路120的具体结构例子。

[0170] 图8示出开关电路120的结构例子。开关电路120包括多个组,每一个组具有晶体管130t、晶体管131t和晶体管133t,该晶体管130t控制布线或端子之间的电连接,该晶体管131t具有极低的截止状态电流且在晶体管130t的栅极中供应、保持及释放通过配置数据决定的电荷量,该晶体管133t与晶体管130t串联连接。

[0171] 注意,在本说明书中,晶体管彼此串联连接的状态是指,例如,第一晶体管的源极和漏极中的仅一个与第二晶体管的源极和漏极中的仅一个连接的状态。另外,晶体管彼此并联连接的状态是指,第一晶体管的源极和漏极中的一个与第二晶体管的源极和漏极中的一个连接并且第一晶体管的源极和漏极中的另一个与第二晶体管的源极和漏极中的另一个连接的状态。

[0172] 在图8中,各组表示为单元140。对应于多个布线104、105及106的总数的单元140被设置在图8所示的开关电路120中。另外,图2示出多个布线104、105及106的总数为9的情况;由此,为了匹配于图2的结构,图8示出开关电路120具有单元140-1至140-9的9个单元140以及对应于多个布线104、105及106的9个布线123的例子。

[0173] 具体而言,晶体管133t的源极和漏极中的一个与布线111连接,其另一个与晶体管130t的源极和漏极中的一个连接。晶体管130t的源极和漏极中的另一个与多个布线123(布线123-1至123-9)中的一个连接。晶体管131t的源极和漏极中的一个与晶体管130t的栅极连接,其另一个与布线121连接。晶体管131t的栅极与多个布线122(布线122-1至122-9)中的一个连接。晶体管133t的栅极与多个布线128(布线128-1至128-9)中的一个连接。

[0174] 单元140根据需要也可以具有其他电路元件,诸如晶体管、二极管、电阻器、电容器或电感器。

[0175] 对于图8所示的开关电路120的工作情况,可以参照图5中的时序图。注意,图5的时序图表示晶体管130t、131t及133t是n沟道型晶体管的情况。

[0176] <开关电路的具体结构例子4>

[0177] 接着,说明与图6不同的图3所示的开关电路120的具体结构例子。图9所示的开关电路120包括多个单元140,该单元140的每一个具有晶体管131t、晶体管130t和晶体管133t。图9具体地示出开关电路120包括单元140-1至140-n的n个单元140的例子。

[0178] 晶体管131t具有控制将包括配置数据的信号的电位供应给节点FD的功能。晶体管130t的开/闭状态是根据节点FD的电位而选择的。晶体管133t的开/闭状态是根据布线128的电位而选择的。晶体管130t与133t彼此串联连接,且都具有控制布线123与布线111之间的电连接的功能。

[0179] 具体而言,晶体管131t的栅极与布线122电连接。另外,晶体管131t的源极和漏极中的一个与布线121电连接,其另一个与晶体管130t的栅极电连接。晶体管130t的源极和漏极中的一个与布线123电连接,另一个与晶体管133t的源极和漏极中的一个电连接。晶体管133t的源极和漏极中的另一个与布线111电连接。晶体管133t的栅极与布线128电连接。

[0180] 单元140根据需要也可以具有其他电路元件,诸如晶体管、二极管、电阻器、电容器或电感器。

[0181] <开关电路的具体结构例子5>

[0182] 接着,使用图2中的开关电路120的电路结构作为例子,说明与图4不同的开关电路120的其他具体结构例子。

[0183] 图10示出开关电路120的结构例子。与图8所示的开关电路120同样,图10所示的开关电路120包括多个组,每一个组具有晶体管130t、晶体管131t和晶体管133t,该晶体管130t控制布线或端子之间的电连接,该晶体管131t具有极低的截止状态电流且在晶体管130t的栅极中供应、保持及释放通过配置数据决定的电荷量,该晶体管133t与晶体管130t串联连接。另外,图10示出为多个布线104、105及106中的每一个布线提供两个组的例子。

[0184] 在图10中,各组表示为单元140。在图10所示的开关电路120中,为多个布线104、105及106中的一个提供两个单元140。另外,图2示出多个布线104、105及106的总数为9的情况;由此,为了匹配于图2的结构,图10示出开关电路120具有单元140-1至140-18的18个单元140以及对应于多个布线104、105及106的9个布线123的例子。

[0185] 另外,对应于多个布线104、105及106的单元140的个数不局限于两个;三个或更多个的单元140也可以对应于多个布线104、105及106。

[0186] 具体而言,在图10中,多个单元140中的两个与多个布线123中的一个连接。例如,单元140-1中的晶体管130t的源极和漏极中的另一个以及单元140-2中的晶体管130t的源极和漏极中的另一个均与布线123-1连接。

[0187] 单元140根据需要也可以具有其他电路元件,诸如晶体管、二极管、电阻器、电容器或电感器。

[0188] 另外,图8和图10示出晶体管133t电连接到晶体管130t的源极和漏极中的一个与布线111之间的情况。晶体管133t也可以电连接到晶体管130t的源极和漏极中的另一个与多个布线123中的一个。

[0189] 下面,参照图11的时序图说明图10所示的开关电路120的工作例子。注意,图11的时序图中,晶体管130t、131t及133t是n沟道型晶体管。

[0190] 首先,说明从时刻T1到时刻T8的配置数据的写入。从时刻T1到时刻T8,接地电位GND施加给多个布线128,并且所有单元140中的晶体管133t关闭。

[0191] 从时刻T1到时刻T2,高电位的电位VDD施加给多个布线122中的布线122-1,低电位的电位VSS施加给其他布线122。电位VDD施加给布线121。由此电位VDD施加给单元140-1所具有的晶体管130t的栅极(FD1)。因此,对应于数字值“1”的第一配置数据储存在单元140-1中。

[0192] 从时刻T3到时刻T4,高电位的电位VDD施加给多个布线122中的布线122-2,低电位的电位VSS施加给其他布线122。电位VSS施加给布线121。由此电位VSS施加给单元140-2所具有的晶体管130t的栅极(FD2)。因此,对应于数字值“0”的第二配置数据储存在单元140-2中。

[0193] 从时刻T5到时刻T6,高电位的电位VDD施加给多个布线122中的布线122-3,低电位的电位VSS施加给其他布线122。电位VSS施加给布线121。由此电位VSS施加给单元140-3所具有的晶体管130t的栅极(FD3)。因此,对应于数字值“0”的第一配置数据储存在单元140-3中。

[0194] 从时刻T7到时刻T8,高电位的电位VDD施加给多个布线122中的布线122-4,低电位的电位VSS施加给其他布线122。电位VDD施加给布线121。由此电位VDD施加给单元140-4所具有的晶体管130t的栅极(FD4)。因此,对应于数字值“1”的第二配置数据储存在单元140-4中。

[0195] 注意,图11的时序图只示出对单元140-1至140-4的第一配置数据或第二配置数据的写入;对单元140-5至140-18的第一配置数据或第二配置数据的写入与此同样地进行。另外,在以单元140-M(M是自然数且小于18的奇数)表示的多个单元140中,只有一个单元140通过第一配置数据的写入而储存了对应于数字值“1”的配置数据。此外,在以单元140-L(L是自然数且18或更小的偶数)表示的多个单元140中,只有一个单元140通过第二配置数据的写入而储存了对应于数字值“1”的配置数据。

[0196] 然后,对根据第一配置数据进行的第一逻辑电路的切换进行说明。

[0197] 从时刻T9到时刻T10,高电平的电位VDD施加给以布线128-M表示的多个布线128。接地电位GND连续地被施加给以布线128-L表示的多个布线128。从时刻T9到时刻T10,在多个单元140-M中,单元140-1导通,其他单元140不导通。因此,布线123-1和布线111之间形成电导通,由此布线123-1的电位施加给布线111。具体而言,图11的时序图示出接地电位GND施加给布线111的情况。

[0198] 然后,对根据第二配置数据进行第二逻辑电路的切换进行说明。

[0199] 从时刻T11到时刻T12,高电平的电位VDD施加给以布线128-L表示的多个布线128。接地电位GND施加给以布线128-M表示的多个布线128。从时刻T11到时刻T12,在多个单元140-L中,单元140-4导通,其他单元140不导通。因此,布线123-2和布线111之间形成电导通,由此布线123-2的电位施加给布线111。具体而言,图11的时序图示出电位VDD施加给布线111的情况。

[0200] 另外,在第一配置数据或第二配置数据的写入中,布线123-1至布线123-18的电位与布线111的电位优选保持为相同,在此情况下,即使在第一配置数据或第二配置数据的写入期间中晶体管130t开启,也可以防止过量的电流通过晶体管130t在布线111与布线123-1至123-18中的任一个之间流过。

[0201] 布线111的电位优选通过锁存电路等保持为预定的电平,在此情况下,可以防止布线111的电位为浮接状态,并且可以防止过量的电流产生于用布线111的电位给其输入端子供电的LE中。

[0202] 另外,在图10所示的开关电路120中,存储有多个配置数据,并且可以自由地选择用于配置的配置数据。因此,可以在根据一个配置数据对逻辑电路进行配置的PLD工作的同时,重写其他配置数据。

[0203] <开关电路的具体结构例子6>

[0204] 接着,说明与图6不同的图3所示的开关电路120的其他结构例子。与图9所示的开关电路120同样,图12所示的开关电路120包括多个单元140,该单元140的每一个具有晶体管131t、晶体管130t和晶体管133t。注意,图12示出多个布线123中的每一个布线被两个单元140共享的开关电路120的例子。

[0205] 图12具体示出开关电路120包括单元140-1至140-2n的2n个单元140的例子。布线123-1至123-n中的一个布线123被2n个单元140中的单元140-i和单元140-i+1(i是2n-1或更小的自然数)共享。

[0206] 另外,共享多个布线123中的每一个布线的单元140的个数不局限于两个;三个或更多个单元140也可以共享多个布线123中的每一个布线。

[0207] 图12具体示出单元140-1中的晶体管130t的源极和漏极中的一个和单元140-2中

的晶体管130t的源极和漏极中的一个电连接到布线123-1的情况。

[0208] 单元140根据需要还可以具有其他电路元件,诸如晶体管、二极管、电阻器、电容器或电感器。

[0209] 另外,图9和图12示出晶体管133t电连接到晶体管130t的源极和漏极中的另一个与布线111之间的情况。晶体管133t也可以电连接到晶体管130t的源极和漏极中的一个与布线123之间。

[0210] 在图12所示的开关电路120中,对应于多个电路结构的配置数据可以储存在与一个布线123电连接的多个单元140中。通过开启储存有对应于一个电路结构的配置数据的单元140中的晶体管133t,并且关闭储存有对应于其他电路结构的配置数据的单元140中的晶体管133t,可以根据配置数据来切换逻辑电路。

[0211] 因此,在图12所示的开关电路120中,存储有多个配置数据,并且可以自由地选择用于配置的配置数据。因此,可以在根据一个配置数据对逻辑电路进行配置的PLD工作的同时,重写其他配置数据。

[0212] 在上述专利文献1中,需要从DRAM读出配置数据以切换多上下文系统中的配置数据,并且需要用读出放大器以读出该配置数据。在图10或图12所示的本发明的一个方式中,为了在多上下文系统中切换配置数据,不需要从DRAM读出配置数据;因此,不需要使用读出放大器。由此,可以缩短切换配置数据的时间,其结果是,可以高速地重配置可编程逻辑装置中的逻辑电路。

[0213] 另外,晶体管131t优选为截止状态电流极小的晶体管,因为在开关电路120中该晶体管131t具有保持节点FD的电位的功能。其沟道形成区形成在具有宽于硅的带隙及低于硅的本征载流子密度的半导体膜中的晶体管具有显著小的截止状态电流,因此优选用作晶体管131t。这种半导体的例子是具有硅的带隙的2倍以上的大带隙的氧化物半导体及氮化镓。具有上述半导体的晶体管可以具有比包含如硅或锗等一般的半导体的晶体管显著小的截止状态电流。因此,通过使用具有上述结构的晶体管131t可以防止保持在节点FD的电荷泄漏。

[0214] 在具有上述结构的开关电路120中,根据配置数据选择用于控制布线之间的电连接的晶体管130t的开/关状态,并且,通过关闭晶体管131t使包括配置数据的信号的电位保持在节点FD。因此,在本发明的一个方式中,包括在布线资源中的开关电路120附加设置有保持选择其开/闭状态的信息的配置存储器的功能。由于各单元140中的元件数少于SRAM,所以配置存储器的面积可以小于设置有配置存储器和开关这两者的现有的结构的PLD。

[0215] 尤其是,多上下文系统的PLD通过在配置存储器中储存对应于多个电路结构的配置数据来实现动态重配置;因此,在多上下文系统的PLD中的配置存储器的面积显著地大于进行动态重配置的其他方法(诸如配置数据发送方式)的情况。相比之下,在包括具有图10或图12所示的结构开关电路120的根据本发明的一个方式的PLD中,即使采用多上下文系统,配置存储器的面积也可以如上文所述那样小。

[0216] 另外,通过减少用作电子施主(施主)的如水分或氢等杂质且通过减少氧缺损来实现的高度纯化氧化物半导体(纯化的OS)是本征(i型)半导体或基本上i型半导体。因此,在高度纯化氧化物半导体膜中具有沟道形成区的晶体管具有极低的截止状态电流及高可靠性。由此,当上述晶体管用作开关电路120中的晶体管131t时,可以延长数据保持时间。

[0217] 具体而言,各种实验可以证明:在高度纯化氧化物半导体膜中具有沟道形成区的晶体管具有很小的截止状态电流。例如,沟道宽度为 $1 \times 10^6 \mu\text{m}$ 且沟道长度为 $10 \mu\text{m}$ 的元件的截止状态电流也可以小于或等于半导体参数分析仪的测量极限,即,在源电极和漏电极之间的电压(漏极电压)为1V至10V时该截止状态电流小于或等于 $1 \times 10^{-13} \text{A}$ 。在此情况下,可知根据晶体管的沟道宽度被规格化的截止状态电流小于或等于 $100 \text{zA}/\mu\text{m}$ 。此外,该截止状态电流通过使用一种电路而被测量,在该电路中电容器与晶体管彼此连接且由该晶体管控制流入电容器或从电容器流出的电荷。在该测量中,高度纯化氧化物半导体膜用于上述晶体管的沟道形成区,并且该晶体管的截止状态电流是从每单位时间电容器的电荷量变化而被测量的。其结果,可知当晶体管的源电极和漏电极之间的电压为3V时,获得更小的截止状态电流,即几十幺科托安培(yoctoampere)每微米($\text{yA}/\mu\text{m}$)。由此,高度纯化氧化物半导体膜用于沟道形成区的晶体管具有比具有结晶硅的晶体管显著小的截止状态电流。

[0218] 在氧化物半导体中的In-Ga-Zn类氧化物及In-Sn-Zn类氧化物与碳化硅、氮化镓及氧化镓相比具有如下优点:可以通过溅射或湿法工艺来形成电特性优良的晶体管,因此容易进行量产。此外,与使用碳化硅、氮化镓或氧化镓的情况不同,通过使用上述氧化物半导体(In-Ga-Zn类氧化物),可以在玻璃衬底上或在使用硅的集成电路上制造电特性优良的晶体管,并可以使用大型衬底。

[0219] 氧化物半导体优选至少包含铟(In)或锌(Zn)。另外,作为降低使用该氧化物半导体的晶体管的电特性的不均匀的稳定剂,除了铟(In)和/或锌(Zn)以外,氧化物半导体优选包含镓(Ga)、锡(Sn)、钪(Hf)、铝(Al)和/或锆(Zr)。

[0220] 作为其他稳定剂,氧化物半导体也可以包含镧系元素诸如镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)及镱(Lu)中的一种或多种。

[0221] 例如,作为氧化物半导体,可以使用任何下述材料:氧化铟、氧化镓、氧化锡、氧化锌、In-Zn类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、Zn-Mg氧化物、Sn-Mg氧化物、In-Mg氧化物、In-Ga氧化物;In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物、In-Hf-Zn类氧化物、In-La-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物、In-Lu-Zn类氧化物;以及In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物、及In-Hf-Al-Zn类氧化物。

[0222] 例如,In-Ga-Zn类氧化物是指包含In、Ga和Zn的氧化物,对In、Ga、Zn的比率没有限制。另外,In-Ga-Zn类氧化物也可以包含In、Ga、Zn以外的金属元素。In-Ga-Zn类氧化物在无电场施加时具有充分高的电阻,因此截止状态电流能够充分降低。并且,In-Ga-Zn类氧化物具有高迁移率。

[0223] 例如,可以使用其原子数比率为 $\text{In}:\text{Ga}:\text{Zn}=1:1:1 (=1/3:1/3:1/3)$ 或 $\text{In}:\text{Ga}:\text{Zn}=2:2:1 (=2/5:2/5:1/5)$ 的In-Ga-Zn类氧化物或其原子数比率靠近上述原子数比率的氧化物。或者,也可以使用其原子数比率为 $\text{In}:\text{Sn}:\text{Zn}=1:1:1 (=1/3:1/3:1/3)$ 、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3 (=1/3:1/6:1/2)$ 或 $\text{In}:\text{Sn}:\text{Zn}=2:1:5 (=1/4:1/8:5/8)$ 的In-Sn-Zn类氧化物或其原子数

比率靠近上述原子数比率的氧化物。

[0224] 例如,通过使用In-Sn-Zn类氧化物比较容易得到高迁移率。但是,即使在使用In-Ga-Zn类氧化物的情况下,通过降低块体内的缺陷密度,可以提高迁移率。

[0225] 以下说明氧化物半导体膜的结构。

[0226] 在本说明书中,“平行”是指两个直线之间形成的角度大于或等于 -10° 且小于或等于 10° 的情况,因此也包括大于或等于 -5° 且小于或等于 5° 的角度的情况。另外,“垂直”是指两个直线之间形成的角度大于或等于 80° 且小于或等于 100° 的情况,因此也包括大于或等于 85° 且小于或等于 95° 的角度的情况。

[0227] 在本说明书中,三方晶系和菱方晶系包括在六方晶系中。

[0228] 氧化物半导体膜大致分为单晶氧化物半导体膜和非单晶氧化物半导体膜。非单晶氧化物半导体膜包括非晶氧化物半导体膜、微晶氧化物半导体膜、多晶氧化物半导体膜及c轴对准结晶氧化物半导体(CAAC-OS)膜等中的任一种。

[0229] 非晶氧化物半导体膜具有无序的原子排列并没有结晶成分。其典型例子是即使在微小区域中也没有结晶部分而整个膜为非晶的氧化物半导体膜。

[0230] 微晶氧化物半导体膜例如包括大于或等于1nm且小于10nm的尺寸的微晶(也称为纳米晶体)。因此,微晶氧化物半导体膜具有比非晶氧化物半导体膜更高的原子排列有序性。因此,微晶氧化物半导体膜的缺陷态的密度低于非晶氧化物半导体膜。

[0231] CAAC-OS膜是包含多个结晶部分的一种氧化物半导体膜,并且大部分的结晶部分能够容纳在一边短于100nm的立方体内。因此,有时包括在CAAC-OS膜中的结晶部分能够容纳在一边短于10nm、短于5nm或短于3nm的立方体内。CAAC-OS膜的缺陷态的密度低于微晶氧化物半导体膜。下面详细说明CAAC-OS膜。

[0232] 在CAAC-OS膜的透射电子显微镜(TEM)图像中,不能明确地观察到结晶部分之间的边界,即晶界。因此,在CAAC-OS膜中,不容易产生起因于晶界的电子迁移率的降低。

[0233] 根据在大致平行于样品表面的方向上所观察到的CAAC-OS膜而得到的TEM图像(截面TEM图像),在结晶部分中金属原子排列为层状。各金属原子层具有反映着在其上形成CAAC-OS膜的表面(在下文中,将在其上形成CAAC-OS膜的表面称为形成面)或CAAC-OS膜的顶面的形状,并排列为平行于CAAC-OS膜的形成面或顶面。

[0234] 另一方面,根据在大致垂直于样品面的方向上进行观察而得到的CAAC-OS膜的TEM图像(平面TEM图像),在结晶部分中金属原子排列为三角形状或六角形状。但是,在不同的结晶部分之间没有金属原子的排列的规律性。

[0235] 从截面TEM图像及平面TEM图像的结果,在CAAC-OS膜的结晶部分中观察到对准。

[0236] 使用X射线衍射(XRD)装置对CAAC-OS膜进行结构分析。例如,当通过出平面(out-of-plane)方法分析包括InGaZnO₄的结晶的CAAC-OS膜时,在衍射角度(2θ)为 31° 附近时频繁地出现峰值。该峰值是从InGaZnO₄晶体的(009)面中获得的,这显示CAAC-OS膜中的结晶具有c轴对准性,并且该c轴是在大致垂直于CAAC-OS膜的形成面或顶面的方向上对准的。

[0237] 另一方面,当通过在大致垂直于c轴的方向上X线入射到样品的平面内(in-plane)方法分析CAAC-OS膜时,在 2θ 为 56° 附近时频繁地出现峰值。该峰值是从InGaZnO₄晶体的(110)面中获得的。在此,在 2θ 固定于 56° 附近,以样品面的法线向量为轴(Φ 轴)旋转样品的条件下进行分析(Φ 扫描)。在该样品是InGaZnO₄的单晶氧化物半导体膜的情况下,出现六个

峰值,该六个峰值是从等价于(110)面的结晶面中获得的。另一方面,在该样品是CAAC-OS膜的情况下,即使在 2θ 固定为 56° 附近而进行 Φ 扫描也不能明确地观察到峰值。

[0238] 根据上述结果,在具有c轴对准的CAAC-OS膜中,虽然a轴及b轴的方向在结晶部分之间不同,但是c轴在平行于形成面的法线向量或顶面的法线向量的方向上对准。因此,在上述截面TEM图像中观察到的排列为层状的各金属原子层相当于平行于结晶的a-b面的面。

[0239] 注意,结晶部分在形成CAAC-OS膜的同时形成或者通过如加热处理等晶化处理形成。如上所述,结晶的c轴在平行于形成面的法线向量或顶面的法线向量的方向上对准。由此,例如,在通过蚀刻等改变CAAC-OS膜的形状的情况下,c轴未必平行于CAAC-OS膜的形成面的法线向量或顶面的法线向量。

[0240] 此外,CAAC-OS膜中的晶化度未必均匀。例如,在构成CAAC-OS膜的结晶生长从CAAC-OS膜的顶面附近产生的情况下,有时顶面附近的晶化度高于形成面附近的晶化度。另外,当杂质添加在CAAC-OS膜时,被添加杂质的区域的晶化度发生变化,而CAAC-OS膜中的晶化度根据区域而变化。

[0241] 注意,当通过出平面(out-of-plane)方法分析具有 InGaZnO_4 结晶的CAAC-OS膜时,除了在 31° 附近的 2θ 峰值之外,也可以在 36° 附近观察到 2θ 的峰值。在 36° 附近的 2θ 峰值显示不具有c轴对准性的结晶包括在CAAC-OS膜的一部分中。优选的是,在CAAC-OS膜中, 2θ 的峰值出现于 31° 附近并且 2θ 的峰值不出现于 36° 附近。

[0242] 在使用CAAC-OS膜的晶体管中,起因于可见光或紫外光的照射的电特性的变动小。因此,该晶体管具有高可靠性。

[0243] 注意,氧化物半导体膜例如也可以是包括非晶氧化物半导体膜、微晶氧化物半导体膜和CAAC-OS膜中的两个或更多个膜的叠层膜。

[0244] 例如,CAAC-OS膜通过溅射法使用多晶氧化物半导体溅射靶材形成。通过离子与该溅射靶材的碰撞,包含在溅射靶材中的结晶区域可以沿着a-b面从靶材劈开;换言之,具有平行于a-b面的面的溅射粒子(平板状溅射粒子或颗粒状溅射粒子)从靶材剥离。此时,该平板状的溅射粒子保持结晶状态到达衬底,由此可以形成CAAC-OS膜。

[0245] 为了CAAC-OS膜的沉积,优选使用如下条件。

[0246] 通过降低在沉积时混入到CAAC-OS膜中的杂质质量,上述结晶状态可以防止被该杂质破坏。例如,降低存在于沉积室内的杂质(例如,氢、水、二氧化碳及氮)的浓度,或者降低沉积气体中的杂质浓度。具体而言,使用露点为 -80°C 或更低且优选为 -100°C 或更低的沉积气体。

[0247] 通过增大沉积时的衬底加热温度,在溅射粒子到达衬底之后容易发生溅射粒子的迁移(migration)。具体而言,沉积时的衬底加热温度在 100°C 至 740°C 的范围内,优选在 200°C 至 500°C 的范围内。通过增大沉积时的衬底加热温度,当平板状的溅射粒子到达衬底时,在衬底上发生迁移,由此平板状的溅射粒子的平坦面附着于衬底。

[0248] 优选的是,增大沉积气体中的氧的比率并使电力最优化,以减轻沉积时的等离子体损伤。沉积气体中的氧的比率为30vol.%或更高,优选为100vol.%。

[0249] 作为溅射靶材的一个例子,以下说明In-Ga-Zn类氧化物靶材。

[0250] 通过以预定的摩尔数比率来混合 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末、对该混合物施加压力、然后以 1000°C 至 1500°C 的范围内的温度对该混合物进行加热处理,来制造多晶的In-

Ga-Zn类氧化物靶材。另外,X、Y及Z为任意正数。在此,InO_x粉末、GaO_y粉末及ZnO_z粉末的预定的摩尔数比率例如为2:2:1、8:4:3、3:1:1、1:1:1、4:2:3或3:1:2。粉末的种类及混合粉末时的摩尔数比率也可以根据所希望的溅射靶材适当地决定。

[0251] 半导体膜也可以是使用金属的原子数比彼此不同的金属氧化物的靶材形成的多个氧化物半导体膜的叠层。例如,半导体叠层也可以以如下方式形成:使用In:Ga:Zn的原子数比为1:1:1的靶材形成第一氧化物半导体膜,并且使用In:Ga:Zn的原子数比为3:1:2的靶材形成第二氧化物半导体膜。或者,半导体叠层也可以以如下方式形成:分别使用In:Ga:Zn的原子数比为1:3:2、3:1:2及1:1:1的靶材形成第一氧化物半导体膜、第二氧化物半导体膜及第三氧化物半导体膜。

[0252] 或者,半导体膜也可以是使用包含不同的金属的金属氧化物靶材形成的多个氧化物半导体膜的叠层。

[0253] 另外,晶体管130t或晶体管133t也可以是在硅或锗等的非晶、微晶、多晶或单晶半导体膜中具有沟道形成区的晶体管,或者也可以是与晶体管131t同样的在具有比硅宽的带隙及比硅低的本征载流子密度的半导体的膜中具有沟道形成区的晶体管。作为硅,例如可以使用下述中的任一种:通过溅射法或如等离子体CVD法等气相生长法制造的非晶硅、通过如激光退火法等处理使非晶硅结晶化而得到的多晶硅、通过在对单晶硅片注入氢离子等之后使单晶硅片的表层部分剥离而获得的单晶硅。

[0254] <单元的结构例子>

[0255] 接着,说明图3所示的开关电路120的结构的其他例子。图13A示出开关电路120所具有的单元140的例子。与图9所示的开关电路120所具有的单元140同样,图13A所示的单元140包括晶体管131t、晶体管130t和晶体管133t。注意,图13A的单元140与图9的单元140不同之处在于设置有用来保持节点FD的电位的反相器180及反相器181。

[0256] 具体而言,在图13A中,反相器180的输入端子及反相器181的输出端子与节点FD电连接,反相器180的输出端子与反相器181的输入端子彼此电连接。通过上述结构,在图13A所示的单元140中,可以由反相器180及181保持节点FD的电位。

[0257] 图13B示出具有图13A所示的结构两个单元140共享布线123的例子。虽然图13B示出两个单元140共享布线123的情况,但是在本发明的一个方式中三个或更多个单元140也可以共享布线123。

[0258] 图13A及13B所示的单元140根据需要还可以具有其他电路元件诸如晶体管、二极管、电阻器、电容器或电感器。

[0259] 另外,图13A和13B示出晶体管133t电连接到晶体管130t的源极和漏极中的另一个与布线111之间的情况。晶体管133t也可以电连接到晶体管130t的源极和漏极中的一个与布线123之间。

[0260] <通过锁存器防止贯通电流>

[0261] 在根据本发明的一个方式的PLD中,锁存器也可以电连接到与LE的输入端子电连接的布线111。图14A示出锁存器182及用来进行初始化的开关126与布线111电连接的情况。图14A所示的锁存器182具有将电连接到LE的输入端子的布线111的电位保持为高或低的功能。

[0262] 图14B示出锁存器182的结构例子。图14B中的锁存器182具有反相器183和p沟道

型晶体管184。反相器183的输入端子与布线111电连接。反相器183的输出端子与晶体管184的栅极电连接。晶体管184的源极和漏极中的一个与被施加比布线125的电位高的电位的布线185电连接。晶体管184的源极和漏极中的另一个与布线111电连接。

[0263] 在本发明的一个方式中,具有上述结构的锁存器182与布线111电连接,由此可以在开启PLD100的电源之后将布线111的电位保持为高或低。因此,可以防止由于中间的电位施加到布线111导致在具有与布线111连接的输入端子的LE中产生贯通电流。

[0264] <IO与逻辑元件之间的连接>

[0265] 接着,说明PLD100中的IO与逻辑元件的连接。图15示出本发明的一个方式的PLD100的一部分的例子。

[0266] 在图15中,具有多个LE101的列102以及具有多个IO150的列151被设置在PLD100中。图15示出从左侧依次平行放置列151及列102的例子。

[0267] 在图15所示的PLD100中,设置有多个布线152、多个布线153、多个布线154、多个布线155以及多个布线156。

[0268] 列102中的各LE101的第一输出端子与多个布线152及多个布线156连接。列102中的各LE101的第二输出端子与多个布线153连接。列151中的IO150的输出端子与多个布线155连接。多个布线154与配置在图15中的列102的右侧的多个LE101(未图示)的第一输出端子连接。

[0269] IO150的输出端子的个数不一定局限于一个,可以为多于一个。注意,不管上述输出端子的个数,一个输出端子也必须连接到一个布线。换言之,当列151具有Y个IO150(Y是自然数)时,PLD100至少具有电连接到上述输出端子的Y个布线155。

[0270] 多个布线152、多个布线154、多个布线155和多个布线156配置在列151与列102之间。列102配置在多个布线152与多个布线153之间。

[0271] 在图15中,多个布线152、多个布线154及多个布线155通过开关电路110与列102中的各LE101的多个输入端子电连接。此外,在图15中,多个布线156通过开关157与列151中的IO150的输入端子电连接。

[0272] 开关157包括一个具有上述结构的开关电路120。开关157所具有的开关电路120具有根据配置数据选择多个布线156中的一个布线并连接所选择的该一个布线与IO150的输入端子的功能。

[0273] 另外,图1A及图15都示出通过设置在具有LE101的多个列之间的多个布线而使属于一个列的LE101彼此相连接的例子;此外,PLD100也可以包括直接连接属于一个列的LE101的布线。

[0274] <LE的结构例子>

[0275] 图16A示出LE101的一个方式。图16A所示的LE101包括查找表(LUT)160、触发器161及配置存储器162。配置存储器162具有储存从存储器元件发送的配置数据的功能。由LUT160决定的逻辑电路根据从配置存储器162发送的配置数据的内容而变化。当确定配置数据时,决定了与施加到输入端子163的多个输入信号的输入值有关的LUT160的一个输出值。然后,LUT160输出了包括上述输出值的信号。触发器161保持从LUT160输出的信号,并且与时钟信号CLK同步地从第一输出端子164及第二输出端子165输出了对应于上述信号的输出信号。

[0276] 另外,LE101还可以具有多路复用器,以选择来自LUT160的输出信号是否经过触发器161。

[0277] 触发器161的种类也可以根据配置数据来决定。具体而言,触发器161也可以根据配置数据具有D型触发器、T型触发器、JK型触发器和RS型触发器中的任一个的功能。

[0278] 图16B示出LE101的其他方式。图16B所示的LE101除了图16A所示的LE101的构成要素之外还具有“AND(与)”电路166。对“AND”电路166施加来自触发器161的信号作为高态有效输入并且施加图3中的用来使布线111的电位初始化的信号INIT作为低态有效输入。由此,当根据信号INIT使布线111的电位初始化时,来自LE101的输出信号可以具有与布线125相同的电位。其结果是,可以防止大量的电流流过布线111和多个布线123,图3示出了这些布线123并且向这些布线123施加了来自LE101的输出信号。由此,可以防止PLD的损坏。

[0279] 图16C示出LE101的其他方式。除了图16A中的LE101的构成要素之外,图16C所示的LE101还具有多路复用器168和配置存储器169。在图16C中,来自LUT160的输出信号和来自触发器161的输出信号输入到多路复用器168。多路复用器168具有根据储存在配置存储器169中的配置数据而选择且输出上述两个输出信号中的一个的功能。多路复用器168的输出信号从第一输出端子164及第二输出端子165输出。

[0280] <PLD的俯视图>

[0281] 图17是PLD100的俯视图的例子。

[0282] 在图17中的PLD100具有逻辑阵列170、IO150、锁相环(PLL)172、RAM173和乘法器174。

[0283] 逻辑阵列170具有多个LE101以及包括控制LE101之间的连接的布线和开关的布线资源175。PLL172具有产生时钟信号CLK的功能。RAM173具有储存用于逻辑运算的数据的功能。乘法器174相当于专用于乘法的逻辑电路。当逻辑阵列170具有进行乘法的功能时,不一定必须要设置乘法器174。

[0284] 虽然图17示出用于LE101的配置数据(使用该配置数据来确定逻辑电路)被储存在设置于PLD100之外的存储器元件中的情况,但是存储器元件也可以被设置在PLD100中。

[0285] <LUT的结构例子>

[0286] 将说明LE101所具有的LUT160的结构例子。LUT160可以由多个多路复用器构成。配置数据可以输入到多个多路复用器的输入端子和控制端子中的任一个。

[0287] 图18A示出LE101所具有的LUT160的一个方式。

[0288] 在图18A中,LUT160由七个双输入多路复用器(多路复用器31至37)构成。多路复用器31至34的输入端子相当于LUT160的输入端子M1至M8。

[0289] 多路复用器31至34的控制端子彼此电连接,且相当于LUT160的输入端子IN3。多路复用器31及32的输出端子与多路复用器35的两个输入端子电连接。多路复用器33及34的输出端子与多路复用器36的两个输入端子电连接。多路复用器35及36的控制端子彼此电连接,且相当于LUT160的输入端子IN2。多路复用器35的输出端子及36的输出端子与多路复用器37的两个输入端子电连接。多路复用器37的控制端子相当于LUT160的输入端子IN1。多路复用器37的输出端子相当于LUT160的输出端子OUT。

[0290] 由LUT160进行的逻辑运算的种类可以以如下方式决定:对应于储存在配置存储器中的配置数据的输出信号从该配置存储器输入到输入端子M1至M8。

[0291] 例如,当对应于储存在配置存储器中且具有数字值“0”、“1”、“0”、“1”、“0”、“1”、“1”及“1”的配置数据的输出信号从该配置存储器输入到在图18A中的LUT160的输入端子M1至M8时,实现图18C所示的等效电路的功能。

[0292] 图18B示出LE101所具有的LUT160的其他方式。

[0293] 在图18B中,LUT160由三个双输入多路复用器(多路复用器41至43)和双输入“OR(或)”电路44构成。

[0294] 多路复用器41及42的输出端子与多路复用器43的两个输入端子电连接。“OR”电路44的输出端子与多路复用器43的控制端子电连接。多路复用器43的输出端子相当于LUT160的输出端子“OUT”。

[0295] 当对应于储存在配置存储器中的配置数据的输出信号从该配置存储器输入到多路复用器41的控制端子A1、输入端子A2及A3、多路复用器42的控制端子A6、输入端子A4及A5和“OR”电路44的输入端子A7及A8中的任一个时,可以决定由LUT160进行的逻辑运算的种类。

[0296] 例如,当对应于储存在配置存储器中且具有数字值“0”、“1”、“0”、“0”及“0”的配置数据的输出信号从该配置存储器输入到图18B中的LUT160的输入端子A2、输入端子A4、输入端子A5、控制端子A6、输入端子A8时,实现图18C所示的等效电路的功能。在上述结构中,控制端子A1、输入端子A3及输入端子A7分别相当于输入端子IN1、输入端子IN2及输入端子IN3。

[0297] 注意,图18A及18B示出由双输入多路复用器构成的LUT160的例子;此外,LUT160也可以由具有三个或更多个输入的输入多路复用器构成。

[0298] 除了多路复用器之外,LUT160也可以还具有二极管、电阻器、逻辑电路(或逻辑元件)以及开关中的任一个或全部。作为逻辑电路(或逻辑元件),可以使用缓冲器、反相器、“NAND(与非)”电路、“NOR(或非)”电路、三态缓冲器、时钟反相器等。作为开关,例如可以使用模拟开关、晶体管等。

[0299] 在此说明使用图18A或图18B的LUT160进行图18C所示的三输入单输出的逻辑运算的情况;但是,本发明的一个方式不局限于此。通过适当地决定LUT160及所输入的配置数据,可以进行利用四个或更多的输入和两个或更多的输出的逻辑运算。

[0300] <单元的截面结构的例子>

[0301] 图19示出图6所示的单元140所具有的晶体管130t、晶体管131t及电容器132的截面结构的例子。

[0302] 在此示出氧化物半导体膜中具有沟道形成区的晶体管131t和电容器132形成在单晶硅衬底中具有沟道形成区的晶体管130t上的情况。

[0303] 另外,晶体管130t中的活性层可以是硅或锗等的非晶、微晶、多晶或单晶半导体膜。或者,晶体管130t中的活性层也可以使用氧化物半导体形成。在氧化物半导体用于所有的晶体管的活性层时,晶体管131t不必需要层叠在晶体管130t上,并且晶体管131t和130t也可以形成在同一个层中。

[0304] 在使用薄膜硅形成晶体管130t的情况下,例如,可以使用下述材料中的任一种:通过溅射法或如等离子体CVD法等气相沉积法形成的非晶硅;通过使用激光退火法等对非晶硅的结晶化而获得的多晶硅;以及在对单晶硅片注入氢离子等之后剥离单晶硅片的表层

部分而获得的单晶硅。

[0305] 被形成晶体管130t的半导体衬底400的例子是n型或p型硅衬底、锗衬底、硅锗衬底、化合物半导体衬底(例如,GaAs衬底、InP衬底、GaN衬底、SiC衬底、GaP衬底、GaInAsP衬底、ZnSe衬底)。作为一个例子,图19示出使用n型单晶硅衬底的情况。

[0306] 晶体管130t由元件分离绝缘膜401与其他晶体管电分离。元件分离绝缘膜401可以使用硅的局部氧化(LOCOS)法或沟槽分离法等来形成。

[0307] 具体而言,晶体管130t包括形成在半导体衬底400中且用作源区和漏区的杂质区402及403、栅电极404、以及设置在半导体衬底400与栅电极404之间的栅极绝缘膜405。栅电极404重叠于形成在杂质区402与杂质区403之间的沟道形成区,所述栅极绝缘膜405处于栅电极404与沟道形成区之间。

[0308] 绝缘膜409设置在晶体管130t上。开口形成在绝缘膜409中。接触于杂质区402的布线410、接触于杂质区403的布线411以及与栅电极404电连接的布线412形成在上述开口中。

[0309] 布线410与形成在绝缘膜409上的布线415电连接。布线411与形成在绝缘膜409上的布线416电连接。布线412与形成在绝缘膜409上的布线417电连接。

[0310] 绝缘膜420及绝缘膜440以依次层叠的方式形成在布线415至417上。开口形成在绝缘膜420及绝缘膜440中。与布线417电连接的布线421形成在开口部中。

[0311] 在图19中,晶体管131t及电容器132形成在绝缘膜440上。

[0312] 晶体管131t在绝缘膜440上包括包含氧化物半导体的半导体膜430、位于半导体膜430上的用作源电极及漏电极的导电膜432及433、在半导体膜430和导电膜432及433上的栅极绝缘膜431、以及位于栅极绝缘膜431上并在导电膜432与433之间重叠于半导体膜430的栅电极434。另外,导电膜433与布线421电连接。

[0313] 导电膜435设置在栅极绝缘膜431上以与导电膜433重叠。导电膜435隔着栅极绝缘膜431与导电膜433重叠的部分被用作电容器132。

[0314] 另外,作为一个例子图19示出电容器132与晶体管131t一起设置在绝缘膜440上的情况;或者,电容器132也可以与晶体管130t一起设置在绝缘膜440下。

[0315] 绝缘膜441及绝缘膜442以依次层叠的方式形成在晶体管131t及电容器132上。开口设置在绝缘膜441及绝缘膜442中。在上述开口中接触于栅电极434的导电膜443设置在绝缘膜441上。

[0316] 在图19中,晶体管131t在半导体膜430的至少一侧具有栅电极434。或者,晶体管131t也可以具有隔着半导体膜430的一对栅电极。

[0317] 在晶体管131t具有隔着半导体膜430的一对栅电极的情况下,一个栅电极也可以被提供用来控制晶体管131t的开/闭状态的信号,另一个栅电极也可以被提供来自其他元件的电位。在此情况下,相同电平的电位也可以施加给一对栅电极,或者如接地电位等固定电位也可以只施加给另一个栅电极。通过控制施加给另一个栅电极的电位的电平,可以控制晶体管的阈值电压。

[0318] 虽然在图19示出晶体管131t具有包括对应于一个栅电极434的一个沟道形成区的单栅极结构的例子。但是,晶体管131t也可以具有多栅极结构,其中设置有彼此电连接的多个栅电极,因此多个沟道形成区包含在一个活性层中。

[0319] <晶体管的结构例子>

[0320] 接着,对在氧化物半导体膜中具有沟道形成区的晶体管的结构的例子进行说明。

[0321] 图20所示的晶体管601在绝缘表面上具有导电膜602、导电膜603及栅电极604。栅电极604位于导电膜602与导电膜603之间。晶体管601还具有设置在绝缘表面上且位于栅电极604与导电膜602及603之间的绝缘膜605。

[0322] 另外,晶体管601具有在栅电极604及绝缘膜605上的岛状绝缘膜606和在绝缘膜606上的岛状氧化物半导体膜607。晶体管601还具有在导电膜602及氧化物半导体膜607上的源电极608和在导电膜603及氧化物半导体膜607上的漏电极609。

[0323] 晶体管601具有设置在氧化物半导体膜607、源电极608及漏电极609上的绝缘膜610。

[0324] 另外,源电极608及漏电极609的端部的厚度是阶梯式地减小。或者,源电极608及漏电极609的端部的厚度也可以连续地减小。上述结构可以用设置在源电极608及漏电极609上的绝缘膜610来改善源电极608及漏电极609的端部的阶梯覆盖率。

[0325] 晶体管601具有设置在绝缘膜610上的栅电极611。栅电极611隔着绝缘膜610重叠于氧化物半导体膜607。

[0326] 另外,图20示出晶体管601具有以覆盖栅电极611及绝缘膜610的方式设置的绝缘膜612的情况。

[0327] 图21示出在单晶硅衬底中具有沟道形成区的晶体管630上层叠有图20所示的晶体管601的情况的截面图。

[0328] 如图21所示,晶体管630使用半导体衬底631形成。半导体衬底631例如可以是n型或p型单晶硅衬底或化合物半导体衬底(例如GaAs衬底、InP衬底、GaN衬底、SiC衬底、GaP衬底、GaInAsP衬底、ZnSe衬底)。作为一个例子,图21示出使用n型单晶硅衬底的情况。

[0329] 晶体管630通过元件分离绝缘膜632而与其他半导体元件(比如晶体管)电分离。元件分离绝缘膜632可以是使用硅的局部氧化(LOCOS)法或沟槽分离法等来形成的。

[0330] 在形成n沟道型晶体管630的区域中,通过选择性地引入赋予p型导电型的杂质元素来形成p阱633。在使用具有p型导电型的半导体衬底形成p沟道型晶体管的情况下,赋予n型导电型的杂质元素被选择性地引入到形成p沟道型晶体管的区域中来形成所谓n阱的区域。

[0331] 具体而言,晶体管630包括形成在半导体衬底631中且用作源区和漏区的杂质区634及635、栅电极636、以及设置在半导体衬底631与栅电极636之间的栅极绝缘膜637。栅电极636与形成在杂质区634与635之间的沟道形成区重叠,该绝缘膜637位于栅电极636与沟道形成区之间。

[0332] 绝缘膜638形成在晶体管630上。开口是形成在绝缘膜638中。分别接触于杂质区634及杂质区635的布线639及640是形成在上述开口中。

[0333] 布线639与形成在绝缘膜638上的布线641连接。布线640与形成在绝缘膜638上的布线642连接。

[0334] 绝缘膜643形成在布线641及642上。

[0335] 在图21中,晶体管601形成在绝缘膜643上。导电膜603与晶体管630的栅电极连接。

[0336] 图22是示出在形成有晶体管630的层与形成有晶体管601的层之间形成布线层的情况的截面图。

[0337] 在图22中,布线645形成在绝缘膜643上。绝缘膜646形成在绝缘膜643及布线645上。开口形成在绝缘膜646中,与布线645连接的布线647形成在该开口中。与布线647连接的布线648形成在绝缘膜646上。绝缘膜649形成在绝缘膜646及布线648上。开口形成在绝缘膜649中,与布线648连接的布线650形成在该开口中。晶体管601形成在绝缘膜649上。布线650与导电膜603连接。

[0338] 图23是示出布线层形成在形成有晶体管601的层上的情况的截面图。

[0339] 在图23中,绝缘膜651形成在晶体管601上。布线652形成在绝缘膜651上且通过形成在绝缘膜651、610及612中的开口与漏电极609连接。绝缘膜653形成在绝缘膜651及布线652上。布线654形成在绝缘膜653上且通过形成在绝缘膜653中的开口与布线652连接。绝缘膜655形成在绝缘膜653及布线654上。布线656形成在绝缘膜655上且通过形成在绝缘膜655中的开口与布线654连接。

[0340] <配置存储器的结构例子>

[0341] 图24示出配置存储器所具有的存储单元的结构例子。

[0342] 在本发明的一个方式中,存储单元200至少具有开关201至205。如图24所示,存储单元200也可以具有电容器206及电容器207。

[0343] 图24示出一个晶体管被用作开关的例子,多个晶体管也可以被用作开关。

[0344] 开关201具有控制将包括配置数据的第一信号的电位提供给存储单元200内的节点FD1的功能。具体而言,当开关201导通(开启)时,包括配置数据且被提供给布线210的第一信号的电位被提供给节点FD1。当开关201非导通(关闭)时,节点FD1的电位被保持。电容器206与节点FD1电连接,且具有保持节点FD1的电位的功能。

[0345] 根据提供给布线212的信号的电位,选择开关201的开/闭状态。

[0346] 开关202具有根据节点FD1的电位控制布线208与布线209之间的电连接的功能。具体而言,当开关202开启时,布线208与布线209彼此电连接。当开关202关闭时,布线208与布线209彼此电分离。

[0347] 开关203具有控制将包括配置数据的第二信号的电位提供给存储单元200内的节点FD2的功能。具体而言,当开关203导通(开启)时,包括配置数据且被提供给布线211的第二信号的电位被提供给节点FD2。当开关203非导通(关闭)时,节点FD2的电位被保持。电容器207与节点FD2电连接,且具有保持节点FD2的电位的功能。

[0348] 根据提供给布线212的信号的电位,选择开关203的开/闭状态。

[0349] 开关204具有根据节点FD2的电位控制布线214与布线209之间的电连接的功能。具体而言,当开关204开启时,布线214与布线209彼此电连接。当开关204关闭时,布线214与布线209彼此电分离。

[0350] 另外,高电位的电位VDD施加给布线208,低电位的电位VSS施加给布线214。当配置数据写入存储单元200中时,第一信号的电位和第二信号的电位是相反极性,即,具有反转逻辑电平。因此,当开关202和204中的一个开启时,另一个关闭。根据第一信号和第二信号的电位,即根据配置数据,决定开关202和204中的哪一个开启。因此,施加给布线209的电位是高电位的电位VDD还是低电位的电位VSS取决于配置数据。

[0351] 开关205具有控制布线209与布线215之间的电连接的功能。具体而言,当开关205开启时,布线209与布线215彼此电连接,布线209的电位施加给布线215。当开关205关闭时,

布线209与布线215彼此电分离。

[0352] 另外,在图24所示的配置存储器中,用作开关201及203的晶体管具有保持节点FD1及节点FD2的电位的功能,因此优选为截止状态电流极小的晶体管。沟道形成区形成在具有宽于硅的带隙且具有低于硅的本征载流子密度的半导体的膜中的晶体管具有极小的截止状态电流,从而优选用作开关201及203。这种半导体的例子是具有硅的带隙的2倍以上的带隙的氧化物半导体和氮化镓。具有上述半导体的晶体管可以具有显著低于包含如硅或锗等一般半导体的晶体管的截止状态电流。因此,通过使用具有上述结构的晶体管作为开关201及203,可以防止保持在节点FD1及节点FD2的电荷泄漏。

[0353] 在本发明的一个方式的配置存储器中,低电平的电位VSS和高电平的电位VDD中的一个可以根据配置数据而被施加给布线215。因此,与根据是否一个电位施加给输出配置数据的布线215而读出配置数据的配置存储器不同,在从存储单元200读出配置数据之前不对布线215进行预充电,也可以准确地读出配置数据。由此,用来预充电的电路不需要设置在用来驱动配置存储器的电路中;因此,可以缩小可编程逻辑装置的面积。

[0354] 当在开启PLD的电源之后配置数据消失而节点FD1及节点FD2成为浮接时,通过将第一和第二信号的电位都设定为低,可以防止布线208与214彼此电连接。

[0355] 图24示出多上下文系统的配置存储器的例子,其中,通过只在两个存储单元200中的一个中开启开关205,从一个布线215读出储存在两个存储单元200中的配置数据中的一个。或者,根据本发明的一个方式的配置存储器也可以具有从不同的布线215读出储存在存储单元200中的多个配置数据的结构。

[0356] 另外,在上述结构中,具有将布线215的电位保持为高或低的功能的锁存器182也可以设置为与布线215电连接。在本发明的一个方式中,通过上述结构,可以在开启电源之后将布线215的电位保持为高或低;由此,可以防止在开启电源之后,在与布线215连接的LUT或多路复用器等的电路中产生贯通电流。

[0357] 此外,当布线210的电位VDD通过开关201施加给节点FD1时,节点FD1在实际上具有比电位VDD低出用作开关201的晶体管的阈值电压。因此,即使开关205开启时,也难以将布线215的电位升高到布线208所具有的电位VDD。但是,通过设置锁存器182,可以使布线215的电位升高到电位VDD,并可以防止布线215具有电位VSS与电位VDD之间的中间电位。当布线210的电位VSS通过开关201施加给节点FD1时,节点FD1的电位不比电位VSS低出用作开关201的晶体管的阈值电压。与此同样,当布线211的电位VSS通过开关203施加给节点FD2时,节点FD2的电位不比电位VSS低出用作开关203的晶体管的阈值电压。因此,开关202或开关204可以确实地关闭,所以贯通电流不通过开关202或开关204流过。

[0358] 如上所述,在n沟道型晶体管用作开关201的情况下,容易使节点FD1具有电位VSS,但是当考虑到上述晶体管的阈值电压时难以使节点FD1具有电位VDD。因此,如果p沟道型晶体管用作开关202,就难以完全关闭开关202,并且贯通电流容易通过开关202流过。因此,在n沟道型晶体管用作开关201的情况下,为了防止贯通电流,n沟道型晶体管优选用作开关202。开关203和开关204也是同样。换言之,在n沟道型晶体管用作开关203的情况下,为了防止贯通电流,n沟道型晶体管优选用作开关204。

[0359] 另外,在p沟道型晶体管用作开关201的情况下,容易使节点FD1具有电位VDD,但是当考虑到上述晶体管的阈值电压时,难以使节点FD1具有电位VSS。因此,如果n沟道型晶体

管用作开关202,就难以完全关闭开关202,并且贯通电流容易通过开关202流过。因此,在p沟道型晶体管用作开关201的情况下,为了防止贯通电流,p沟道型晶体管优选用作开关202。开关203和开关204也是同样。换言之,在p沟道型晶体管用作开关203的情况下,为了防止贯通电流,p沟道型晶体管优选用作开关204。

[0360] 在上述结构中,还可以设置被施加预定电位的布线216及控制布线216与布线215之间的电连接的开关217。在本发明的一个方式中,通过上述结构,布线215的电位可以被初始化,以便具有预定电平。因此,即使在关闭可编程逻辑装置的电源之后布线215的电位成为浮接状态,并且即使配置数据消失,在开启可编程逻辑装置的电源之后也可以防止包含在LE内的LUT或多路复用器发生误操作。

[0361] 在配置存储器中,当布线210及211沿着配置有LE及开关电路的单元的列的方向上配置,布线212及213在与上述方向交叉的方向上配置时,可以防止在多上下文系统中对应于一个布线215的存储单元200的个数增加时布线210或布线211与布线215之间的距离即开关电路与LE之间的距离增长。因此,在多上下文系统中,可以防止电连接多个开关电路与LE的布线的寄生电阻或寄生电容等负载增加,并且可以防止开关电路的尺寸增大。

[0362] 接着,使用包括图24所示的具有两个存储单元200、锁存器182、开关217及布线216的多个组220的配置存储器作为例子,图25示出逻辑元件内的这些组220之间的连接的一个例子。

[0363] 图25所示的LE221包括由多个组220构成的配置存储器162、由多个组220构成的配置存储器169、逻辑单元225、以及锁存器224。

[0364] 逻辑单元225具有LUT、多路复用器、触发器等。配置存储器162存储输入到逻辑单元225的LUT的配置数据。配置存储器169存储输入到逻辑单元225的多路复用器的配置数据。

[0365] 包括施加给布线223的数据的信号被输入给逻辑单元225的LUT。用来保持数据的锁存器224与布线223连接。

[0366] 另外,控制开关217的切换的信号INIT被输入给布线222。

[0367] 在本发明的一个方式中,LE221配置为列状,使得例如如图28所示的行和列(Mem),配置存储器162和配置存储器169排列成行列状。因此,可以高密度地配置存储器162及配置存储器169,并且可以减少PLD的布局面积。

[0368] 接着,参照图26说明包括多个上述组220的IO的结构例子。图26所示的IO230包括组220a至220d、锁存器224、ExOR电路231a及231b、三态缓冲器232、反相器233、缓冲器234以及端子236。

[0369] 组220a的输出信号,具体而言,具有施加给图24中的布线215的电位的信号被输入给ExOR电路231a。包括数据的信号从布线213a输入到ExOR电路231a。ExOR电路231a的输出信号输入到三态缓冲器232作为包括数据的信号A。

[0370] 组220b的输出信号,具体而言,具有施加给图24中的布线215的电位的信号输入给ExOR电路231b。包括数据的信号从布线213b输入到ExOR电路231b。ExOR电路231b的输出信号输入到三态缓冲器232作为用来决定是否将三态缓冲器232的阻抗设定为高的信号EN。

[0371] ExOR电路231a及231b具有根据储存在组220a及组220b中的配置数据反转布线213a及布线213b的信号的极性的功能。如上所述,根据配置数据反转输入信号的极性的

ExOR电路231a及231b设置在IO中,因此可以使用较少数量的LE实现所希望的运算电路,其结果是,大规模的电路可以作为PLD整体构成。因为可以使用较少数量的LE构成所希望的运算电路,所以可以停止向不用于运算电路的LE供电从而使该LE停止工作;由此可以降低PLD的耗电量。与此同时,也可以在LE的输入一侧设置反转输入信号的极性的ExOR电路231a及231b。

[0372] 组220d的输出信号,具体而言,具有施加给图24中的布线215的电位的信号在反相器233中其极性被反转,然后输入到三态缓冲器232作为信号0D。组220d的输出信号具有控制是否使三态缓冲器232的输出成为开漏(open drain)的功能。换言之,当组220d的输出信号的电位为低时,三态缓冲器232作为通常的三态缓冲器工作。当组220d的输出信号的电位为高,信号A的电位为低,并且信号EN的电位为高时,三态缓冲器232的输出端子具有低电位的电位。当组220d的输出信号的电位为高,并且信号A和信号EN的电位与上述组合不同时(即,除了当信号A的电位为低,并且信号EN的电位为高时之外),三态缓冲器232具有高阻抗。

[0373] 当上拉电阻设置在三态缓冲器232的外部时,即使三态缓冲器232具有高阻抗,来自三态缓冲器232的输出信号的电位也可以为高电平。通过使用上拉电阻设置在三态缓冲器232的外部的I0230,电源电压不同的半导体装置可以通过I0230彼此电连接。

[0374] 图27示出三态缓冲器232的结构例子。图27所示的三态缓冲器232包括向其输入上述信号0D、信号EN及信号A的“NAND”电路501、向其输入上述NAND电路501的输出信号的反相器502、向其输入上述反相器502的输出信号的反相器503、以及向其输入上述反相器503的输出信号的p沟道型晶体管508。三态缓冲器232还包括被输入上述信号EN的反相器504、被输入上述反相器504的输出信号及信号A的“NOR”电路505、被输入上述NOR电路505的输出信号的反相器506、被输入上述反相器506的输出信号的反相器507、以及被输入上述反相器507的输出信号的n沟道型晶体管509。

[0375] p沟道型晶体管508的漏极与n沟道型晶体管509的漏极彼此电连接,并且从三态缓冲器232输出上述漏极的电位作为输出信号Y。

[0376] 反相器510的输出端子及反相器511的输入端子与p沟道型晶体管508的漏极及n沟道型晶体管509的漏极连接。反相器510的输入端子与反相器511的输出端子连接。

[0377] 反相器502及503用作缓冲器,且不一定必须要设置在三态缓冲器232中。反相器506及507用作缓冲器,且不一定必须要设置在三态缓冲器232中。

[0378] 三态缓冲器232的输出信号被施加给端子236。

[0379] 另外,从端子236输入到I0230的信号通过缓冲器234而被输入到开关电路。

[0380] 此外,图26示出上述组220c被设置在I0230中作为虚拟组的例子。在设置上述组220c的情况下,可以通过稍微修改掩模向这些组220添加功能,而且与不设置上述组220c的情况相比,可以提高用于这些组220的掩模布局的周期性。在掩模的布局周期性低的情况下,由于从曝光装置发射的光的干涉,在使用上述掩模的光刻工序中容易产生形状不良,例如,通过光刻工序成形的导电膜、绝缘膜、半导体膜等的宽度部分地变窄。但是,在图26中,通过设置组220c可以提高用于组220的掩模布局的周期性,由此,可以防止光刻工序之后的导电膜、绝缘膜、半导体膜的形状不良。

[0381] <PLD的掩模图案>

[0382] 图28示出本发明的一个方式的PLD的掩模图案。在图28中,逻辑元件的列(由LE表示)设置在开关电路的列(每一个列由sw表示)之间。另外,开关电路的列设置在IO元件的列(由I/O表示)与逻辑元件的列之间。

[0383] 在图28中,使用如图16C所例示的具有多个配置存储器的逻辑元件。上述多个配置存储器排列成行列(由Mem表示)状。在本发明的一个方式中,设置逻辑元件、IO元件及开关电路以形成多个列;因此包括在逻辑元件中的配置存储器容易高密度地排列成行列状。因此,在本发明的一个方式的PLD中,如图28所示,控制开关电路及配置存储器的工作的驱动电路(由bd和wd表示)可以配置在设置有逻辑元件、IO元件及开关电路的区域的周围。当配置存储器和开关电路被看作存储单元阵列时,可以认为设有上述存储单元阵列的区域与配置有LE的区域重叠;因此,在本发明的一个方式中,通过上述结构可以减少PLD的布局面积。另外,在图28的PLD的掩模图案中,“Pad(焊点)”表示端子,cc表示用来控制驱动电路bd、驱动电路wd等的工作的控制器。

[0384] 与图28不同地,在配置存储器不设置为行列状的情况下,电连接驱动电路与配置存储器的引线的布局很复杂。多个驱动电路也可以设置在配置存储器的多个小区域中,在此情况下,用来将控制信号提供给各驱动电路的布线的布局很复杂。

[0385] 图29示出LE101与开关电路120a至120c之间的连接例子。在图29中,控制LE101的输出端子与LE101的输入端子之间的电连接的开关电路120是开关电路120a。控制IO(未图示)的输出端子与LE101的输入端子之间的电连接的开关电路120是开关电路120b。控制LE101的输出端子与IO(未图示)的输入端子之间的电连接的开关电路120是开关电路120c。

[0386] 如图29所示,在本发明的一个方式中,被施加LE101的输出信号的布线195及布线196配置在相邻的LE101之间。上述结构可以缩短从LE101到开关电路120的布线长度。因此,LE101的输出一侧的缓冲器的电流供应能力不需要很高,因此上述缓冲器的尺寸可以很小。

[0387] 也设置有不通过开关电路将输出信号提供给相邻的LE的布线。当使用多个LE构成移位寄存器、加法电路、减法电路等时,这些布线是有效的。当对LE附加1位的半加器电路或全加器电路,可以使用较小数量的LE构成所希望的运算电路,例如,可以使用一个LE构成通常由多个LE构成的加法电路或减法电路。

[0388] 在LE配置为列状,并且相邻的LE不通过开关电路彼此连接的情况下,与美国专利第4870302号所公开的PLD的情况不同,可以缩短LE之间的布线。

[0389] <单元之间的比较>

[0390] 下面,描述了在具有使用OS膜的晶体管的单元和具有使用硅(Si)膜的晶体管及一对反相器的单元之间的操作差异。

[0391] 图30示出具有使用OS膜的晶体管的单元140a和使用硅(Si)膜的晶体管及一对反相器的单元140b的电路图。图30还示出单元140a及140b中的节点FD的电位的时序图以及包括配置数据且施加给布线121的信号IN的电位的时序图。

[0392] 在单元140a及140b中的每一个,通过布线122的电位控制晶体管131t的开/闭状态,并且对应于配置数据且从布线121提供的电位被保持在节点FD以控制晶体管130t的开/闭状态。另外,图30的时序图示出晶体管130t为n沟道型的例子。

[0393] 在单元140b中,通过反相器180及181保持节点FD的电位。另一方面,在单元140a中,使用包括OS膜的晶体管131t的极低截止状态电流来保持节点FD的电位。因此,当在单元

140a中晶体管131t关闭时,节点FD用作其他电极或布线之间的绝缘性极高的浮接电极。其结果是,单元140a可以使用少于单元140b的数量的晶体管保持节点FD的电位。

[0394] 因为当晶体管131t关闭时单元140a中的节点FD成为浮接状态,所以可以期待以下所述的升压效果。换言之,当单元140a中的节点FD为浮接状态时,随着信号IN的电位从低电平变为高电平,通过产生在晶体管130t的源极与栅极之间的电容 C_{gs} ,节点FD的电位上升。该节点FD的电位的上升基于输入到晶体管130t的栅极的配置数据的逻辑电平。具体而言,当写入到单元140a的配置数据为“0”时,晶体管130t处于弱反转模式,所以有助于节点FD的电位的上升的电容 C_{gs} 包括不依赖于栅电极的电位,即节点FD的电位的电容 C_{os} 。具体而言,电容 C_{os} 包括产生在栅电极与源区重叠的区域的重叠电容、产生在栅电极与源电极之间的寄生电容。另一方面,当写入到单元140a的配置数据为“1”时,晶体管130t为强反转模式,所以有助于节点FD的电位的上升的电容 C_{gs} 除了上述电容 C_{os} 之外,还包括产生在栅电极与漏电极之间的电容 C_{od} 、形成在沟道形成区与栅电极之间的电容 C_{ox} 的一部分。因此,在使用配置数据“1”是的有助于节点FD的电位的上升的晶体管130t的电容 C_{gs} 大于配置数据“0”时的情况下的晶体管130t的电容 C_{gs} 。因此,储存有配置数据“1”的单元140a可以具有比储存有配置数据“0”的单元140a更大的升压效果;通过该升压效果,随着信号IN的电位的变化,节点FD的电位提高。通过该升压效果,当配置数据为“1”时,单元140a的开关速度提高,并且当配置数据为“0”时,晶体管130t关闭。

[0395] 为了提高集成密度,在包括在一般的PLD的布线资源中的开关中,使用n沟道型晶体管。但是,该开关有由于经过n沟道型晶体管的栅极的信号的电位因阈值电压降低而导致开关速度降低的问题。已经提出了使用过驱动(对n沟道型晶体管的栅极施加高电位而进行驱动)的方法,以提高开关速度;但是,在采用该方法时用于开关的n沟道型晶体管的可靠性有可能降低。相比之下,在本发明的一个方式中,当配置数据为“1”时,上述升压效果可以提高单元140a的开关速度,而不使用过驱动;因此,为了提高开关速度不需要牺牲可靠性。

[0396] 在单元140b中,节点FD的电位通过升压效果被提高,但是通过反相器180及181立刻回到原来的电位。其结果是,单元140b不能获得由于升压效果的开关速度的提高的利益。

[0397] 与文献1(K.C.Chun,P.Jain,J.H.Lee,和C.H.Kim,“A 3T Gain Cell Embedded DRAM Utilizing Preferential Boosting for High Density and Low Power On-Die Caches”,IEEE固态电路期刊,卷46,第6号,pp.1495-1505,2011年6月)以及文献2(F.Eslami和M.Sima,“Capacitive Boosting for FPGA Interconnection Networks”可编程逻辑与应用的国际会议,2011,pp.453-458.)不同,预期单元140a可以具有其他的有益效果。

[0398] 因为文献1基于使用DRAM的前提,所以存储单元的个数多,与存储单元的输出端子连接的读出用位线(RBL)具有高寄生电容。另一方面,在单元140a中,信号OUT施加给CMOS的栅极,因此单元140a的输出一侧的寄生电容小于文献1的寄生电容。因此,单元140a还提供次要升压效果,即信号OUT的电位由于晶体管130t的电容 C_{gs} 的节点FD的电位的上升以及形成在漏极与栅极之间的电容 C_{od} 而上升。换言之,当使用单元140a作为控制布线之间的连接的开关电路时,由于上述次要升压效果,开关速度进一步提高。另外,单元140a通过使用比文献2少的晶体管可以保持所上升的节点FD的电位。

[0399] 为了验证上述升压效果,制造两种101级的环形振荡器(RO)电路的TEG,其中的各级的输出端子具有单元140a或单元140b,并且从振荡频率评价单元140a或单元140b的延迟

时间。包含在R0电路的TEG中的反相器的n沟道型晶体管和p沟道型晶体管的沟道宽度W分别为 $16\mu\text{m}$ 及 $32\mu\text{m}$ 。单元140a及140b所具有的晶体管130t的沟道宽度W为 $16\mu\text{m}$ 。单元140a所具有的晶体管131t的沟道宽度W为 $4\mu\text{m}$ ，单元140b所具有的晶体管131t的沟道宽度W为 $8\mu\text{m}$ 。单元140b的反相器180及181所具有的n沟道型晶体管和p沟道型晶体管的沟道宽度W分别为 $4\mu\text{m}$ 及 $8\mu\text{m}$ 。包含硅膜的n沟道型及p沟道型晶体管的沟道长度L为 $0.5\mu\text{m}$ 。作为单元140a中的晶体管131t，使用包含In-Ga-Zn类氧化物的CAAC-OS膜且具有 $1\mu\text{m}$ 的沟道长度的晶体管。晶体管131t层叠在包含硅膜的晶体管上。

[0400] 测量根据过驱动电压 (Overdrive Voltage) 的R0每一级的延迟时间，该过驱动电压是R0电路的TEG中的电源电压 (V_{DDR0}) 与单元140b的反相器180及181中的电源电压 (V_{DDMEM}) 之间的差异。注意，提供给布线122及121的高电平的电位与低电平的电位之间的电位差相当于 V_{DDMEM} 。

[0401] 图31示出延迟时间的测量结果。在图31中，横轴表示过驱动电压 (mV)，纵轴表示根据R0每一级的延迟时间。另外，在图31中，纵轴的延迟时间相对于 V_{DDR0} 为2.00V且过驱动电压为0V时所测量出的延迟时间。在图31中，实线表示 V_{DDR0} 为2.00V时的延迟时间；点划线表示 V_{DDR0} 为2.25V时的延迟时间；虚线表示 V_{DDR0} 为2.50V时的延迟时间。

[0402] 如图31所示，确认到具有单元140a的R0电路的延迟时间比具有单元140b的R0电路的延迟时间短，并且确认到该延迟时间取决于单元140a和140b的结构。

[0403] 另外，图31示出在单元140b中， V_{DDR0} 越低，通过提高过驱动电压而提高开关速度的过驱动效果越显著。但是，即使施加比 V_{DDR0} 高出20%以上的过驱动电压，单元140b的开关速度也不高于单元140a的开关速度。另外，当配置数据写入到单元140a中时，节点FD的电位因晶体管131t的阈值电压而降低，由此成为低于 V_{DDMEM} 。然而，值得一提的是，不被施加过驱动电压的单元140a获得比被施加过驱动电压的单元140b较高的开关速度。

[0404] 还确认，使用相同的过驱动电压时，包含单元140a的R0电路的耗电量小于包含单元140b的R0电路。

[0405] 通过对上述R0电路TEG的“SPICE”模拟，估算了在包含单元140a的R0电路中节点FD的电位随着信号IN的电位的上升而产生的上升。在计算中， V_{DDR0} 为2.5V。计算结果示出：随着信号IN的电位的上升，当配置数据为“1”时，节点FD的电位上升0.75V，当配置数据为“0”时，节点FD的电位上升0.07V。

[0406] 如上所示，即使具有单元140a的半导体装置不使用过驱动电压而使用单一的电源电压，该半导体装置也获得了诸如低耗电量和高开关速度之类的高性能。

[0407] 图32示出所制造的PLD的显微镜照片。在图32中，对应于控制开关电路及配置存储器的工作的驱动电路 (位驱动器、字驱动器) 的区域、包括开关电路及布线的布线资源 (布线结构) 的区域、I/O元件 (用户I/O) 的区域、控制器 (配置控制器) 的区域、以及PLE (可编程逻辑元件) 的区域被矩形框包围。

[0408] 在所制造的PLD中，配置存储器包括晶体管，该晶体管包含具有In-Ga-Zn类氧化物的CAAC-OS膜。在该PLD中，开关电路具有单元140a，并且包括在该单元140a中的晶体管131t包含具有In-Ga-Zn类氧化物的CAAC-OS膜。

[0409] 图32所示的PLD包括20个PLE、在配置存储器中的7520个存储单元、以及具有20个端子的I/O。PLE安装有标准功能。包含CAAC-OS膜的晶体管层叠在具有硅膜的晶体管上。具有

硅膜的n沟道型及p沟道型晶体管的沟道长度L为 $0.5\mu\text{m}$ 。具有包含In-Ga-Zn类氧化物的CAAC-OS膜的晶体管的沟道长度L为 $1\mu\text{m}$ 。

[0410] 作为比较,制造PLD,其中SRAM用作配置存储器,并且开关电路具有单元140b。在包含单元140a的PLD中,开关电路的布局面积、布线资源的面积及PLD整体的面积分别比比较用PLD小60%、52%及22%左右。

[0411] 已确认,在使用单元140a制造的PLD中,如计数/倒数电路、移位电路等各种电路例如在2.5V的单一的电源电压,50MHz的频率下正常工作。在包含单元140a的PLD中,还确认到数据的保持工作及常截止工作(其中,在所需要的数据储存在存储装置之后,间歇遮断电源电压的提供)。

[0412] 图33示出在包含单元140a的PLD中由13个PLE构成的13级的环形振荡器的振荡频率的随时间的变化。在室温下的250小时的测试中,没有显示振荡频率的大幅度的降低。从此可知在使用单元140a制造的PLD中的配置存储器具有良好的数据保持特性。

[0413] <电子设备的例子>

[0414] 本发明的一个方式的半导体装置或可编程逻辑装置可以用于显示设备、个人计算机及具备记录媒体的图像再现装置(典型的是,再现记录媒体如数字通用磁盘(DVD)等且具有显示所再现的图像的显示器的装置)中。可以包括本发明的一个方式的半导体装置或可编程逻辑装置的电子设备的其他例子是移动电话、包括便携式游戏机的游戏机、便携式信息终端、电子书阅读器、如摄像机及数码相机等影像拍摄装置、护目镜型显示器(头部安装显示器)、导航系统、音频再现装置(例如,汽车音响系统、数字音频播放器)、复印机、传真机、打印机、多功能打印机、自动柜员机(ATM)以及自动售货机。图34A至34F示出这些电子设备的具体例子。

[0415] 图34A示出一种便携式游戏机,该便携式游戏机包括框体5001、框体5002、显示部5003、显示部5004、麦克风5005、扬声器5006、操作键5007以及触屏笔5008等。注意,虽然图34A所示的便携式游戏机包括两个显示部5003和5004,但是便携式游戏机所具有的显示部的数量不限于两个。

[0416] 图34B示出便携式信息终端,该便携式信息终端包括第一框体5601、第二框体5602、第一显示部5603、第二显示部5604、连接部5605以及操作键5606等。第一显示部5603设置在第一框体5601中,第二显示部5604设置在第二框体5602中。第一框体5601和第二框体5602由连接部5605彼此连接,并且由连接部5605可以改变第一框体5601和第二框体5602之间的角度。第一显示部5603上的图像也可以根据在第一框体5601和第二框体5602之间的连接部5605的角度切换。具有位置输入功能的显示装置也可以用作第一显示部5603和第二显示部5604中的至少一个。另外,通过在显示装置中设置触摸屏来可以附加该位置输入功能。或者,还可以通过在显示装置的像素部中设置所谓光传感器的光电转换元件来附加位置输入功能。

[0417] 图34C示出笔记本电脑,该笔记本电脑包括框体5401、显示部5402、键盘5403、指向装置5404等。

[0418] 图34D示出电冷藏冷冻箱,该电冷藏冷冻箱包括框体5301、冷藏室门5302、冷冻室门5303等。

[0419] 图34E示出视频摄像机,该视频摄像机包括第一框体5801、第二框体5802、显示部

5803、操作键5804、透镜5805以及连接部5806等。操作键5804及透镜5805设置在第一框体5801中,显示部5803设置在第二框体5802中。第一框体5801和第二框体5802由连接部5806彼此连接,并且由连接部5806可以改变第一框体5801和第二框体5802之间的角度。显示部5803上所显示的图像也可以根据在第一框体5801和第二框体5802之间的连接部5806的角度切换。

[0420] 图34F示出轿车,该轿车包括车体5101、车轮5102、仪表盘5103及灯5104等。

[0421] 符号说明

[0422] 31:多路复用器、32:多路复用器、33:多路复用器、34:多路复用器、35:多路复用器、36:多路复用器、37:多路复用器、41:多路复用器、42:多路复用器、43:多路复用器、44:“OR(或)”电路、100:PLD、101:LE、102:列、102-1:列、102-2:列、102-3:列、103:布线、104:布线、104-1:布线、104-2:布线、104-3:布线、105:布线、105-1:布线、105-2:布线、105-3:布线、106:布线、106-1:布线、106-2:布线、106-3:布线、107:布线、108:布线、109:布线、110:开关电路、111:布线、111-1:布线、111-2:布线、111-3:布线、120:开关电路、120-1:开关电路、120-2:开关电路、120-3:开关电路、120a:开关电路、120b:开关电路、120c:开关电路、121:布线、122:布线、122-1:布线、122-2:布线、122-3:布线、122-n:布线、123:布线、123-1:布线、123-n:布线、125:布线、126:开关、126t:晶体管、127:布线、128:布线、131:开关、131t:晶体管、130:开关、130t:晶体管、132:电容器、133t:晶体管、140:单元、140-1:单元、140-2:单元、140-3:单元、140-4:单元、140-n:单元、150:I/O、151:列、152:布线、153:布线、154:布线、155:布线、156:布线、157:开关、160:LUT、161:触发器、162:配置存储器、163:输入端子、164:输出端子、165:输出端子、166:“AND(与)”电路、168:多路复用器、169:配置存储器、170:逻辑阵列、172:PLL、173:RAM、174:乘法器、175:布线资源、180:反相器、181:反相器、182:锁存器、183:反相器、184:晶体管、185:布线、195:布线、196:布线、200:存储单元、201:开关、202:开关、203:开关、204:开关、205:开关、206:电容器、207:电容器、208:布线、209:布线、210:布线、211:布线、212:布线、213:布线、213a:布线、213b:布线、214:布线、215:布线、216:布线、217:开关、220:组、220a:组、220b:组、220c:组、220d:组、221:LE、222:布线、223:布线、224:锁存器、225:逻辑单元、230:I/O、231a:ExOR电路、231b:ExOR电路、232:三态缓冲器、233:反相器、234:缓冲器、236:端子、400:半导体衬底、401:元件分离绝缘膜、402:杂质区域、403:杂质区域、404:栅电极、405:栅极绝缘膜、409:绝缘膜、410:布线、411:布线、412:布线、415:布线、416:布线、417:布线、420:绝缘膜、421:布线、430:半导体膜、431:栅极绝缘膜、432:导电膜、433:导电膜、434:栅电极、435:导电膜、440:绝缘膜、441:绝缘膜、442:绝缘膜、443:导电膜、501:“NAND(与非)”电路、502:反相器、503:反相器、504:反相器、505:“NOR(或非)”电路、506:反相器、507:反相器、508:p沟道型晶体管、509:n沟道型晶体管、510:反相器、511:反相器、601:晶体管、602:导电膜、603:导电膜、604:栅电极、605:绝缘膜、606:绝缘膜、607:氧化物半导体膜、608:源电极、609:漏电极、610:绝缘膜、611:栅电极、612:绝缘膜、630:晶体管、631:半导体衬底、632:元件分离绝缘膜、633:p阱、634:杂质区域、635:杂质区域、636:栅电极、637:栅极绝缘膜、638:绝缘膜、639:布线、640:布线、641:布线、642:布线、643:绝缘膜、645:布线、646:绝缘膜、647:布线、648:布线、649:绝缘膜、650:布线、651:绝缘膜、652:布线、653:绝缘膜、654:布线、655:绝缘膜、656:布线、5001:框体、5002:框体、5003:显示部、5004:显示部、5005:麦克风、5006:扬声器、5007:操作键、

5008:触屏笔、5101:车体、5102:车轮、5103:仪表盘、5104:灯、5301:框体、5302:冷藏室门、5303:冷冻室门、5401:框体、5402:显示部、5403:键盘、5404:指向装置、5601:框体、5602:框体、5603:显示部、5604:显示部、5605:连接部、5606:操作键、5801:框体、5802:框体、5803:显示部、5804:操作键、5805:透镜、5806:连接部

[0423] 本申请基于2012年5月25日、2012年10月17日以及2013年1月21日向日本专利局分别提交的日本专利申请第2012-119929号、第2012-229607号以及第2013-008054号,其全部内容通过引用纳入本文。

100

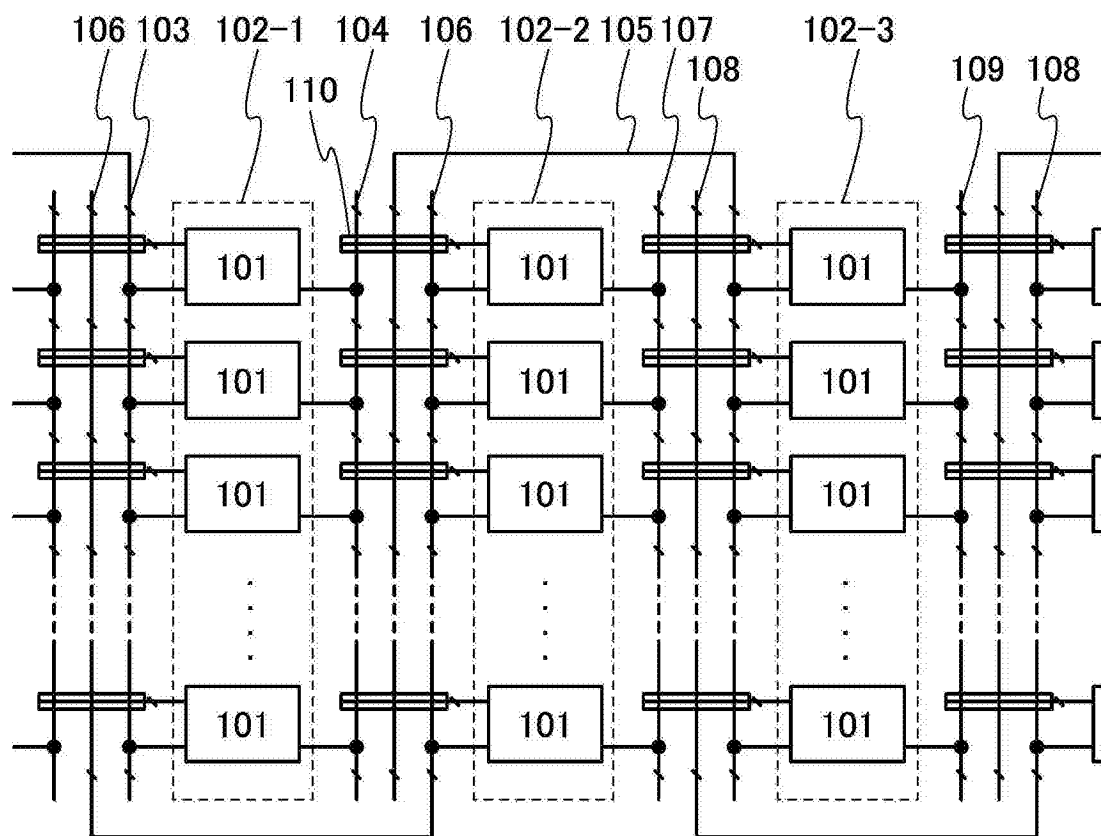


图 1A

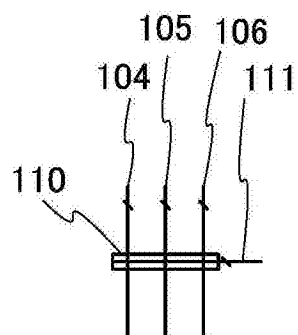


图 1B

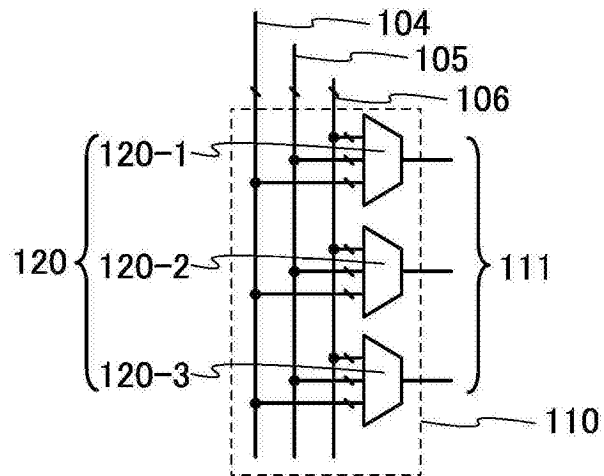


图1C

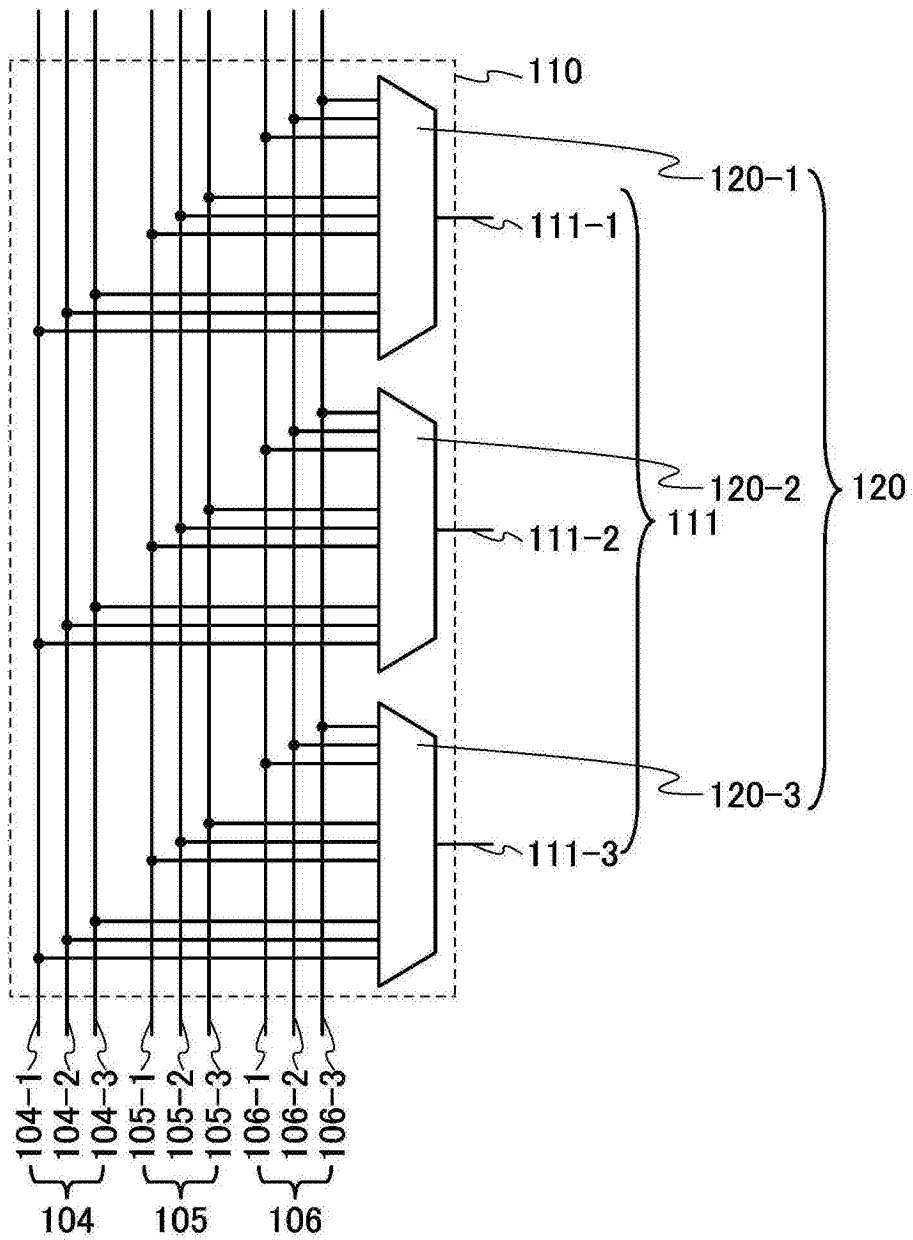


图2

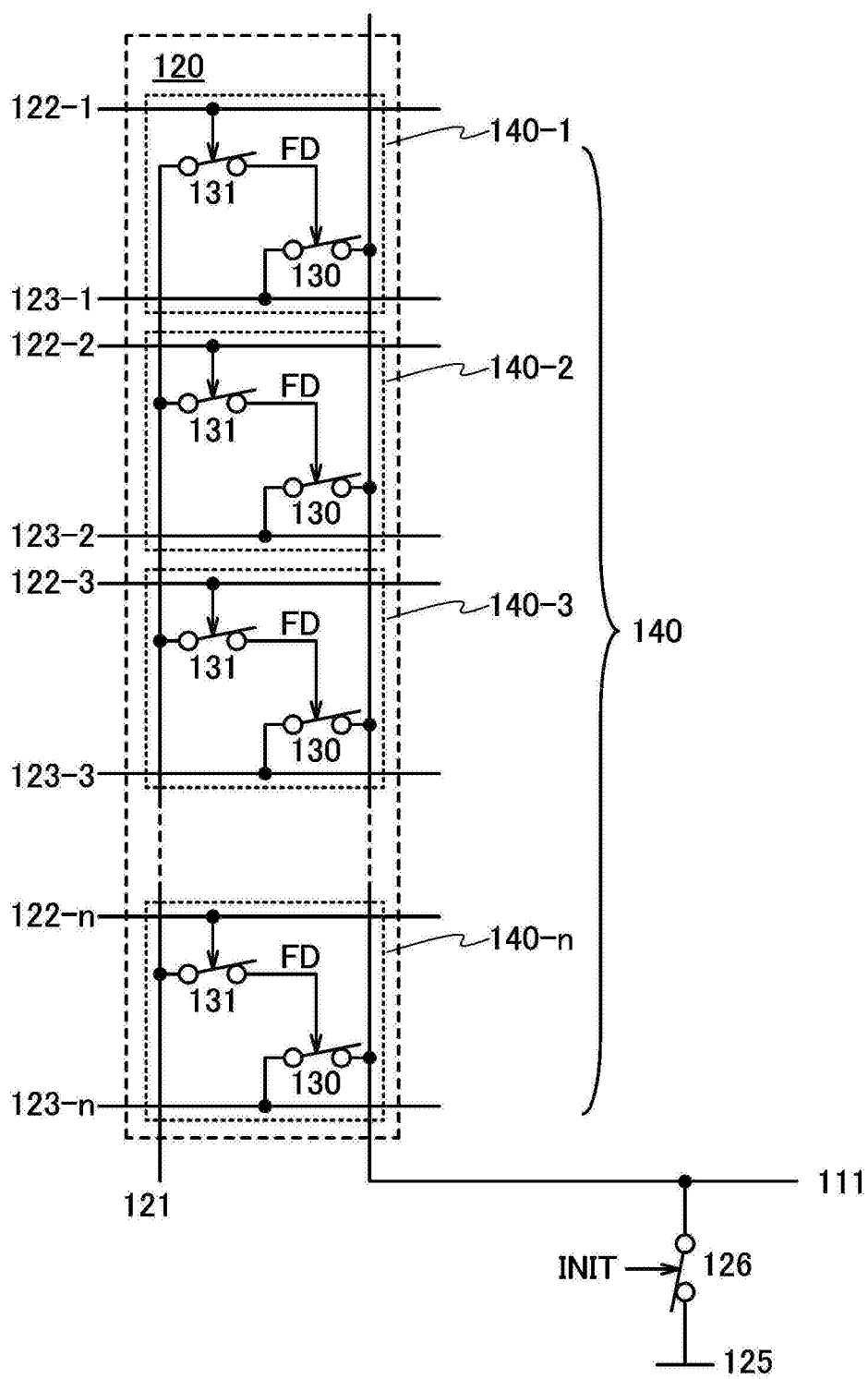


图3

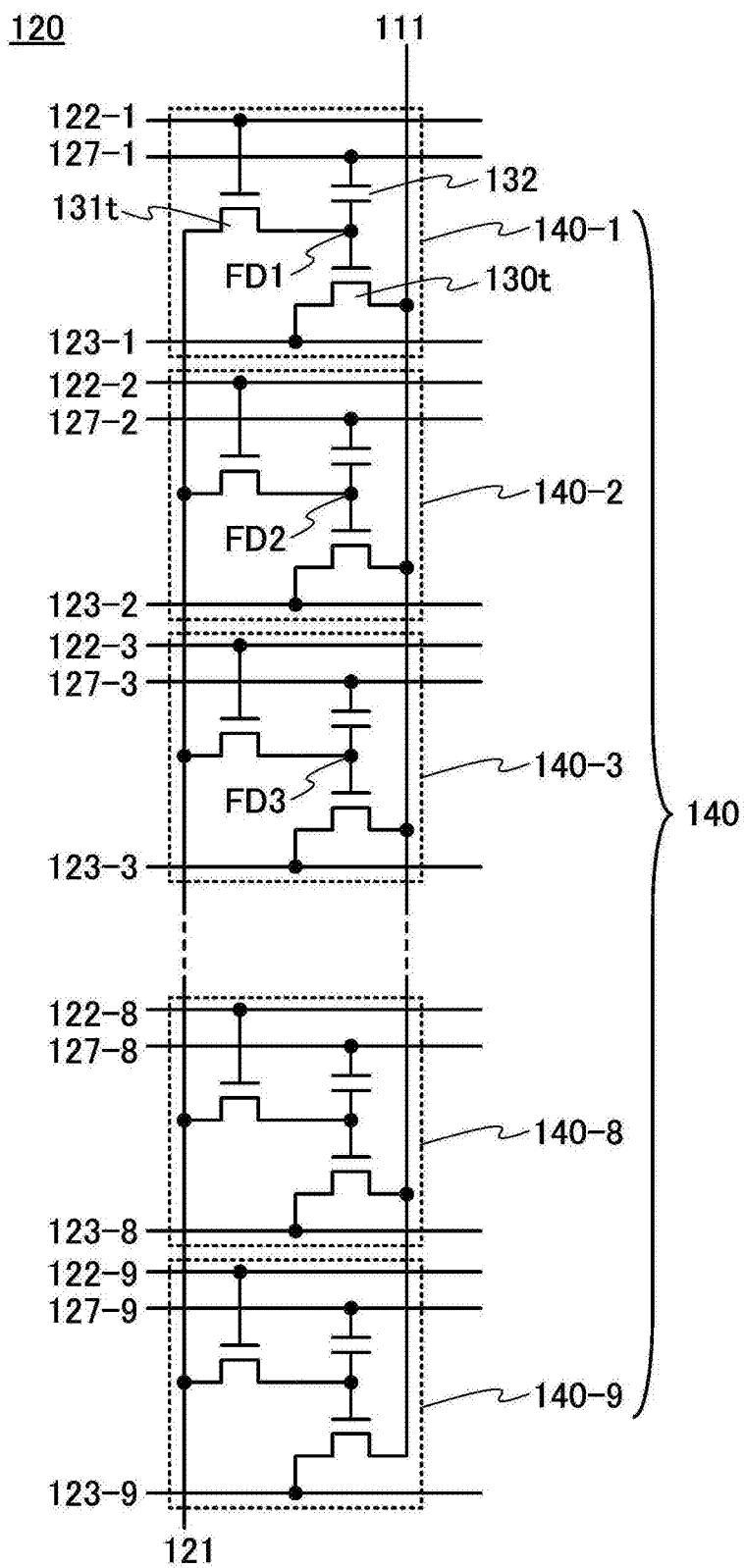


图4

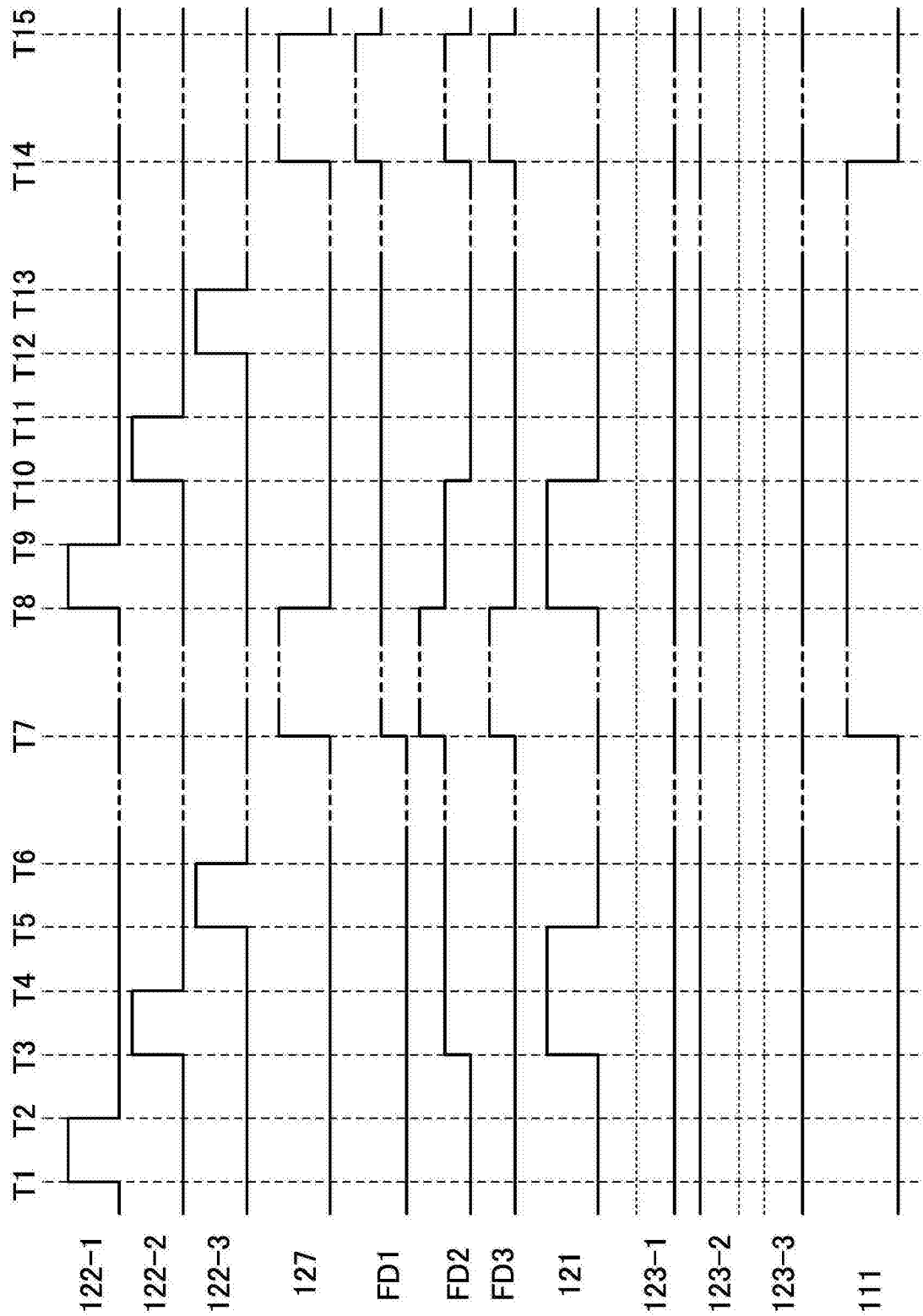


图5

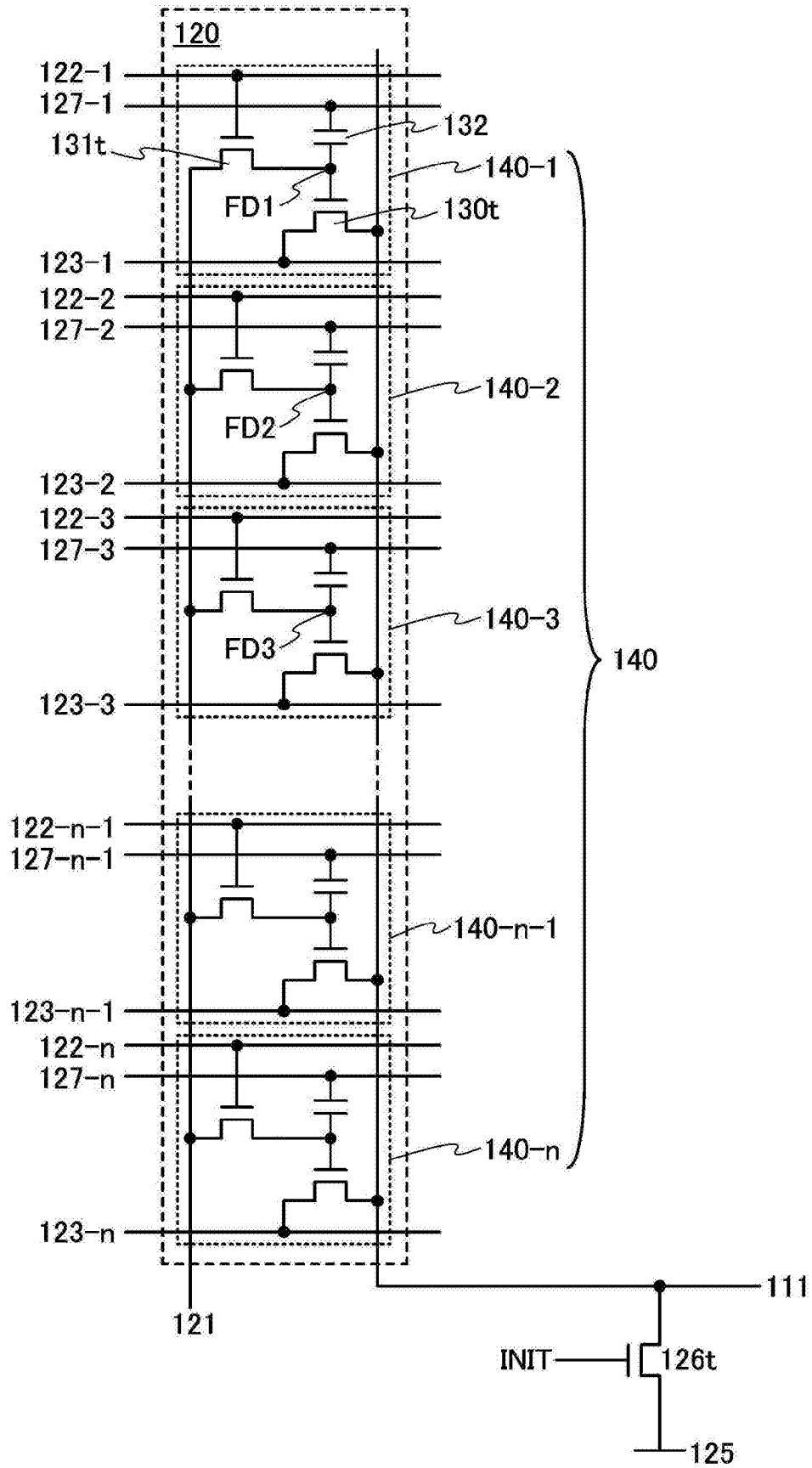


图6

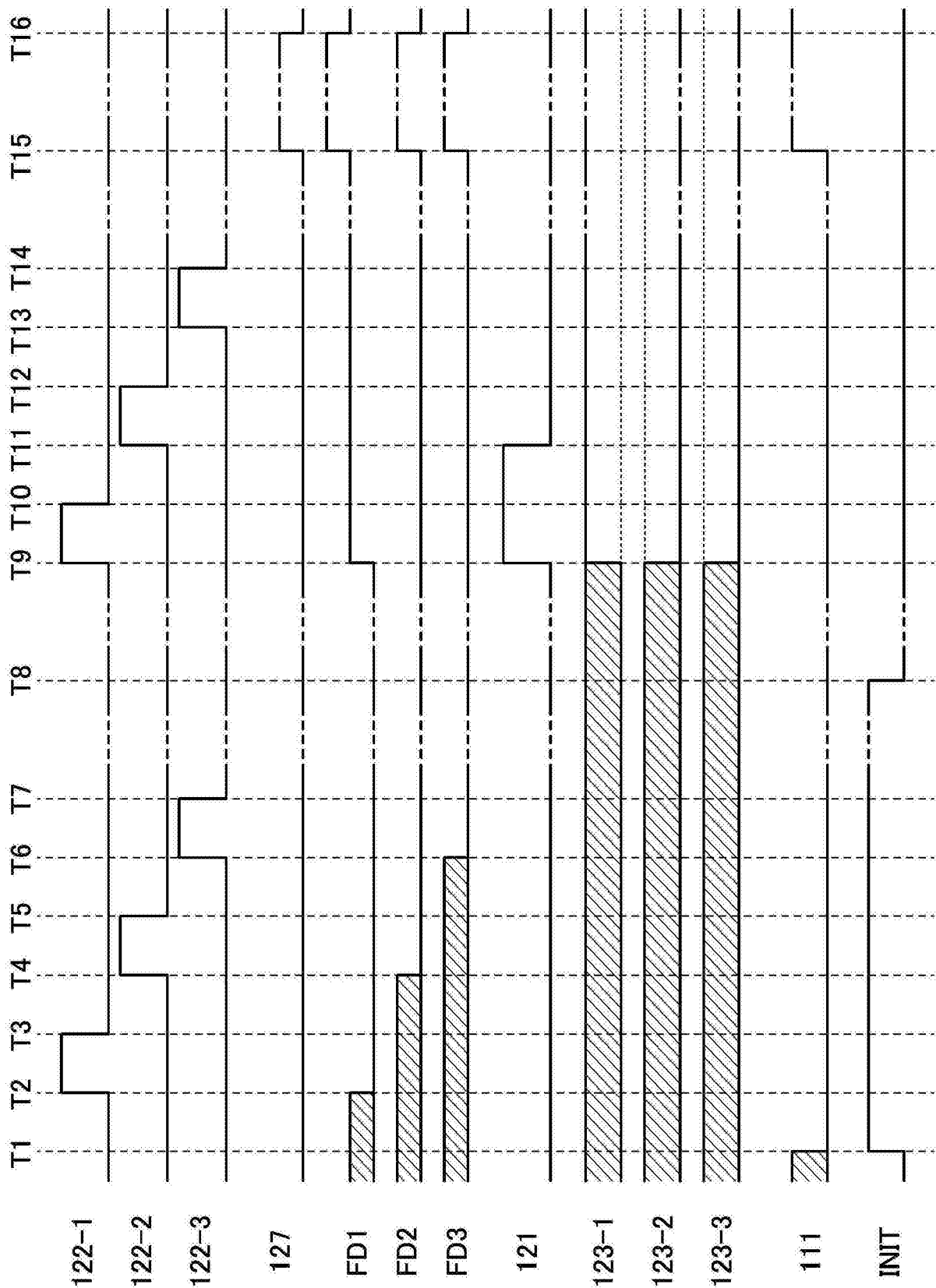


图7

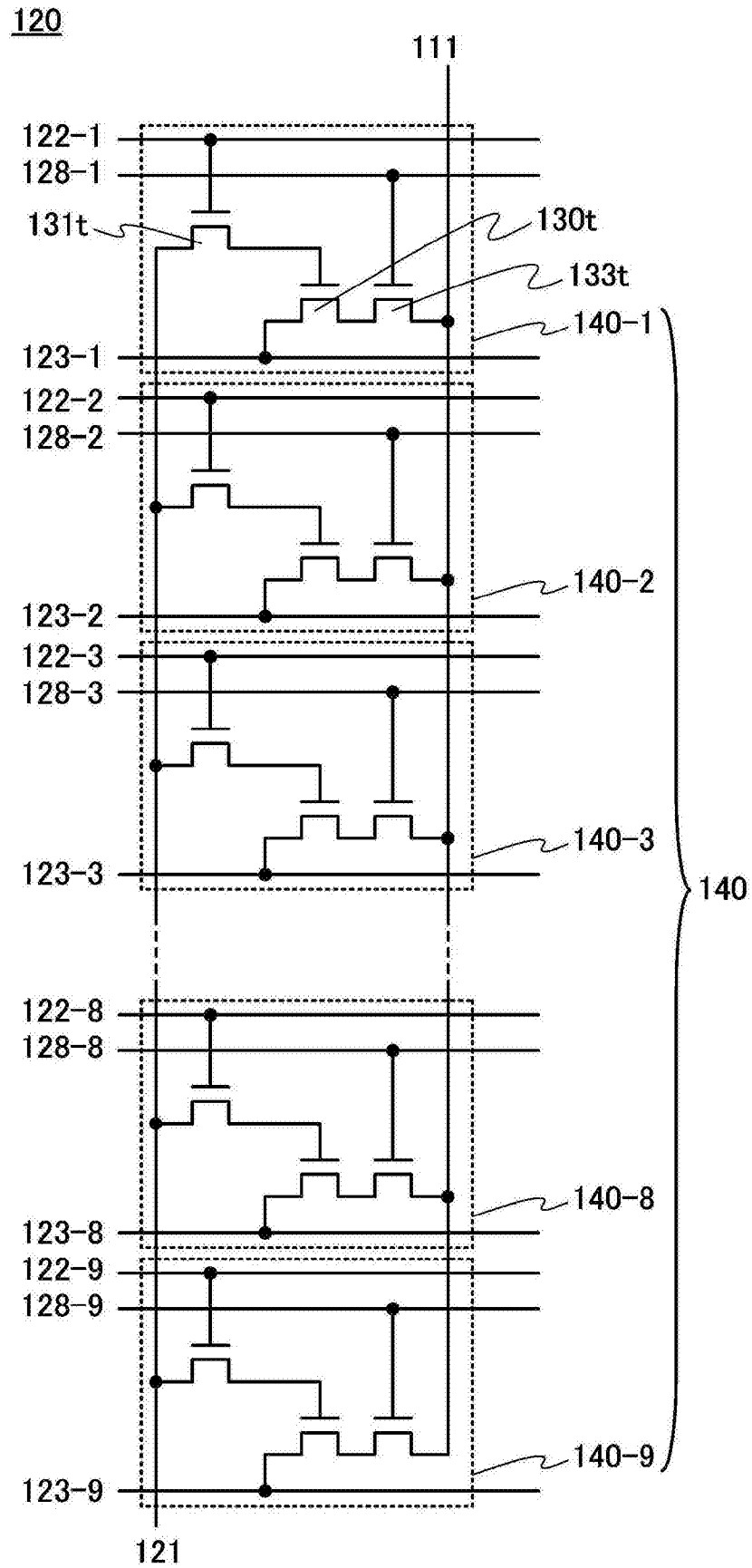


图8

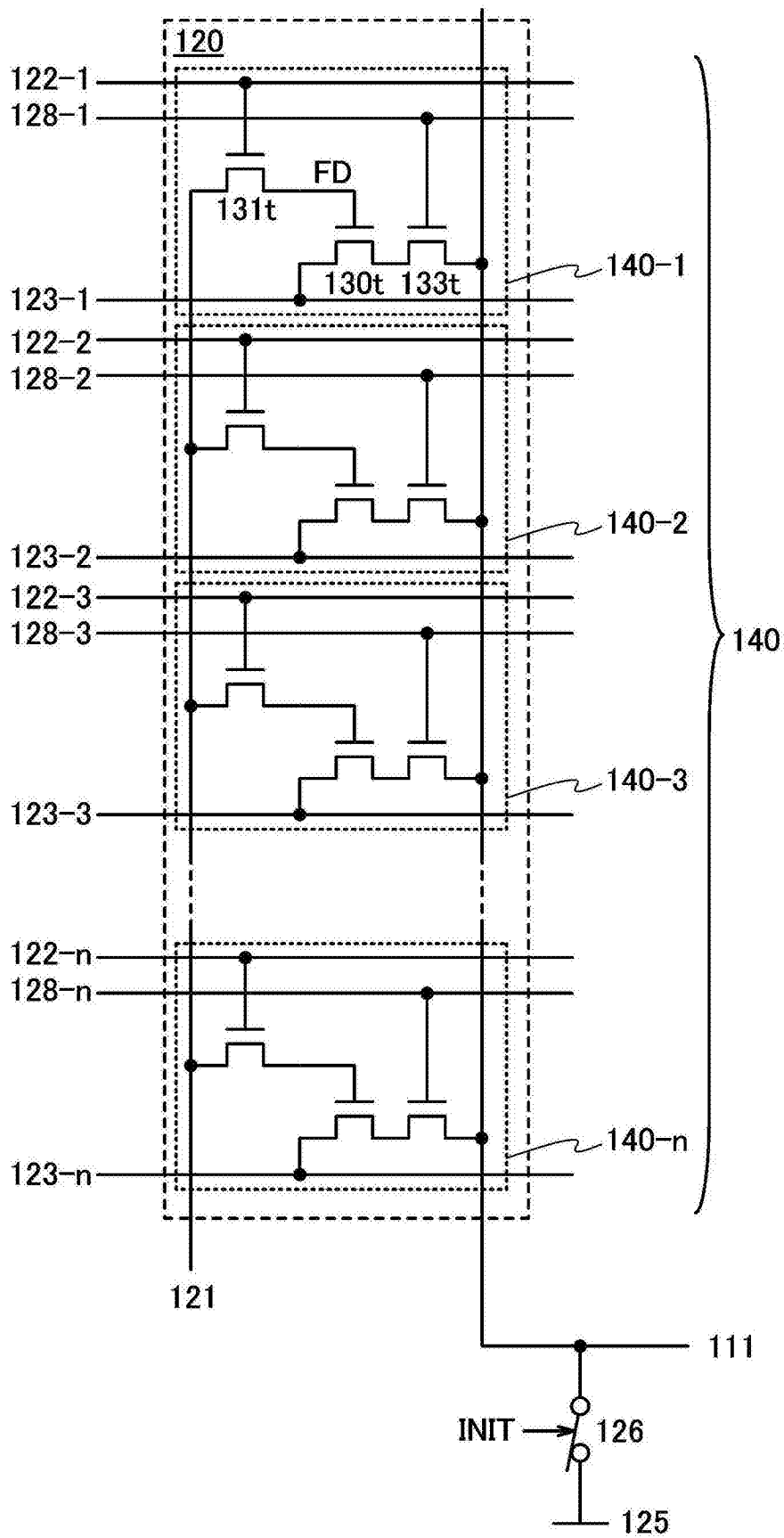


图9

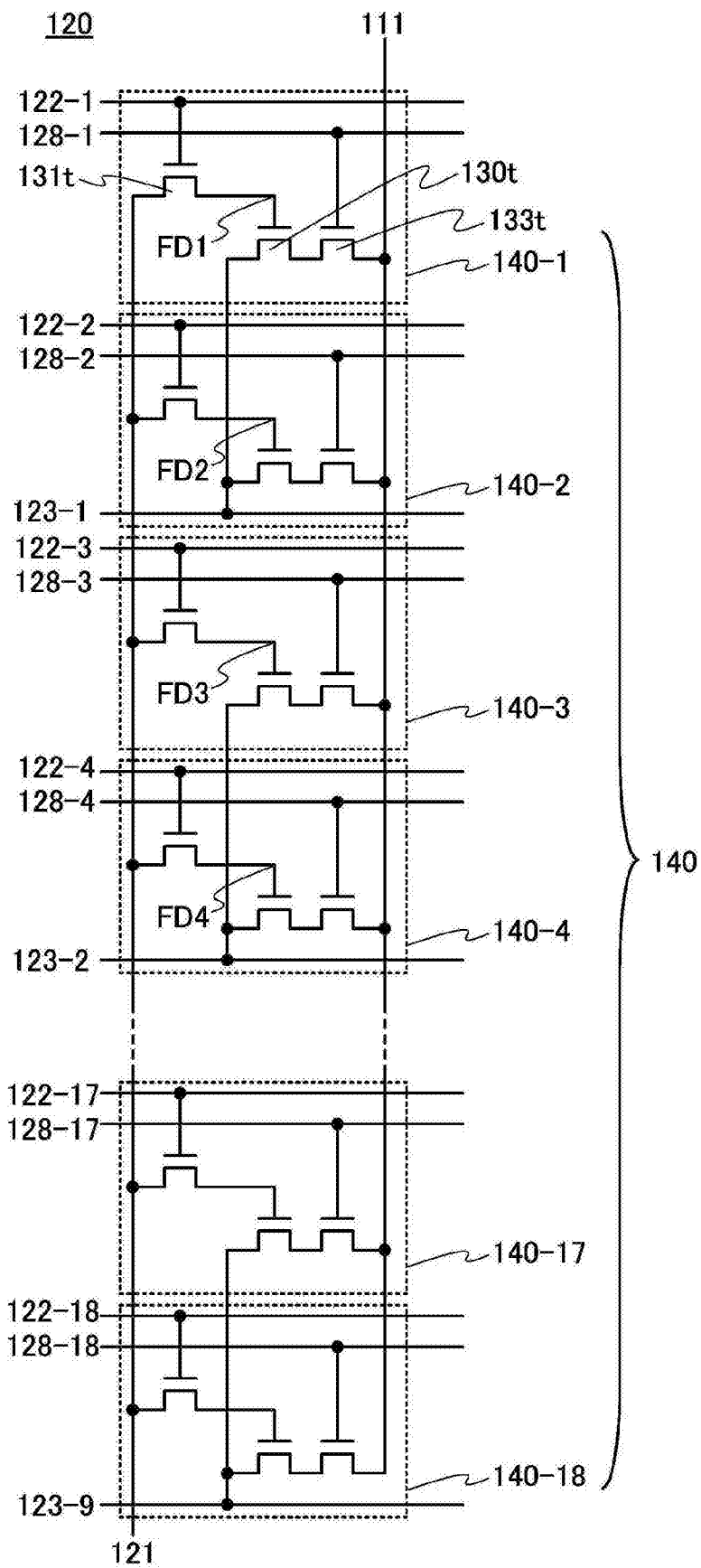


图10

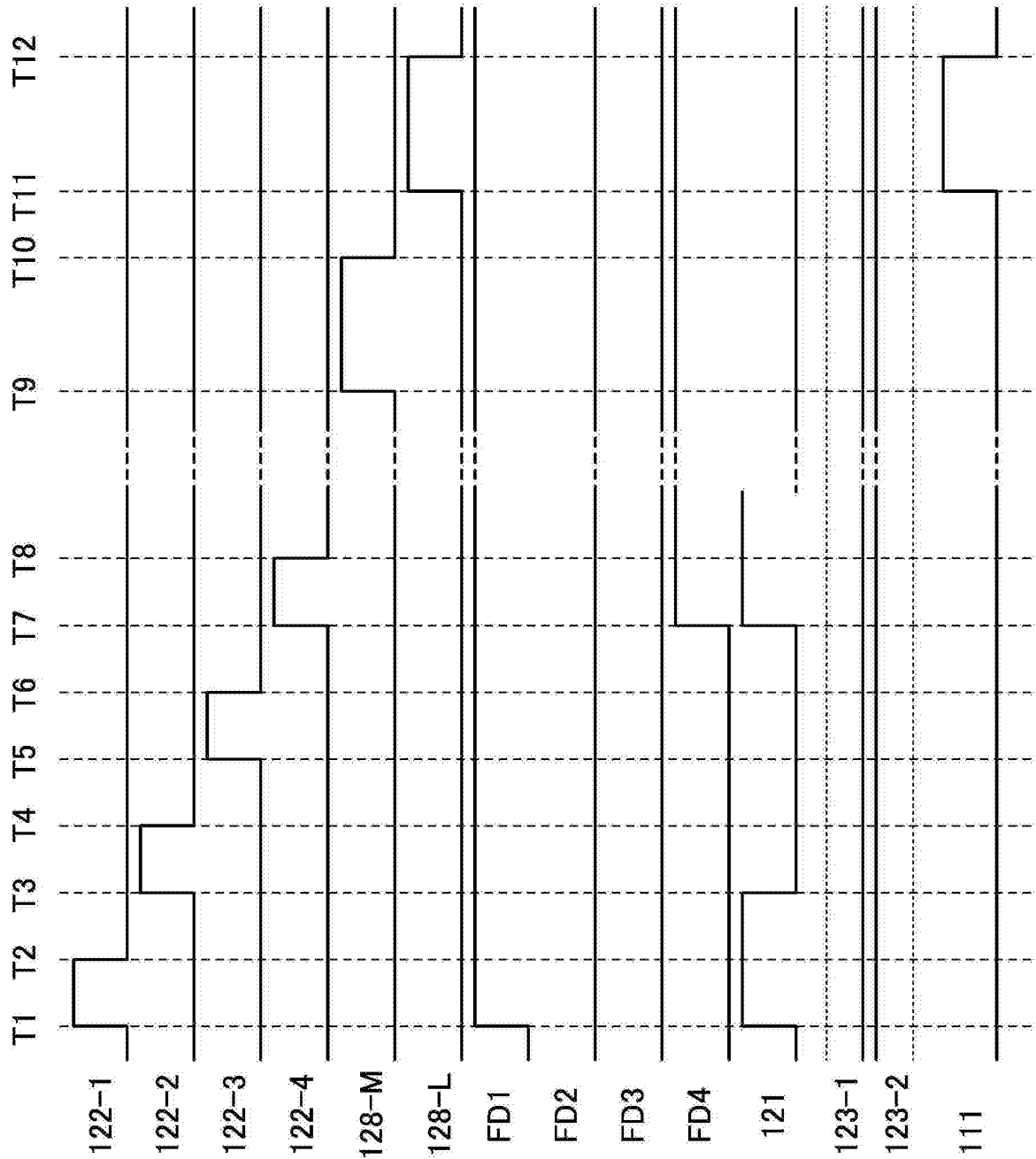


图11

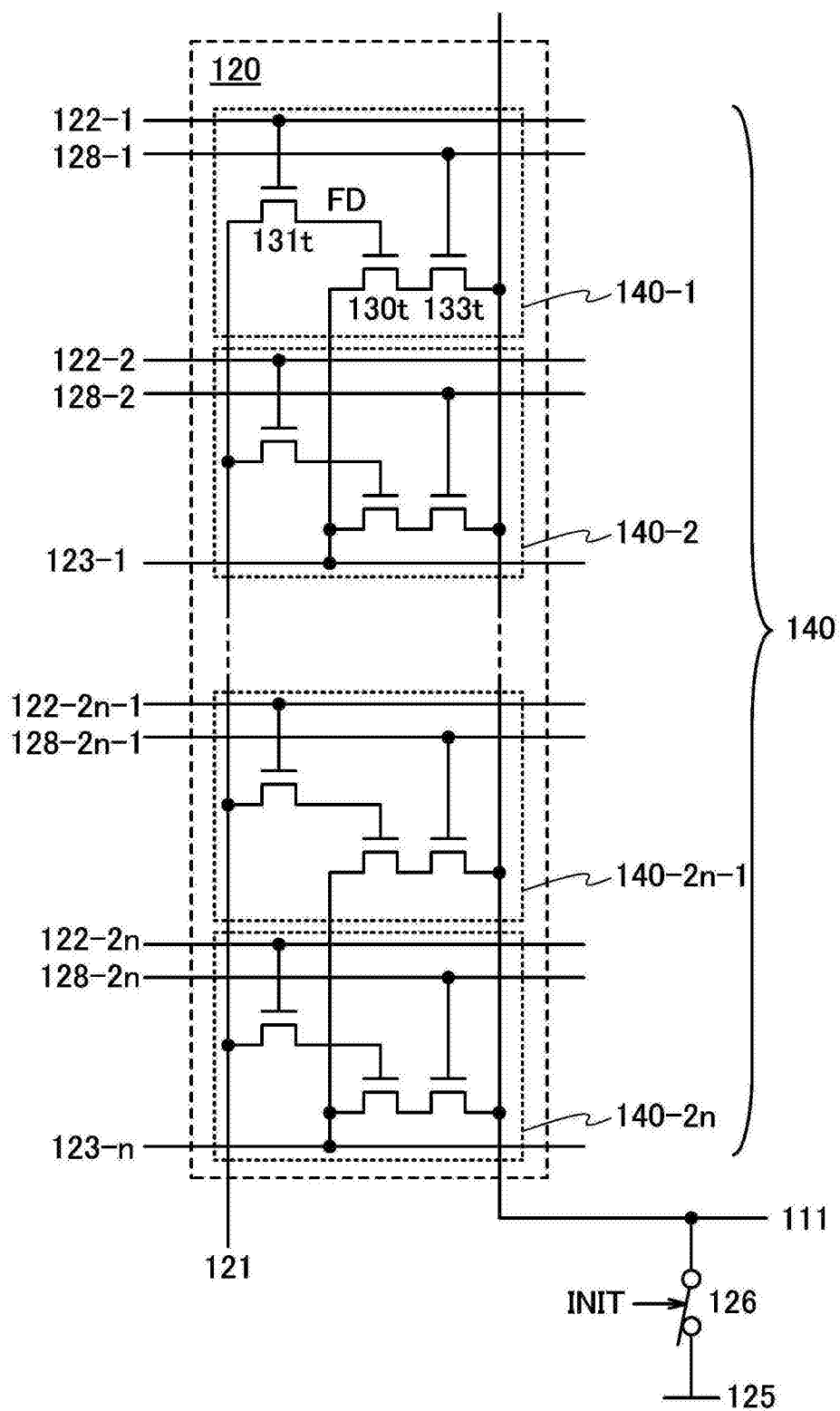


图 12

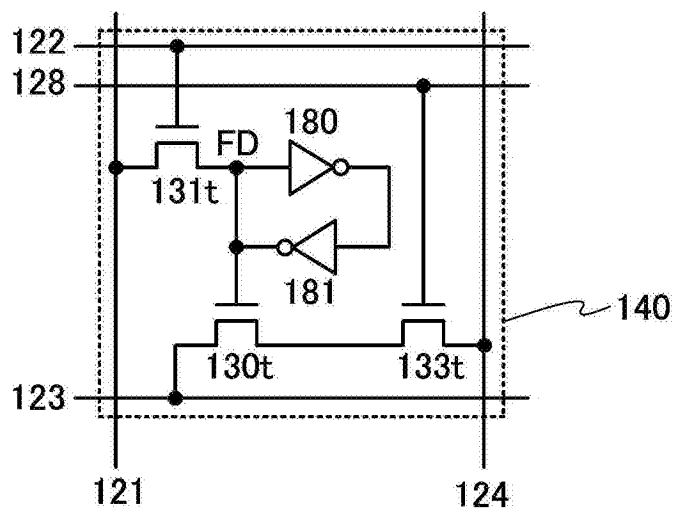


图13A

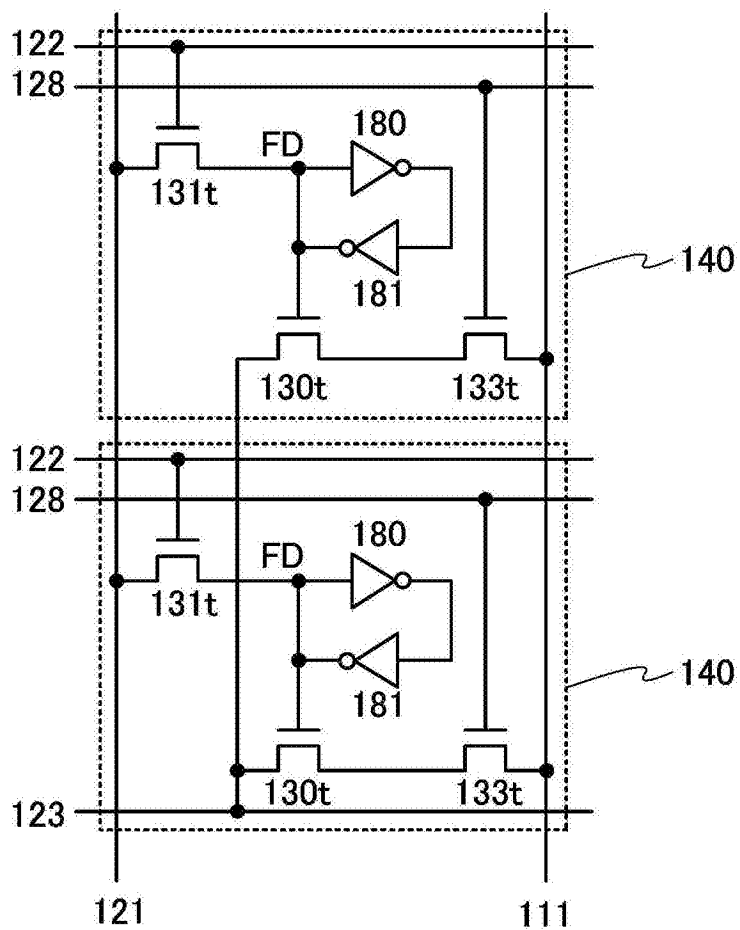


图13B

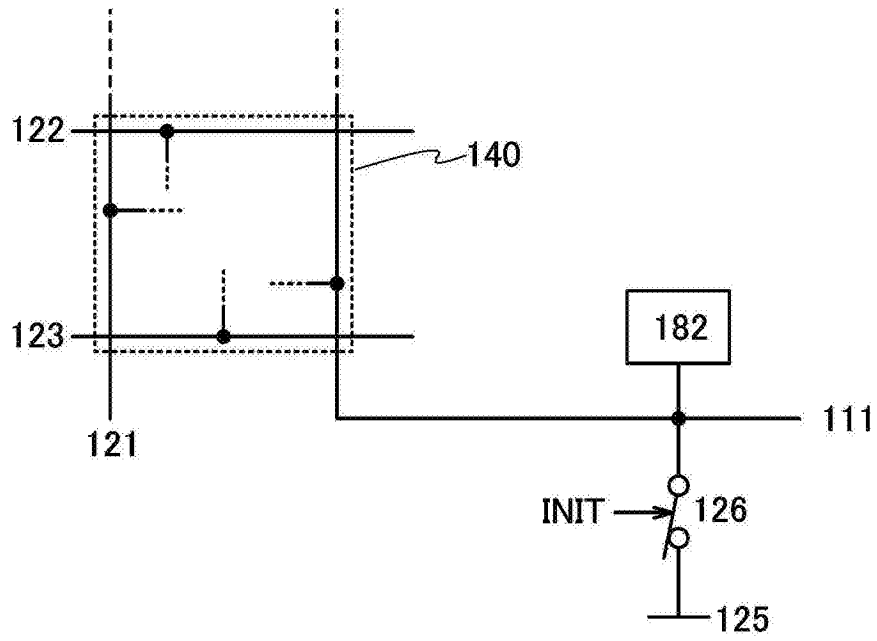


图14A

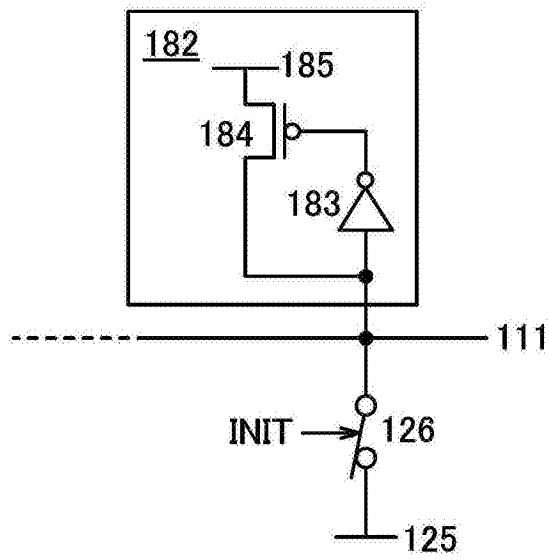


图14B

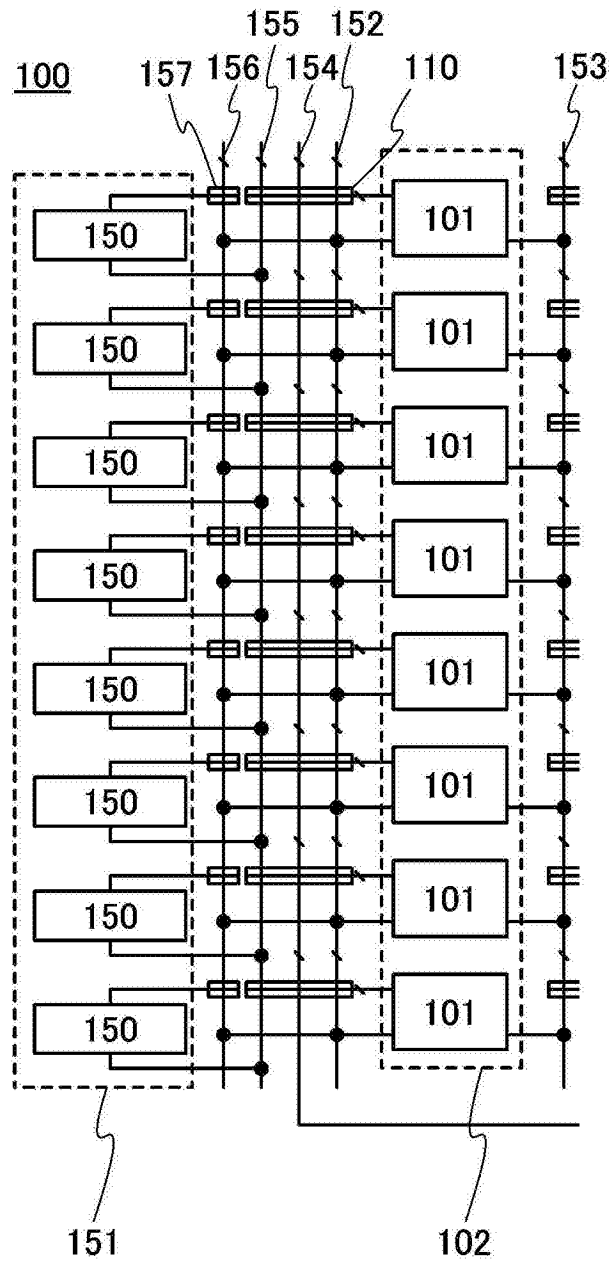


图15

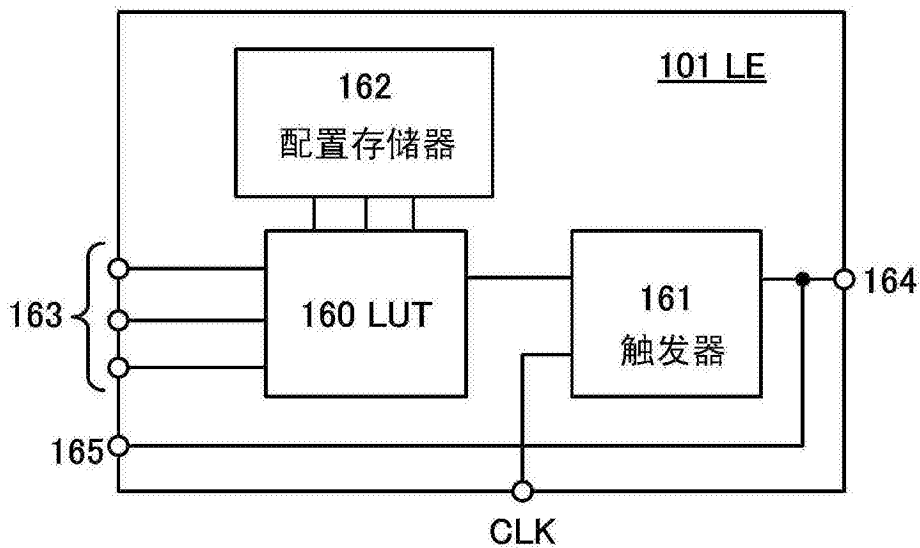


图16A

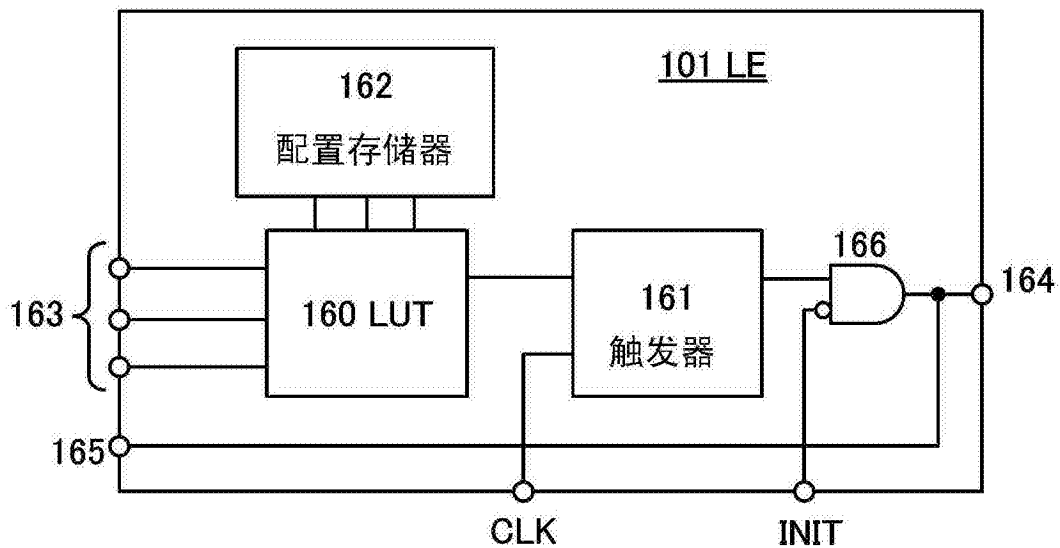


图16B

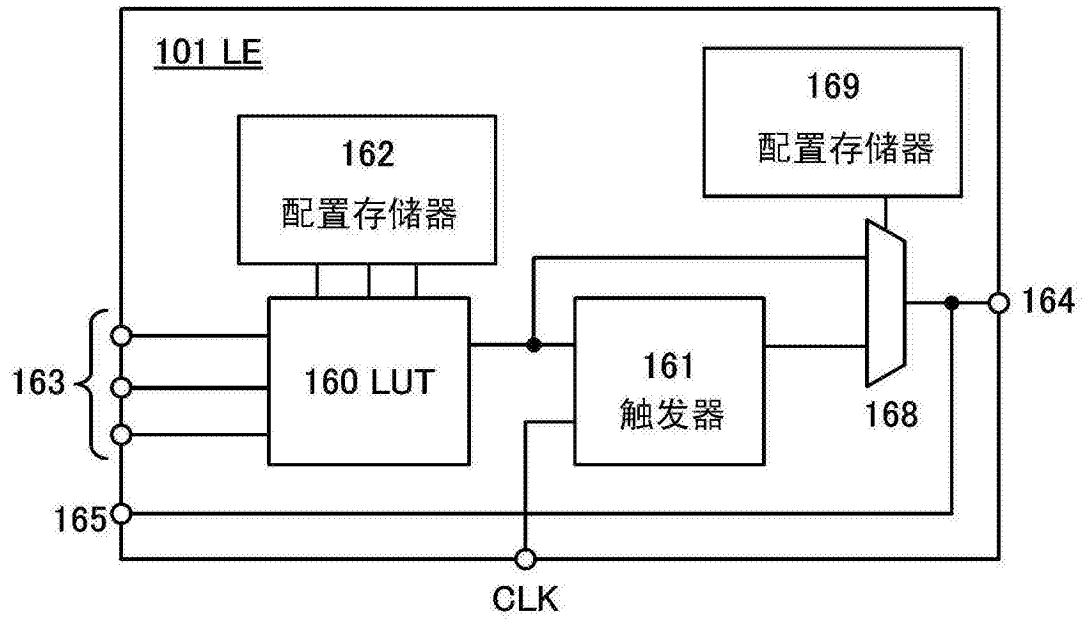


图16C

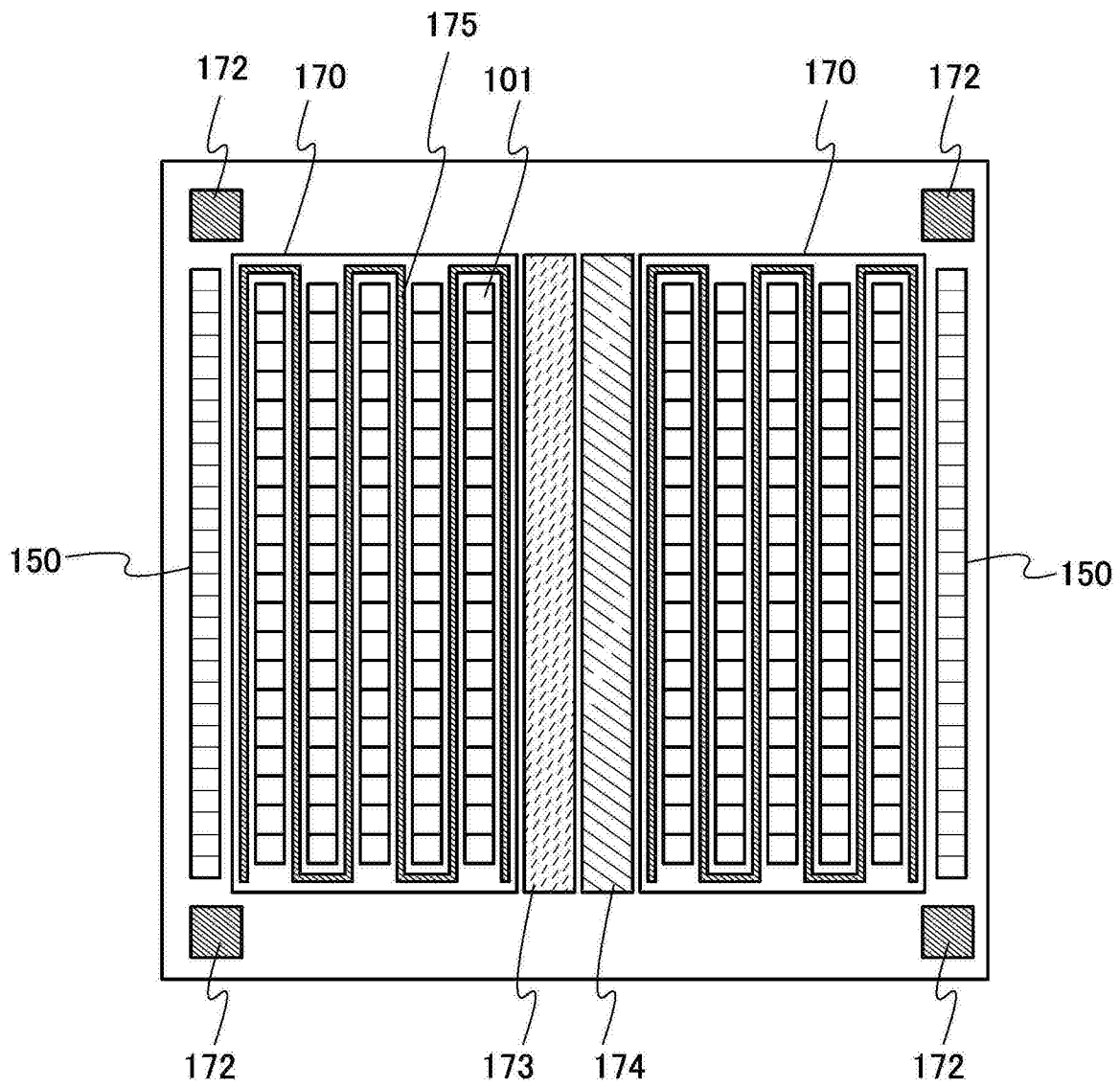
100

图17

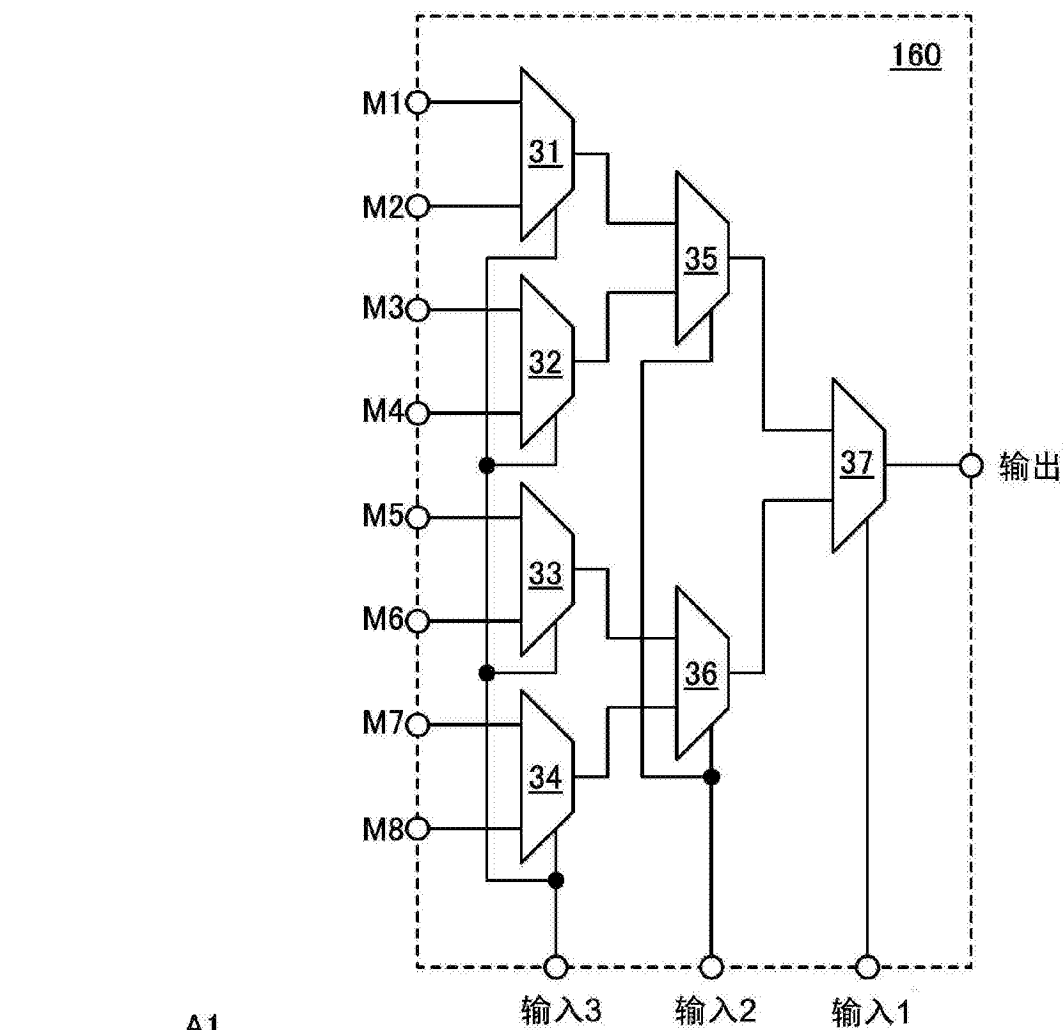


图 18A

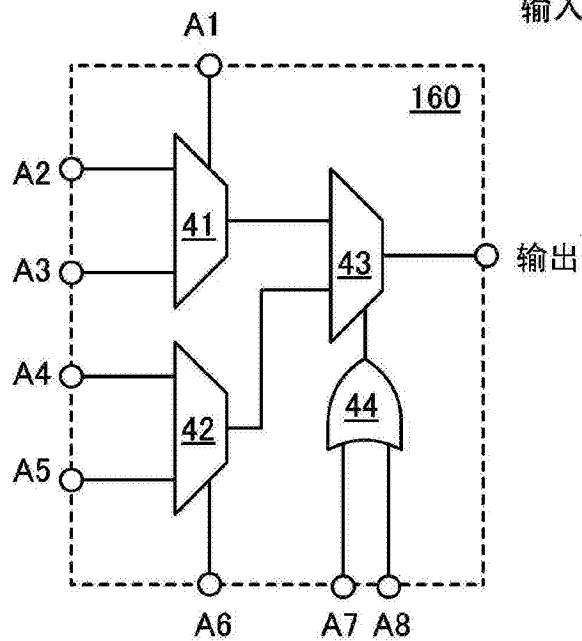


图 18B



图 18C

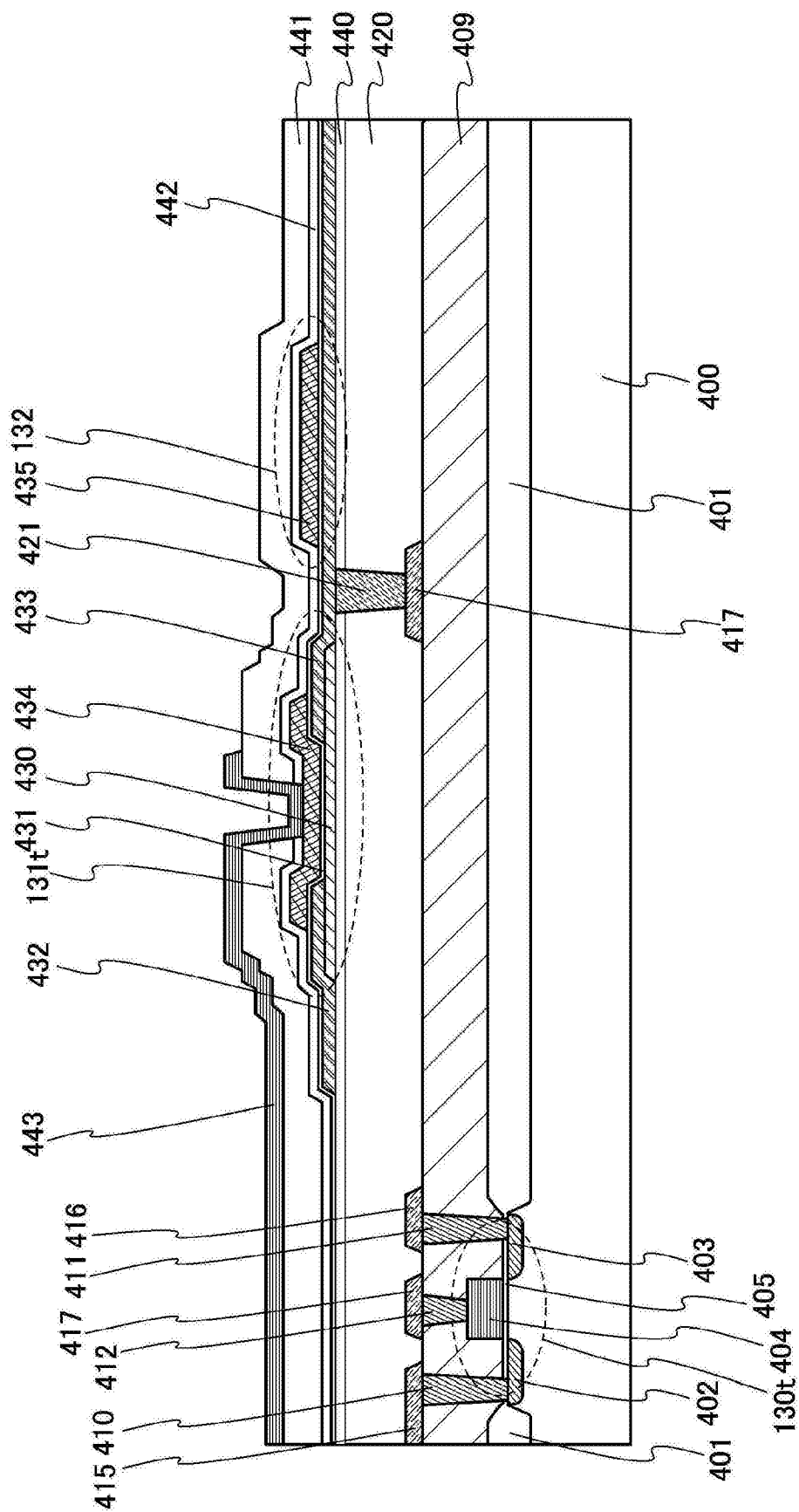


图19

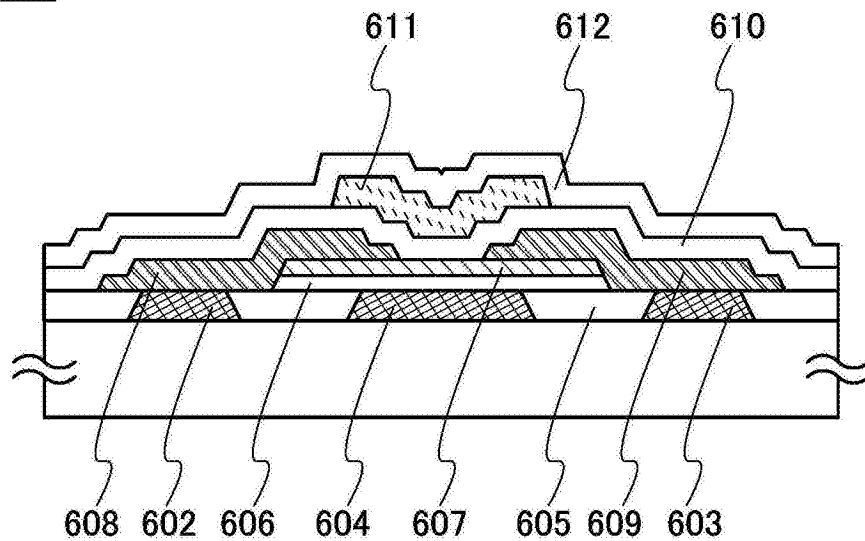
601

图20

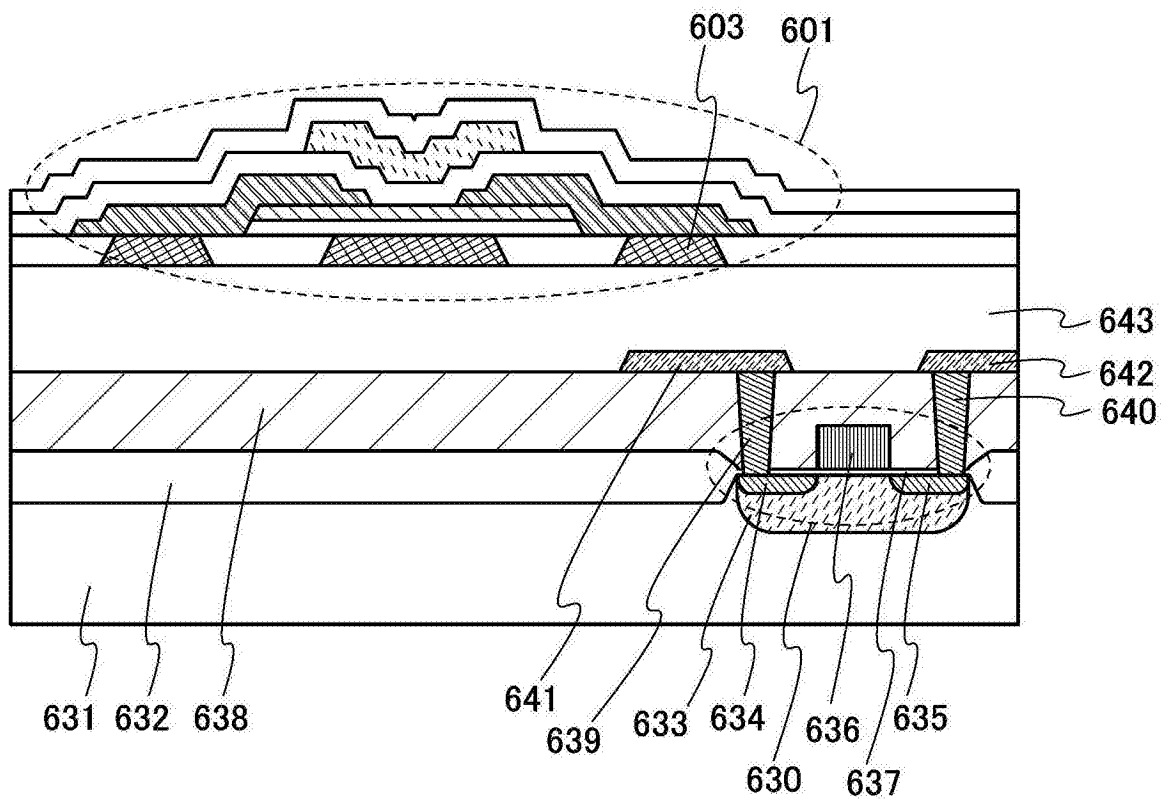


图21

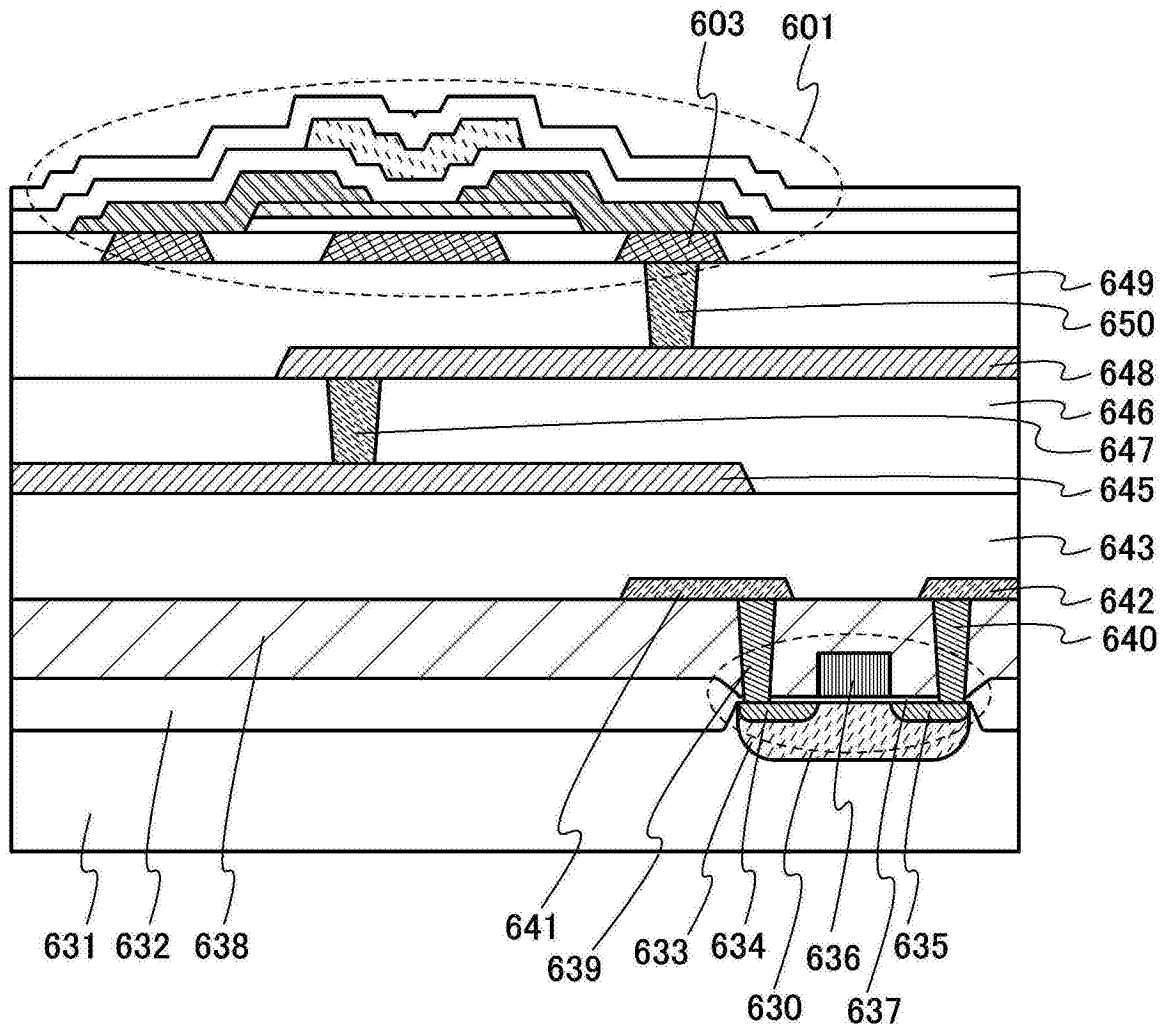


图22

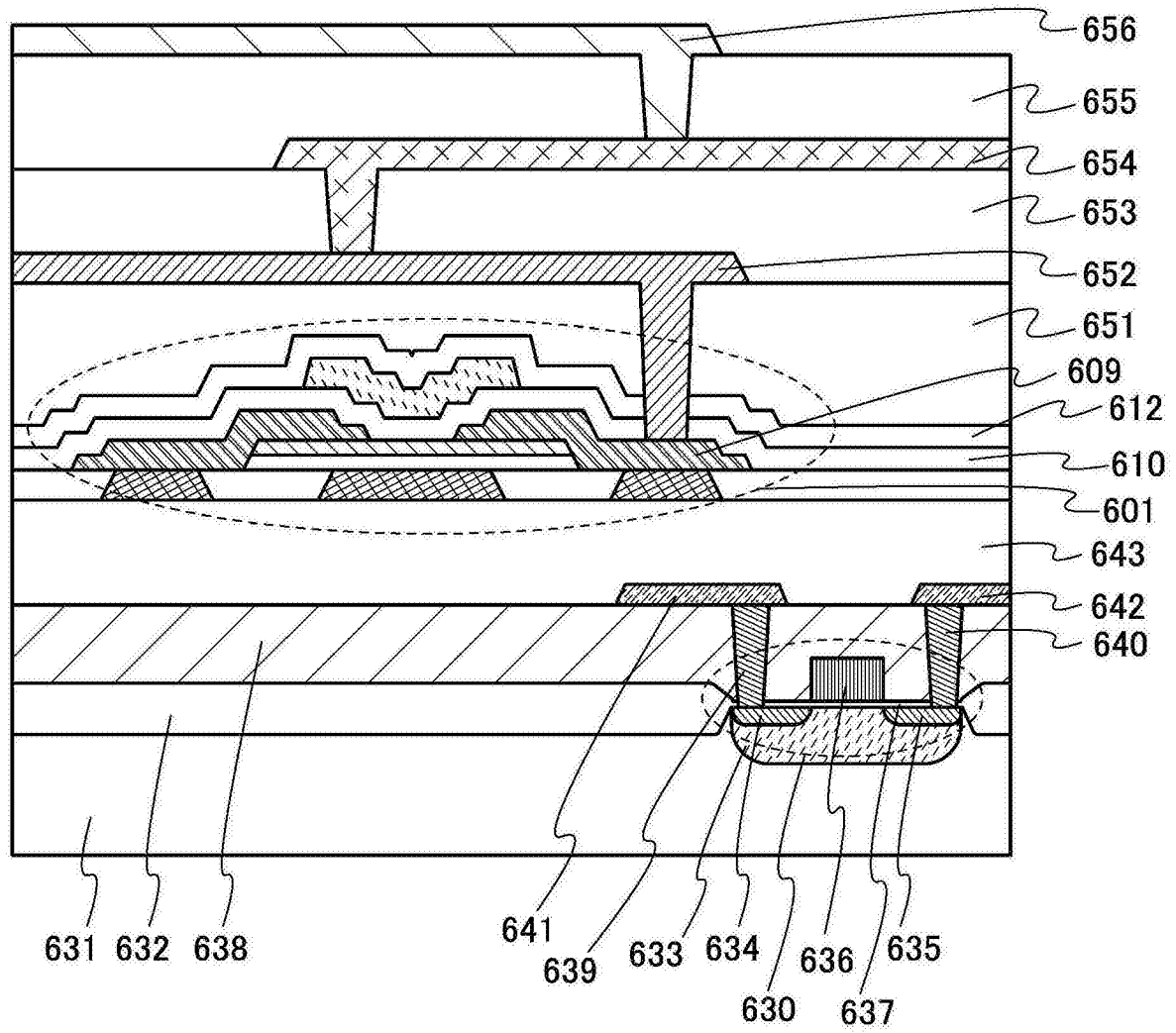


图23

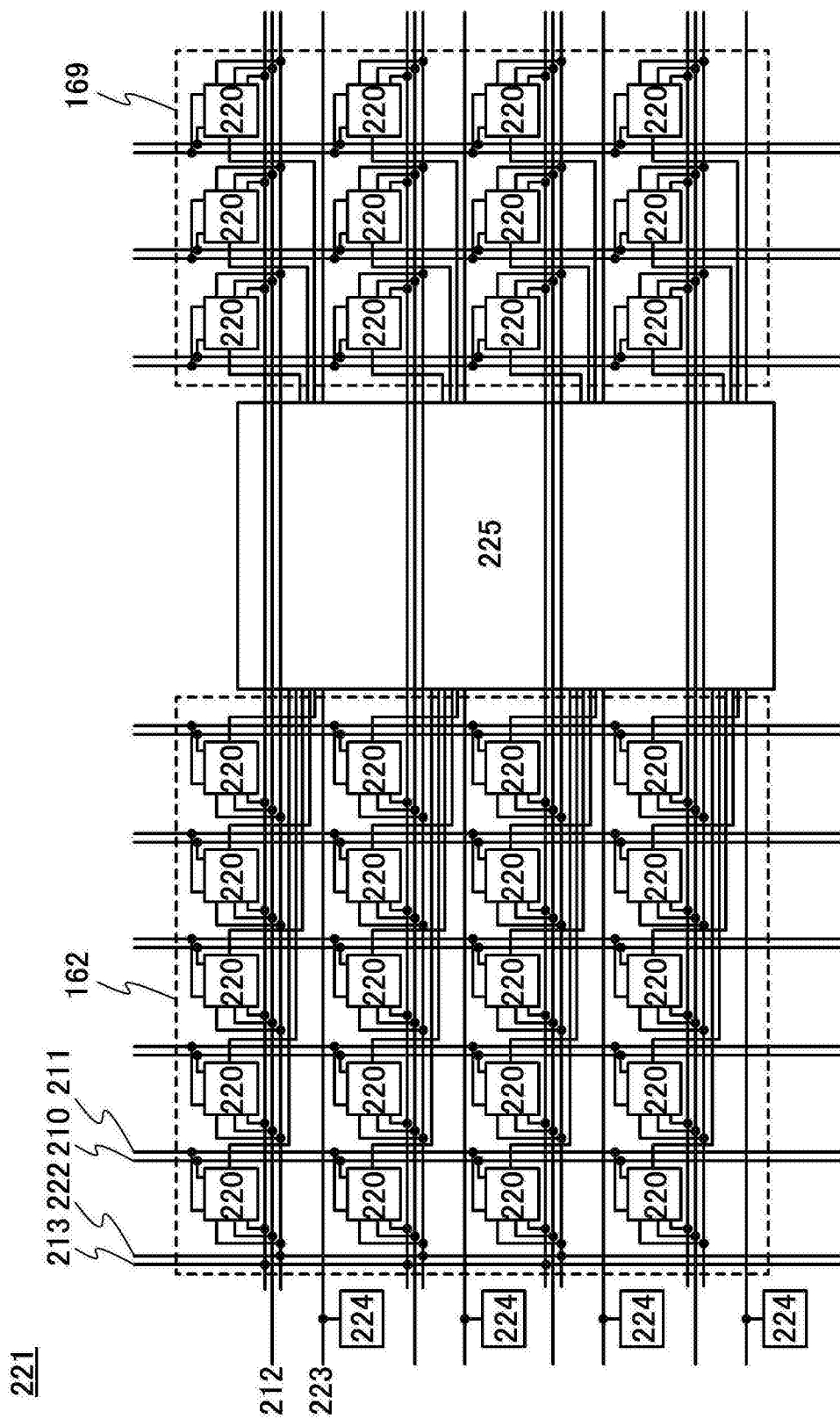


图25

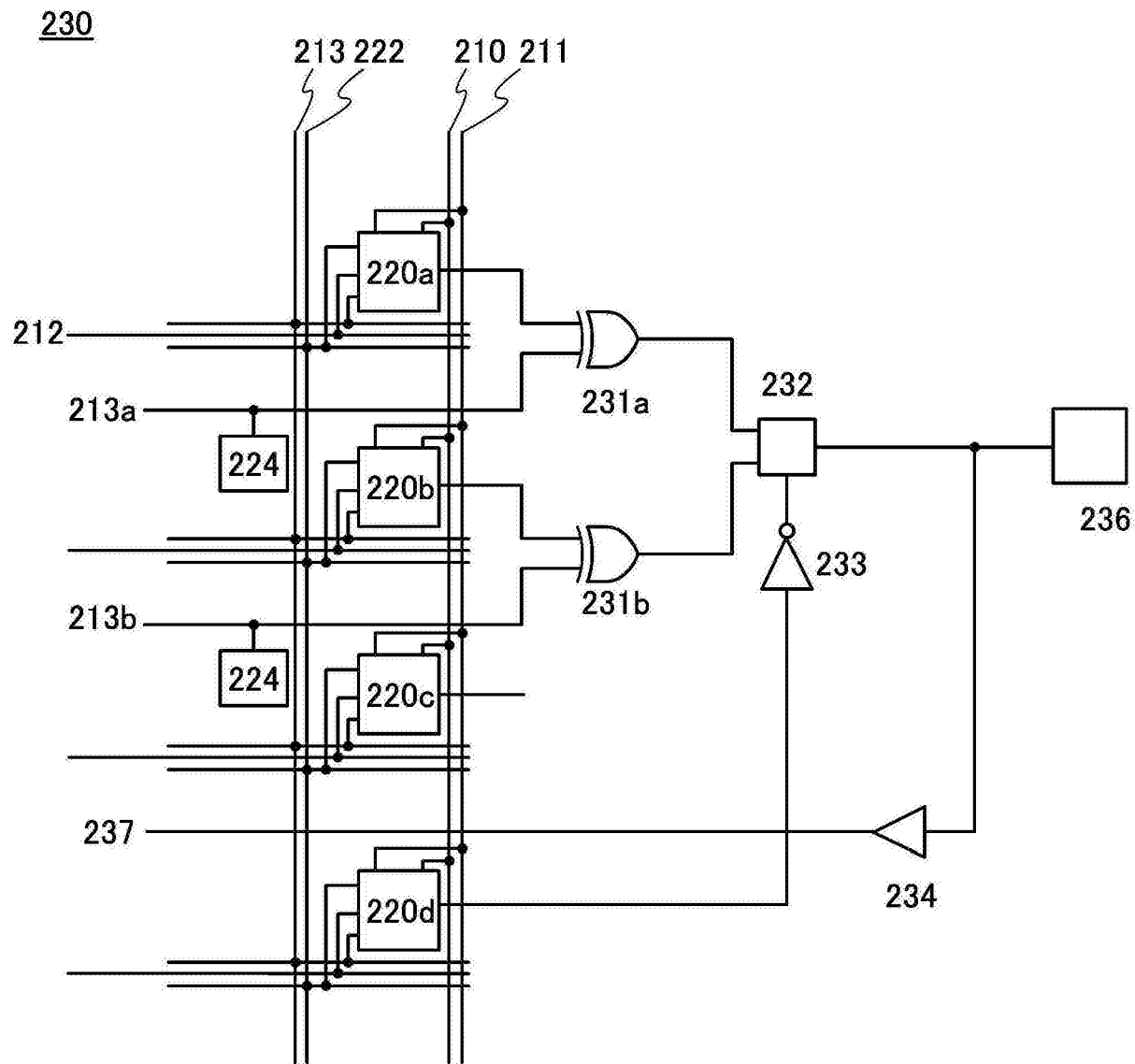


图26

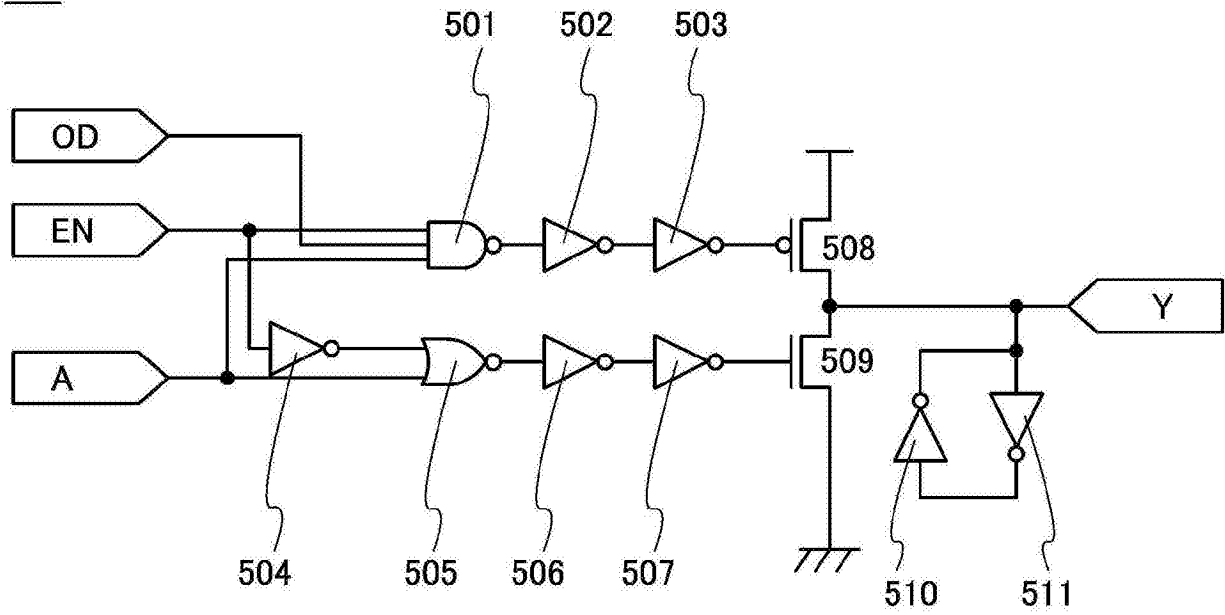
232

图27

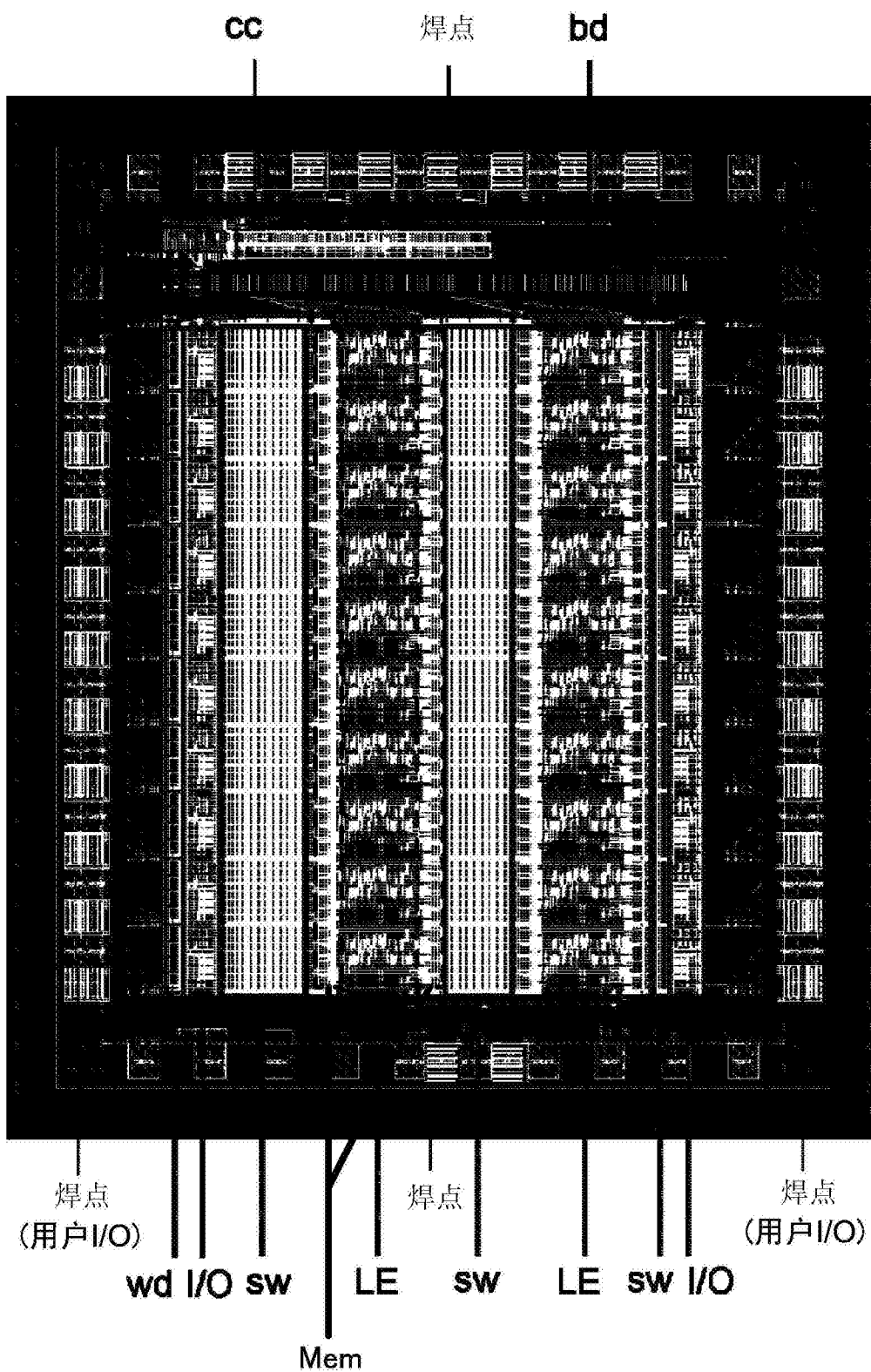


图28

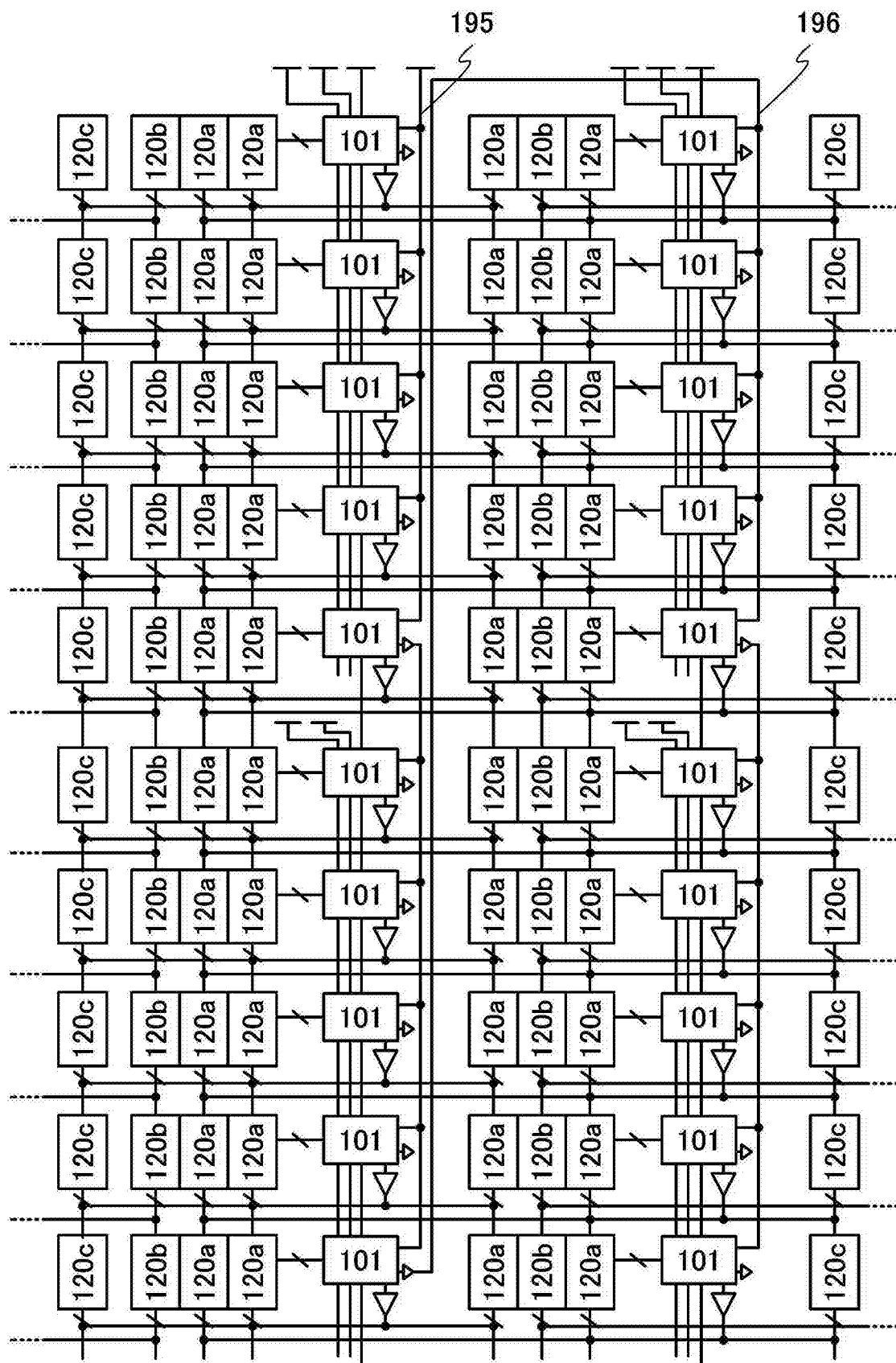


图29

	单元 140a	单元 140b
电路图		
配置数据“1”		
配置数据“0”		

图30

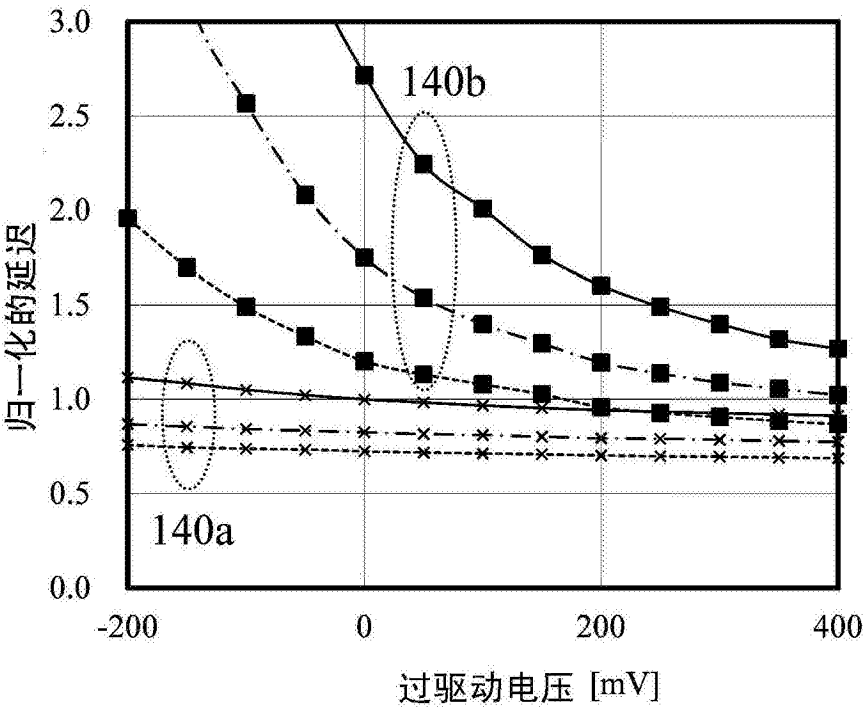


图31

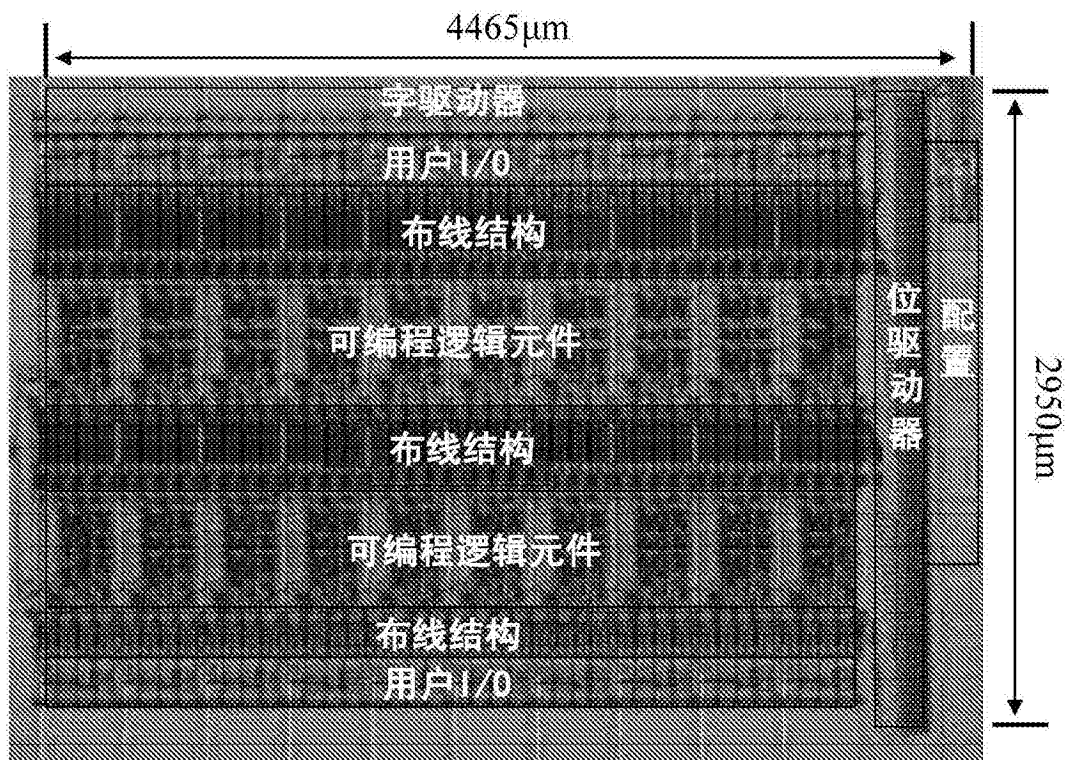


图32

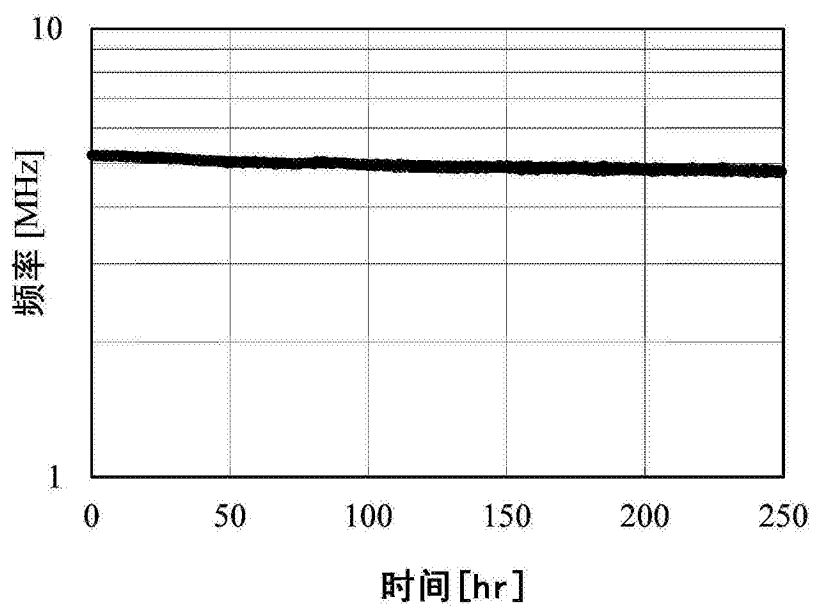


图33

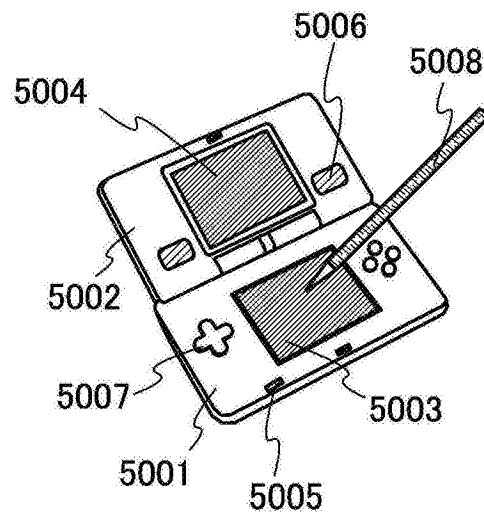


图34A

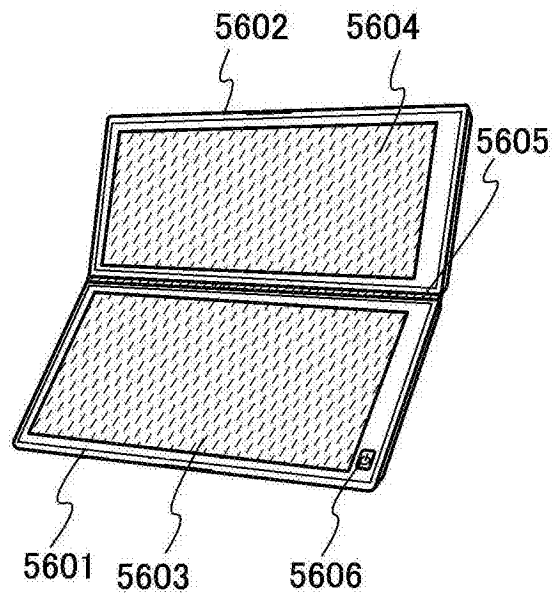


图34B

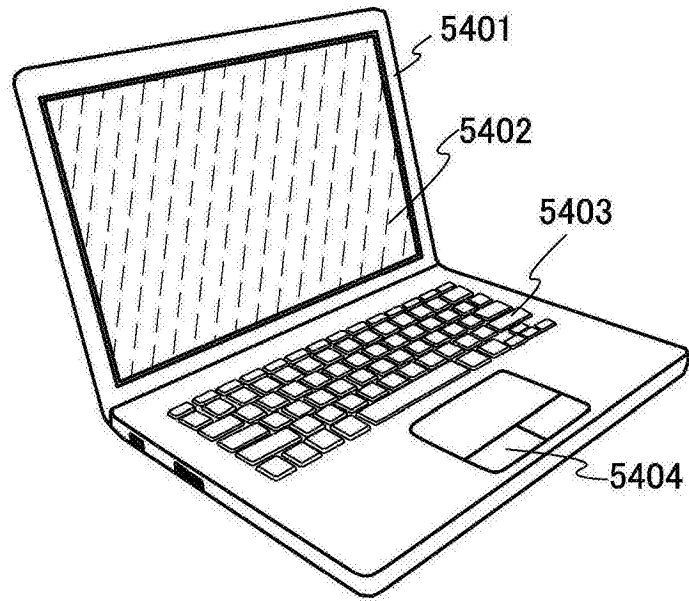


图34C

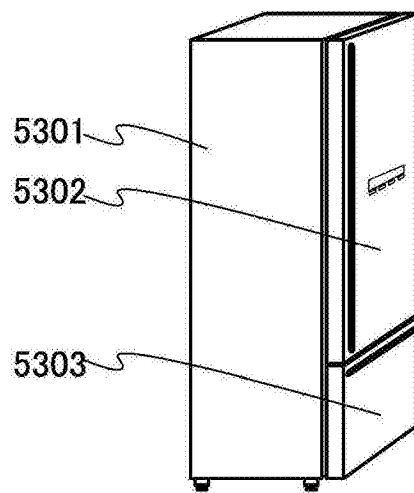


图34D

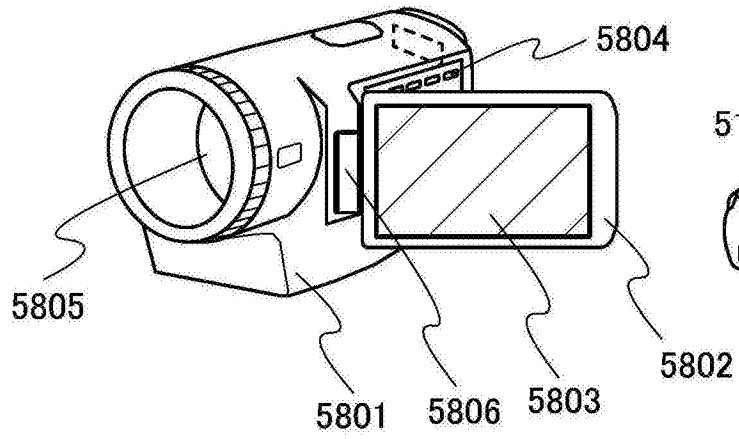


图 34E

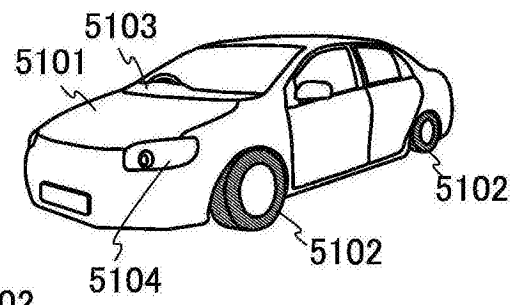


图 34F