

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 8 月 3 日(03.08.2017)



(10) 国際公開番号

WO 2017/130416 A1

- (51) 国際特許分類:
H01L 29/739 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2016/052834
- (22) 国際出願日: 2016 年 1 月 29 日(29.01.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: サンケン電気株式会社(SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野三丁目 6 番 3 号 Saitama (JP).
- (72) 発明者; および
- (71) 出願人 (米国についてのみ): 鳥居 克行(Torii Katsuyuki) [JP/JP]; 〒3528666 埼玉県新座市北野三丁目 6 番 3 号 Saitama (JP).
- (74) 共通の代表者: サンケン電気株式会社(SANKEN ELECTRIC CO., LTD.); 〒3528666 埼玉県新座市北野三丁目 6 番 3 号 Saitama (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

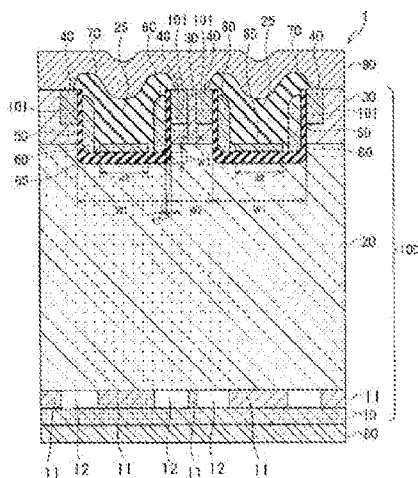
添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



(57) Abstract: The present invention provides a semiconductor device characterized by including a first conductive-type first semiconductor region, a second conductive-type second semiconductor region disposed on the first semiconductor region, a first conductive-type third semiconductor region disposed on the second semiconductor region, a second conductive-type fourth semiconductor region disposed on the third semiconductor region, a control electrode disposed so as to opposed to the third semiconductor region via an insulating film, a first electrode electrically connected to the first semiconductor region, a second electrode electrically connected to the fourth semiconductor region, a fifth semiconductor region disposed between the first semiconductor region and the second semiconductor region and having an impurity concentration that is higher than that of the second semiconductor region, and a sixth semiconductor region disposed between the first semiconductor region and the second semiconductor region and having an impurity concentration that is higher than that of the second semiconductor region but is lower than that of the fifth semiconductor region. As a result, a semiconductor device that hardly causes a latch-up phenomenon and that shows a low built-in potential can be provided.

(57) 要約:

[続葉有]

WO 2017/130416 A1



本発明は、第1導電型の第1半導体領域と、第1半導体領域上に配置された、第2導電型の第2半導体領域と、第2半導体領域上に配置された、第1導電型の第3半導体領域と、第3半導体領域上に配置された、第2導電型の第4半導体領域と、第3半導体領域に対向して、絶縁膜を介して配置された制御電極と、第1半導体領域と電氣的に接続された第1電極と、第4半導体領域と電氣的に接続された第2電極と、第1半導体領域と第2半導体領域との間であって、第2半導体領域より不純物濃度が高い第5半導体領域と、第1半導体領域と第2半導体領域との間であって、第2半導体領域より不純物濃度が高く第5半導体領域より不純物濃度が低い第6半導体領域と、を備えることを特徴とする。これにより、ラッチアップ現象が生じ難く、低い内蔵電位となる半導体装置を提供することができる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は I G B T 構造を備える半導体装置に関するものである。

背景技術

[0002] 絶縁ゲート型バイポーラトランジスタ（I G B T）は、高入力インピーダンス、低オン電圧を有することから、モータ駆動回路などで使用されている。

[0003] 一般的に I G B T の裏面側には伝導度変調を生じさせるために、第 1 導電型のドリフト領域とは反対導電型の第 2 導電型のコレクタ領域をドリフト領域と接するように設けている。しかし、I G B T に逆方向電圧を加えた際にドリフト領域の上面側からドリフト領域内に伸びて来た空乏層がドリフト領域の下面に接するコレクタ領域に達すると、パンチスルー現象を起こして耐圧が低下する。特に半導体装置を低飽和電圧とするために、ドリフト領域の厚みを薄くした場合、パンチスルー現象による半導体装置の耐圧低下が問題となる。

[0004] また、コレクタ領域がドリフト領域と接する I G B T は、ON 動作時にコレクタ領域からドリフト領域へ移動する正孔が多くなり、I G B T 特有のラッチアップ現象が生じ易くなる。そこで、コレクタ領域の不純物濃度を下げる事が考えられる。しかし、コレクタ領域の不純物濃度を下げた I G B T は、コレクタ電極とコレクタ領域との良好な低抵抗接触が得られないという問題がある。

[0005] そこで、ドリフト領域とコレクタ領域間にドリフト領域よりも不純物濃度が高い第 1 導電型の半導体領域（以下、フィールドストップ領域という）を配置する構造を採用可能である（例えば、特許文献 1 参照。）。フィールドストップ領域を設けた I G B T は、フィールドストップ領域内での空乏層の伸びが小さくなる。その結果、I G B T に逆方向電圧を加えた際に、ドリフト領域の上面側から延伸する空乏層がコレクタ領域に到達することが抑制され

、パンチスルー現象による I G B T の耐圧低下が抑制される。

[0006] さらに、I G B T の O N 動作時に、コレクタ領域からドリフト領域へ移動しようとする正孔の一部がフィールドストップ領域内に存在する多数の電子と再結合する。よって、I G B T の O N 動作時に、コレクタ領域からドリフト領域へ移動しようとする正孔の一部がドリフト領域内に達する前に消滅するので、ドリフト領域内への正孔の注入量を抑える事ができる。よって、I G B T 特有のラッチアップ現象による半導体装置の破壊も生じ難くなる。

先行技術文献

特許文献

[0007] 特許文献 1 : 特開2015-179720号公報

発明の概要

発明が解決しようとする課題

[0008] しかし、フィールドストップ領域を設けた I G B T において、フィールドストップ領域の不純物濃度が高いと、コレクタ領域とフィールドストップ領域との間に生じる p n 接合の内蔵電位（ビルトインポテンシャル）が大きくなる。I G B T のオン電圧は飽和電圧に内蔵電位が加算されるため、I G B T のオン電圧は高くなる。

[0009] そこで、フィールドストップ領域を配置する構造を採用した I G B T において、フィールドストップ領域の不純物濃度を下げると、内蔵電位を低下させることができる。よって、内蔵電位の加算による I G B T のオン電圧の上昇を抑制できる。しかし、フィールドストップ領域の不純物濃度を下げると、例えば、定格電流付近の大電流領域でラッチアップ現象が生じ易くなり、半導体装置の破壊が生じ易くなる。さらに、フィールドストップ領域としての本来の機能である空乏層の伸びを抑制する機能が低下し、半導体装置はパンチスルー現象による耐圧低下を生じ易くなる。

[0010] そこで、発明が解決しようとする課題は、ラッチアップ現象が生じ難く、低い内蔵電位となる半導体装置を提供することである。

課題を解決するための手段

[0011] 本発明の半導体装置は、第1導電型の第1半導体領域と、第1半導体領域上に配置された、第2導電型の第2半導体領域と、第2半導体領域上に配置された、第1導電型の第3半導体領域と、第3半導体領域上に配置された、第2導電型の第4半導体領域と、第3半導体領域に対向して、絶縁膜を介して配置された制御電極と、第1半導体領域と電氣的に接続された第1電極と、第4半導体領域と電氣的に接続された第2電極と、第1半導体領域と第2半導体領域との間にあって、第2半導体領域より不純物濃度が高い第5半導体領域と、第1半導体領域と第2半導体領域との間にあって、第2半導体領域より不純物濃度が高く第5半導体領域より不純物濃度が低い第6半導体領域と、を備えることを特徴とする。

発明の効果

[0012] 本発明の半導体装置は、第1半導体領域と第2半導体領域との間に、第2半導体領域より不純物濃度が高い第5半導体領域と第2半導体領域より不純物濃度が高く且つ第5半導体領域より不純物濃度が低い第6半導体領域を備える。第6半導体領域を設けることにより、内蔵電位は低下し、IGBTのオン電圧は低下する。また、IGBTの定格電流に近い大電流領域では、第1半導体領域から出た正孔は第6半導体領域を通るだけではなく、第5半導体領域へも移動しようとする。しかし、第1半導体領域から第5半導体領域へ移動する正孔は第5半導体領域内に存在する多量の電子と再結合するため、第1半導体領域から第5半導体領域を通して第2半導体領域へ移動する正孔の注入量を抑制することができる。つまり、大電流領域でラッチアップ現象が生じ難く、低い内蔵電位である半導体装置を提供することができる。

図面の簡単な説明

[0013] [図1]図1は本発明の実施形態のIGBTを示した断面図である。

[図2]図2は本発明の実施形態と比較例における電圧－電流特性を示す図である。

[図3]図3は本発明の実施形態を示した平面図である。

[図4]図4は本発明の実施形態の第5半導体領域と第6半導体領域の配置を示した平面図である。

[図5]図5は本発明の実施形態の第5半導体領域と第6半導体領域の配置の変形例を示した平面図である。

発明を実施するための形態

[0014] 次に、図面を参照して、本発明の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各部の長さの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0015] 又、以下に示す実施形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の形状、構造、配置等を下記のものに特定するものでない。この発明の実施形態は、請求の範囲において、種々の変更を加えることができる。

[0016] 本発明の実施形態に係る半導体装置1は、図1に示すように、半導体基板100が、第1導電型の第1半導体領域10と、第1半導体領域10上に配置された第2導電型の第2半導体領域20と、第2半導体領域20上に配置された第1導電型の第3半導体領域30と、第3半導体領域30上に配置された第2導電型の第4半導体領域40と、第1半導体領域10と第2半導体領域20との間であって、第2半導体領域20より不純物濃度が高い第5半導体領域11と、第1半導体領域10と第2半導体領域20との間であって、第2半導体領域20より不純物濃度が高く第5半導体領域11より不純物濃度が低い第6半導体領域12を有する。なお、半導体装置1は図1に示したIGBTを含む活性部と活性部を囲む外周トレンチやガードリング等の外周部（図1では図示せず）を備える。

[0017] 図1に示すように、第4半導体領域40から第3半導体領域30を貫通し

て第2半導体領域20まで達する溝25が形成されている。溝25の内壁面には、絶縁膜50が配置されている。そして、溝25の壁面において、絶縁膜50上に第3半導体領域30の側面に対向して制御電極60が配置されている。また、溝25の内壁面の底面側の絶縁膜50上に制御電極60と離間して補助電極65が配置されている。更に、半導体装置1は、第1半導体領域10と電氣的に接続する第1の主電極80と、第3半導体領域30及び第4半導体領域40と電氣的に接続する第2の主電極90とを備える。なお、第2の主電極90が第3半導体領域30と電氣的に接続していなくてもよい。補助電極65は、第2の主電極90と電氣的に接続されている。

[0018] 第1導電型と第2導電型とは互いに反対導電型である。すなわち、第1導電型がn型であれば、第2導電型はp型であり、第1導電型がp型であれば、第2導電型はn型である。以下において、第1導電型がp型、第2導電型がn型の場合を例示的に説明する。

[0019] 上記のように、図1に示した半導体装置1は、トレンチゲート型のIGBTである。説明を分かりやすくするため、以下では、第1半導体領域10をp型のコレクタ領域10、第2半導体領域20をn型のドリフト領域20、第3半導体領域30をp型のベース領域30、第4半導体領域40をn型のエミッタ領域40として説明する。複数のエミッタ領域40が、ベース領域30の上に選択的に形成されている。半導体装置1において、各半導体領域の不純物濃度及び厚み等を例示すると、以下の通りである。

[0020] エミッタ領域40の厚みは $0.1\mu\text{m}\sim 1\mu\text{m}$ であり、エミッタ領域40の不純物濃度は $1\times 10^{18}\text{cm}^{-3}\sim 5\times 10^{20}\text{cm}^{-3}$ である。また、ベース領域30の厚みは $2\mu\text{m}\sim 6\mu\text{m}$ 程度であり、ベース領域30の不純物濃度は $1\times 10^{17}\text{cm}^{-3}\sim 5\times 10^{18}\text{cm}^{-3}$ である。また、ドリフト領域20の厚みは $40\mu\text{m}$ 以上且つ $140\mu\text{m}$ 以下であり、ドリフト領域20の不純物濃度は $1\times 10^{13}\text{cm}^{-3}\sim 5\times 10^{14}\text{cm}^{-3}$ であることが望ましい。また、コレクタ領域10の厚みは $0.1\mu\text{m}\sim 300\mu\text{m}$ であり、コレクタ領域10の不純物濃度は、 $1\times 10^{17}\text{cm}^{-3}\sim 1\times 10^{19}\text{cm}^{-3}$ である。ドリフト領域20の不

純物濃度よりも高い第5半導体領域11の不純物濃度は $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ である。ドリフト領域20の不純物濃度よりも高く第5半導体領域11の不純物濃度より低い第6半導体領域12の不純物濃度は、 $5 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ である。

[0021] また、制御電極60をゲート電極60、第1の主電極80をコレクタ電極80、第2の主電極90をエミッタ電極90として説明する。また、ゲート電極60と対向するベース領域30の表面がチャネル形成領域101である。つまり、溝25の側面に形成された絶縁膜50の領域がゲート絶縁膜として機能する。

[0022] 図1に示す半導体装置1では、溝25の幅W1が溝25の深さよりも大きい。例えば、溝25の幅W1が $3 \mu\text{m} \sim 20 \mu\text{m}$ 、より好ましくは $3 \mu\text{m} \sim 15 \mu\text{m}$ であり、更に好ましくは $6 \mu\text{m} \sim 15 \mu\text{m}$ である。溝25の深さは $2 \mu\text{m} \sim 10 \mu\text{m}$ であり、例えば $5 \mu\text{m}$ 程度である。また、互いに隣接する溝25の間隔W2は溝25の間隔W2よりも溝25の幅W1が広いことが好ましく、例えば $2 \sim 4 \mu\text{m}$ である。

[0023] なお、本発明でいう溝25の幅W1とは、図1に示すように、ベース領域30とドリフト領域20との界面の延長上の位置における幅を意味する。また、本発明でいう隣り合う溝25の間隔W2とは、ベース領域30とドリフト領域20との界面の延長上の位置における溝25間の間隔を意味する。また、溝25間において半導体基板100の表面に露出したベース領域30の幅、すなわちベース領域30とエミッタ電極90との接する部分の幅を「接続領域幅」といい、図1において幅W3として示した。なお、ここでいう「接続領域幅」とは、図1における紙面と垂直方向である溝25の延伸する方向と垂直な方向に沿った幅である。すなわち、溝25の幅方向と並行する方向での長さを意味する。

[0024] ゲート電極60は、溝25を構成する一対の側面（第1の側面と第2の側面）に配置された左右のゲート電極60から構成されており、それぞれがベース領域30に絶縁膜50を介して対向するように設けられている。なお、

図 1 に示す断面では左右のゲート電極 60 は分離されているが、左右のゲート電極 60 は、後述のように、接続溝 125 内のゲート接続部を介して電氣的に接続されている。ゲート電極 60 及びゲート接続部は、例えば不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上且つ $1 \times 10^{20} \text{ cm}^{-3}$ 以下の高濃度にドーピングされた導電性の多結晶シリコン膜で構成される。

[0025] また、本発明に基づき、溝 25 の底面の中央側にはゲート電極 60 が形成されていない。

すなわち、溝 25 の側面に沿って配置されたゲート電極 60 は、半導体基板 100 の表面から溝 25 の底面に向かって形成されているが、溝 25 の底面の中央側にはゲート電極 60 が形成されていない。溝 25 の表面のゲート電極 60 が形成されていない溝 25 の底面の領域内には、絶縁膜 50 を介してドリフト領域 20 と対向する補助電極 65 が形成されている。補助電極 65 は、例えば不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上且つ $1 \times 10^{20} \text{ cm}^{-3}$ 以下の高濃度にドーピングされた導電性の多結晶シリコン膜で構成されている。この補助電極 65 は、溝 25 の第 1 の側面側から溝 25 の第 2 の側面側に向かって延伸している。補助電極 65 は、左右のゲート電極 60 と離間しており、補助電極 65 と左右のゲート電極 60 とは電氣的に分離されている（絶縁されている）。

[0026] また、左右のゲート電極 60 と補助電極 65 を覆うように、溝 25 内には層間絶縁膜 70 が形成されている。層間絶縁膜 70 は、補助電極 65 とその両側のゲート電極 60 との間にも設けられており、補助電極 65 と左右のゲート電極 60 を電氣的に絶縁している。半導体基板 100 の表面上にはエミッタ電極 90 が形成されており、エミッタ電極 90、ゲート電極 60 及び補助電極 65 との間にも、層間絶縁膜 70 が設けられている。

[0027] 層間絶縁膜 70 は隣り合う溝 25 の間の半導体基板 100 上に開口部を有し、半導体基板 100 の表面を覆って配置されたエミッタ電極 90 は、層間絶縁膜 70 の開口部を介してベース領域 30 とエミッタ領域 40 の上面に設けられている。上記の構成により、エミッタ電極 90 は、半導体基板 100

の表面においてベース領域 30 及びエミッタ領域 40 と電氣的に接続される。なお、エミッタ電極 90 は、溝 25 内の補助電極 65 とも電氣的に接続されている。

[0028] なお、エミッタ領域 40 は、溝 25 の延伸方向に沿って帯状に配置されている。なお、エミッタ領域 40 が溝 25 に沿って帯状に形成されているのではなく、溝 25 に沿ってベース領域 30 の上部に間欠的に複数配置しても良い。

[0029] ここで、図 1 に示した IGBT の動作について説明する。

エミッタ電極 90 とコレクタ電極 80 間に所定のコレクタ電圧を印加し、エミッタ電極 90 とゲート電極 60 間に所定のゲート電圧を印加する。例えば、ゲート電極 60 に閾値以上の所定の電位を与えると、チャネル形成領域 101 において p 型から n 型に反転してチャネルが生じる。そのチャネルを介して、エミッタ領域 40 からの電子がドリフト領域 20 に移動する。この移動した電子がコレクタ領域 10 に到達すると、コレクタ領域 10 から正孔（ホール）がドリフト領域 20 へ移動する。ここで、コレクタ領域 10 は第 5 半導体領域 11 又は半導体領域 12 との間に PN 接合を形成している。半導体領域 12 の不純物濃度が第 5 半導体領域 11 の不純物濃度よりも低く、半導体領域 12 の内蔵電位が第 5 半導体領域 11 の内蔵電位よりも低いので、コレクタ領域 10 から半導体領域 12 を通ってドリフト領域 20 に正孔が移動する。更にエミッタ領域 40 からドリフト領域 20 に移動した電子が増えると、コレクタ領域 10 から半導体領域 12 を通ってドリフト領域 20 へ移動する正孔も増加し、ベース領域 30 の下方に正孔が蓄積される。この結果、IGBT がオンしてから伝導度変調状態に早く移行して、IGBT のオン電圧が低下する。以上から、IGBT の飽和電圧は低くなる。更に電流を増加させると、コレクタ領域 10 から出る正孔の数が更に多くなり、正孔がコレクタ領域 10 から半導体領域 12 を通ってドリフト領域 20 へ移動するだけでなく、正孔がコレクタ領域 10 から第 5 半導体領域 11 を通ってもドリフト領域 20 に移動するようになる。その結果、低いオン電圧の半導体装

置を提供することができる。

[0030] なお、第5半導体領域11は第6半導体領域12よりも多くの電子が存在する。それ故、コレクタ領域10から移動した正孔が第5半導体領域11内の電子と再結合することで消滅する確率がコレクタ領域10から入る正孔が第6半導体領域12内の電子と再結合することで消滅する確率よりも高くなる。従って、定格電流付近の大電流領域において、コレクタ領域10から出た正孔がドリフト領域20内に過剰に注入されることを抑制することができる。よって、大電流時に過剰な正孔がドリフト領域内に注入することを抑制しているので、ラッチアップ現象による破壊を抑制することができる。

以上から、大電流領域でラッチアップ現象が生じ難く、低電流領域で低い内蔵電位である半導体装置を提供することができる。

[0031] 図1に示したIGBTと比較例のIGBTにおける電圧－電流特性を図2で示す。図2において、実線が図1に示したIGBTの電圧－電流特性を示し、点線が比較例のIGBTにおける電圧－電流特性を示す。なお、定格電流は図2のBであり、比較例は図1のIGBTの第6半導体領域12を第5半導体領域11に置き換えた場合の例である。図2で示すように、図1のIGBTの内蔵電位A1は比較例のIGBTの内蔵電位A2よりも低くなっている。更に定格電流Bよりも低い低電流領域において、図1のIGBTのオン電圧は比較例のIGBTのオン電圧よりも低くなっている。

[0032] 半導体装置1をオン状態からオフ状態にする場合には、ゲート電圧をしきい値電圧よりも低くし、例えば、ゲート電圧をエミッタ電圧と同じ電位又は負電位となるように制御してチャネル形成領域101を消滅させる。これにより、エミッタ領域40からドリフト領域20への電子の注入が停止する。コレクタ電極80の電位がエミッタ電極90よりも高いので、ベース領域30とドリフト領域20との界面から空乏層が広がっていく。また、ドリフト領域20に蓄積された正孔は、互いに隣接する溝25間に形成されたベース領域30を通じて、エミッタ電極90に排出される。すなわち、溝25と溝25との間のベース領域30とエミッタ電極90との接する部分が正孔の吸出

し口となる。

[0033] 図3は、図1に示したIGBTを含む活性部と活性部を囲む外周部とを含む半導体装置1の平面図を示す。図4は、半導体装置1の平面図において、第5半導体領域と第6半導体領域の配置を示す。図3の半導体装置1の平面視において、溝25の長手方向と並行するように、エミッタ領域40が設けられている。隣り合う溝25は活性部を取り囲む外周部の接続溝125と接続している。更に、溝25の外側に外周部の外周溝225を設け、外周溝225は接続溝125と接続している。第6半導体領域12は溝25の長手方向と並行するように設けられている。第6半導体領域12では無い領域が第5半導体領域11であり、第5半導体領域11と第6半導体領域12とが交互に設けられている。

[0034] ここで、図2で示すように、第6半導体領域12の長手方向の端部はエミッタ領域40の長手方向の端部よりも半導体装置1の外縁側まで延びている事が望ましい。この場合、半導体装置1内の活性領域において比較的広い範囲に第6半導体領域12が設けられるので、低電流時の飽和電圧を下げる事ができる。

[0035] 更に、溝25の長手方向の端部は、第6半導体領域12の長手方向の端部よりも半導体装置1の外縁側まで延伸していることが望ましい。この場合、半導体装置1を平面的に見て、図3で示すように、第6半導体領域12を囲むように第5半導体領域11を設けている。平面的に見て、半導体装置1の最も外側が第5半導体領域11となっており、第6半導体領域12を囲むように第5半導体領域11を設けることによって、低電流領域において、ドリフト領域20の終端領域側よりもドリフト領域20の活性領域側で正孔が多くなり、低電流領域における飽和電圧を抑制しつつ、活性領域よりも半導体装置1の外郭に近い終端領域におけるラッチアップ現象を抑制することができる。

[0036] (その他の実施形態)

上記のように、本発明は実施形態によって記載したが、この開示の一部を

なす論述及び図面はこの発明を限定するものであると理解すべきではない。
この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

- [0037] 例えば、活性領域のチャネル形成領域 101 となる溝 25 の側壁面直下が第 5 半導体領域 11 となっている事が望ましい。チャネル形成領域 101 直下から離間したコレクタ領域よりもチャネル形成領域 101 直下のコレクタ領域 10 から正孔がドリフト領域 20 へ移動し易い。チャネル形成領域 101 直下に第 5 半導体領域 11 よりも不純物濃度が低い第 6 半導体領域 12 を設けることによって、低電流時に正孔がコレクタ領域 10 からドリフト領域 20 へ移動する数が増加し、効率良く飽和電圧を下げるができる。
- [0038] また、例えば、大電流時にラッチアップ現象が生じることを抑制するため、1 つのセルとして見た時に、第 6 半導体領域 12 の総幅は第 5 半導体領域 11 の総幅よりも狭いことが望ましい。
- [0039] また、ドリフト領域 20 の厚みは第 5 半導体領域 11 の幅に比べて十分広いことが望ましい。ドリフト領域 20 の厚みが厚いことで、チャネルの延長部分の第 5 半導体領域 11 近傍のドリフト領域 20 の領域だけでなく、それよりも広い範囲で正孔を蓄積することができる。
- [0040] また、周知のプレーナ型 IGBT のフィールドストップ領域を本発明の実施形態に記載した第 5 半導体領域 11 と第 6 半導体領域 12 に置き換えても良い。
- [0041] また、周知のトレンチゲート型 IGBT のフィールドストップ領域を本発明の実施形態に記載した第 5 半導体領域 11 と第 6 半導体領域 12 に置き換えても良い。
- [0042] また、平面的に見た図 4 の第 5 半導体領域 11 と第 6 半導体領域 12 の配置を、図 5 のように第 5 半導体領域 11 内に複数のドット状の第 6 半導体領域 12 として配置してもよい。
- [0043] また、図 3 において、溝 25 が延伸する方向と第 6 半導体領域 12 が延伸する方向が並行となるように示したが、溝 25 が延伸する方向と第 6 半導体領

域 1 2 が延伸する方向が垂直となるように配置しても良い。

[0044] なお、ドリフト領域 2 0 とベース領域 3 0 との間に、ドリフト領域 2 0 よりも不純物濃度の高い n 型の半導体領域を配置してもよい。不純物濃度の高い半導体領域を配置することにより、この半導体領域の下方のドリフト領域 2 0 との界面近傍においてドリフト領域 2 0 に正孔がより多く蓄積される。その結果、オン抵抗をより低減できる。

[0045] なお、上記の構成において、導電型（p 型、n 型）を逆にしても同様の効果を奏することは明らかである。また、半導体基板 1 0 0、ゲート電極 6 0 等を構成する材料によらずに、上記の構造、製造方法を実現することができ、同様の効果を奏することも明らかである。

[0046] このように、本発明はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な請求の範囲に係る発明特定事項によってのみ定められるものである。

産業上の利用可能性

[0047] 本発明の半導体装置は、スイッチング動作を行う I G B T を含む半導体装置の用途に利用可能である。

符号の説明

[0048] 1 半導体装置
1 0 第 1 半導体領域
1 1 第 5 半導体領域
1 2 第 6 半導体領域
2 0 第 2 半導体領域
2 5 溝
3 0 第 3 半導体領域
4 0 第 4 半導体領域
5 0 絶縁膜
6 0 制御電極
6 5 補助電極

- 7 0 層間絶縁膜
- 8 0 第1の主電極
- 9 0 第2の主電極
- 1 0 0 半導体基板
- 1 2 5 接続溝
- 2 2 5 外周溝

請求の範囲

- [請求項1] 第1導電型の第1半導体領域と、
前記第1半導体領域上に配置された、第2導電型の第2半導体領域と、
、
前記第2半導体領域上に配置された、第1導電型の第3半導体領域と、
、
前記第3半導体領域上に配置された、第2導電型の第4半導体領域と、
、
前記第3半導体領域に対向して、絶縁膜を介して配置された制御電極と、
、
前記第1半導体領域と電氣的に接続された第1の主電極と、
前記第4半導体領域と電氣的に接続された第2の主電極と、
前記第1半導体領域と前記第2半導体領域との間にあって、前記第2半導体領域より不純物濃度が高い第5半導体領域と、
前記第1半導体領域と前記第2半導体領域との間にあって、前記第2半導体領域より不純物濃度が高く前記第5半導体領域より不純物濃度が低い第6半導体領域と、
を備え、
横方向に前記第5半導体領域と前記第6半導体領域が交互に配置されている事を特徴とする半導体装置。
- [請求項2] 前記第5半導体領域と前記第6半導体領域は前記第1半導体領域の上面と接している事を特徴とする請求項1の半導体装置。
- [請求項3] 前記第5半導体領域の幅は前記第6半導体領域の幅よりも広い事を特徴とする請求項1又は2の半導体装置。
- [請求項4] 前記第6半導体領域は、前記制御電極と対向する前記第3半導体領域面の領域直下に備えることを特徴とする請求項1から3の何れか1項に記載の半導体装置。
- [請求項5] 前記第3半導体領域を貫通して前記第2半導体領域に達する溝を備え

、

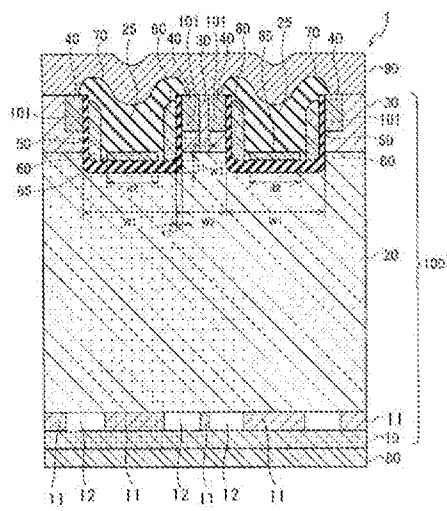
前記制御電極は前記溝内において絶縁膜を介して前記第3半導体領域と対向するように配置されており、

前記溝の溝幅が $3 \sim 20 \mu\text{m}$ であることを特徴とする請求項1から4の何れか1項に記載の半導体装置。

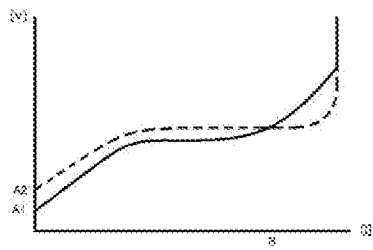
[請求項6] 平面的に見て、半導体装置1の最も外側が第5半導体領域11となっており、

前記第6半導体領域は前記第5半導体領域で囲まれている事を特徴とする請求項1から5の何れか1項に記載の半導体装置。

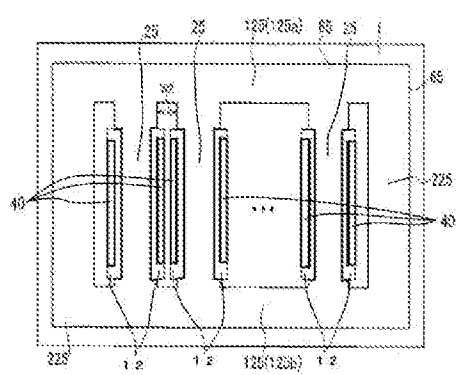
[図1]



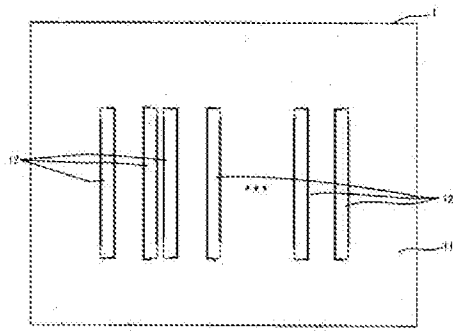
[図2]



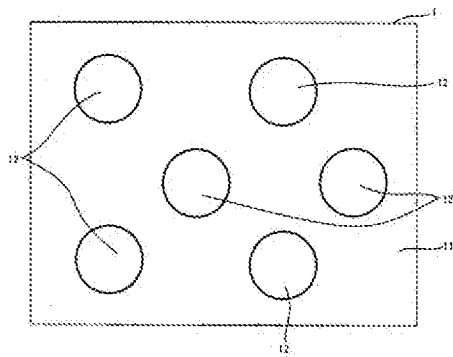
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/052834

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/739(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/739, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 9-162398 A (Mitsubishi Electric Corp.), 20 June 1997 (20.06.1997), paragraphs [0039] to [0098]; fig. 1 to 8, 11, 13, 15 & US 5981981 A column 14, line 35 to column 23, line 54; fig. 1 to 8, 11, 13, 15 & EP 0779662 A2 & DE 69610970 T2 & KR 10-0221800 B	1-3, 5-6 4
X	JP 2002-246597 A (Fuji Electric Co., Ltd.), 30 August 2002 (30.08.2002), paragraphs [0018] to [0030], [0037] to [0039]; fig. 4 (Family: none)	1-2, 4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 April 2016 (13.04.16)

Date of mailing of the international search report
26 April 2016 (26.04.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/052834

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 61-216363 A (Toshiba Corp.), 26 September 1986 (26.09.1986), page 3, upper right column, line 18 to page 5, lower left column, line 9; fig. 1 to 4 & JP 5-78949 B2	4
Y	JP 64-90561 A (Mitsubishi Electric Corp.), 07 April 1989 (07.04.1989), page 2, upper right column, line 3 to lower right column, line 12; fig. 1 (Family: none)	4

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/739(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/739, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 9-162398 A（三菱電機株式会社）1997.06.20, 段落[0039]-[0098], 図1-8, 11, 13, 15 & US 5981981 A 14 欄 35 行-23 欄 54 行, 図1-8, 11, 13, 15 & EP 0779662 A2 & DE 69610970 T2 & KR 10-0221800 B	1-3, 5-6 4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

13.04.2016

国際調査報告の発送日

26.04.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

早川 朋一

5 F

9733

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2002-246597 A (富士電機株式会社) 2002. 08. 30, 段落[0018]-[0030], [0037]-[0039], 図 4 (ファミリーなし)	1-2, 4
Y	JP 61-216363 A (株式会社東芝) 1986. 09. 26, 3 ページ右上欄 18 行-5 ページ左下欄 9 行, 図 1-4 & JP 5-78949 B2	4
Y	JP 64-90561 A (三菱電機株式会社) 1989. 04. 07, 2 ページ右上欄 3 行-右下欄 12 行, 図 1 (ファミリーなし)	4