

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年7月3日(03.07.2025)



(10) 国際公開番号

WO 2025/142014 A1

(51) 国際特許分類:
H01L 23/12 (2006.01) *H01L 21/60* (2006.01)

(21) 国際出願番号: PCT/JP2024/035507

(22) 国際出願日: 2024年10月3日(03.10.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
63/614,845 2023年12月26日(26.12.2023) US

(71) 出願人: ヌヴォトンテクノロジー
ジャパン株式会社 (NUVOTON TECHNOLOGY
CORPORATION JAPAN) [JP/JP]; 〒6178520 京
都府長岡京市神足焼町1番地 (JP).

(72) 発明者: 田口 晶英 (TAGUCHI, Masahide);
〒6178520 京都府長岡京市神足焼町1番地 ヌ
ヴォトンテクノロジージャパン株式会社内
(JP). 油井 隆(YUI, Takashi); 〒6178520 京都府
長岡京市神足焼町1番地 ヌヴォトンテクノ
ロジージャパン株式会社内 (JP).

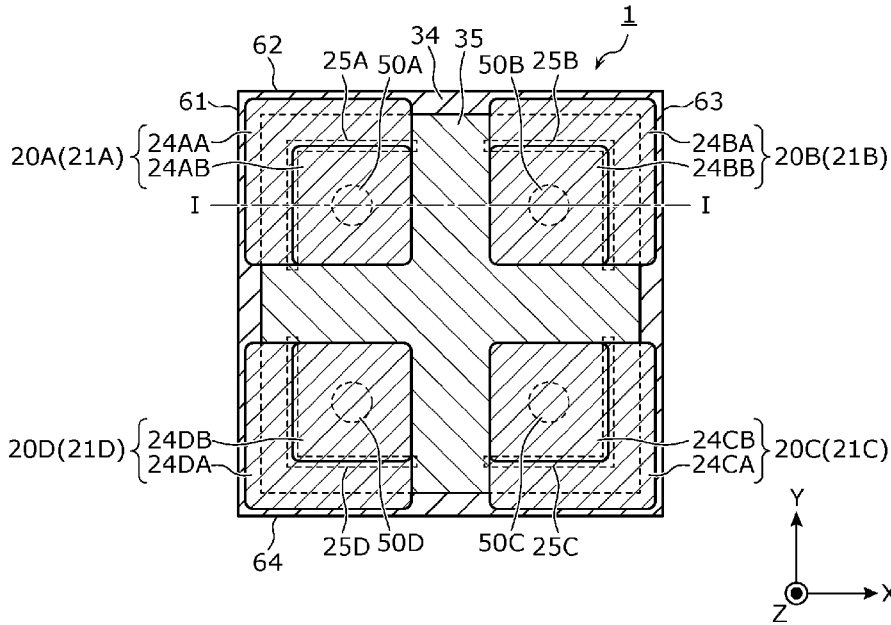
(74) 代理人: 新居 広守, 外 (NII, Hiromori et al.);
〒5320011 大阪府大阪市淀川区西中島5丁
目3番10号イトーピア新大阪ビル6階
新居国際特許事務所内 (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR MODULE

(54) 発明の名称: 半導体装置および半導体モジュール

[図1A]



(57) Abstract: A chip-sized package type semiconductor device (1) comprises a semiconductor layer (40), a plurality of pads (50), and a plurality of metal rewirings (20) each connected to at least one of the pads (50) and located above the upper surface of the semiconductor layer (40). The plurality of metal rewirings (20) include a plurality of first metal rewirings (21): which comprise first parts (24A) and second parts (24B) located above the first parts (24A); and in which, in a plan view, the second parts (24B) are contained within the first parts (24A) and the area of the second parts (24B)

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

is smaller than that of the first parts (24A). Each of the plurality of first metal rewirings (21) has, in a boundary region between the corresponding first part (24A) and second part (24B) on the surface of the first metal rewiring (21), at least one linear bending portion (25) having an interior angle greater than 180° in a cross section of the first metal rewiring (21).

(57) 要約: チップサイズパッケージ型の半導体装置 (1) であって、半導体層 (40) と、複数のパッド (50) と、それぞれが1以上のパッド (50) に接続された、半導体層 (40) の上面よりも上方に位置する複数の金属再配線 (20) と、を備え、複数の金属再配線 (20) には、第1の部分 (24A) と、第1の部分 (24A) よりも上方に位置する第2の部分 (24B)、とからなり、平面視において、第2の部分 (24B) が第1の部分 (24A) に内包され、かつ、第2の部分 (24B) の面積が第1の部分 (24A) の面積よりも小さい複数の第1の金属再配線 (21) が含まれ、複数の第1の金属再配線 (21) のそれぞれは、当該第1の金属再配線 (21) の表面における、第1の部分 (24A) と第2の部分 (24B) との境界部分に、当該第1の金属再配線 (21) の断面における内角の角度が180度より大きい1以上の線状折れ曲がり部 (25) を有する。

明 細 書

発明の名称：半導体装置および半導体モジュール

技術分野

[0001] 本開示は、半導体装置および半導体モジュールに関する。

背景技術

[0002] 従来、チップサイズパッケージ型の半導体装置を、はんだ部材を介して実装基板に実装する技術が知られている。

[0003] また、従来、半導体チップを樹脂、ベース部材等で封止した半導体装置においては、半導体装置を実装基板に実装する際に、半導体装置の端子と、実装基板のランドパターンとを、半導体装置の平面視において、少なくとも一部が半導体装置の外部にはみ出しているはんだ接合材からなるはんだフィレットを介して接合させる技術が知られている（例えば、特許文献1参照）。

[0004] この技術を利用することで、半導体チップを樹脂、ベース部材等で封止した半導体装置においては、半導体装置を実装基板に実装する際に、半導体装置の端子と、実装基板のランドパターンとが、はんだ接合材を介して接合しているか否かを外観により確認することができる。

先行技術文献

特許文献

[0005] 特許文献1：特開2020-043236号公報

発明の概要

発明が解決しようとする課題

[0006] 一方で、従来、チップサイズパッケージ型の半導体装置においては、半導体装置を実装基板に実装する際に、半導体装置の端子と、実装基板のランドパターンとを、半導体装置の平面視において、少なくとも一部が半導体装置の外部にはみ出しているはんだ接合材からなるはんだフィレットを介して接合させる技術は実現されていない。

[0007] このため、従来、チップサイズパッケージ型の半導体装置においては、半

導体装置を実装基板に実装する際に、半導体装置の端子と、実装基板のランドパターンとが、はんだ接合材を介して接合しているか否かを外観により確認することができない。

[0008] そこで、本開示は、チップサイズパッケージ型の半導体装置を実装基板に実装する際に、半導体装置の端子と、実装基板のランドパターンとが、はんだ接合材を介して接合しているか否かを外観により確認することができる半導体装置等を提供することを目的とする。

課題を解決するための手段

[0009] 本開示の一態様に係る半導体装置は、チップサイズパッケージ型の半導体装置であって、半導体層と、前記半導体層に形成された1以上の縦型MOSトランジスタと、前記半導体層の上面よりも上方に位置し、複数の開口部を有する保護膜と、前記複数の開口部のそれぞれにおいて前記保護膜の外部に露出する複数のパッドであって、それぞれが、前記1以上の縦型MOSトランジスタのいずれかの端子として機能する前記複数のパッドと、前記半導体層の上面よりも上方に位置する複数の金属再配線であって、それぞれが、前記複数のパッドのうちの、互いに重複しないいずれか1以上のパッドに接続された複数の金属再配線と、を備え、前記半導体装置の平面視において、前記保護膜は、前記半導体層に内包され、前記複数の金属再配線のそれぞれは、前記半導体層に内包され、かつ、当該金属再配線に接続される前記1以上のパッドを内包し、前記複数の金属再配線には、第1の部分と、前記第1の部分よりも上方に位置する第2の部分とからなる複数の第1の金属再配線であって、前記平面視において、前記第2の部分が前記第1の部分に内包され、かつ、前記第2の部分の面積が前記第1の部分の面積よりも小さい前記複数の第1の金属再配線が含まれ、前記複数の第1の金属再配線のそれぞれは、当該第1の金属再配線の表面における、前記第1の部分と前記第2の部分との境界部分に、当該第1の金属再配線の断面における内角の角度が180度より大きい1以上の線状折れ曲がり部を有し、前記平面視において、前記1以上の線状折れ曲がり部には、前記半導体装置の外周側に面する部分が存

在する。

[0010] 本開示の一態様に係る半導体モジュールは、上記の半導体装置と、前記半導体装置がフェイスダウン実装された実装基板と、を備え、前記実装基板は、前記半導体装置が備える複数の金属再配線のそれぞれと1対1で対応する複数のランドパターンを有し、前記複数のランドパターンのそれぞれは、当該ランドパターンに対応する、前記複数の金属再配線のうちの1の金属再配線に、はんだ接合材からなるはんだフィレットを介して接合し、前記平面視において、前記複数のランドパターンのそれぞれにおける、当該ランドパターンの面積は、当該ランドパターンに対応する、前記複数の金属再配線のうちの1の金属再配線の面積よりも大きく、前記複数のランドパターンのそれぞれは、前記半導体装置に内包されない部分を有し、前記複数の第1の金属再配線のそれぞれにおける前記1以上の線状折れ曲がり部は、当該第1の金属再配線に対応する前記はんだフィレットで埋められている。

[0011] 本開示の一態様に係る半導体モジュールは、上記の半導体装置と、前記半導体装置がフェイスダウン実装された実装基板と、を備え、前記実装基板は、前記半導体装置が備える複数の金属再配線のそれぞれと1対1で対応する複数のランドパターンを有し、前記複数のランドパターンのそれぞれは、当該ランドパターンに対応する、前記複数の金属再配線のうちの1の金属再配線に、当該ランドパターンに対応する、はんだ接合材からなるはんだフィレットを介して接合し、前記平面視において、前記複数のランドパターンのそれぞれにおける、当該ランドパターンの面積は、当該ランドパターンに対応する、前記複数の金属再配線のうちの1の金属再配線の面積よりも大きく、前記複数のランドパターンのそれぞれは、前記半導体装置に内包されない部分を有し、前記複数の第1の金属再配線のそれぞれにおける前記1以上の線状折れ曲がり部は、前記はんだフィレットで埋められており、前記平面視において、前記複数のランドパターンのうちの、前記第1の特定金属再配線に対応する第1のランドパターンは、前記第1の辺を超えて前記半導体装置の外側に広がる領域と、前記第2の辺を超えて前記半導体装置の外側に広がる

領域とを有し、前記複数のランドパターンのうちの、前記第2の特定金属再配線に対応する第2のランドパターンは、前記第2の辺を超えて前記半導体装置の外側に広がる領域と、前記第3の辺を超えて前記半導体装置の外側に広がる領域とを有し、前記複数のランドパターンのうちの、前記第3の特定金属再配線に対応する第3のランドパターンは、前記第3の辺を超えて前記半導体装置の外側に広がる領域と、前記第4の辺を超えて前記半導体装置の外側に広がる領域とを有し、前記複数のランドパターンのうちの、前記第4の特定金属再配線に対応する第4のランドパターンは、前記第4の辺を超えて前記半導体装置の外側に広がる領域と、前記第1の辺を超えて前記半導体装置の外側に広がる領域とを有する。

発明の効果

[0012] 本開示の一態様に係る半導体装置等によると、チップサイズパッケージ型の半導体装置を実装基板に実装する際に、半導体装置の端子と、実装基板のランドパターンとが、はんだ接合材を介して接合しているか否かを外観により確認することができる半導体装置等が提供される。

図面の簡単な説明

[0013] [図1A]図1 Aは、実施の形態に係る半導体装置の構造の一例を示す平面図である。

[図1B]図1 Bは、実施の形態に係る半導体装置の構造の一例を示す平面図である。

[図2]図2は、実施の形態に係る半導体装置の構造の一例を示す断面模式図である。

[図3]図3は、実施の形態に係る半導体装置の回路図である。

[図4A]図4 Aは、実施の形態に係る半導体モジュールの構造の一例を示す平面図である。

[図4B]図4 Bは、実施の形態に係る半導体モジュールの平面視における、半導体モジュールの構成要素の位置関係の一例を示す平面図である。

[図5]図5は、実施の形態に係る半導体モジュールの構造の一例を示す断面模

式図である。

[図6A]図 6 A は、実施の形態に係る半導体装置の構造の一例を示す断面模式図である。

[図6B]図 6 B は、実施の形態に係る半導体装置の構造の一例を示す断面模式図である。

[図7]図 7 は、実施の形態に係る半導体装置の構造の一例を示す断面模式図である。

[図8A]図 8 A は、実施の形態に係る半導体装置の構造の一例を示す平面図である。

[図8B]図 8 B は、実施の形態に係る半導体装置の構造の一例を示す平面図である。

[図8C]図 8 C は、実施の形態に係る半導体装置の構造の一例を示す平面図である。

[図8D]図 8 D は、実施の形態に係る半導体装置の構造の一例を示す平面図である。

[図8E]図 8 E は、実施の形態に係る半導体装置の構造の一例を示す平面図である。

[図9]図 9 は、実施の形態に係る半導体装置の構造の一例を示す断面模式図である。

[図10]図 1 0 は、実施の形態に係る半導体モジュールの構造の一例を示す断面模式図である。

[図11]図 1 1 は、実施の形態に係る半導体装置の構造の一例を示す平面図である。

[図12]図 1 2 は、実施の形態に係る半導体装置の構造の一例を示す平面図である。

[図13]図 1 3 は、実施の形態に係る半導体装置の構造の一例を示す平面図である。

[図14]図 1 4 は、実施の形態に係る半導体装置の構造の一例を示す平面図で

ある。

[図15]図 1 5 は、実施の形態に係る半導体装置の構造の一例を示す平面図である。

発明を実施するための形態

[0014] (本開示の一態様を得るに至った経緯)

上述したように、従来、チップサイズパッケージ型の半導体装置においては、半導体装置を実装基板に実装する際に、半導体装置の端子と、実装基板のランドパターンとが、はんだ接合材を介して接合しているか否かを外観により確認することができない。

[0015] このため、チップサイズパッケージ型の半導体装置においては、半導体装置の端子と、実装基板のランドパターンとが、はんだ接合材を介して接合しているか否かを確認するためには、例えば、X線透過装置を使用する必要がある。

[0016] このため、チップサイズパッケージ型の半導体装置においては、半導体装置の端子と、実装基板のランドパターンとが、はんだ接合材を介して接合しているか否かを効率的に確認することが難しい。

[0017] これに対して、チップサイズパッケージ型の半導体装置において、半導体装置の端子と、実装基板のランドパターンとが、はんだ接合材を介して接合しているか否かを外観により確認することができれば、例えば、自動光学検査 (AOI: Automated Optical Inspection) を行う基板外観検査装置を利用して、半導体装置の端子と、実装基板のランドパターンとが、はんだ接合材を介して接合しているか否かを効率的に確認することができる。

[0018] そこで、発明者らは、チップサイズパッケージ型の半導体装置において、半導体装置の端子と、実装基板のランドパターンとが、はんだ接合材を介して接合しているか否かを外観により確認することができる技術を実現すべく、鋭意、実験、検討を重ねた。

[0019] その結果、発明者らは、下記本開示に係る半導体装置等に想到した。

[0020] 本開示の一態様に係る半導体装置は、チップサイズパッケージ型の半導体装置であって、半導体層と、前記半導体層に形成された１以上の縦型ＭＯＳトランジスタと、前記半導体層の上面よりも上方に位置し、複数の開口部を有する保護膜と、前記複数の開口部のそれぞれにおいて前記保護膜の外部に露出する複数のパッドであって、それぞれが、前記１以上の縦型ＭＯＳトランジスタのいずれかの端子として機能する前記複数のパッドと、前記半導体層の上面よりも上方に位置する複数の金属再配線であって、それぞれが、前記複数のパッドのうちの、互いに重複しないいずれか１以上のパッドに接続された複数の金属再配線と、を備え、前記半導体装置の平面視において、前記保護膜は、前記半導体層に内包され、前記複数の金属再配線のそれぞれは、前記半導体層に内包され、かつ、当該金属再配線に接続される前記１以上のパッドを内包し、前記複数の金属再配線には、第１の部分と、前記第１の部分よりも上方に位置する第２の部分とからなる複数の第１の金属再配線であって、前記平面視において、前記第２の部分が前記第１の部分に内包され、かつ、前記第２の部分の面積が前記第１の部分の面積よりも小さい前記複数の第１の金属再配線が含まれ、前記複数の第１の金属再配線のそれぞれは、当該第１の金属再配線の表面における、前記第１の部分と前記第２の部分との境界部分に、当該第１の金属再配線の断面における内角の角度が１８０度より大きい１以上の線状折れ曲がり部を有し、前記平面視において、前記１以上の線状折れ曲がり部には、前記半導体装置の外周側に面する部分が存在する。

[0021] 上記構成の半導体装置によると、上記構成のチップサイズパッケージ型の半導体装置を、複数の金属再配線のそれぞれに対応する複数のランドパターンを有する実装基板に実装する際に、複数の金属再配線のそれぞれと、複数のランドパターンのそれぞれとに接合する、半導体装置の平面視において、少なくとも一部が半導体装置の外部にはみ出しているはんだ接合材からなる複数のはんだフィレットを形成することができる。

[0022] このため、上記構成の半導体装置によると、上記構成のチップサイズパッ

ケージ型の半導体装置を実装基板に実装する際に、半導体装置の端子として機能する複数のパッドと、実装基板の複数のランドパターンとを、上記複数のはんだフィレットを介して接合させることができる。

[0023] したがって、上記構成の半導体装置によると、チップサイズパッケージ型の半導体装置を実装基板に実装する際に、半導体装置の端子と、実装基板のランドパターンとが、はんだ接合材を介して接合しているか否かを外観により確認することができる半導体装置が提供される。

[0024] また、上述した通り、上記構成の半導体装置によると、上記構成のチップサイズパッケージ型の半導体装置を実装基板に実装する際に、半導体装置の端子と、実装基板のランドパターンとを、上記はんだフィレットを介して接合させることができる。

[0025] このため、上記構成の半導体装置によると、半導体装置の端子と、実装基板のランドパターンとを、上記はんだフィレットを形成しない状態のはんだ接合材を介して接合させる半導体装置に比べて、半導体装置の端子と、実装基板のランドパターンとの接合領域における応力の過度な集中を抑制することができる。

[0026] したがって、上記構成の半導体装置によると、半導体装置と実装基板とが接合されて構成される半導体モジュールの信頼性を向上させることができる。

[0027] 一般に、線状折れ曲がり部を有する金属再配線の方が、線状折れ曲がり部を有さない金属再配線よりも、より強固に接合材と接合する。

[0028] 上記構成の半導体装置によると、複数の金属再配線のうちの複数個は、1以上の線状折れ曲がり部を有する第1の金属再配線である。

[0029] このため、上記構成の半導体装置によると、金属再配線とはんだフィレットとの接合を比較的強固なものとすることができる。

[0030] したがって、上記構成の半導体装置によると、半導体装置と実装基板とが接合されて構成される半導体モジュールの信頼性をさらに向上させることができる。

- [0031] また、前記第２の部分の、前記半導体層の上面から法線が伸びる方向における長さは、前記第１の部分の、前記法線が伸びる方向における長さよりも長いとしてもよい。
- [0032] これにより、複数の第１の金属再配線のそれぞれに接合されるはんだフィレットを、比較的高くすることができる。
- [0033] このため、半導体装置の端子と、実装基板のランドパターンとの接合領域における応力の過度な集中をさらに抑制することができる。
- [0034] したがって、上記構成の半導体装置によると、半導体装置と実装基板とが接合されて構成される半導体モジュールの信頼性をさらに向上させることができる。
- [0035] また、前記第２の部分の側面のうちの、前記平面視における前記半導体装置の外周側に面する領域内に、前記半導体層の上面に対する仰角が９０度未満となる領域が存在するとしてもよい。
- [0036] これにより、はんだフィレットと第１の金属再配線との接合強度を向上させることができる。
- [0037] また、前記平面視において、前記保護膜の外周は、前記半導体層の外周よりも内側に位置し、前記第１の部分の最下面は、前記法線が伸びる方向において前記パッドよりも前記半導体層の上面に近く、前記平面視において、前記半導体層に内包され、かつ、前記保護膜の外周に内包されないとしてもよい。
- [0038] これにより、複数の第１の金属再配線のそれぞれに接合されるはんだフィレットを、さらに高くすることができる。
- [0039] このため、半導体装置の端子と、実装基板のランドパターンとの接合領域における応力の過度な集中をさらに抑制することができる。
- [0040] したがって、上記構成の半導体装置によると、半導体装置と実装基板とが接合されて構成される半導体モジュールの信頼性をさらに向上させることができる。
- [0041] また、前記平面視において、前記第１の部分の外周には、前記保護膜の外

周に内包されない部分が存在し、前記第 2 の部分は、前記保護膜の外周に内包されるとしてもよい。

[0042] また、前記複数の金属再配線のそれぞれは、金を含まない第 1 の金属からなる第 1 の金属層と、金を含む第 2 の金属からなる第 2 の金属層とを含む多層構造であり、前記第 1 の部分の側面には、前記平面視において、前記半導体層の側面と一致する第 1 の領域が存在し、前記第 1 の領域の少なくとも一部で、前記第 1 の金属が露出するとしてもよい。

[0043] 一般に、はんだ接合材が金錫はんだである場合には、金を含まない金属とはんだ接合材とは接合しない。

[0044] このため、上記構成の半導体装置によると、はんだ接合材が金錫はんだである場合において、はんだ接合材と半導体層の側面とが接触してしまうことを抑制することができる。

[0045] また、前記複数の金属再配線のそれぞれは、金を含まない第 1 の金属からなる第 1 の金属層と、金を含む第 2 の金属からなる第 2 の金属層とを含む多層構造であり、前記第 1 の部分の側面は、前記平面視において、前記半導体層の側面よりも内側に位置し、前記第 1 の部分の側面の全体において、前記第 1 の金属が露出せず、前記第 2 の金属が露出するとしてもよい。

[0046] 一般に、はんだ接合材が金錫はんだである場合には、金を含む金属とはんだ接合材とは良好に接合する。

[0047] このため、上記構成の半導体装置によると、はんだ接合材が金錫はんだである場合において、金属再配線とはんだフィレットとの接合を比較的強固なものとすることができる。

[0048] したがって、上記構成の半導体装置によると、半導体装置と実装基板とが接合されて構成される半導体モジュールの信頼性をさらに向上させることができる。

[0049] また、前記平面視において、前記 1 以上の線状折れ曲がり部には、さらに、前記半導体装置の中央側に面する部分も存在し、前記 1 以上の線状折れ曲がり部のうちの、前記半導体装置の外周側に面する部分における、当該部分

と前記第 1 の部分の外周部分との最短距離は、前記 1 以上の線状折れ曲がり部のうちの、前記半導体装置の中央側に面する部分における、当該部分と前記第 1 の部分の外周部分との最短距離よりも長いとしてもよい。

[0050] これにより、第 1 の金属再配線とはんだフィレットとの接合をより強固なものとすることができる。

[0051] したがって、上記構成の半導体装置によると、半導体装置と実装基板とが接合されて構成される半導体モジュールの信頼性をさらに向上させることができる。

[0052] また、前記複数の金属再配線の数と前記複数のパッドの数とは等しいとしてもよい。

[0053] これにより、半導体装置と実装基板とが接合されて構成される半導体モジュールにおいて、半導体装置の複数のパッドの全てを有効に利用することができる。

[0054] したがって、上記構成の半導体装置によると、半導体モジュールにおいて、半導体装置の複数のパッドの全てを有効に利用することが出来ない場合に比べて、より特性のよい半導体モジュールを実現することができる。

[0055] また、前記複数の金属再配線の全てが、前記複数の第 1 の金属再配線であるとしてもよい。

[0056] これにより、複数の金属再配線の全てにおいて、金属再配線とはんだフィレットとの接合を比較的強固なものとすることができる。

[0057] したがって、上記構成の半導体装置によると、半導体装置と実装基板とが接合されて構成される半導体モジュールの信頼性をさらに向上させることができる。

[0058] また、前記平面視において、前記半導体層は矩形であり、前記複数のパッドには、前記半導体層の第 1 の辺および前記第 1 の辺と直交する前記半導体層の第 2 の辺との間に他のパッドを含まない第 1 のパッドと、前記第 2 の辺および前記第 2 の辺と直交する前記半導体層の第 3 の辺との間に他のパッドを含まない第 2 のパッドと、前記第 3 の辺および前記第 3 の辺と直交する前

記半導体層の第4の辺との間に他のパッドを含まない第3のパッドと、前記第4の辺および前記第1の辺との間に他のパッドを含まない第4のパッドとが含まれ、前記複数の金属再配線のうち、前記第1のパッドに接続される第1の特定金属再配線と、前記第2のパッドに接続される第2の特定金属再配線と、前記第3のパッドに接続される第3の特定金属再配線と、前記第4のパッドに接続される第4の特定金属再配線とのそれぞれは、前記複数の第1の金属再配線のうちのいずれかであるとしてもよい。

[0059] これにより、半導体装置の平面視において、矩形である半導体装置の四隅に位置する4つの金属再配線において、金属再配線とはんだフィレットとの接合を比較的強固なものとすることができる。

[0060] したがって、上記構成の半導体装置によると、半導体装置と実装基板とが接合されて構成される半導体モジュールの信頼性をさらに向上させることができる。

[0061] また、前記第1の特定金属再配線と、前記第2の特定金属再配線と、前記第3の特定金属再配線と、前記第4の特定金属再配線とのそれぞれは、前記複数のパッドのうちの、2つ以上のパッドに接続されるとしてもよい。

[0062] また、前記複数のパッドのうち、前記第1のパッドと、前記第2のパッドと、前記第3のパッドと、前記第4のパッドとを除く1以上の特定パッドの少なくとも1つは、前記複数の金属再配線のいずれにも接続されないとしてもよい。

[0063] これにより、少なくとも1つのパッドを金属再配線に接続させずに済ませながら、半導体装置の平面視において矩形である半導体装置の四隅に位置する4つの金属再配線において、金属再配線とはんだフィレットとの接合を比較的強固なものとすることができる。

[0064] したがって、上記構成の半導体装置によると、半導体装置と実装基板とが接合されて構成される半導体モジュールの信頼性を維持しながら、金属再配線を形成するためのコストを抑制することができる。

[0065] また、前記複数のパッドのうち、前記第1のパッドと、前記第2のパッド

と、前記第3のパッドと、前記第4のパッドとを除く1以上の特定パッドの少なくとも1つは、前記複数の金属再配線のうちの、前記複数の第1の金属再配線ではない、前記1以上の線状折れ曲がり部を有さない第2の金属再配線に接続されるとしてもよい。

[0066] これにより、1以上の特定パッドの少なくとも1つに接続する金属再配線を、半導体装置の平面視において、第1の金属再配線よりも小さな第2の金属再配線とすることができる。

[0067] したがって、上記構成の半導体装置によると、半導体装置の平面視における面積の増加を抑制することができる。

[0068] 本開示の一態様に係る半導体モジュールは、上記の半導体装置と、前記半導体装置がフェイスダウン実装された実装基板と、を備え、前記実装基板は、前記半導体装置が備える複数の金属再配線のそれぞれと1対1で対応する複数のランドパターンを有し、前記複数のランドパターンのそれぞれは、当該ランドパターンに対応する、前記複数の金属再配線のうちの1の金属再配線に、はんだ接合材からなるはんだフィレットを介して接合し、前記平面視において、前記複数のランドパターンのそれぞれにおける、当該ランドパターンの面積は、当該ランドパターンに対応する、前記複数の金属再配線のうちの1の金属再配線の面積よりも大きく、前記複数のランドパターンのそれぞれは、前記半導体装置に内包されない部分を有し、前記複数の第1の金属再配線のそれぞれにおける前記1以上の線状折れ曲がり部は、当該第1の金属再配線に対応する前記はんだフィレットで埋められている。

[0069] 上記構成の半導体モジュールによると、複数の金属再配線のそれぞれと、複数のランドパターンのそれぞれとが、半導体装置の平面視において、少なくとも一部が半導体装置の外部にはみ出しているはんだ接合材からなるはんだフィレットを介して接合される。

[0070] したがって、上記構成の半導体モジュールによると、チップサイズパッケージ型の半導体装置を実装基板に実装する際に、半導体装置の端子と、実装基板のランドパターンとが、はんだ接合材を介して接合しているか否かを外

観により確認することができる半導体モジュールが提供される。

[0071] また、上述した通り、上記構成の半導体モジュールによると、上記構成のチップサイズパッケージ型の半導体装置を実装基板に実装する際に、半導体装置の端子と、実装基板のランドパターンとが、上記はんだフィレットを介して接合される。

[0072] このため、上記構成の半導体モジュールによると、半導体装置の端子と、実装基板のランドパターンとが、上記はんだフィレットを形成しない状態のはんだ接合材を介して接合される、従来型の半導体モジュールに比べて、半導体装置の端子と、実装基板のランドパターンとの接合領域における応力の過度な集中を抑制することができる。

[0073] したがって、上記構成の半導体モジュールによると、半導体モジュールの信頼性を向上させることができる。

[0074] 一般に、線状折れ曲がり部を有する金属再配線の方が、線状折れ曲がり部を有さない金属再配線よりも、より強固に接合材と接合する。

[0075] 上記構成の半導体モジュールによると、複数の金属再配線のうちの複数個は、1以上の線状折れ曲がり部を有する第1の金属再配線である。

[0076] このため、上記構成の半導体モジュールによると、金属再配線とはんだフィレットとの接合を比較的強固なものとすることができる。

[0077] したがって、上記構成の半導体モジュールによると、半導体モジュールの信頼性をさらに向上させることができる。

[0078] 本開示の一態様に係る半導体モジュールは、上記の半導体装置と、前記半導体装置がフェイスダウン実装された実装基板と、を備え、前記実装基板は、前記半導体装置が備える複数の金属再配線のそれぞれと1対1で対応する複数のランドパターンを有し、前記複数のランドパターンのそれぞれは、当該ランドパターンに対応する、前記複数の金属再配線のうちの1の金属再配線に、当該ランドパターンに対応する、はんだ接合材からなるはんだフィレットを介して接合し、前記平面視において、前記複数のランドパターンのそれぞれにおける、当該ランドパターンの面積は、当該ランドパターンに対応

する、前記複数の金属再配線のうちの１の金属再配線の面積よりも大きく、前記複数のランドパターンのそれぞれは、前記半導体装置に内包されない部分を有し、前記複数の第１の金属再配線のそれぞれにおける前記１以上の線状折れ曲がり部は、前記はんだフィレットで埋められており、前記平面視において、前記複数のランドパターンのうちの、前記第１の特定金属再配線に対応する第１のランドパターンは、前記第１の辺を超えて前記半導体装置の外側に広がる領域と、前記第２の辺を超えて前記半導体装置の外側に広がる領域とを有し、前記複数のランドパターンのうちの、前記第２の特定金属再配線に対応する第２のランドパターンは、前記第２の辺を超えて前記半導体装置の外側に広がる領域と、前記第３の辺を超えて前記半導体装置の外側に広がる領域とを有し、前記複数のランドパターンのうちの、前記第３の特定金属再配線に対応する第３のランドパターンは、前記第３の辺を超えて前記半導体装置の外側に広がる領域と、前記第４の辺を超えて前記半導体装置の外側に広がる領域とを有し、前記複数のランドパターンのうちの、前記第４の特定金属再配線に対応する第４のランドパターンは、前記第４の辺を超えて前記半導体装置の外側に広がる領域と、前記第１の辺を超えて前記半導体装置の外側に広がる領域とを有する。

[0079] 上記構成の半導体モジュールによると、複数の金属再配線のそれぞれと、複数のランドパターンのそれぞれとが、半導体装置の平面視において、少なくとも一部が半導体装置の外部にはみ出しているはんだ接合材からなるはんだフィレットを介して接合される。

[0080] したがって、上記構成の半導体モジュールによると、チップサイズパッケージ型の半導体装置を実装基板に実装する際に、半導体装置の端子と、実装基板のランドパターンとが、はんだ接合材を介して接合しているか否かを外観により確認することができる半導体モジュールが提供される。

[0081] また、上述した通り、上記構成の半導体モジュールによると、上記構成のチップサイズパッケージ型の半導体装置を実装基板に実装する際に、半導体装置の端子と、実装基板のランドパターンとが、上記はんだフィレットを介

して接合される。

[0082] このため、上記構成の半導体モジュールによると、半導体装置の端子と、実装基板のランドパターンとが、上記はんだフィレットを形成しない状態のはんだ接合材を介して接合される半導体装置に比べて、半導体装置の端子と、実装基板のランドパターンとの接合領域における応力の過度な集中を抑制することができる。

[0083] したがって、上記構成の半導体モジュールによると、半導体モジュールの信頼性を向上させることができる。

[0084] 一般に、線状折れ曲がり部を有する金属再配線の方が、線状折れ曲がり部を有さない金属再配線よりも、より強固に接合材と接合する。

[0085] 上記構成の半導体モジュールによると、複数の金属再配線のうちの複数個は、1以上の線状折れ曲がり部を有する第1の金属再配線である。

[0086] このため、上記構成の半導体モジュールによると、金属再配線とはんだフィレットとの接合を比較的強固なものとすることができる。

[0087] したがって、上記構成の半導体モジュールによると、半導体モジュールの信頼性をさらに向上させることができる。

[0088] また、上記構成の半導体モジュールによると、半導体装置に対して、第1の辺および第3の辺の延びる方向と、第2の辺および第4の辺の延びる方向とのいずれの方向、または、双方向の力が加わったとしても、金属再配線とはんだフィレットとの接合を比較的強固なものとすることができる。

[0089] したがって、上記構成の半導体モジュールによると、半導体モジュールの信頼性をさらに向上させることができる。

[0090] 以下、本開示の一態様に係る半導体装置等の具体例について、図面を参照しながら説明する。ここで示す実施の形態は、いずれも本開示の一具体例を示すものである。したがって、以下の実施の形態で示される数値、形状、構成要素、構成要素の配置および接続形態、ならびに、ステップ（工程）およびステップの順序等は、一例であって本開示を限定する趣旨ではない。また、各図は、模式図であり、必ずしも厳密に図示されたものではない。各図に

において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化する。

[0091] (実施の形態)

＜半導体装置の構造＞

図1 Aは、実施の形態に係る半導体装置1の構造の一例を示す平面図である。

[0092] 図1 Aでは、パッド50 A（後述）と、パッド50 B（後述）と、パッド50 C（後述）と、パッド50 D（後述）とを、あたかも半導体装置1の外部から視認できるかの如く破線で示しているが、実際には、これらを半導体装置1の外部から直接視認することはできない。

[0093] また、図1 Aでは、保護膜35（後述）のうち、金属再配線20 A（後述）に隠れている部分と、金属再配線20 B（後述）に隠れている部分と、金属再配線20 C（後述）に隠れている部分と、金属再配線20 D（後述）に隠れている部分とを、あたかも半導体装置1の外部から視認できるかの如く破線で示しているが、実際には、これらの部分を半導体装置1の外部から直接視認することはできない。

[0094] 図1 Bは、半導体装置1から、金属再配線20 A（後述）と、金属再配線20 B（後述）と、金属再配線20 C（後述）と、金属再配線20 D（後述）とを削除したと仮定した場合における半導体装置1の構造の一例を示す平面図である。図1 Bでは、電極60 A（後述）と、電極60 B（後述）と、電極60 C（後述）とを、あたかも、金属再配線20 Aと、金属再配線20 Bと、金属再配線20 Cと、金属再配線20 Dとを削除したと仮定した場合における半導体装置1の外部から視認できるかの如く破線で示しているが、実際には、これらを、金属再配線20 Aと、金属再配線20 Bと、金属再配線20 Cと、金属再配線20 Dとを削除したと仮定した場合における半導体装置1の外部から直接視認することはできない。

[0095] 図2は、半導体装置1の構造の一例を示す断面模式図であって、図1 AのI-Iにおける半導体装置1の切断面を模式的に示す断面模式図である。

- [0096] 図1A、図1B、図2に示すように、半導体装置1は、半導体層40と、酸化膜34と、保護膜35と、金属層30と、複数の電極60（ここでは、電極60Aと、電極60Bと、電極60Cとが対応）と、複数のパッド50（ここでは、パッド50Aと、パッド50Bと、パッド50Cと、パッド50Dとが対応）と、複数の金属再配線20（ここでは、金属再配線20Aと、金属再配線20Bと、金属再配線20Cと、金属再配線20Dとが対応）と、を備える。
- [0097] ここでは、複数の電極60が、電極60Aと、電極60Bと、電極60Cとの3つである構成を例に挙げて説明するが、これは一例であって、複数の電極60は、必ずしも、3つである構成に限定される必要はない。
- [0098] 以下の説明において、電極60Aと、電極60Bと、電極60Cとを明示的に区別して説明する必要がある場合を除き、電極60Aと、電極60Bと、電極60Cとのことを、単に、電極60とも称する。
- [0099] また、ここでは、複数のパッド50が、パッド50Aと、パッド50Bと、パッド50Cと、パッド50Dとの4つである構成を例に挙げて説明するが、これは一例であって、複数のパッド50は、必ずしも、4つである構成に限定される必要はない。
- [0100] 以下の説明において、パッド50Aと、パッド50Bと、パッド50Cと、パッド50Dとを明示的に区別して説明する必要がある場合を除き、パッド50Aと、パッド50Bと、パッド50Cと、パッド50Dとのことを、単に、パッド50とも称する。
- [0101] また、ここでは、複数の金属再配線20が、金属再配線20Aと、金属再配線20Bと、金属再配線20Cと、金属再配線20Dとの4つである構成を例に挙げて説明するが、これは一例であって、複数の金属再配線20は、必ずしも、4つである構成に限定される必要はない。
- [0102] 以下の説明において、金属再配線20Aと、金属再配線20Bと、金属再配線20Cと、金属再配線20Dとを明示的に区別して説明する必要がある場合を除き、金属再配線20Aと、金属再配線20Bと、金属再配線20C

と、金属再配線 20D とのことを、単に、金属再配線 20 とも称する。

[0103] 半導体層 40 は、半導体基板 32 と低濃度不純物層 33 とが積層されて構成される。

[0104] 半導体層 40 は、必ずしも限定される必要のない一例として、半導体装置 1 の平面視において矩形であってよい。

[0105] 以下では、半導体層 40 は、半導体装置 1 の平面視において矩形であるとして説明する。

[0106] 半導体基板 32 は、半導体層 40 の裏面側に配置され、第 1 の濃度の不純物を含む第 1 導電型のシリコンからなる。

[0107] 低濃度不純物層 33 は、半導体層 40 の表面側に配置され、半導体基板 32 に接触して形成され、第 1 の濃度よりも低い第 2 の濃度の不純物を含む第 1 導電型のシリコンからなる。低濃度不純物層 33 は、例えば、エピタキシャル成長により半導体基板 32 上に形成されるときもよい。

[0108] 一般に、半導体の導電型には、P 型と N 型との 2 種類の導電型が存在する。第 1 導電型は、P 型であってもよいし、N 型であってもよい。ここでは、説明の都合上、第 1 導電型が N 型であり、後述の第 2 導電型が P 型であるとして説明する。しかしながら、第 1 導電型が P 型であり、第 2 導電型が N 型であるとしても構わない。

[0109] 酸化膜 34 は、半導体層 40 の上面に配置され、低濃度不純物層 33 に接触して形成される。

[0110] 保護膜 35 は、半導体層 40 よりも上面に位置し、半導体装置 1 の平面視において半導体層 40 に内包され、複数の開口部を有する。より具体的には、保護膜 35 は、酸化膜 34、電極 60A、電極 60B、および、電極 60C の上面を被覆する保護膜であって、パッド 50A を保護膜 35 の外部に露出させる開口部、パッド 50B を保護膜 35 の外部に露出させる開口部、パッド 50C を保護膜 35 の外部に露出させる開口部、および、パッド 50D を保護膜 35 の外部に露出させる開口部を有する。

[0111] ここでは、複数の開口部が、上記 4 つの開口部である構成を例に挙げて説

明するが、これは一例であって、複数の開口部は、必ずしも、４つである構成に限定される必要はない。

[0112] ここで、保護膜３５が、酸化膜３４、電極６０Ａ、電極６０Ｂ、および、電極６０Ｃの上面を被覆するとは、半導体装置１の平面視において、開口部を除く半導体装置１のほぼ全面で保護膜３５が製膜されている状態のことをいう。ここで、半導体装置１のほぼ全面とは、半導体装置１をウェーハからダイシングして切り出す際のダイシングマージンとして確保されたウェーハの領域のうち、ダイシング後の半導体装置１の四辺にわずかに残った外周領域を除く、半導体装置１の全面のことをいう。このため、この外周領域では、例外的に酸化膜３４が保護膜３５の外部に露出している。

[0113] また、本開示でいう保護膜３５の開口部とは、半導体装置１の平面視において、開口部の外周の全長が保護膜３５で閉じている形状のことをいう。このため、半導体装置１の平面視において、外周の一部が、上記例外的に酸化膜３４が保護膜３５の外部に露出している外周領域と重複する形状は、本開示でいう保護膜３５の開口部には該当しない。

[0114] 金属層３０は、半導体層４０の裏面全面に接触して配置される。

[0115] 金属層３０は、限定されない一例として、銀もしくは銅で構成される層を含む多層構成であってもよい。なお、金属層３０には、製造工程において不純物として混入する他の元素が微量に含まれていてもよい。

[0116] なお、ここでは、半導体装置１は、金属層３０を備えるとして説明するが、半導体装置１は、必ずしも金属層３０を備える構成に限定される必要はない。

[0117] 金属層３０は、後述する縦型ＭＯＳトランジスタ１０のドレイン電極として機能する。

[0118] 半導体装置１の平面視において、低濃度不純物層３３の、電極６０Ａに内包される領域には、半導体層４０の上面から第１の所定の深さまでの範囲に、第１導電型と異なる第２導電型のボディ領域１８が形成されている。

[0119] ボディ領域１８には、半導体層４０の上面からボディ領域１８を貫通しな

い第2の所定の深さまでの範囲に、不純物を含む第1導電型のソース領域14が形成されている。

[0120] また、半導体装置1の平面視において、低濃度不純物層33の、ボディ領域18に内包される領域には、半導体層40の上面からソース領域14およびボディ領域18を貫通して低濃度不純物層33の一部までの第3の所定の深さまでの範囲に、複数のゲートトレンチ17が形成されている。

[0121] そして、複数のゲートトレンチ17のそれぞれの内部に、ゲート絶縁膜16に周囲を取り囲まれたゲート導体15が形成されている。

[0122] ゲート導体15のそれぞれは、電極60Cに電氣的に接続される。

[0123] ゲート導体15は、限定されない一例として、不純物を含むポリシリコンからなる。

[0124] 半導体装置1の平面視において、低濃度不純物層33の、電極60Bに内包される領域には、半導体層40の上面から、低濃度不純物層33を貫通して半導体基板32にまで到達する、第2の濃度よりも高い第3の濃度の不純物を含む第1導電型のドレイン引き上げ領域36が形成されている。

[0125] 上記構成により、半導体装置1は、半導体層40に形成された縦型MOSトランジスタ10を備える。

[0126] 電極60Aは、ソース領域14およびボディ領域18に接続される電極であって、縦型MOSトランジスタ10のソース電極として機能する。

[0127] 電極60Bは、ドレイン引き上げ領域36に接続される電極であって、縦型MOSトランジスタ10のドレイン電極として機能する。

[0128] 実施の形態において、半導体装置1は、表面側と裏面側との両側にドレイン電極を備える。すなわち、半導体装置1は、表面側にドレイン電極として機能する電極60Bと、裏面側にドレイン電極として機能する金属層30とを備える。

[0129] 電極60Cは、ゲート導体15に接続される電極であって、縦型MOSトランジスタ10のゲート電極として機能する。

[0130] すなわち、複数の電極60は、それぞれが、縦型MOSトランジスタ10

の電極として機能する。

[0131] ここでは、半導体装置 1 が備える縦型 MOS トランジスタが、縦型 MOS トランジスタ 10 の 1 つである構成を例に挙げて説明するが、これは一例であって、半導体装置 1 が備える縦型 MOS トランジスタは、1 以上であれば、必ずしも 1 つである構成に限定される必要はない。

[0132] また、ここでは、複数の電極 60 は、それぞれが、縦型 MOS トランジスタ 10 の電極として機能する構成を例に挙げて説明するが、これは、半導体装置 1 が 1 つの縦型 MOS トランジスタ 10 を備える場合における一例であって、半導体装置 1 が 1 以上の縦型 MOS トランジスタ 10 を備える場合には、複数の電極 60 は、それぞれが、1 以上の縦型 MOS トランジスタ 10 のいずれかの電極として機能する。

[0133] 電極 60 A は、保護膜 35 の 2 つの開口部において、保護膜 35 の外部に露出している。そして、この保護膜 35 の 2 つの開口部において、保護膜 35 の外部に露出している、電極 60 A の上面が、パッド 50 A とパッド 50 D となっている。

[0134] すなわち、パッド 50 A は、電極 60 A の上面のうち、開口部において保護膜 35 の外部に露出している部分であり、パッド 50 D は、電極 60 A の上面のうち、開口部において保護膜 35 の外部に露出している部分である。

[0135] このため、パッド 50 A は、縦型 MOS トランジスタ 10 のソース端子として機能する。また、パッド 50 D は、縦型 MOS トランジスタ 10 のソース端子として機能する。

[0136] 電極 60 B は、保護膜 35 の開口部において、保護膜 35 の外部に露出している。そして、この保護膜 35 の開口部において、保護膜 35 の外部に露出している、電極 60 B の上面が、パッド 50 B となっている。

[0137] すなわち、パッド 50 B は、電極 60 B の上面のうち、開口部において保護膜 35 の外部に露出している部分である。

[0138] このため、パッド 50 B は、縦型 MOS トランジスタ 10 のドレイン端子として機能する。

- [0139] 電極60Cは、保護膜35の開口部において、保護膜35の外部に露出している。そして、この保護膜35の開口部において、保護膜35の外部に露出している、電極60Cの上面が、パッド50Cになっている。
- [0140] すなわち、パッド50Cは、電極60Cの上面のうち、開口部において保護膜35の外部に露出している部分である。
- [0141] このため、パッド50Cは、縦型MOSトランジスタ10のゲート端子として機能する。
- [0142] すなわち、複数のパッド50は、それぞれが、縦型MOSトランジスタ10の端子として機能する。
- [0143] なお、ここでは、複数のパッド50は、それぞれが、縦型MOSトランジスタ10の端子として機能する構成を例に挙げて説明するが、これは、半導体装置1が1つの縦型MOSトランジスタ10を備える場合における一例であって、半導体装置1が1以上の縦型MOSトランジスタ10を備える場合には、複数のパッド50は、それぞれが、1以上の縦型MOSトランジスタ10のいずれかの端子として機能する。
- [0144] なお、半導体装置1が1以上の縦型MOSトランジスタ以外の素子をさらに備える場合には、複数のパッド50の中には、その素子の端子として機能するものが含まれていてもよい。
- [0145] 図3は、半導体装置1の回路図である。
- [0146] 図3に示すように、半導体装置1は、縦型MOSトランジスタ10と、縦型MOSトランジスタ10のソース端子として機能するパッド50Aおよびパッド50Dと、縦型MOSトランジスタ10のドレイン端子として機能するパッド50Bと、縦型MOSトランジスタ10のゲート端子として機能するパッド50Cとを備える。
- [0147] 再び、図1A、図1B、図2に戻って、半導体装置1の構造の説明を続ける。
- [0148] 金属再配線20Aは、半導体層40の上面よりも上方に位置し、パッド50Aに接続する。

- [0149] 金属再配線 20A は、半導体装置 1 の平面視において、半導体層 40 に内包され、パッド 50A を内包する。
- [0150] 金属再配線 20B は、半導体層 40 の上面よりも上方に位置し、パッド 50B に接続する。
- [0151] 金属再配線 20B は、半導体装置 1 の平面視において、半導体層 40 に内包され、パッド 50B を内包する。
- [0152] 金属再配線 20C は、半導体層 40 の上面よりも上方に位置し、パッド 50C に接続する。
- [0153] 金属再配線 20C は、半導体装置 1 の平面視において、半導体層 40 に内包され、パッド 50C を内包する。
- [0154] 金属再配線 20D は、半導体層 40 の上面よりも上方に位置し、パッド 50D に接続する。
- [0155] 金属再配線 20D は、半導体装置 1 の平面視において、半導体層 40 に内包され、パッド 50D を内包する。
- [0156] 複数の金属再配線 20 には、第 1 の部分 24A（ここでは、第 1 の部分 24AA と、第 1 の部分 24BA と、第 1 の部分 24CA と、第 1 の部分 24DA とが対応）と、第 1 の部分 24A よりも上方に位置する第 2 の部分 24B（ここでは、第 2 の部分 24AB と、第 2 の部分 24BB と、第 2 の部分 24CB と、第 2 の部分 24DB とが対応）とからなる複数の第 1 の金属再配線 21（ここでは、第 1 の金属再配線 21A と、第 1 の金属再配線 21B と、第 1 の金属再配線 21C と、第 1 の金属再配線 21D とが対応）であって、半導体装置 1 の平面視において、第 2 の部分 24B が第 1 の部分 24A に内包され、かつ、第 2 の部分 24B の面積が第 1 の部分 24A の面積よりも小さい複数の第 1 の金属再配線 21 が含まれる。
- [0157] すなわち、複数の金属再配線 20 のうちの少なくとも複数は、第 1 の金属再配線 21 である。
- [0158] ここでは、複数の金属再配線 20 の全てが、第 1 の金属再配線 21 である構成を例に挙げて説明するが、必ずしも、金属再配線 20 の全てが、第 1 の

金属再配線 2 1 である構成に限定される必要はない。

[0159] 以下の説明において、第 1 の部分 2 4 A A と、第 1 の部分 2 4 B A と、第 1 の部分 2 4 C A と、第 1 の部分 2 4 D A とを明示的に区別して説明する必要がある場合を除き、第 1 の部分 2 4 A A と、第 1 の部分 2 4 B A と、第 1 の部分 2 4 C A と、第 1 の部分 2 4 D A とのことを、単に、第 1 の部分 2 4 A とも称する。

[0160] また、以下の説明において、第 2 の部分 2 4 A B と、第 2 の部分 2 4 B B と、第 2 の部分 2 4 C B と、第 2 の部分 2 4 D B とを明示的に区別して説明する場合を除き、第 2 の部分 2 4 A B と、第 2 の部分 2 4 B B と、第 2 の部分 2 4 C B と、第 2 の部分 2 4 D B とのことを、単に、第 2 の部分 2 4 B とも称する。

[0161] また、以下の説明において、第 1 の金属再配線 2 1 A と、第 1 の金属再配線 2 1 B と、第 1 の金属再配線 2 1 C と、第 1 の金属再配線 2 1 D とを明示的に区別して説明する必要がある場合を除き、第 1 の金属再配線 2 1 A と、第 1 の金属再配線 2 1 B と、第 1 の金属再配線 2 1 C と、第 1 の金属再配線 2 1 D とのことを、単に、第 1 の金属再配線 2 1 とも称する。

[0162] 複数の第 1 の金属再配線 2 1 のそれぞれは、第 1 の金属再配線 2 1 の表面における、第 1 の部分 2 4 A と第 2 の部分 2 4 B との境界部分に、第 1 の金属再配線 2 1 の断面における内角の角度が 1 8 0 度より大きい 1 以上の線状折れ曲がり部 2 5（ここでは、線状折れ曲がり部 2 5 A と、線状折れ曲がり部 2 5 B と、線状折れ曲がり部 2 5 C と、線状折れ曲がり部 2 5 D とが対応）を有する。

[0163] 以下の説明において、線状折れ曲がり部 2 5 A と、線状折れ曲がり部 2 5 B と、線状折れ曲がり部 2 5 C と、線状折れ曲がり部 2 5 D とを明示的に区別して説明する必要がある場合を除き、線状折れ曲がり部 2 5 A と、線状折れ曲がり部 2 5 B と、線状折れ曲がり部 2 5 C と、線状折れ曲がり部 2 5 D とのことを、単に、線状折れ曲がり部 2 5 とも称する。

[0164] 半導体装置 1 の平面視において、線状折れ曲がり部 2 5 には、半導体装置

1の外周側に面する部分が存在する。ただし、必ずしも、複数の第1の金属再配線21のそれぞれの、半導体装置1の外周側に面する全ての部分に線状折れ曲がり部25が存在している必要はない。

[0165] 第1の部分24Aの高さ(図1A、図1B、図2におけるZ方向の長さ)は、必ずしも限定される必要のない一例として、およそ20[μm]であってもよく、第2の部分24Bの高さは、必ずしも限定される必要のない一例として、およそ50~90[μm]であってもよい。

[0166] 複数の金属再配線20のそれぞれは、必ずしも限定される必要のない一例として、図2に示すように、金を含まない第1の金属からなる第1の金属層22A(図2においては、第1の金属層22AAと、第1の金属層22BAとが対応)と、金を含む第2の金属からなる第2の金属層22B(図2においては、第2の金属層22ABと、第2の金属層22BBとが対応)を含む多層構造であってもよい。

[0167] ここでは、複数の金属再配線20のそれぞれが、第1の金属層22Aと、第2の金属層22Bとを含む多層構造であるとして説明するが、必ずしも、複数の金属再配線20のそれぞれは、第1の金属層22Aと、第2の金属層22Bとを含む多層構造である構成に限定される必要はない。

[0168] 以下の説明において、第1の金属層22AAと、第1の金属層22BAとを明示的に区別して説明する必要がある場合を除き、第1の金属層22AAと第1の金属層22BAとのことを、単に、第1の金属層22Aとも称する。

[0169] また、以下の説明において、第2の金属層22ABと、第2の金属層22BBとを明示的に区別して説明する必要がある場合を除き、第2の金属層22ABと第2の金属層22BBとのことを、単に、第2の金属層22Bとも称する。

[0170] 第1の金属層22Aは、限定されない一例として、銅、アルミニウム、または、チタンで構成されてもよい。なお、第1の金属層22Aは、製造工程において不純物として混入する他の元素が微量に含まれていてもよい。

- [0171] 第1の金属層22Aは、例えば、めっきにより形成される。
- [0172] 第2の金属層22Bは、限定されない一例として、金で構成されてもよい。なお、第2の金属層22Bは、製造工程において不純物として混入する他の元素が微量に含まれていてもよい。
- [0173] 第2の金属層22Bは、例えば、めっきにより形成される。
- [0174] 図2に示すように、複数の金属再配線20のそれぞれは、金属再配線20の外側の層が第2の金属層22Bとなり、内側の層が第1の金属層22Aとなる多層構造であるとしてもよい。
- [0175] 一般に、はんだ接合材が金錫はんだである場合には、金とはんだ接合材とは良好に接合する。
- [0176] また、一般に、銅、アルミニウム、および、チタンは、メッキにより、比較的高さが高い構造物を実現することができる。
- [0177] したがって、複数の金属再配線20のそれぞれを上記構成とすることで、はんだ接合材が金錫はんだである場合において、金属再配線20とはんだ接合材との接合を比較的強固なものとすることができ、かつ、金属再配線20を比較的高くすることができる。
- [0178] また、複数の金属再配線20のそれぞれは、第1の金属層22Aと、第2の金属層22Bとに加えて、第1の金属層22Aと第2の金属層22Bとの間に挟まれた第3の金属層（不図示）をさらに含んで構成されとしてもよい。
- [0179] この場合、第3の金属層は、例えば、第2の金属層22Bの金属が第1の金属層22Aへ拡散することを防ぐバリアメタルとして機能する金属層であってもよい。
- [0180] この場合、第3の金属層は、限定されない一例として、ニッケルで構成されてもよい。なお、第3の金属層は、製造工程において不純物として混入する他の元素が微量に含まれていてもよい。
- [0181] 第3の金属層は、例えば、めっきにより形成される。
- [0182] <半導体モジュールの構造>

図4 Aは、実施の形態に係る半導体モジュール100の構造の一例を示す平面図である。

[0183] 図4 Aでは、金属再配線20Aの第1の部分24AAおよび第2の部分24ABと、金属再配線20Bの第1の部分24BAおよび第2の部分24BBと、金属再配線20Cの第1の部分24CAおよび第2の部分24CBと、金属再配線20Dの第1の部分24DAおよび第2の部分24DBとを、あたかも半導体モジュール100の平面視において視認できるかの如く破線で示しているが、実際にはこれらを、半導体モジュール100平面視において直接視認することはできない。

[0184] また、図4 Aでは、はんだフィレット70A（後述）のうちの、半導体装置1に隠れている部分と、はんだフィレット70B（後述）のうちの、半導体装置1に隠れている部分と、はんだフィレット70C（後述）のうちの、半導体装置1に隠れている部分と、はんだフィレット70D（後述）のうちの、半導体装置1に隠れている部分とを、あたかも半導体モジュール100の平面視において視認できるかの如く破線で示しているが、実際にはこれら半導体装置1に隠れている部分を、半導体モジュール100平面視において直接視認することはできない。

[0185] 図4 Bは、半導体モジュール100の平面視における、金属再配線20Aの第1の部分24AA、第2の部分24AB、および、線状折れ曲がり部25Aと、金属再配線20Bの第1の部分24BA、第2の部分24BB、および、線状折れ曲がり部25Bと、金属再配線20Cの第1の部分24CA、第2の部分24CB、および、線状折れ曲がり部25Cと、金属再配線20Dの第1の部分24DA、第2の部分24DB、および、線状折れ曲がり部25Dと、ランドパターン80A（後述）と、ランドパターン80B（後述）と、ランドパターン80C（後述）と、ランドパターン80D（後述）と、半導体装置1との位置関係の一例を示す平面図である。

[0186] 図5は、半導体モジュール100の構造の一例を示す断面模式図であって、図4 AのI-Iにおける半導体モジュール100の切断面を模式的に

示す断面模式図である。

[0187] 図4A、図4B、図5に示すように、半導体モジュール100は、半導体装置1と、実装基板90と、複数のはんだフィレット70（ここでは、はんだフィレット70Aと、はんだフィレット70Bと、はんだフィレット70Cと、はんだフィレット70Dとが対応）とを備える。

[0188] 以下の説明において、はんだフィレット70Aと、はんだフィレット70Bと、はんだフィレット70Cと、はんだフィレット70Dとを明示的に区別して説明する必要がある場合を除き、はんだフィレット70Aと、はんだフィレット70Bと、はんだフィレット70Cと、はんだフィレット70Dとのことを、単にはんだフィレット70とも称する。

[0189] 半導体装置1は、実装基板90にフェイスダウン実装される。

[0190] 実装基板90は、半導体装置1が備える複数の金属再配線20のそれぞれと1対1で対応する複数のランドパターン80（ここでは、ランドパターン80Aと、ランドパターン80Bと、ランドパターン80Cと、ランドパターン80Dとが対応）を有する。

[0191] より具体的には、実装基板90は、金属再配線20Aに対応するランドパターン80Aと、金属再配線20Bに対応するランドパターン80Bと、金属再配線20Cに対応するランドパターン80Cと、金属再配線20Dに対応するランドパターン80Dとを有する。

[0192] 以下の説明において、ランドパターン80Aと、ランドパターン80Bと、ランドパターン80Cと、ランドパターン80Dとを明示的に区別して説明する必要がある場合を除き、ランドパターン80Aと、ランドパターン80Bと、ランドパターン80Cと、ランドパターン80Dとのことを、単に、ランドパターン80とも称する。

[0193] 半導体装置1の平面視において、複数のランドパターン80のそれぞれにおける、当該ランドパターン80の面積は、当該ランドパターン80に対応する金属再配線20の面積よりも大きい。

[0194] 半導体装置1の平面視において、複数のランドパターン80のそれぞれは

、半導体装置 1 に内包されない部分を有する。

[0195] 複数のはんだフィレット 70 のそれぞれは、はんだ接合材からなり、複数のランドパターン 80 のそれぞれ、および、複数の金属再配線 20 のそれぞれと 1 対 1 で対応し、対応するランドパターン 80 と、対応する金属再配線 20 とを接合する。

[0196] ここでは、はんだフィレット 70 A は、ランドパターン 80 A、および、金属再配線 20 A に対応し、ランドパターン 80 A と、金属再配線 20 A とを接合し、はんだフィレット 70 B は、ランドパターン 80 B、および、金属再配線 20 B に対応し、ランドパターン 80 B と、金属再配線 20 B とを接合し、はんだフィレット 70 C は、ランドパターン 80 C、および、金属再配線 20 C に対応し、ランドパターン 80 C と、金属再配線 20 C とを接合し、はんだフィレット 70 D は、ランドパターン 80 D、および、金属再配線 20 D に対応し、ランドパターン 80 D と、金属再配線 20 D とを接合する。

[0197] すなわち、ランドパターン 80 A は、金属再配線 20 A に、はんだフィレット 70 A を介して接合され、ランドパターン 80 B は、金属再配線 20 B に、はんだフィレット 70 B を介して接合され、ランドパターン 80 C は、金属再配線 20 C に、はんだフィレット 70 C を介して接合され、ランドパターン 80 D は、金属再配線 20 D に、はんだフィレット 70 D を介して接合される。

[0198] 複数の金属再配線 20 のうちの複数の第 1 の金属再配線 21（ここでは、複数の金属再配線 20 の全てが第 1 の金属再配線 21）のそれぞれにおける 1 以上の線状折れ曲がり部 25 は、当該第 1 の金属再配線 21 に対応するはんだフィレット 70 で埋められている。

[0199] ここでは、第 1 の金属再配線 21 A の線状折れ曲がり部 25 A は、はんだフィレット 70 A で埋められ、第 1 の金属再配線 21 B の線状折れ曲がり部 25 B は、はんだフィレット 70 B で埋められ、第 1 の金属再配線 21 C の線状折れ曲がり部 25 C は、はんだフィレット 70 C で埋められ、第 1 の金

属再配線 21D の線状折れ曲がり部 25D は、はんだフィレット 70D で埋められている。

[0200] <考察>

上記構成の半導体装置 1 によると、上記構成のチップサイズパッケージ型の半導体装置 1 を、複数の金属再配線 20 のそれぞれに対応する複数のランドパターン 80 を有する実装基板 90 に実装する際に、複数の金属再配線 20 のそれぞれと、複数のランドパターン 80 のそれぞれとに接合する、半導体装置 1 の平面視において、少なくとも一部が半導体装置 1 の外部にはみ出しているはんだ接合材からなる複数のはんだフィレット 70 を形成することができる。

[0201] このため、上記構成の半導体装置 1 によると、上記構成のチップサイズパッケージ型の半導体装置 1 を実装基板 90 に実装する際に、半導体装置 1 の端子として機能する複数のパッド 50 と、実装基板 90 の複数のランドパターン 80 とを、上記複数のはんだフィレット 70 を介して接合させることができる。

[0202] したがって、上記構成の半導体装置 1 によると、チップサイズパッケージ型の半導体装置 1 を実装基板 90 に実装する際に、半導体装置 1 の端子と、実装基板 90 のランドパターン 80 とが、はんだ接合材を介して接合しているか否かを外観により確認することができる半導体装置 1 が提供される。

[0203] また、上述した通り、上記構成の半導体装置 1 によると、上記構成のチップサイズパッケージ型の半導体装置 1 を実装基板 90 に実装する際に、半導体装置 1 の端子と、実装基板 90 のランドパターン 80 とを、上記はんだフィレット 70 を介して接合させることができる。

[0204] このため、上記構成の半導体装置 1 によると、半導体装置 1 の端子と、実装基板 90 のランドパターン 80 とを、上記はんだフィレット 70 を形成しない状態のはんだ接合材を介して接合させる半導体装置 1 に比べて、半導体装置 1 の端子と、実装基板 90 のランドパターン 80 との接合領域における応力の過度な集中を抑制することができる。

- [0205] したがって、上記構成の半導体装置 1 によると、半導体装置 1 と実装基板 90 とが接合されて構成される半導体モジュール 100 の信頼性を向上させることができる。
- [0206] 一般に、線状折れ曲がり部 25 を有する金属再配線 20 の方が、線状折れ曲がり部 25 を有さない金属再配線 20 よりも、より強固に接合材と接合する。
- [0207] 上記構成の半導体装置 1 によると、複数の金属再配線 20 のうちの複数個は、1 以上の線状折れ曲がり部 25 を有する第 1 の金属再配線 21 である。
- [0208] このため、上記構成の半導体装置 1 によると、金属再配線 20 とはんだフィレット 70 との接合を比較的強固なものとすることができる。
- [0209] したがって、上記構成の半導体装置 1 によると、半導体装置 1 と実装基板 90 とが接合されて構成される半導体モジュール 100 の信頼性をさらに向上させることができる。
- [0210] 図 2 に示すように、第 2 の部分 24 B の、半導体層 40 の上面から法線が伸びる方向（図 1 A、図 1 B、図 2 における Z 方向）における長さは、第 1 の部分 24 A の、上記法線が伸びる方向における長さよりも長いとしてもよい。
- [0211] これにより、複数の第 1 の金属再配線 21 のそれぞれに接合されるはんだフィレット 70 を、比較的高くすることができる。
- [0212] このため、半導体装置 1 の端子と、実装基板 90 のランドパターン 80 との接合領域における応力の過度な集中をさらに抑制することができる。
- [0213] したがって、上記構成の半導体装置 1 によると、半導体装置 1 と実装基板 90 とが接合されて構成される半導体モジュール 100 の信頼性をさらに向上させることができる。
- [0214] ところで、第 2 の部分 24 B の形状は、必ずしも、図 1 A、図 1 B、図 2 に例示された形状に限定される必要はない。
- [0215] 図 6 A、図 6 B は、第 2 の部分 24 B が他の形状である場合における、半導体装置 1 の構造の一例を示す断面模式図である。

- [0216] 図6 A、図6 Bに例示されるように、第2の部分24 Bは、第2の部分24 Bの側面のうちの、半導体装置1の平面視における半導体装置1の外周側に面する領域内に、半導体層40の上面に対する仰角が90度未満となる領域が存在する形状であってもよい。
- [0217] これにより、はんだフィレット70と第1の金属再配線21との接合強度を向上させることができる。
- [0218] なお、図1 A、図1 B、図2に示すように、半導体装置1の平面視において、保護膜35の外周は、半導体層40の外周よりも内側に位置し、第1の部分24 Aの最下面は、半導体層40の上面から法線が伸びる方向（図1 A、図1 B、図2におけるZ方向）においてパッド50よりも半導体層40の上面に近く、半導体装置1の平面視において、半導体層40に内包され、かつ、保護膜35の外周に内包されないとしてもよい。
- [0219] これにより、複数の第1の金属再配線21のそれぞれに接合されるはんだフィレット70を、さらに高くすることができる。
- [0220] この際、図1 A、図1 B、図2に示すように、半導体装置1の平面視において、第1の部分24 Aの外周には、保護膜35の外周に内包されない部分が存在し、第2の部分24 Bは、保護膜35の外周に内包されるとしてもよい。
- [0221] ところで、第1の部分24 Aの形状は、必ずしも、図1 A、図1 B、図2に例示された形状に限定される必要はない。
- [0222] 図7は、第1の部分24 Aが他の形状である場合における、半導体装置1の構造の他の一例を示す断面模式図である。
- [0223] 図7に例示されるように、第1の部分24 Aの形状は、第1の部分24 Aの側面には、半導体装置1の平面視において、半導体層40の側面と一致する第1の領域23（ここでは、第1の領域23 Aと、第1の領域23 Bとが対応）が存在し、第1の領域23の少なくとも一部で、第1の金属が露出する形状であるとしてもよい。
- [0224] 一般に、はんだ接合材が金錫はんだである場合には、金を含まない金属と

はんだ接合材とは接合しない。

[0225] このため、上記構成の半導体装置 1 によると、はんだ接合材が金錫はんだである場合において、はんだ接合材と半導体層 40 の側面とが接触してしまうことを抑制することができる。

[0226] なお、図 7 に例示される第 1 の部分 24 A の形状は、例えば、ウェーハから半導体装置 1 をダイシングする際に、ダイシングブレード等を用いて第 1 の部分 24 A と酸化膜 34 と半導体層 40 と金属層 30 とを同時に切断することで実現される。

[0227] 逆に、第 1 の部分 24 A の形状は、図 1 A、図 1 B、図 2 に示すように、第 1 の部分 24 A の側面は、半導体装置 1 の平面視において、半導体層 40 の側面よりも内側に位置し、第 1 の部分 24 A の全体において、第 1 の金属が露出しない形状であるとしてもよい。

[0228] 上述したように、一般に、はんだ接合材が金錫はんだである場合には、金を含む金属とはんだ接合材とは良好に接合する。

[0229] このため、上記構成の半導体装置 1 によると、はんだ接合材が金錫はんだである場合において、金属再配線 20 とはんだフィレット 70 との接合を比較的強固なものとすることができる。

[0230] したがって、上記構成の半導体装置 1 によると、半導体装置 1 と実装基板 90 とが接合されて構成される半導体モジュール 100 の信頼性をさらに向上させることができる。

[0231] ところで、第 1 の部分 24 A と第 2 の部分 24 B との位置関係は、必ずしも、図 1 A、図 1 B、図 2 に例示された形状に限定される必要はない。

[0232] 図 8 A～図 8 E は、第 1 の部分 24 A と第 2 の部分 24 B とが他の位置関係である場合における、半導体装置 1 の構造の一例を示す平面図であり、図 9 は、第 1 の部分 24 A と第 2 の部分 24 B とが他の位置関係である場合における、半導体装置 1 の構造の一例を示す断面模式図であって、図 8 A の I—I における半導体装置 1 の切断面を示す断面模式図である。

[0233] また、図 10 は、半導体装置 1 が図 8 A および図 9 で示される構造である

場合における、半導体モジュール１００の構造の一例を示す断面模式図である。

[0234] 図８Ａ～図８Ｅでは、保護膜３５のうち、各第１の金属再配線２１に隠れている部分を、あたかも半導体装置１の外部から視認できるかの如く破線で示しているが、実際には、これらの部分を半導体装置１の外部から直接視認することはできない。

[0235] 図８Ａ～図８Ｅ、図９に例示されるように、半導体装置１の平面視において、各第１の金属再配線２１において、１以上の線状折れ曲がり部２５には、さらに、半導体装置１の中央側に面する部分も存在し、１以上の線状折れ曲がり部２５のうちの、半導体装置１の外周側に面する部分における、当該部分と第１の部分２４Ａの外周部分との最短距離は、１以上の線状折れ曲がり部２５のうちの、半導体装置１の中央側に面する部分における、当該部分と第１の部分２４Ａの外周部分との最短距離よりも長いとしてもよい。

[0236] これにより、図１０に示すように、各第１の金属再配線２１において、線状折れ曲がり部２５のうちの、半導体装置１の外周側に面する部分に加えて、半導体装置１の中央側に面する部分も、はんだフィレット７０で埋められる。

[0237] これにより、第１の金属再配線２１とはんだフィレット７０との接合をより強固なものとすることができる。

[0238] したがって、上記構成の半導体装置１によると、半導体装置１と実装基板９０とが接合されて構成される半導体モジュール１００の信頼性をさらに向上させることができる。

[0239] なお、図８Ａ～図８Ｃに例示されるように、１以上の線状折れ曲がり部２５に、半導体装置１の互いに異なる２つの外周辺のそれぞれに対しての、外周側に面する部分が存在する場合には、それらの部分のそれぞれにおける、当該部分と第１の部分２４Ａの外周部分との最短距離は等しいとしてもよい。

[0240] なお、図１Ａ、図１Ｂ、図２に示すように、複数の金属再配線２０の数と

複数のパッド50の数とは等しいとしてもよい。

[0241] これにより、半導体装置1と実装基板90とが接合されて構成される半導体モジュール100において、半導体装置1の複数のパッド50の全てを有効に利用することができる。

[0242] したがって、上記構成の半導体装置1によると、半導体モジュール100において、半導体装置1の複数のパッド50の全てを有効に利用することが出来ない場合に比べて、より特性のよい半導体モジュール100を実現することができる。

[0243] 図11は、複数の金属再配線20の数と複数のパッド50の数とが等しい場合における、半導体装置1の構造の他の一例を示す平面図である。

[0244] 図11は、半導体装置1が備える複数の金属再配線20の数が10であり、複数のパッド50の数が、複数の金属再配線20の数と同数の10である場合における、半導体装置1の平面図である。

[0245] 図11では、複数のパッド50を、あたかも半導体装置1の外部から視認できるかの如く破線で示しているが、実際には、これらを半導体装置1の外部から直接視認することはできない。

[0246] また、図11では、保護膜35のうち、各金属再配線20に隠れている部分を、あたかも半導体装置1の外部から視認できるかの如く破線で示しているが、実際には、これらの部分を半導体装置1の外部から直接視認することはできない。

[0247] なお、図1A、図1B、図2に示すように、複数の金属再配線20の全てが、複数の第1の金属再配線21であるとしてもよい。

[0248] これにより、複数の金属再配線20の全てにおいて、金属再配線20とはんだフィレット70との接合を比較的強固なものとすることができる。

[0249] したがって、上記構成の半導体装置1によると、半導体装置1と実装基板90とが接合されて構成される半導体モジュール100の信頼性をさらに向上させることができる。

[0250] 図12は、半導体装置1が備える複数の金属再配線20の数が10であり

、その全てが複数の第1の金属再配線21であり、複数のパッド50の数が、複数の金属再配線20の数と同数の10である場合における、半導体装置1の構造の一例を示す平面図である。

[0251] 図12では、複数のパッド50を、あたかも半導体装置1の外部から視認できるかの如く破線で示しているが、実際には、これらを半導体装置1の外部から直接視認することはできない。

[0252] なお、図1A、図1B、図2に示すように、半導体装置1の平面視において、半導体層40は矩形であり、複数のパッド50には、半導体層40の第1の辺61および第1の辺61と直交する半導体層40の第2の辺62との間に他のパッド50を含まないパッド50A（以下、第1のパッド50Aとも称する）と、第2の辺62および第2の辺62と直交する半導体層40の第3の辺63との間に他のパッド50を含まないパッド50B（以下、第2のパッド50Bとも称する）と、第3の辺63および第3の辺63と直交する半導体層40の第4の辺64との間に他のパッド50を含まないパッド50C（以下、第3のパッド50Cとも称する）と、第4の辺64および第1の辺61との間に他のパッド50を含まないパッド50D（以下、第4のパッド50Dとも称する）とが含まれ、複数の金属再配線20のうち、第1のパッド50Aに接続される金属再配線20A（以下、第1の特定金属再配線20Aとも称する）と、第2のパッド50Bに接続される金属再配線20B（以下、第2の特定金属再配線20Bとも称する）と、第3のパッド50Cに接続される金属再配線20C（以下、第3の特定金属再配線20Cとも称する）と、第4のパッド50Dに接続される金属再配線20D（以下、第4の特定金属再配線20Dとも称する）とのそれぞれは、複数の第1の金属再配線21のうちのいずれかであるとしてもよい。

[0253] これにより、半導体装置1の平面視において、矩形である半導体装置1の四隅に位置する4つの金属再配線20において、金属再配線20とはんだフィレット70との接合を比較的強固なものとすることができる。

[0254] したがって、上記構成の半導体装置1によると、半導体装置1と実装基板

90とが接合されて構成される半導体モジュール100の信頼性をさらに向上させることができる。

[0255] 図12に例示された半導体装置1は、上記構成の半導体装置1の他の一例である。

[0256] また、この際、第1の特定金属再配線20Aと、第2の特定金属再配線20Bと、第3の特定金属再配線20Cと、第4の特定金属再配線20Dとは、複数のパッド50のうちの、2つ以上のパッド50に接続されるとしてもよい。

[0257] 図13は、第1の特定金属再配線20Aと、第2の特定金属再配線20Bと、第3の特定金属再配線20Cと、第4の特定金属再配線20Dとが、複数のパッド50のうちの、2つ以上のパッド50に接続される場合における、半導体装置1の構造の一例を示す平面図である。

[0258] 図13では、複数のパッド50を、あたかも半導体装置1の外部から視認できるかの如く破線で示しているが、実際には、これらを半導体装置1の外部から直接視認することはできない。

[0259] また、図13では、保護膜35のうち、各金属再配線20（第1の特定金属再配線20Aと、第2の特定金属再配線20Bと、第3の特定金属再配線20Cと、第4の特定金属再配線20Dとを含む）に隠れている部分を、あたかも半導体装置1の外部から視認できるかの如く破線で示しているが、実際には、これらの部分を半導体装置1の外部から直接視認することはできない。

[0260] 図13に例示する半導体装置1は、第1の特定金属再配線20Aと、第2の特定金属再配線20Bと、第3の特定金属再配線20Cと、第4の特定金属再配線20Dとが、それぞれ、2つのパッド50に接続される構成の例となっている。

[0261] 図14は、複数のパッド50のうち、第1のパッド50Aと、第2のパッド50Bと、第3のパッド50Cと、第4のパッド50Dとを除く1以上の特定パッドの少なくとも1つは、複数の金属再配線20のいずれにも接続さ

れない場合における、半導体装置 1 の構造の一例を示す平面図である。

[0262] 図 1 4 では、複数のパッド 5 0 のうちの、第 1 のパッド 5 0 A と、第 2 のパッド 5 0 B と、第 3 のパッド 5 0 C と、第 4 のパッド 5 0 D と、2 つの円形のパッド 5 0 とを、あたかも半導体装置 1 の外部から視認できるかの如く破線で示しているが、実際には、これらを半導体装置 1 の外部から直接視認することはできない。

[0263] また、図 1 4 では、保護膜 3 5 のうち、各金属再配線 2 0 に隠れている部分を、あたかも半導体装置 1 の外部から視認できるかの如く破線で示しているが、実際には、これらの部分を半導体装置 1 の外部から直接視認することはできない。

[0264] 図 1 4 に例示するように、1 以上の特定パッドの少なくとも 1 つは、複数の金属再配線 2 0 のいずれにも接続されないとしてもよい。

[0265] これにより、少なくとも 1 つのパッド 5 0 を金属再配線 2 0 に接続させずに済ませながら、半導体装置 1 の平面視において矩形である半導体装置 1 の四隅に位置する 4 つの金属再配線 2 0 において、金属再配線 2 0 とはんだフィレット 7 0 との接合を比較的強固なものとすることができる。

[0266] したがって、上記構成の半導体装置 1 によると、半導体装置 1 と実装基板 9 0 とが接合されて構成される半導体モジュール 1 0 0 の信頼性を維持しながら、金属再配線 2 0 を形成するためのコストを抑制することができる。

[0267] 図 1 4 に例示する半導体装置 1 は、8 つの特定パッドのうちの 6 つの特定パッド（図 1 4 においては、半導体装置 1 の平面視において、いずれの金属再配線 2 0 にも内包されない長円形の 6 つのパッド 5 0 ）が、複数の金属再配線 2 0 のいずれにも接続されない構成の例となっている。ここでは、これら 6 つの特定パッドは、複数の金属再配線 2 0 のいずれにも接続されていないため、実装基板 9 0 のいずれのランドパターン 8 0 にも接続されない。

[0268] 図 1 5 は、半導体装置 1 の構造の他の一例を示す平面図である。

[0269] 図 1 5 では、複数のパッド 5 0 のうちの、第 1 のパッド 5 0 A と、第 2 のパッド 5 0 B と、第 3 のパッド 5 0 C と、第 4 のパッド 5 0 D と、2 つの円

形のパッド50とを、あたかも半導体装置1の外部から視認できるかの如く破線で示しているが、実際には、これらを半導体装置1の外部から直接視認することはできない。

[0270] 図15に示すように、半導体装置1は、複数のパッド50のうち、第1のパッド50Aと、第2のパッド50Bと、第3のパッド50Cと、第4のパッド50Dとを除く1以上の特定パッドの少なくとも1つ（図15においては、2つの円形のパッド50）は、複数の金属再配線20のうちの、第1の金属再配線21ではない、線状折れ曲がり部25を有さない第2の金属再配線26に接続されるときもよい。

[0271] これにより、1以上の特定パッドの少なくとも1つに接続される金属再配線20を、半導体装置1の平面視において、第1の金属再配線21よりも小さな第2の金属再配線26とすることができる。

[0272] したがって、上記構成の半導体装置1によると、半導体装置1の平面視における面積の増加を抑制することができる。

[0273] 実施の形態において開示された構成の半導体モジュール100によると、複数の金属再配線20のそれぞれと、複数のランドパターン80のそれぞれとが、半導体装置1の平面視において、少なくとも一部が半導体装置1の外部にはみ出しているはんだ接合材からなるはんだフィレット70を介して接合される。

[0274] したがって、上記構成の半導体モジュール100によると、チップサイズパッケージ型の半導体装置1を実装基板90に実装する際に、半導体装置1の端子と、実装基板90のランドパターン80とが、はんだ接合材を介して接合しているか否かを外観により確認することができる半導体モジュール100が提供される。

[0275] また、上述した通り、上記構成の半導体モジュール100によると、上記構成のチップサイズパッケージ型の半導体装置1を実装基板90に実装する際に、半導体装置1の端子と、実装基板90のランドパターン80とが、上記はんだフィレット70を介して接合される。

- [0276] このため、上記構成の半導体モジュール１００によると、半導体装置１の端子と、実装基板９０のランドパターン８０とが、上記はんだフィレット７０を形成しない状態のはんだ接合材を介して接合される、従来型の半導体モジュールに比べて、半導体装置１の端子と、実装基板９０のランドパターン８０との接合領域における応力の過度な集中を抑制することができる。
- [0277] したがって、上記構成の半導体モジュール１００によると、半導体モジュール１００の信頼性を向上させることができる。
- [0278] 一般に、線状折れ曲がり部２５を有する金属再配線２０の方が、線状折れ曲がり部２５を有さない金属再配線２０よりも、より強固に接合材と接合する。
- [0279] 上記構成の半導体モジュール１００によると、複数の金属再配線２０のうちの複数個は、１以上の線状折れ曲がり部２５を有する第１の金属再配線２１である。
- [0280] このため、上記構成の半導体モジュール１００によると、金属再配線２０とはんだフィレット７０との接合を比較的強固なものとすることができる。
- [0281] したがって、上記構成の半導体モジュール１００によると、半導体モジュール１００の信頼性をさらに向上させることができる。
- [0282] なお、図４Ｂに示すように、半導体層４０が、半導体装置１の平面視において、第１の辺６１と、第１の辺６１と直交する第２の辺６２と、第２の辺６２と直交する第３の辺６３と、第３の辺６３と直交する第４の辺６４とを有する矩形である場合には、半導体装置１の平面視において、複数のランドパターン８０のうちの、第１の特定金属再配線２０Ａに対応するランドパターン８０Ａは、第１の辺６１を超えて半導体装置１の外側に広がる領域と、第２の辺６２を超えて半導体装置１の外側に広がる領域とを有し、複数のランドパターン８０のうちの、第２の特定金属再配線２０Ｂに対応するランドパターン８０Ｂは、第２の辺６２を超えて半導体装置１の外側に広がる領域と、第３の辺６３を超えて半導体装置１の外側に広がる領域とを有し、複数のランドパターン８０のうちの、第３の特定金属再配線２０Ｃに対応するラ

ンドパターン８０Ｃは、第３の辺６３を超えて半導体装置１の外側に広がる領域と、第４の辺６４を超えて半導体装置１の外側に広がる領域とを有し、複数のランドパターン８０のうちの、第４の特定金属再配線２０Ｄに対応するランドパターン８０Ｄは、第４の辺６４を超えて半導体装置１の外側に広がる領域と、第１の辺６１を超えて半導体装置１の外側に広がる領域とを有するとしてもよい。

[0283] これにより、半導体装置１に対して、第１の辺６１および第３の辺６３の延びる方向（図４Ｂ中のＹ軸方向）と、第２の辺６２および第４の辺６４の延びる方向（図４Ｂ中のＸ軸方向）とのいずれの方向、または、双方向の力が加わった場合であっても、金属再配線２０とはんだフィレット７０との接合を比較的強固なものとすることができる。

[0284] したがって、上記構成の半導体モジュール１００によると、半導体モジュール１００の信頼性をさらに向上させることができる。

[0285] （補足）

以上、本開示の一態様に係る半導体装置等について、実施の形態に基づいて説明したが、本開示は、実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形を実施の形態に施した形態も、本開示の１つまたは複数の態様の範囲内に含まれてもよい。

産業上の利用可能性

[0286] 本開示は、チップサイズパッケージ型の半導体装置等に広く利用可能である。

符号の説明

- [0287] １ 半導体装置
- １０ 縦型ＭＯＳトランジスタ
 - １４ ソース領域
 - １５ ゲート導体
 - １６ ゲート絶縁膜
 - １７ ゲートトレンチ

18 ボディ領域

20 金属再配線

20A 金属再配線、第1の特定金属再配線

20B 金属再配線、第2の特定金属再配線

20C 金属再配線、第3の特定金属再配線

20D 金属再配線、第4の特定金属再配線

21、21A、21B、21C、21D 第1の金属再配線

22A、22AA、22BA 第1の金属層

22B、22AB、22BB 第2の金属層

23、23A、23B 第1の領域

24A、24AA、24BA、24CA、24DA 第1の部分

24B、24AB、24BB、24CB、24DB 第2の部分

25、25A、25B、25C、25D 線状折れ曲がり部

26 第2の金属再配線

30 金属層

32 半導体基板

33 低濃度不純物層

34 酸化膜

35 保護膜

36 ドレイン引き上げ領域

40 半導体層

50 パッド

50A パッド、第1のパッド

50B パッド、第2のパッド

50C パッド、第3のパッド

50D パッド、第4のパッド

60、60A、60B、60C 電極

61 第1の辺

6 2 第 2 の辺

6 3 第 3 の辺

6 4 第 4 の辺

7 0、7 0 A、7 0 B、7 0 C、7 0 D はんだフィレット

8 0、8 0 A、8 0 B、8 0 C、8 0 D ランドパターン

9 0 実装基板

1 0 0 半導体モジュール

請求の範囲

[請求項1]

チップサイズパッケージ型の半導体装置であって、
半導体層と、
前記半導体層に形成された1以上の縦型MOSトランジスタと、
前記半導体層の上面よりも上方に位置し、複数の開口部を有する保護膜と、
前記複数の開口部のそれぞれにおいて前記保護膜の外部に露出する複数のパッドであって、それぞれが、前記1以上の縦型MOSトランジスタのいずれかの端子として機能する前記複数のパッドと、
前記半導体層の上面よりも上方に位置する複数の金属再配線であって、それぞれが、前記複数のパッドのうちの、互いに重複しないいずれか1以上のパッドに接続された複数の金属再配線と、を備え、
前記半導体装置の平面視において、
前記保護膜は、前記半導体層に内包され、
前記複数の金属再配線のそれぞれは、前記半導体層に内包され、
かつ、当該金属再配線に接続される前記1以上のパッドを内包し、
前記複数の金属再配線には、第1の部分と、前記第1の部分よりも上方に位置する第2の部分とからなる複数の第1の金属再配線であって、前記平面視において、前記第2の部分が前記第1の部分に内包され、かつ、前記第2の部分の面積が前記第1の部分の面積よりも小さい前記複数の第1の金属再配線が含まれ、
前記複数の第1の金属再配線のそれぞれは、当該第1の金属再配線の表面における、前記第1の部分と前記第2の部分との境界部分に、当該第1の金属再配線の断面における内角の角度が180度より大きい1以上の線状折れ曲がり部を有し、
前記平面視において、前記1以上の線状折れ曲がり部には、前記半導体装置の外周側に面する部分が存在する
半導体装置。

- [請求項2] 前記第2の部分の、前記半導体層の上面から法線が伸びる方向における長さは、前記第1の部分の、前記法線が伸びる方向における長さよりも長い
請求項1に記載の半導体装置。
- [請求項3] 前記第2の部分の側面のうちの、前記平面視における前記半導体装置の外周側に面する領域内に、前記半導体層の上面に対する仰角が90度未満となる領域が存在する
請求項2に記載の半導体装置。
- [請求項4] 前記平面視において、前記保護膜の外周は、前記半導体層の外周よりも内側に位置し、
前記第1の部分の最下面は、前記法線が伸びる方向において前記パッドよりも前記半導体層の上面に近く、前記平面視において、前記半導体層に内包され、かつ、前記保護膜の外周に内包されない
請求項2に記載の半導体装置。
- [請求項5] 前記平面視において、
前記第1の部分の外周には、前記保護膜の外周に内包されない部分が存在し、
前記第2の部分は、前記保護膜の外周に内包される
請求項4に記載の半導体装置。
- [請求項6] 前記複数の金属再配線のそれぞれは、金を含まない第1の金属からなる第1の金属層と、金を含む第2の金属からなる第2の金属層とを含む多層構造であり、
前記第1の部分の側面には、前記平面視において、前記半導体層の側面と一致する第1の領域が存在し、
前記第1の領域の少なくとも一部で、前記第1の金属が露出する
請求項2に記載の半導体装置。
- [請求項7] 前記複数の金属再配線のそれぞれは、金を含まない第1の金属からなる第1の金属層と、金を含む第2の金属からなる第2の金属層とを

含む多層構造であり、

前記第 1 の部分の側面は、前記平面視において、前記半導体層の側面よりも内側に位置し、

前記第 1 の部分の側面の全体において、前記第 1 の金属が露出せず、前記第 2 の金属が露出する
請求項 2 に記載の半導体装置。

[請求項 8] 前記平面視において、

前記 1 以上の線状折れ曲がり部には、さらに、前記半導体装置の中央側に面する部分も存在し、

前記 1 以上の線状折れ曲がり部のうちの、前記半導体装置の外周側に面する部分における、当該部分と前記第 1 の部分の外周部分との最短距離は、前記 1 以上の線状折れ曲がり部のうちの、前記半導体装置の中央側に面する部分における、当該部分と前記第 1 の部分の外周部分との最短距離よりも長い

請求項 2 に記載の半導体装置。

[請求項 9] 前記複数の金属再配線の数と前記複数のパッドの数とは等しい

請求項 2 に記載の半導体装置。

[請求項 10] 前記複数の金属再配線の全てが、前記複数の第 1 の金属再配線である

請求項 9 に記載の半導体装置。

[請求項 11] 前記平面視において、

前記半導体層は矩形であり、

前記複数のパッドには、前記半導体層の第 1 の辺および前記第 1 の辺と直交する前記半導体層の第 2 の辺との間に他のパッドを含まない第 1 のパッドと、前記第 2 の辺および前記第 2 の辺と直交する前記半導体層の第 3 の辺との間に他のパッドを含まない第 2 のパッドと、前記第 3 の辺および前記第 3 の辺と直交する前記半導体層の第 4 の辺との間に他のパッドを含まない第 3 のパッドと、前記第 4 の辺および前

記第 1 の辺との間に他のパッドを含まない第 4 のパッドとが含まれ、

前記複数の金属再配線のうち、前記第 1 のパッドに接続される第 1 の特定金属再配線と、前記第 2 のパッドに接続される第 2 の特定金属再配線と、前記第 3 のパッドに接続される第 3 の特定金属再配線と、前記第 4 のパッドに接続される第 4 の特定金属再配線とのそれぞれは、前記複数の第 1 の金属再配線のうちのいずれかである

請求項 2 に記載の半導体装置。

[請求項 12] 前記第 1 の特定金属再配線と、前記第 2 の特定金属再配線と、前記第 3 の特定金属再配線と、前記第 4 の特定金属再配線とのそれぞれは、前記複数のパッドのうちの、2 つ以上のパッドに接続される

請求項 1 1 に記載の半導体装置。

[請求項 13] 前記複数のパッドのうち、前記第 1 のパッドと、前記第 2 のパッドと、前記第 3 のパッドと、前記第 4 のパッドとを除く 1 以上の特定パッドの少なくとも 1 つは、前記複数の金属再配線のいずれにも接続されない

請求項 1 1 に記載の半導体装置。

[請求項 14] 前記複数のパッドのうち、前記第 1 のパッドと、前記第 2 のパッドと、前記第 3 のパッドと、前記第 4 のパッドとを除く 1 以上の特定パッドの少なくとも 1 つは、前記複数の金属再配線のうちの、前記複数の第 1 の金属再配線ではない、前記 1 以上の線状折れ曲がり部を有さない第 2 の金属再配線に接続される

請求項 1 1 に記載の半導体装置。

[請求項 15] 請求項 1 から請求項 1 4 のいずれか 1 項に記載の半導体装置と、前記半導体装置がフェイスダウン実装された実装基板と、を備え、前記実装基板は、前記半導体装置が備える複数の金属再配線のそれぞれと 1 対 1 で対応する複数のランドパターンを有し、

前記複数のランドパターンのそれぞれは、当該ランドパターンに対応する、前記複数の金属再配線のうちの 1 の金属再配線に、はんだ接

合材からなるはんだフィレットを介して接合し、

前記平面視において、

前記複数のランドパターンのそれぞれにおける、当該ランドパターンの面積は、当該ランドパターンに対応する、前記複数の金属再配線のうちの1の金属再配線の面積よりも大きく、

前記複数のランドパターンのそれぞれは、前記半導体装置に内包されない部分を有し、

前記複数の第1の金属再配線のそれぞれにおける前記1以上の線状折れ曲がり部は、当該第1の金属再配線に対応する前記はんだフィレットで埋められている

半導体モジュール。

[請求項16]

請求項11から請求項14のいずれか1項に記載の半導体装置と、

前記半導体装置がフェイスダウン実装された実装基板と、を備え、

前記実装基板は、前記半導体装置が備える複数の金属再配線のそれぞれと1対1に対応する複数のランドパターンを有し、

前記複数のランドパターンのそれぞれは、当該ランドパターンに対応する、前記複数の金属再配線のうちの1の金属再配線に、当該ランドパターンに対応する、はんだ接合材からなるはんだフィレットを介して接合し、

前記平面視において、

前記複数のランドパターンのそれぞれにおける、当該ランドパターンの面積は、当該ランドパターンに対応する、前記複数の金属再配線のうちの1の金属再配線の面積よりも大きく、

前記複数のランドパターンのそれぞれは、前記半導体装置に内包されない部分を有し、

前記複数の第1の金属再配線のそれぞれにおける前記1以上の線状折れ曲がり部は、前記はんだフィレットで埋められており、

前記平面視において、

前記複数のランドパターンのうちの、前記第1の特定金属再配線に対応する第1のランドパターンは、前記第1の辺を超えて前記半導体装置の外側に広がる領域と、前記第2の辺を超えて前記半導体装置の外側に広がる領域とを有し、

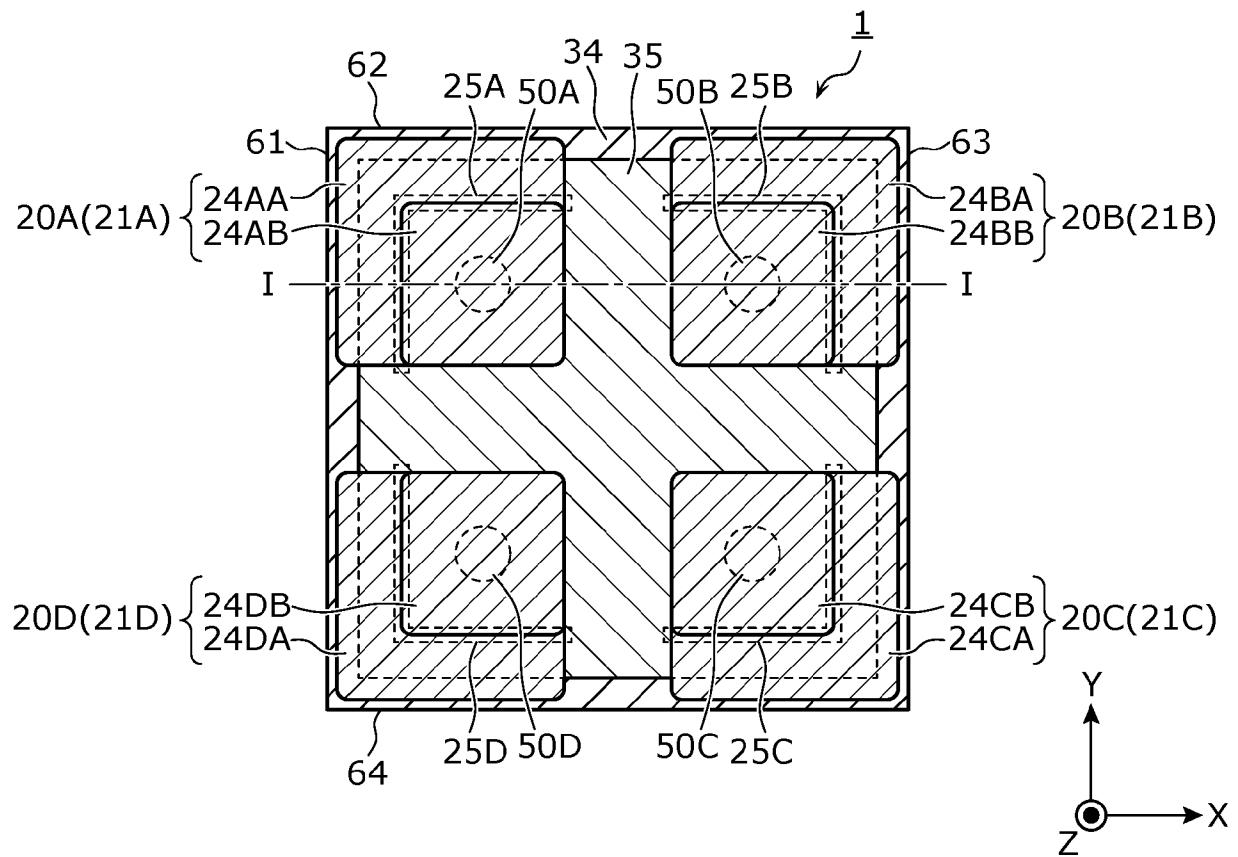
前記複数のランドパターンのうちの、前記第2の特定金属再配線に対応する第2のランドパターンは、前記第2の辺を超えて前記半導体装置の外側に広がる領域と、前記第3の辺を超えて前記半導体装置の外側に広がる領域とを有し、

前記複数のランドパターンのうちの、前記第3の特定金属再配線に対応する第3のランドパターンは、前記第3の辺を超えて前記半導体装置の外側に広がる領域と、前記第4の辺を超えて前記半導体装置の外側に広がる領域とを有し、

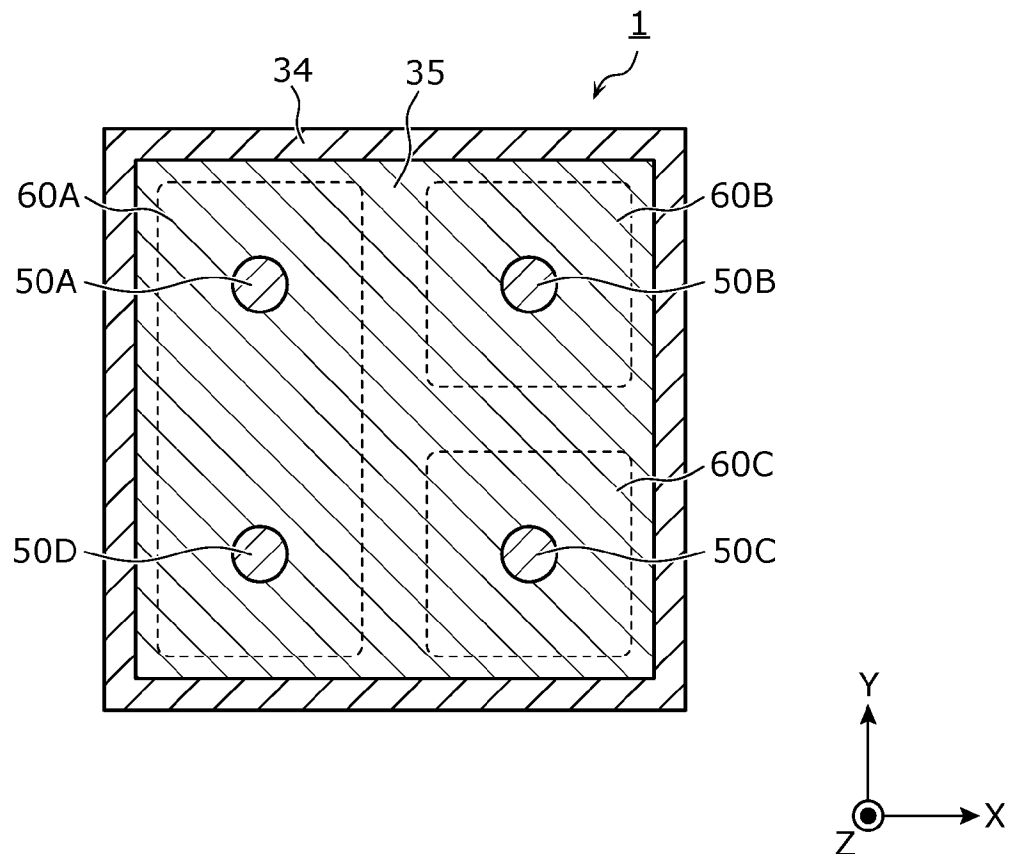
前記複数のランドパターンのうちの、前記第4の特定金属再配線に対応する第4のランドパターンは、前記第4の辺を超えて前記半導体装置の外側に広がる領域と、前記第1の辺を超えて前記半導体装置の外側に広がる領域とを有する

半導体モジュール。

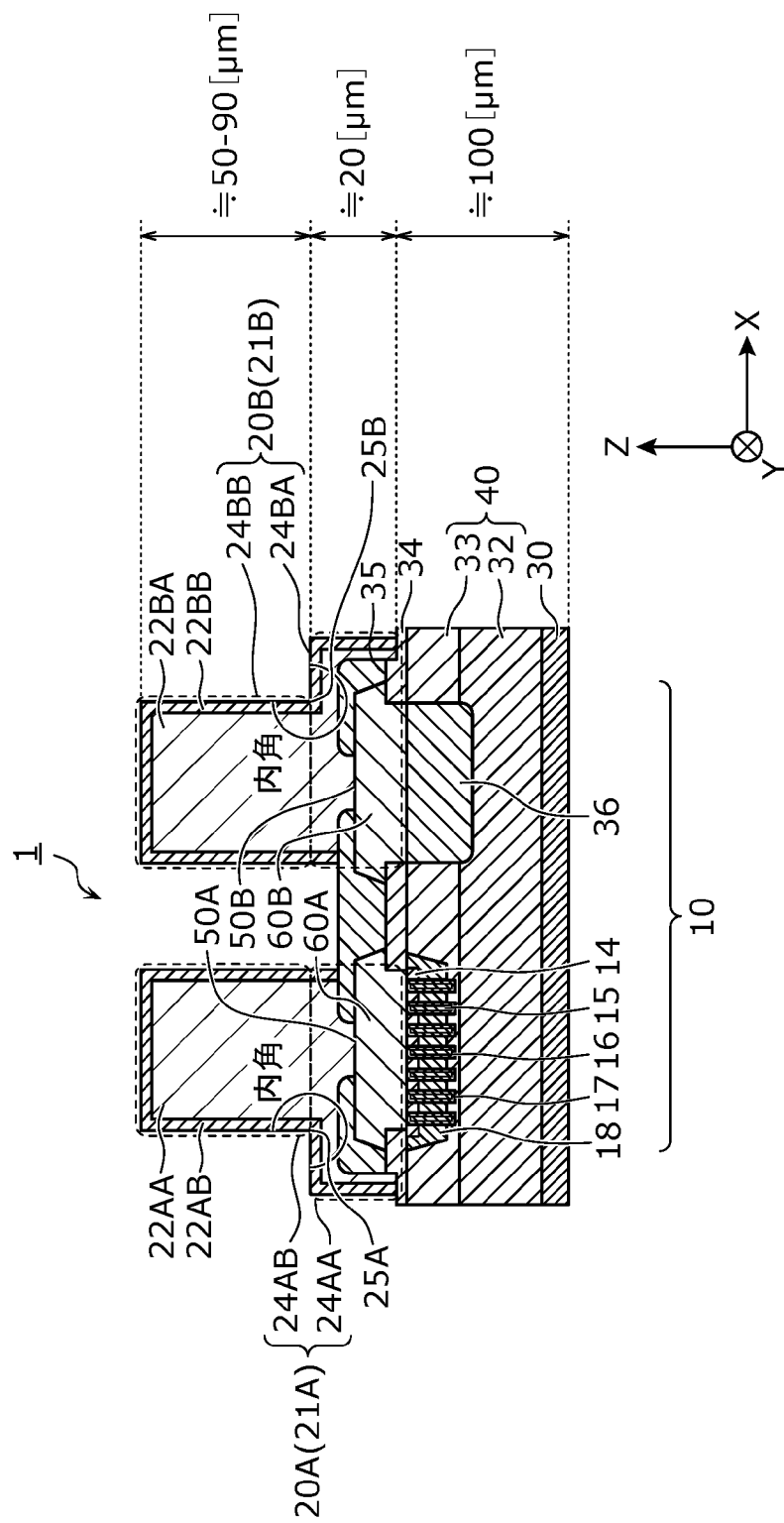
[図1A]



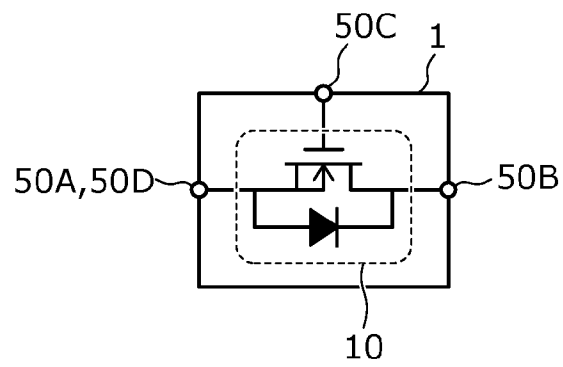
[図1B]



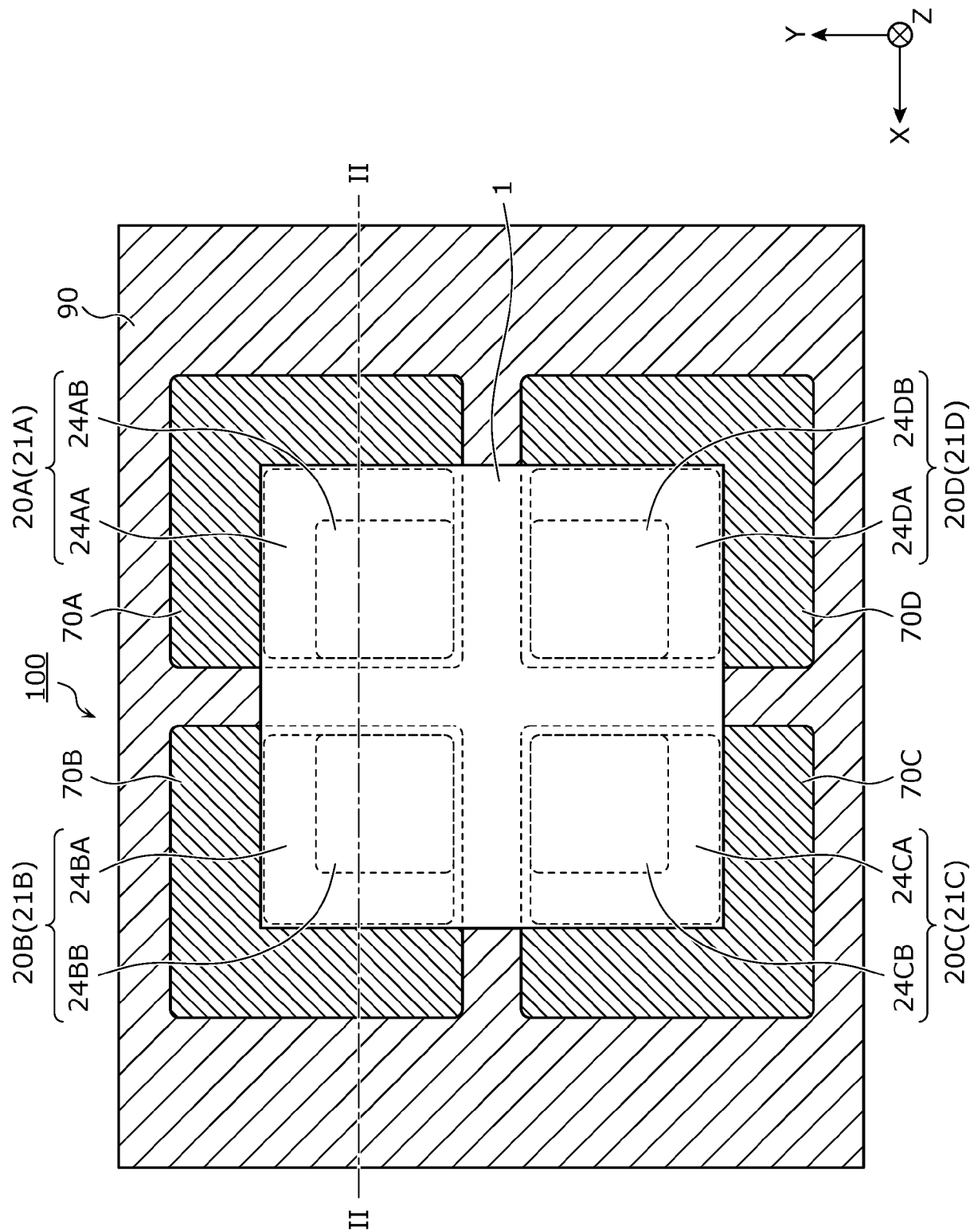
[図2]



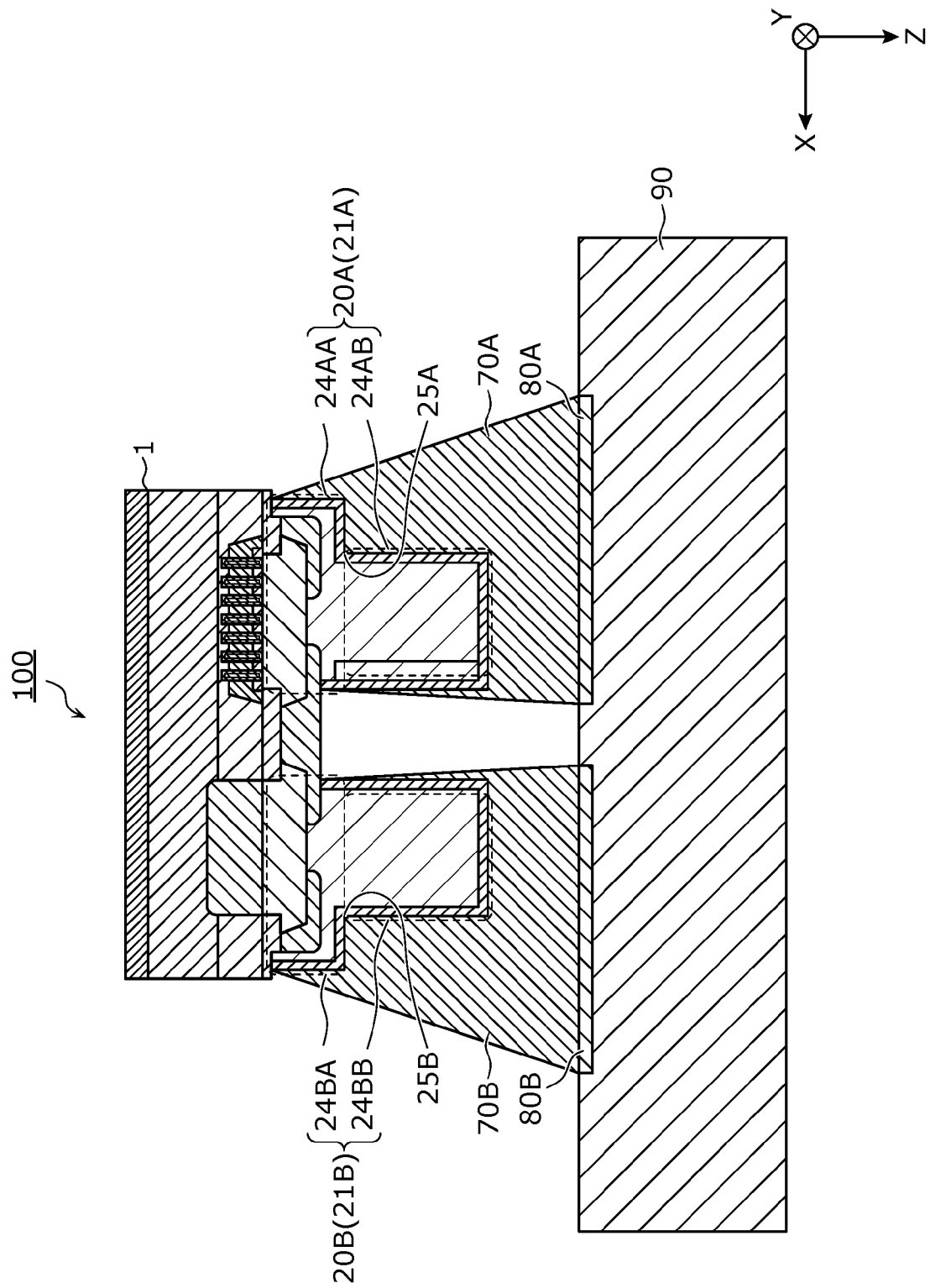
[図3]



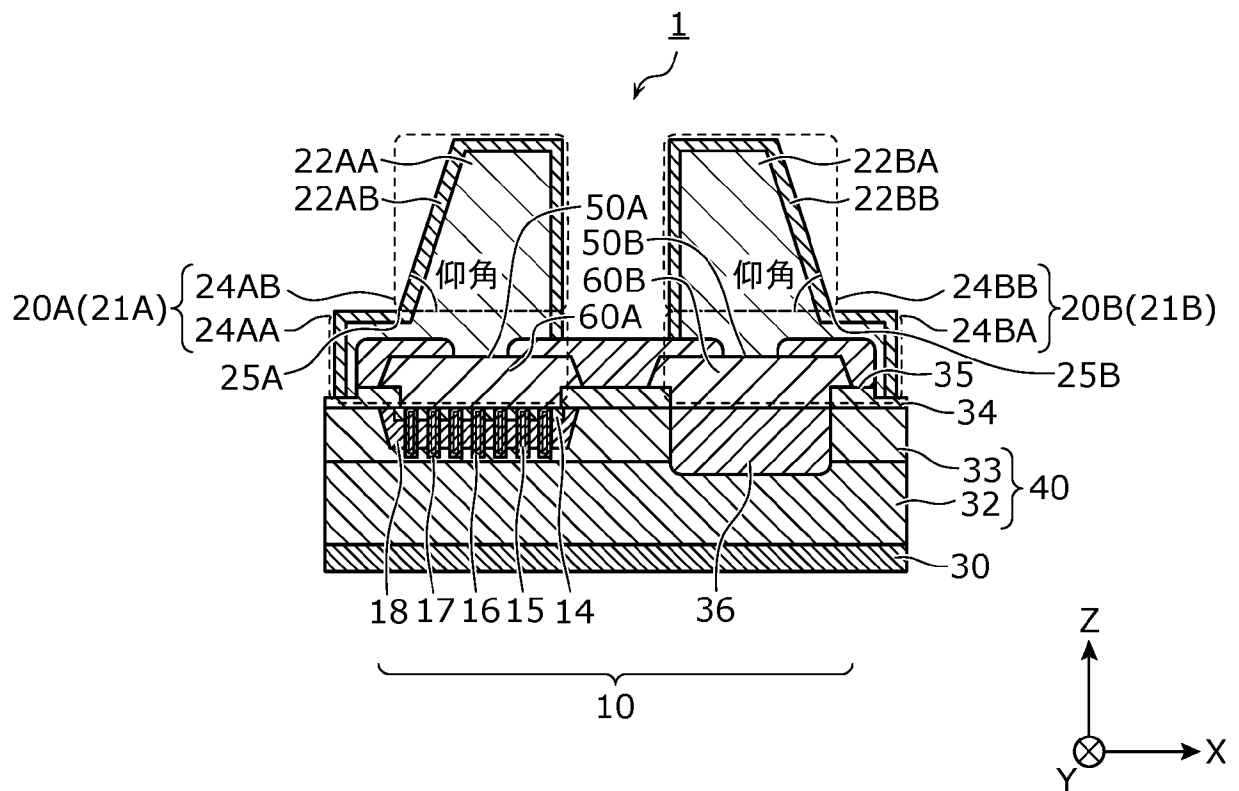
[図4A]



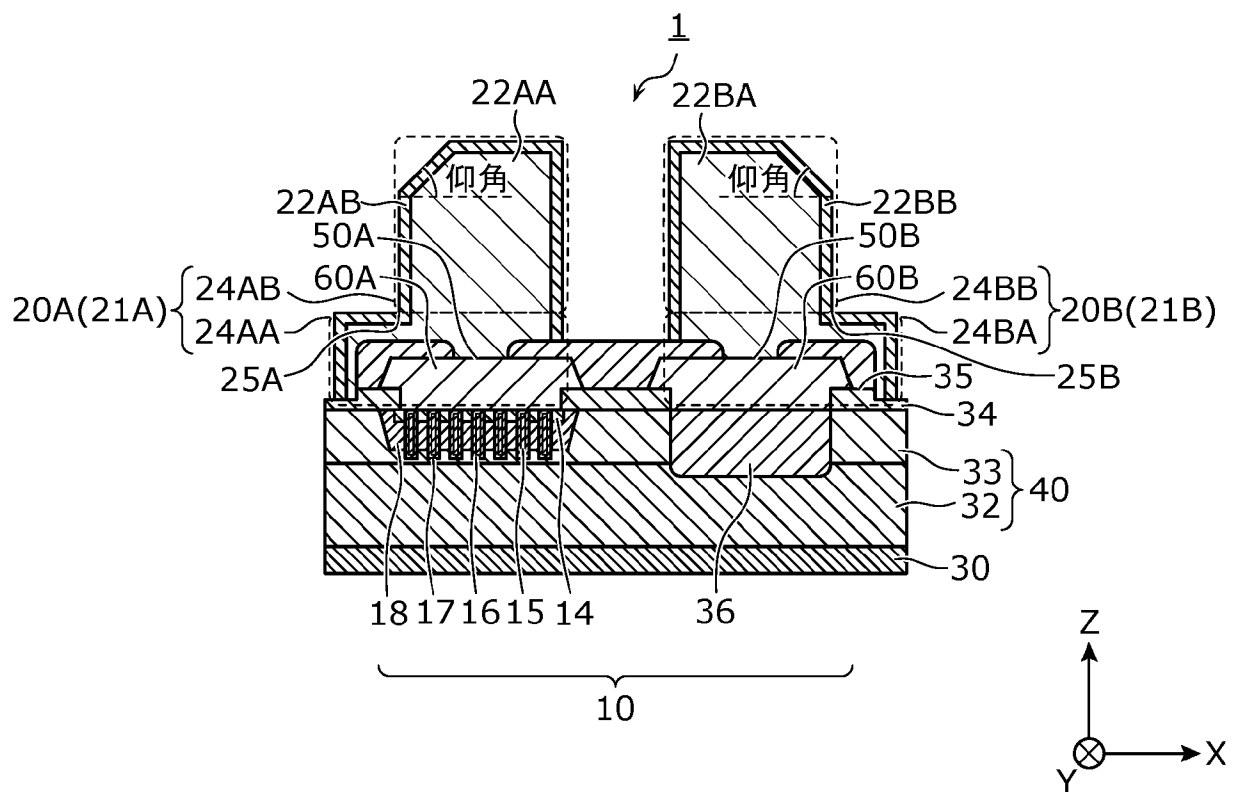
[図5]



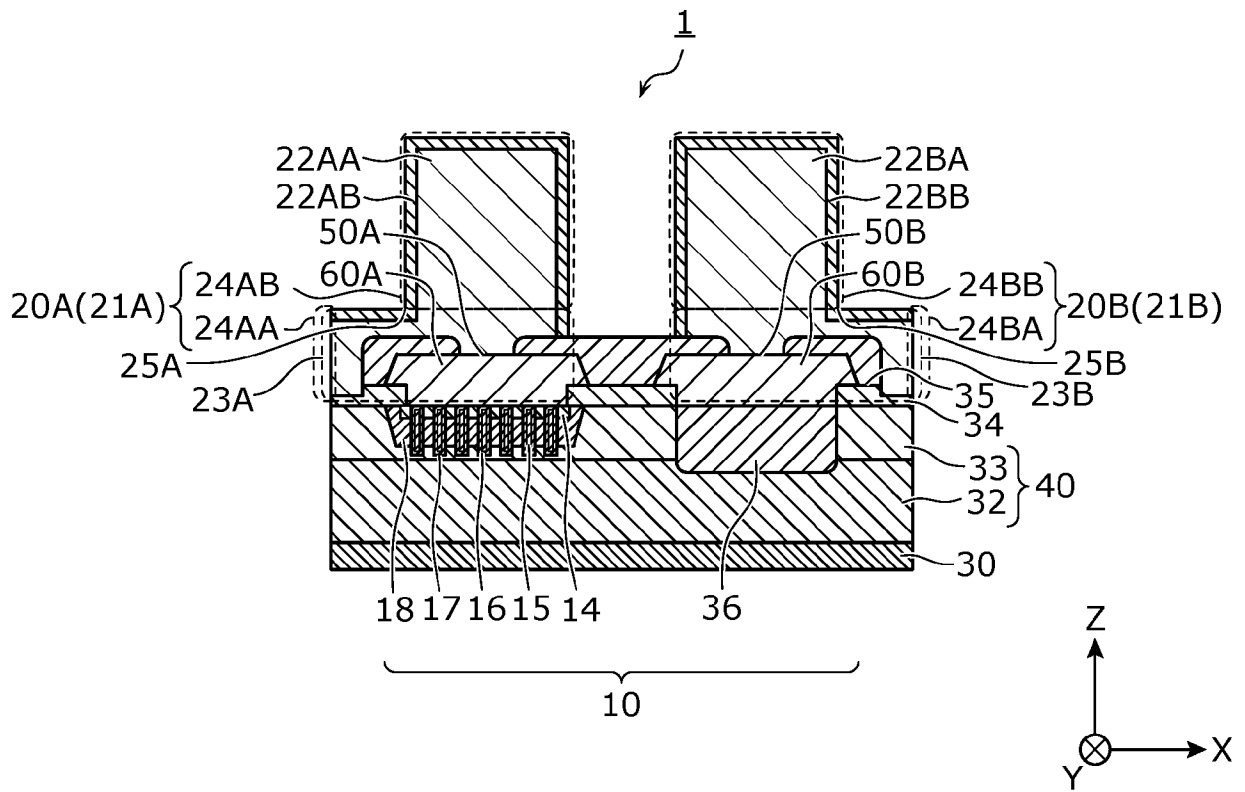
[図6A]



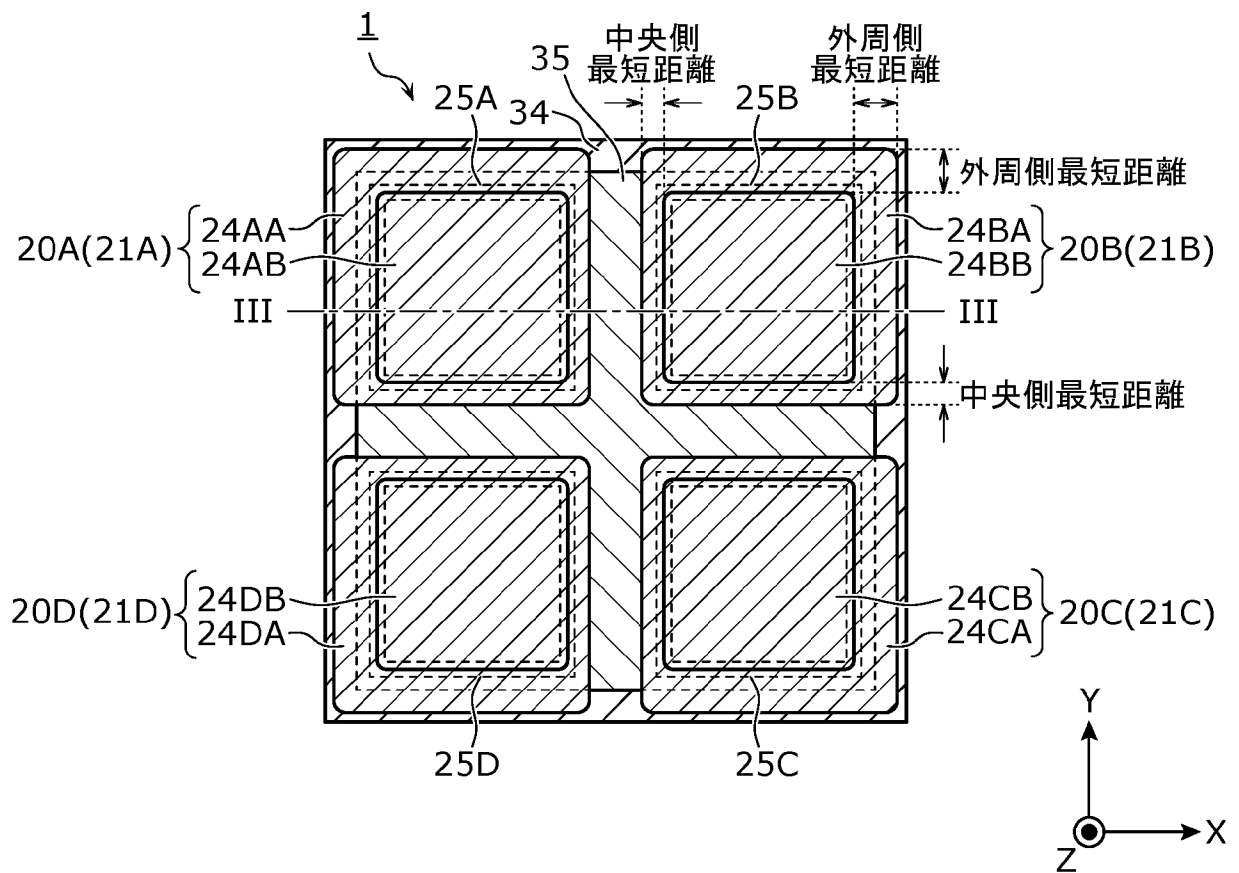
[図6B]



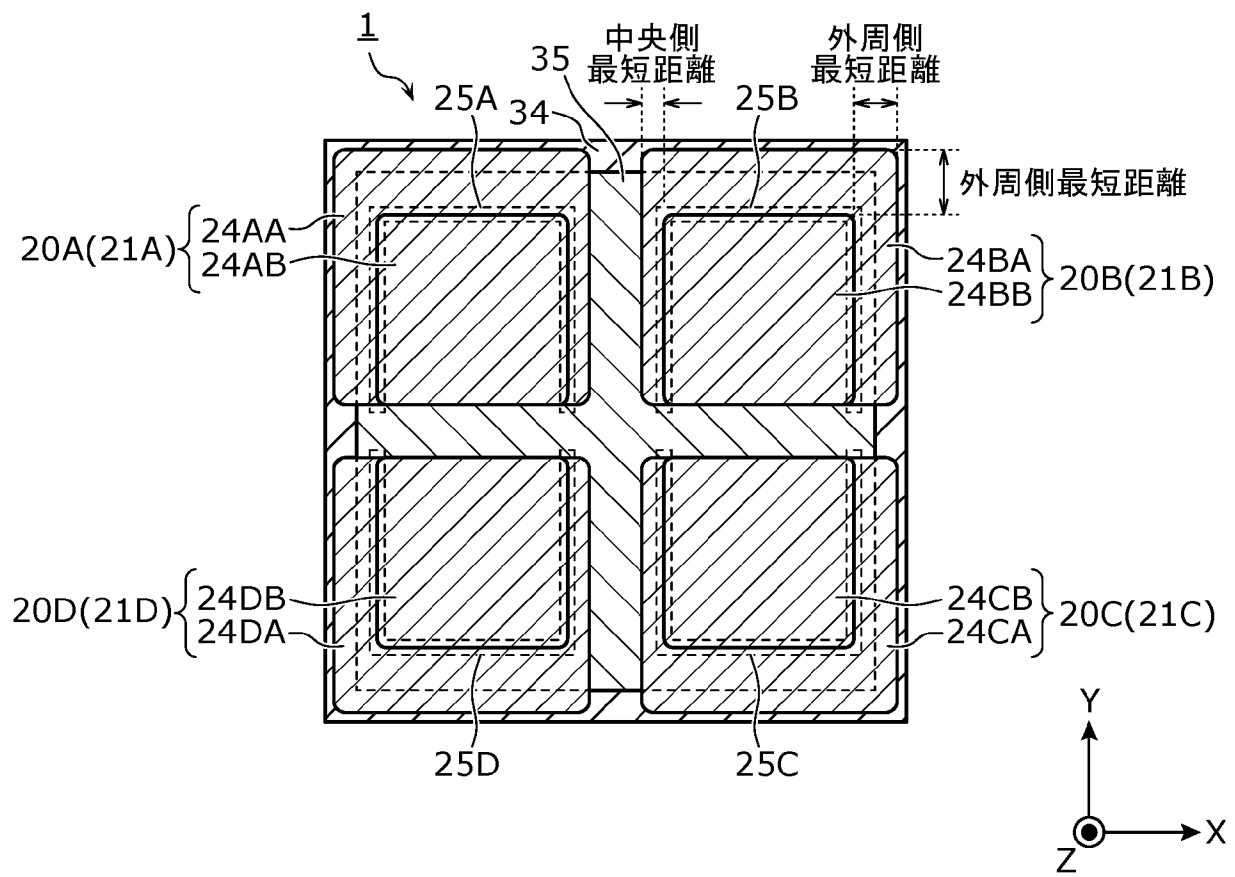
[図7]



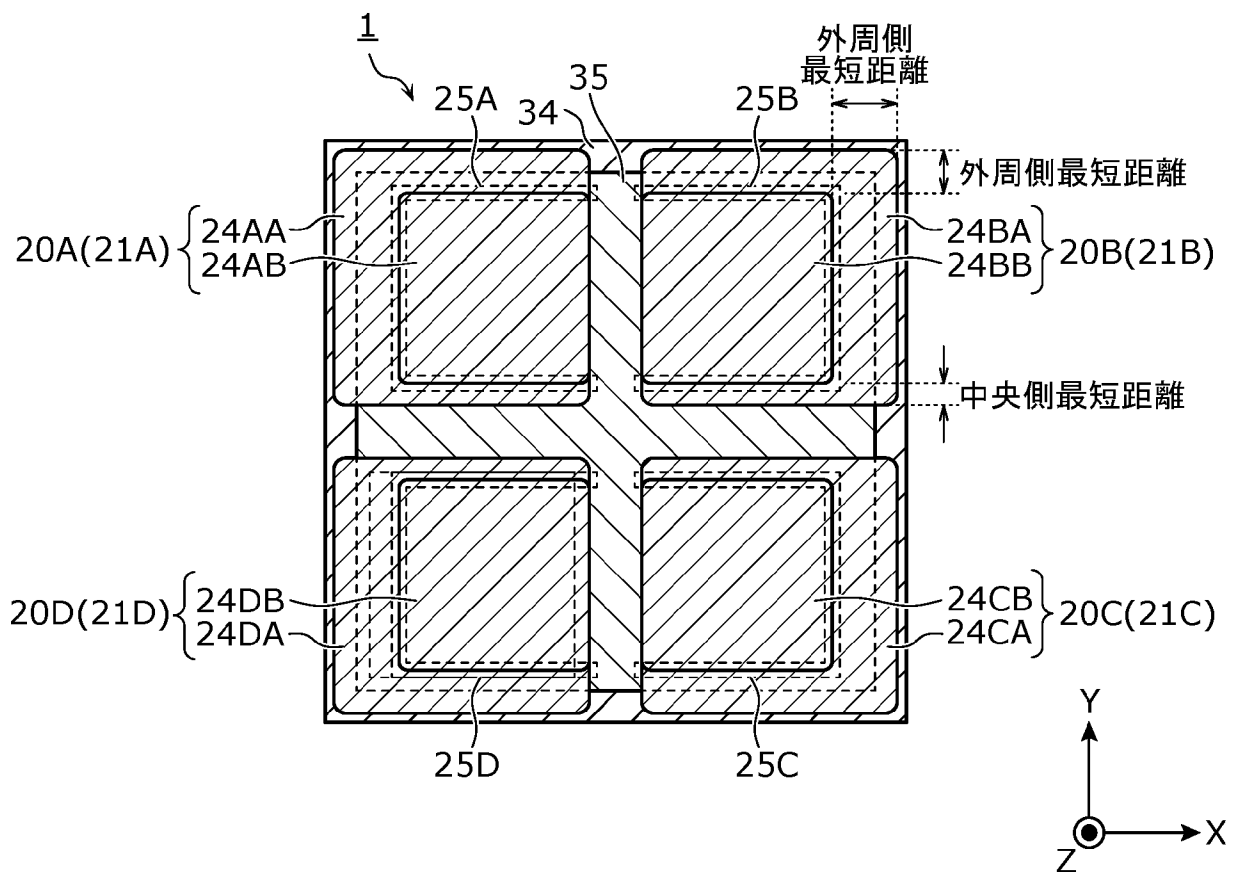
[図8A]



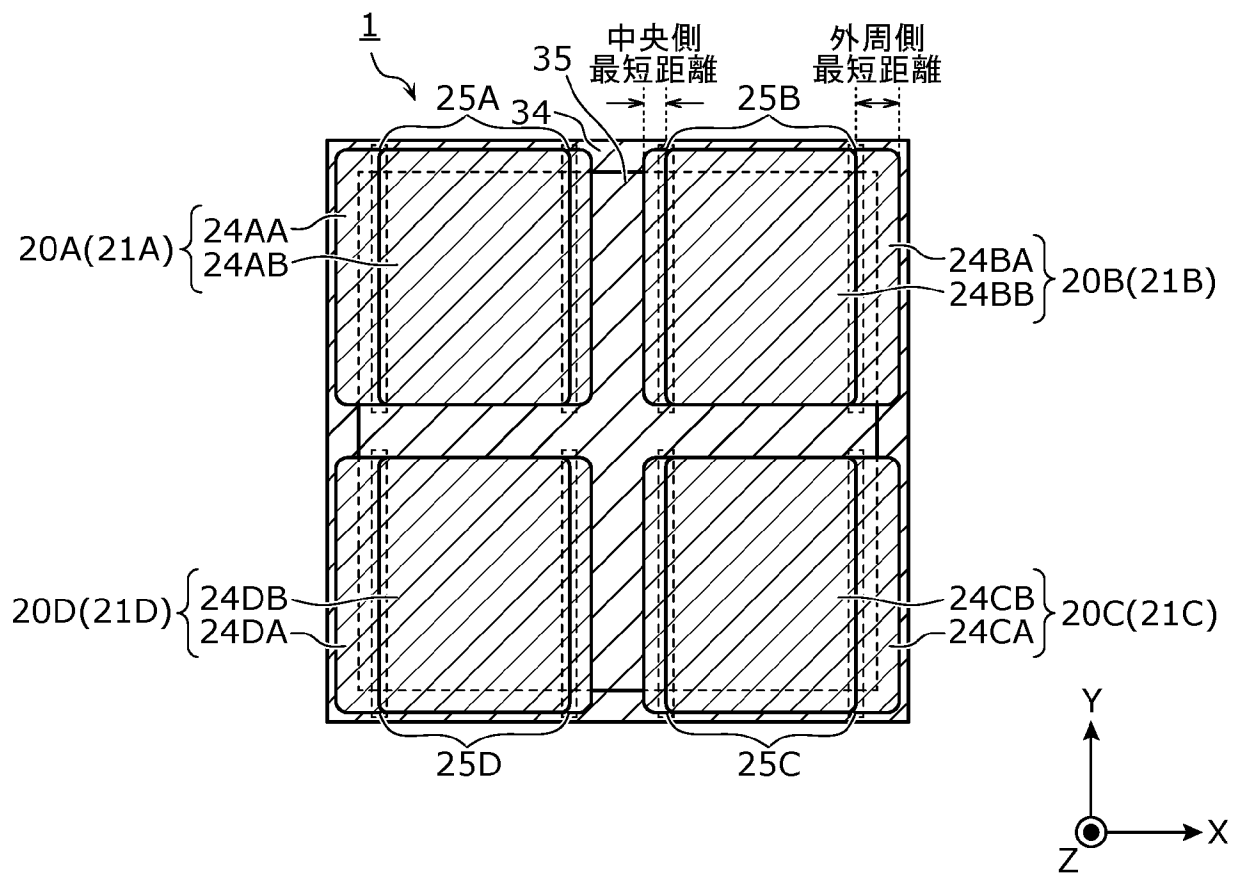
[図8B]



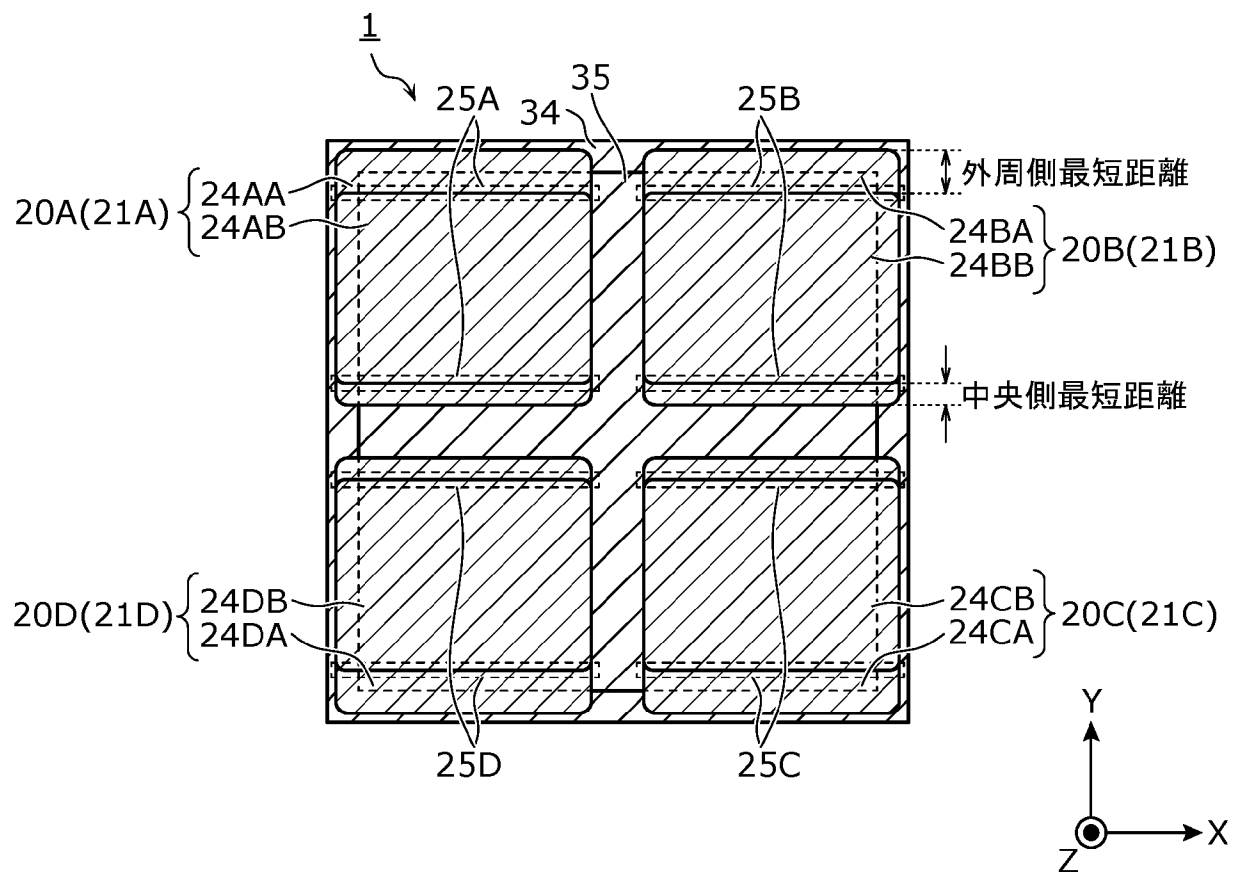
[図8C]



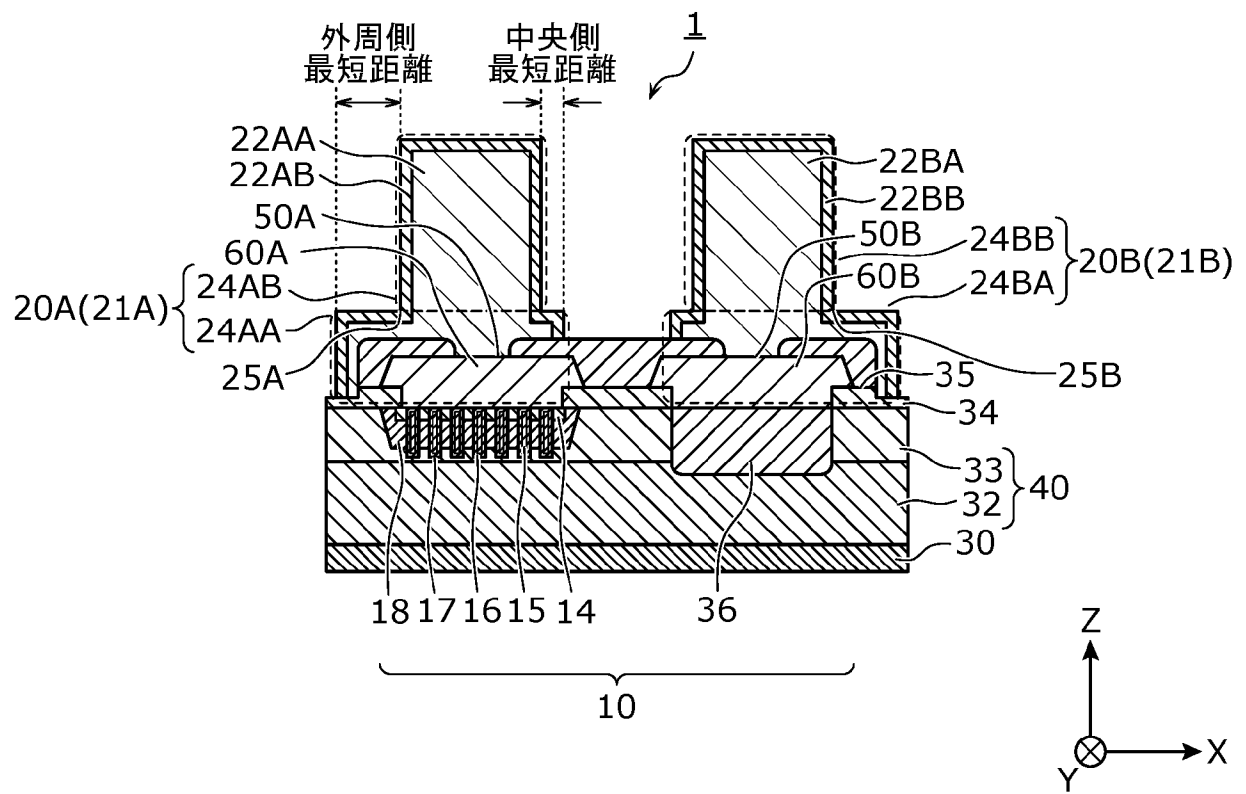
[図8D]



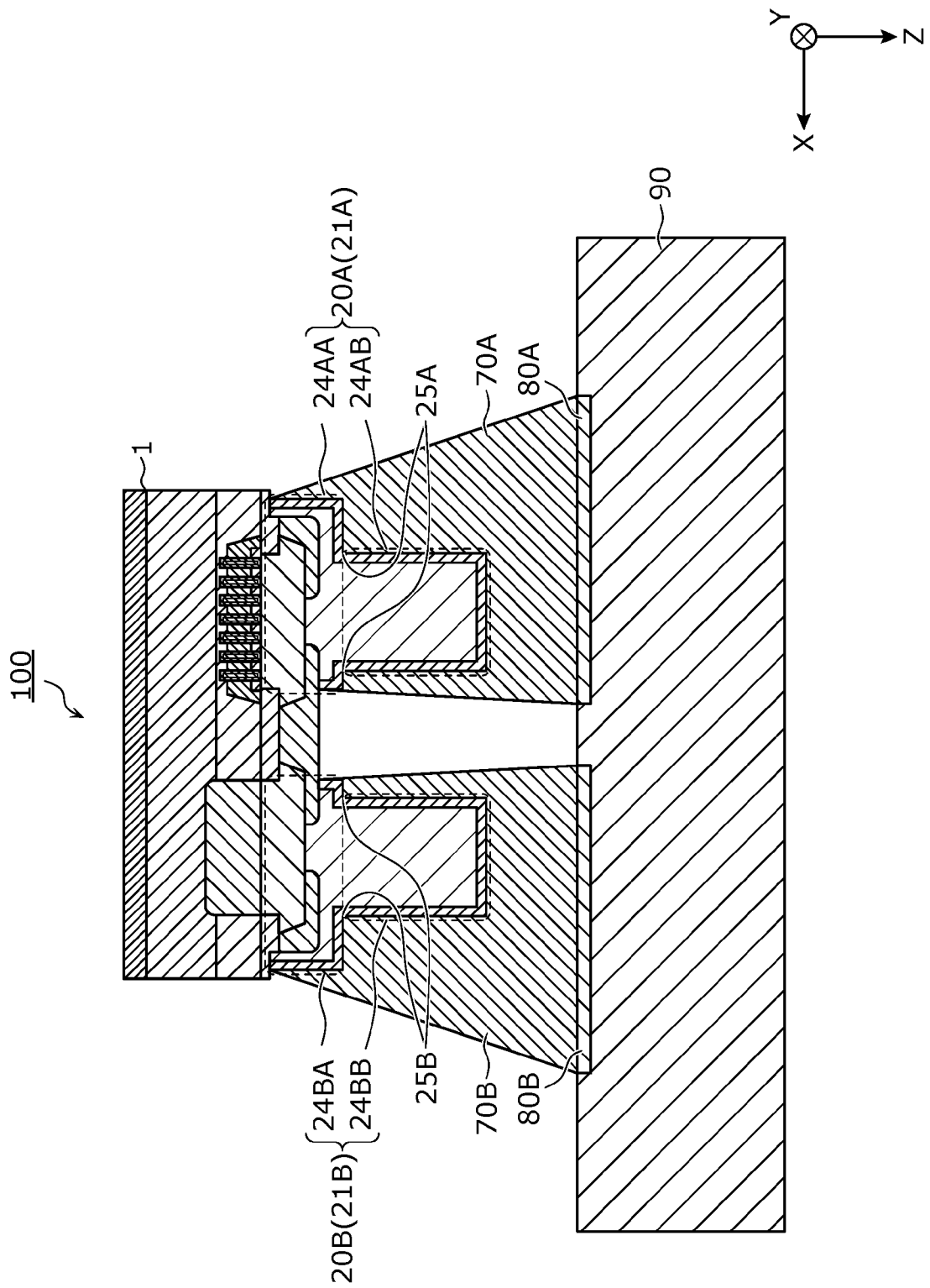
[図8E]



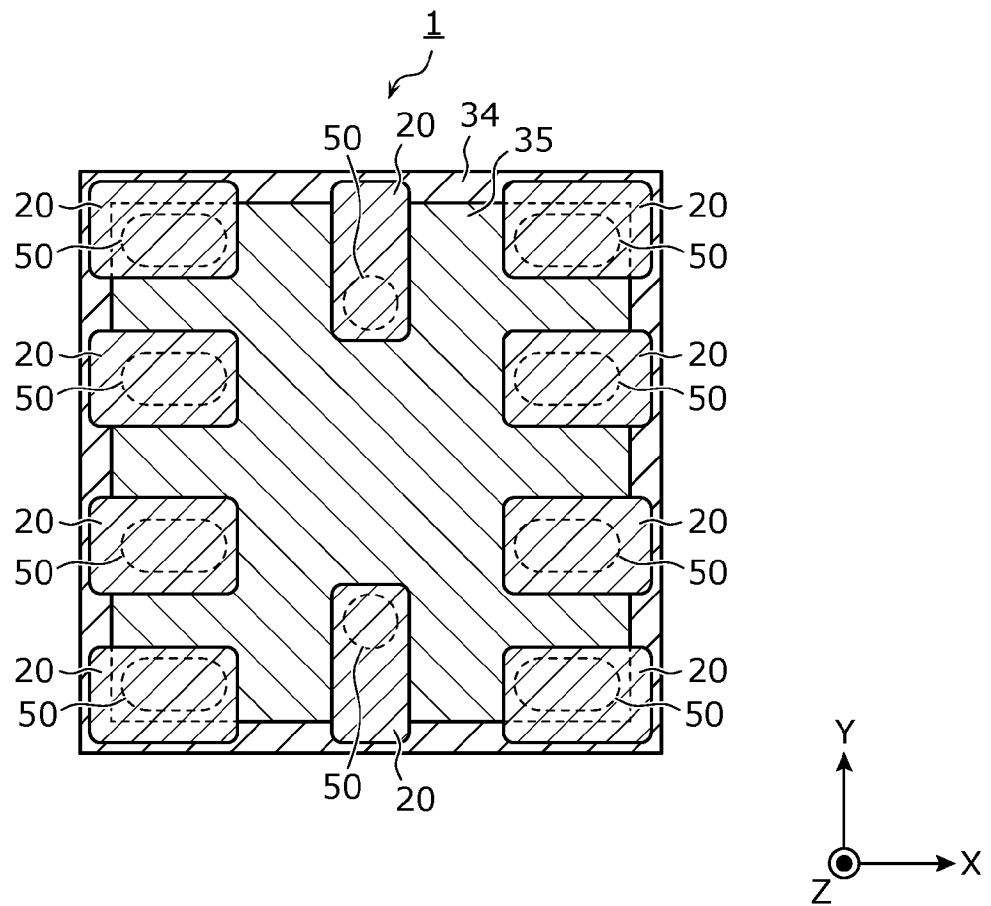
[図9]



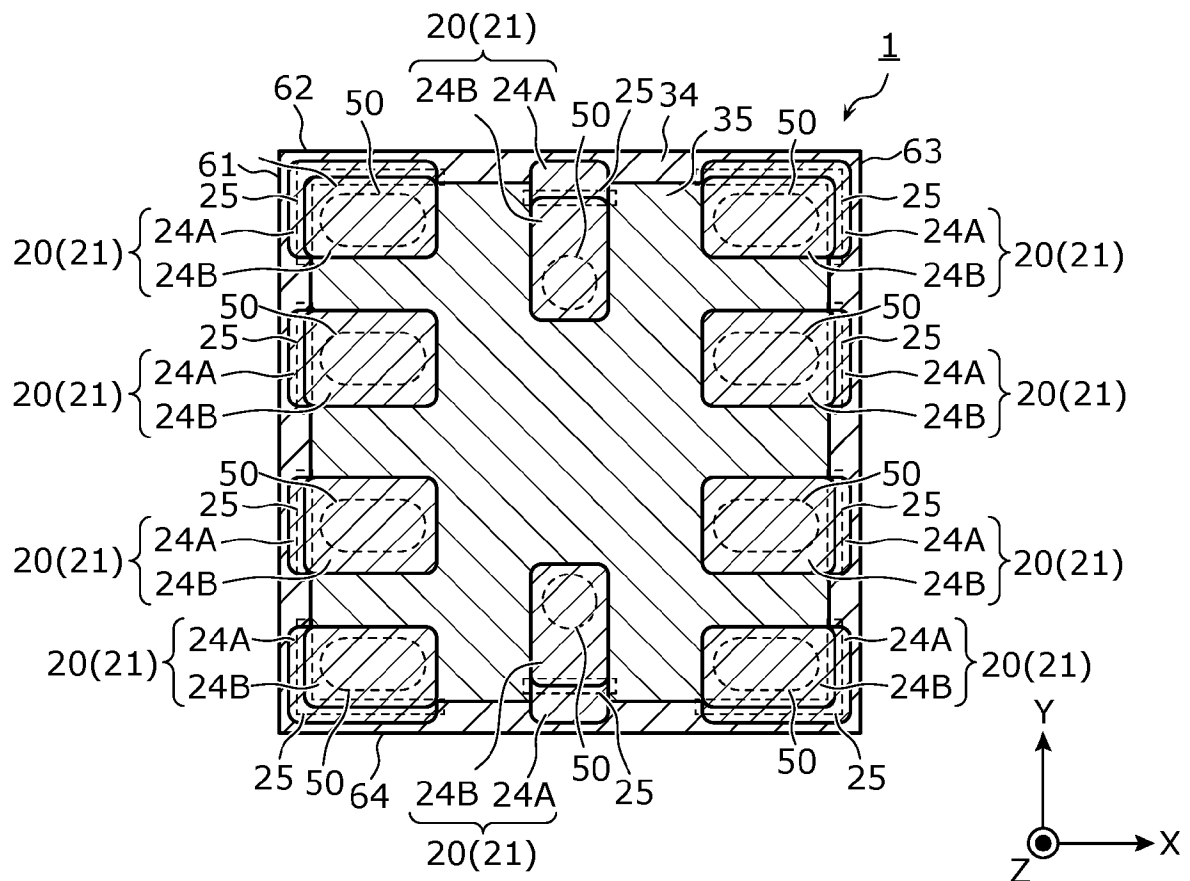
[図10]



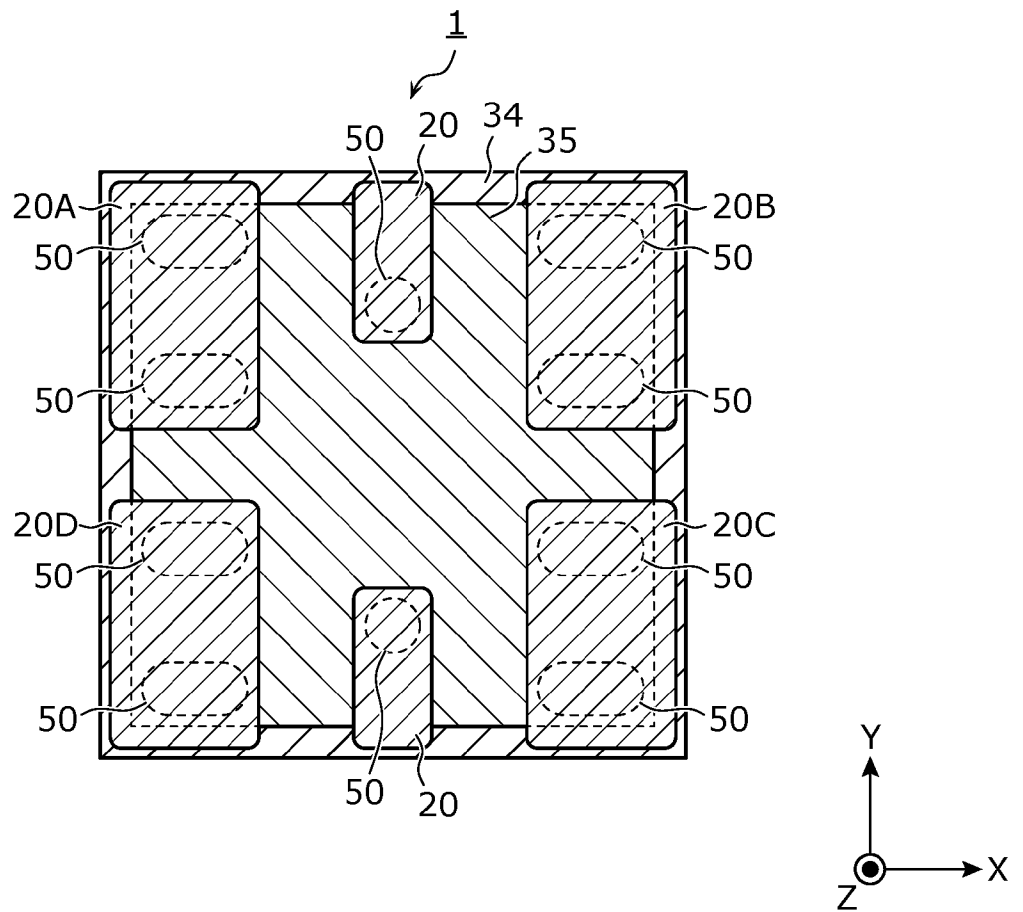
[図11]



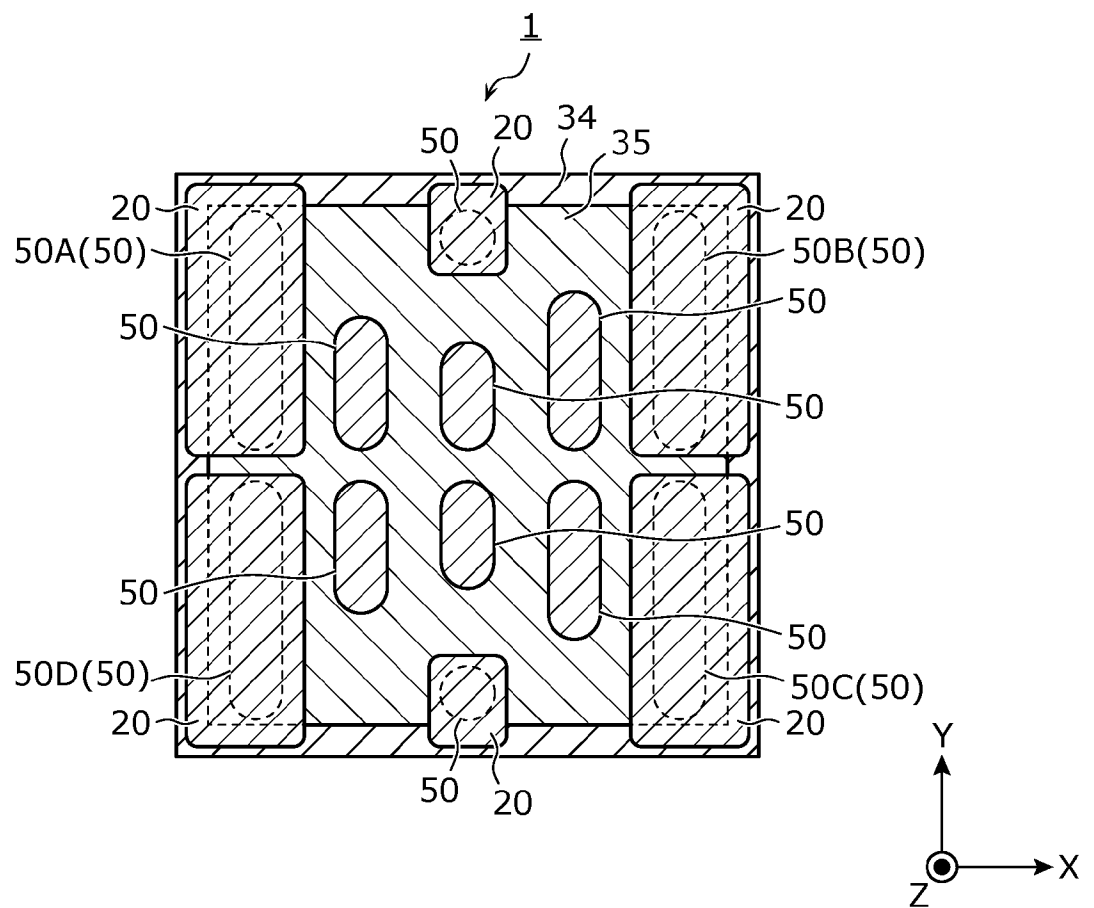
[図12]



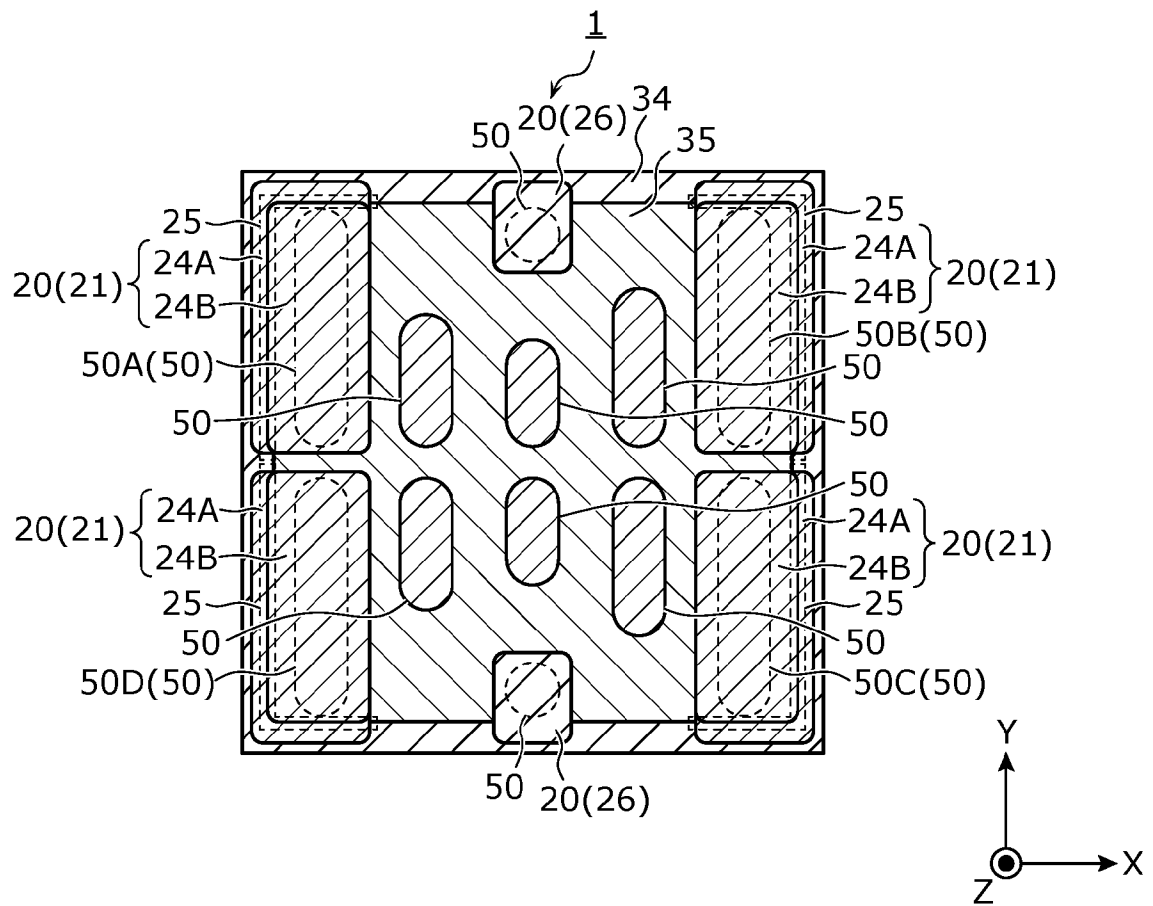
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/035507

A. CLASSIFICATION OF SUBJECT MATTER**H01L 23/12**(2006.01)i; **H01L 21/60**(2006.01)i

FI: H01L23/12 501P; H01L21/60 311Q

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12; H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2022-67118 A (NUVOTON TECHNOLOGY CORPORATION JAPAN) 02 May 2022 (2022-05-02)	1, 15
A	paragraphs [0064]-[0167], fig. 1-2	2-14, 16
Y	JP 2004-273957 A (SEIKO EPSON CORPORATION) 30 September 2004 (2004-09-30)	1, 15
A	paragraphs [0081]-[0087], fig. 10-11	2-14, 16
A	JP 5-136201 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 01 June 1993 (1993-06-01)	1-16
A	JP 2001-308510 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 02 November 2001 (2001-11-02)	1-16
A	JP 2012-204391 A (SONY CORPORATION) 22 October 2012 (2012-10-22)	1-16
A	JP 2011-103383 A (FUJITSU LIMITED) 26 May 2011 (2011-05-26)	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 November 2024

Date of mailing of the international search report

03 December 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-169790 A (FUJITSU LIMITED) 04 July 1995 (1995-07-04)	1-16
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 136995/1979 (Laid-open No. 056656/1981) (NEC CORP.) 16 May 1981 (1981-05-16)	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/035507

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2022-67118	A	02 May 2022	US 2022/0238378 A1 paragraphs [0099]-[0202], fig. 1-2 US 2023/0015582 A1 WO 2021/166963 A1 CN 114424323 A CN 115332064 A	
JP	2004-273957	A	30 September 2004	(Family: none)	
JP	5-136201	A	01 June 1993	(Family: none)	
JP	2001-308510	A	02 November 2001	US 2001/0015010 A1 EP 1139410 A2 KR 10-2001-0082698 A	
JP	2012-204391	A	22 October 2012	US 9066457 B2 CN 102693951 A KR 10-2012-0109309 A	
JP	2011-103383	A	26 May 2011	(Family: none)	
JP	7-169790	A	04 July 1995	(Family: none)	
JP	56-056656	U1	16 May 1981	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 23/12(2006.01)i; H01L 21/60(2006.01)i

FI: H01L23/12 501P; H01L21/60 311Q

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L23/12; H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2022-67118 A（ヌヴォトンテクノロジージャパン株式会社）02.05.2022（2022 - 05 - 02） [0064]-[0167], 第1-2図	1, 15
A		2-14, 16
Y	JP 2004-273957 A（セイコーエプソン株式会社）30.09.2004（2004 - 09 - 30） [0081]-[0087], 第10-11図	1, 15
A		2-14, 16
A	JP 5-136201 A（松下電器産業株式会社）01.06.1993（1993 - 06 - 01）	1-16
A	JP 2001-308510 A（松下電器産業株式会社）02.11.2001（2001 - 11 - 02）	1-16
A	JP 2012-204391 A（ソニー株式会社）22.10.2012（2012 - 10 - 22）	1-16
A	JP 2011-103383 A（富士通株式会社）26.05.2011（2011 - 05 - 26）	1-16
A	JP 7-169790 A（富士通株式会社）04.07.1995（1995 - 07 - 04）	1-16

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

21. 11. 2024

国際調査報告の発送日

03. 12. 2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

秋山 直人 5D 5893

電話番号 03-3581-1101 内線 3549

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	日本国実用新案登録出願54-136995号(日本国実用新案登録出願公開56-056656号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム(日本電気株式会社) 16.05.1981 (1981-05-16)	1-16

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/035507

引用文献			公表日	パテントファミリー文献			公表日
JP	2022-67118	A	02.05.2022	US	2022/0238378	A1	
				[0099]-[0202], FIGs. 1-2			
				US	2023/0015582	A1	
				WO	2021/166963	A1	
				CN	114424323	A	
				CN	115332064	A	

JP	2004-273957	A	30.09.2004	(ファミリーなし)			

JP	5-136201	A	01.06.1993	(ファミリーなし)			

JP	2001-308510	A	02.11.2001	US	2001/0015010	A1	
				EP	1139410	A2	
				KR	10-2001-0082698	A	

JP	2012-204391	A	22.10.2012	US	9066457	B2	
				CN	102693951	A	
				KR	10-2012-0109309	A	

JP	2011-103383	A	26.05.2011	(ファミリーなし)			

JP	7-169790	A	04.07.1995	(ファミリーなし)			

JP	56-056656	U1	16.05.1981	(ファミリーなし)			
