

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2006-146045
(P2006-146045A)

(43) 公開日 平成18年6月8日(2006. 6. 8)

(51) Int.Cl.

F I

テーマコード (参考)

GO2F 1/1345 (2006.01)

GO2F 1/1368 (2006.01)

HO1L 21/60 (2006.01)

GO2F 1/1345

GO2F 1/1368

HO1L 21/60 311S

2H092

5F044

審査請求 未請求 請求項の数 4 O L (全 14 頁)

(21) 出願番号	特願2004-338893 (P2004-338893)	(71) 出願人	000001889
(22) 出願日	平成16年11月24日 (2004. 11. 24)		三洋電機株式会社
			大阪府守口市京阪本通2丁目5番5号
		(74) 代理人	100075258
			弁理士 吉田 研二
		(74) 代理人	100096976
			弁理士 石田 純
		(72) 発明者	小田 信彦
			大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(72) 発明者	山田 努
			大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

最終頁に続く

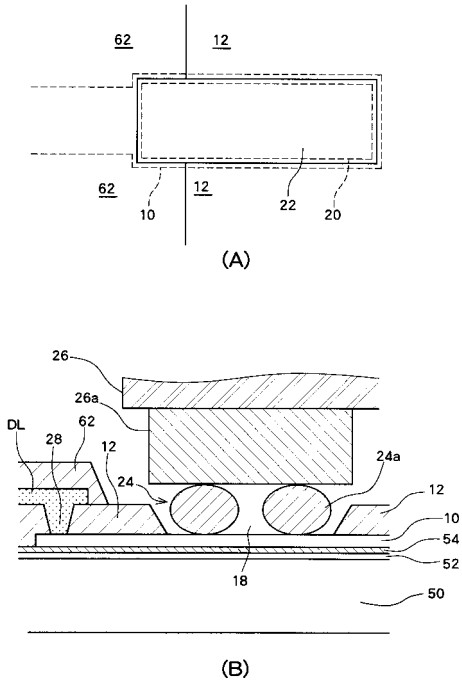
(54) 【発明の名称】 表示装置および表示装置の製造方法

(57) 【要約】

【課題】 COG端子の接続を効果的に行う。

【解決手段】 接続配線10上の層間絶縁12を除去し、接続配線10を露出した除去部18を形成する。接続配線10は、モリブデンなどの高融点金属から構成し、ゲートラインGLと同一プロセスによって構成する。そして、除去部18の露出した接続配線10をバンプ24を介し水平ドライバICと接続する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

周辺部に別の半導体集積回路を直接接続するCOG端子部を有するアクティブマトリクス型の表示装置であって、

表示パネル内部の各画素に接続される内部配線にコンタクトを介し接続され、前記内部配線とは別の高融点金属材料で形成され、パネル周辺部に配置された接続配線と、

この接続配線を覆う配線絶縁膜と、

この絶縁膜の端子部に該当する箇所に形成された開口部と、

この開口部において露出された接続配線を前記半導体集積回路を直接接続する端子部として利用することを特徴とする表示装置。

10

【請求項 2】

請求項 1 に記載の表示装置において、

前記内部配線は、表示パネル内部の各画素へデータ信号を供給するデータラインであり、

各画素は、

一端が前記データラインに接続され、ゲート電極と、このゲート電極を覆い、前記データラインとを絶縁する層間絶縁膜を有する薄膜トランジスタを含み、

前記接続配線と、前記ゲート電極は同一のプロセスで形成されたものであり、

前記配線絶縁膜と、前記層間絶縁膜は同一のプロセスで形成されたものであることを特徴とする表示装置。

20

【請求項 3】

周辺部に別の半導体集積回路を直接接続するCOG端子部を有するアクティブマトリクス型の表示装置の製造方法であって、

表示パネル内部の各画素に接続される内部配線にコンタクトを介し接続され、パネル周辺部に配置された接続配線を、前記内部配線とは別の高融点金属材料で形成するステップと、

この接続配線を覆う配線絶縁膜を形成するステップと、

この絶縁膜の端子部に該当する箇所に開口部を形成するステップと、

この開口部において露出された接続配線を前記半導体集積回路を直接接続するステップと、

30

を有することを特徴とする表示装置の製造方法。

【請求項 4】

請求項 3 に記載の表示装置の製造方法において、

前記内部配線は、表示パネル内部の各画素へデータ信号を供給するデータラインであり、

各画素は、

一端が前記データラインに接続され、ゲート電極と、このゲート電極を覆い、前記データラインとを絶縁する層間絶縁膜を有する薄膜トランジスタを含み、

前記接続配線と、前記ゲート電極とを、同一のプロセスで形成するとともに、

前記配線絶縁膜と、前記層間絶縁膜とを、同一のプロセスで形成することを特徴とする表示装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、周辺部に別の半導体集積回路を直接接続するCOG端子部を有するアクティブマトリクス型の表示装置およびその製造方法に関する。

【背景技術】

【0002】

従来より、液晶パネルなどの表示パネルにおいて、各画素に表示制御用の薄膜トランジスタを配置したアクティブマトリクス型のものが広く普及している。

50

【0003】

このような表示パネルにおいては、外部からのデータ信号（映像信号）などをパネル内に受け入れ、これを各画素に供給する。このために、垂直方向のデータライン、水平方向の選択（ゲート）ラインを設け、データラインにデータ信号を供給しつつ対応するゲートラインによって該当する画素を選択して、各画素へのデータ信号の供給を制御する。従って、データラインへのデータ供給、ゲートラインの選択を制御しなければならず、垂直ドライバおよび水平ドライバが必要となる。

【0004】

これら垂直、水平ドライバを表示パネルに内蔵する場合も多いが、水平ドライバは1水平期間内においてデータ信号を各列のデータラインに供給する動作を制御しなければならず、比較的高速の処理が要求される。そこで、水平ドライバを、別の半導体集積回路（水平ドライバIC）内に設け、その水平ドライバICから各データラインに直接データ信号を供給するという構成をとる場合も多い。この場合、パネルの周辺部まで、各データラインを伸ばしておき、ここに水平ドライバICの端子をACFを介して接続する、COG（チップ・オン・ガラス）構造をとることが好適と考えられる。

【0005】

このCOG構造を採った場合の構成例を図16に示す。データラインDLに接続された接続配線10は、絶縁膜である層間絶縁膜12で覆われている。そして、この層間絶縁膜12の一部を除去し、コンタクトホールを形成し、このコンタクトホールを含めて透明導電膜14を形成する。従って、この透明導電膜14は、除去部において、接続配線10と接続される。そして、接続配線10の層間絶縁膜12の上に位置する部分がCOG構造の端子部として利用される。なお、このCOG構造の端子部は、上述した各画素の薄膜トランジスタ（TFT）が形成されるTFT基板16上に形成されている。

【0006】

ここで、層間絶縁膜12は、各画素に設けられた薄膜トランジスタを覆う平坦化膜である。また、各画素ではこの平坦化膜の上に透明導電体、例えばIZOからなる画素電極が形成される。そこで、透明導電膜14はこの画素電極と同一の膜である。

【0007】

このように、画素エリアにおいて形成される平坦化膜および透明導電膜14を利用することで、余分なプロセスを追加することなく、COG構造の端子部を形成することができる。また、端子部に透明導電膜を利用することは、特許文献1等にも示されている。

【0008】

【特許文献1】特開平06-180460号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

ここで、上述のように、透明導電膜、特にIZOをCOG構造の端子部に利用した場合、ACFとのコンタクト抵抗がかなり大きくなってしまいうという問題がある。

【0010】

また、平坦化膜が比較的柔らかいために、ACFに圧力を掛けての接続が十分に行えないという問題もあった。

【課題を解決するための手段】

【0011】

本発明は、周辺部に別の半導体集積回路を直接接続するCOG端子部を有するアクティブマトリクス型の表示装置であって、表示パネル内部の各画素に接続される内部配線にコンタクトを介し接続され、前記内部配線とは別の高融点金属材料で形成され、パネル周辺部に配置された接続配線と、この接続配線を覆う配線絶縁膜と、この絶縁膜の端子部に該当する箇所形成された開口部と、この開口部において露出された接続配線を前記半導体集積回路を直接接続する端子部として利用することを特徴とする。

また、前記内部配線は、表示パネル内部の各画素へデータ信号を供給するデータライン

10

20

30

40

50

であり、各画素は、一端が前記データラインに接続され、ゲート電極と、このゲート電極を覆い、前記データラインとを絶縁する層間絶縁膜を有する薄膜トランジスタを含み、前記接続配線と、前記ゲート電極は同一のプロセスで形成されたものであり、前記配線絶縁膜と、前記層間絶縁膜は同一のプロセスで形成されたものであることが好適である。

また、本発明は、周辺部に別の半導体集積回路を直接接続するCOG端子部を有するアクティブマトリクス型の表示装置の製造方法であって、表示パネル内部の各画素に接続される内部配線にコンタクトを介し接続され、パネル周辺部に配置された接続配線を、前記内部配線とは別の高融点金属材料で形成するステップと、この接続配線を覆う配線絶縁膜を形成するステップと、この絶縁膜の端子部に該当する箇所に開口部を形成するステップと、この開口部において露出された接続配線を前記半導体集積回路を直接接続するステップと、を有することを特徴とする。

10

また、前記内部配線は、表示パネル内部の各画素へデータ信号を供給するデータラインであり、各画素は、一端が前記データラインに接続され、ゲート電極と、このゲート電極を覆い、前記データラインとを絶縁する層間絶縁膜を有する薄膜トランジスタを含み、

前記接続配線と、前記ゲート電極とを、同一のプロセスで形成するとともに、前記配線絶縁膜と、前記層間絶縁膜とを、同一のプロセスで形成することが好適である。

【発明の効果】

【0012】

以上説明したように、本発明によれば、端子部において、高融点金属材料で形成された接続配線が用いられる。従って、COG構造を利用した接続において、コンタクト抵抗を小さくすることができる。また、絶縁膜を除去して端子部を形成するため、端子部が十分な剛性を持つことが可能になる。

20

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施形態について、図面に基づいて説明する。

【0014】

図1は、本実施形態のCOG端子部の断面構造を示す図である。ガラス基板50上には、バッファ層52およびゲート酸化膜54が基板全面に形成されている。このゲート酸化膜54の上のCOG端子部分に接続配線10が形成されている。この接続配線10は、絶縁膜である層間絶縁膜12によって覆われている。ここで、この接続配線10は、後述する薄膜トランジスタのゲートラインGL（ゲート電極）と同一プロセスで形成され、高融点金属で構成される。この例では、接続配線10はモリブデン（Mo）で形成されている。また、層間絶縁膜12は、SiO₂/SiNの積層膜などで形成されている。

30

【0015】

そして、この層間絶縁膜12の一部を除去して接続配線10が露出する除去部18が形成されている。

【0016】

ここで、除去部18は比較的大きくしてある。すなわち、この除去部18内で露出された接続配線10は、ある程度の面積を有している。そこで、この除去部18の底部に位置する接続配線10上にACF（異方性導電フィルム）24をおき、これを水平ドライバIC26の下面に設けたパンプ26aで押圧する。ACF24は、例えば、導電粒子（金属コートしたプラスチックボール等）24aを熱硬化樹脂中に混合したものであり、押圧された部分において導電粒子24aがパンプ26aおよび接続配線10に直接接触したり、導電性粒子24a同士が接触することで、パンプ26aと接続配線10を接続する。ACF24は、押圧されない部分は導電性がないため、接続を行う部分（水平ドライバICの複数の端子（パンプ））と対応する除去部18）全体を覆って配置すればよく、パンプ26aによって押圧される部分のみが導通される。なお、パンプ26aにも金などが利用される。また、図においては、ACF24を厚み方向1段だけ利用したが、これを2段以上積み重ねてもよい。この場合には、導電粒子24a同士が接触して、パンプ24aと、接続配線10の電氣的接続を達成する。

40

50

この例では、接続配線 10 をデータライン D L と接続したが、画素部から伸び、別の半導体集積回路に C O G 接続する配線であれば、電源ラインなど他の配線と接続することもできる。また、データライン D L については、途中でデータ信号をオンオフするスイッチが設置されてもよい。

【0017】

また、接続配線 10 は、C O G 端子部から基板の内側（表示領域側）方向に伸び、終端している。この終端部の C O G 端子部側の層間絶縁膜 12 には、コンタクトホール 28 が形成されている。そして、このコンタクトホール 28 には、表示領域側から伸びてくるデータライン D L の端部が位置している。従って、データライン D L と、接続配線 10 がコンタクトを介して接続される。さらに、データライン D L は、平坦化膜 62 によって、覆
10

【0018】

図 2 は、画素回路の構成を示す図である。データライン D L は、液晶パネルのカラム（列：垂直）方向に伸び、1 列に 1 本設けられている。ゲートライン G L は、液晶パネルのロー（行：水平）方向に伸び、1 行に 1 本設けられている。さらに、ロー方向には、S C ラインが 1 行に 1 本設けられている。

【0019】

データライン D L には、n チャネル T F T である選択トランジスタ Q 1 のドレインが接続されている。選択トランジスタ Q 1 のソースは、画素電極 30 および保持容量 C の一方の電極に接続されている。また、保持容量 C の他方の電極は S C ライン S C に接続されて
20

【0020】

複数のゲートライン G L は、1 水平期間ずつ順次選択され、H レベルに設定される。このため、そのゲートライン G L にゲートが接続されている該当行の選択トランジスタ Q 1 がオンする。一方、データライン D L には、選択トランジスタ Q 1 がオンしている行の画素についてのデータ電圧が供給される。従って、選択された行の各画素の保持容量 C には、その画素のデータ電圧がそれぞれ充電される。これによって、保持容量 C に充電されたデータ電圧がその画素の液晶 L C に印加され、表示が行われる。ゲートライン G L は、順次選択を変更していくが、1 つの画素については次のフレームにおいて、データ書き込み
30

【0021】

図 3、図 4 には、画素部分の断面および平面構成を示す。ガラス基板 50 上には、S i O₂/S i N の 2 層積層膜からなるバッファ層 52 が配置され、その上の所定箇所には半導体層 72 が形成されている。この例では、半導体層 72 はポリシリコンで形成されている。半導体層 72 およびバッファ層 52 の上には、S i N/S i O₂ の 2 層積層膜からなるゲート絶縁膜 54 が形成される。また、このゲート絶縁膜 54 上であって、半導体層 72 の中央部分の上方にはゲート電極 56 が形成されている。この例は、選択トランジスタ Q 1 としてシングルゲートタイプの T F T を採用しており、ゲート電極 56 が 1 つ形成されているが、ダブルゲートタイプとして、ゲート電極 56 を 2 つ形成することも好適である。なお、この例において、ゲート電極 56 は、ゲートライン G L の所定部分を水平方向に突出形成したものである。半導体層 72 のゲート電極 56 の下方部分は、チャンネル領域 72 c、その両側がドレイン領域 72 d、ソース領域 72 s になっており、これによって選択トランジスタ Q 1 が形成される。
40

【0022】

ゲート電極 56 およびゲート絶縁膜 54 上には S i O₂/S i N の積層膜からなる層間絶縁膜 60 が形成されている。この層間絶縁膜 60 上であってドレイン領域（またはソース領域）72 d の上方に該当する位置には、ドレイン電極（またはソース電極）74 が形成されている。このドレイン電極 74 は、層間絶縁膜 60、ゲート絶縁膜 54 を貫通するコンタクトによりドレイン領域 72 d に直接接続されている。また、ソース領域 72 s は
50

、コンタクトを介しデータラインD Lに接続されており、このデータラインD Lがソース電極として機能している。

【0023】

また、半導体層7 2は、ドレイン領域7 2からそのまま水平方向に延長されており、この延長部分には、S CラインS Cがゲート絶縁膜5 4を介して対向配置されている。従って、半導体層7 2の延長部分と、S CラインS Cと、それらに挟まれたゲート絶縁膜5 4によって、保持容量Cが形成される。

【0024】

ドレイン電極7 4、層間絶縁膜6 0およびデータラインD Lを覆ってアクリル樹脂などの平坦化膜6 2が形成されている。そして、この平坦化膜6 2内にコンタクトホールが形成され、ここにクロム(C r)などの高融点金属からなるコンタクトパッド6 6が設けられている。 10

【0025】

そして、このコンタクトパッド6 6および平坦化膜6 2の上に、I T OやI Z Oなどからなる画素電極6 4が形成される。なお、この例は半透過型のパネルであり、平坦化膜6 2上であって画素電極6 4の下側に反射膜6 8が設けられている。この反射膜6 8が設けられているスペースは、画素の約3分の1程度である。なお、反射型のパネルの場合、反射膜6 8は、画素電極6 4の下に全面に設けられる。

また、平坦化膜6 2の反射膜6 8が設けられる部分については、凹凸が形成され、反射膜6 8によって反射される光の広角化が図られている。 20

【0026】

これがT F T基板1 0 0の構成であり、このT F T基板1 0 0に液晶L Cを挟んで対向して、対向基板2 0 0が配置されている。

【0027】

この対向基板2 0 0は、ガラス基板9 0を有し、このガラス基板9 0上(内側)に、画素の境部分にブラックマトリクスB Mを有するカラーフィルタ9 2とが配置されている。このカラーフィルタ9 2は、通常R G Bの3種類で、画素によっていずれかの色のものが採用される。

【0028】

そして、カラーフィルタ9 2上(内側)には、対向電極9 4が全画素共通に形成されている。この対向電極9 4は、画素電極6 4と同様にI Z OやI T Oで構成される。さらに、反射膜6 8に対向する部分は、光路長を合わせるために、液晶L Cの厚さが半分になるように、厚み調整層9 8が、カラーフィルタ9 2と、対向電極9 4との間に設けられている。厚み調整層9 8は、V A(垂直配向)タイプの液晶の場合、配向制御用突起として使用できるが、この配向制御のために、各画素における対向電極9 4上の所定位置に、配向制御用突起を別途形成してもよい。 30

【0029】

なお、ガラス基板5 0、9 0の外側には、偏光板、位相差板が設けられ、画素電極6 4および対向電極9 4と液晶L Cの間には、配向膜が設けられている。

【0030】

このような構成においては、半導体層7 2を含むT F T(選択トランジスタQ 1)がオンすると、データラインD Lからのデータ電圧が画素電極6 4に印加される。従って、この電圧が画素電極6 4と、対向電極9 4間の空間に存在する液晶L C印加され、データ電圧に応じた表示が行われる。 40

なお、図4に示すように、選択トランジスタQ 1、保持容量Cの上方を覆って反射膜6 8が形成され、この部分が反射型のL C Dとして機能する。従って、画素領域全体を液晶表示部として利用することができる。

【0031】

次に、製造工程について、図5～図1 5に基づいて説明する。まず、T F T形成工程が実施される。 50

このTF T形成工程では、ガラス基板上50上にバッファ層52が基板全面に形成される(S11)、その上にアモルファスシリコン(a-Si)膜が成膜される(S12)。ここで、バッファ層52は、 SiO_2/SiN の積層膜で、厚みは100~200nm、a-Si膜は、厚み30~50nm程度とする。また、これら膜は、プラズマCVDで形成される。これによって、ガラス基板50上には、 $\text{a-Si}/\text{SiO}_2/\text{SiN}/\text{glass}$ (ガラス基板)という膜が積層される。

次に、レーザを照射(レーザアニール)して、アモルファスシリコン膜について低温での結晶化が行われる(S13)。これによって、アモルファスシリコンが結晶化してポリシリコン層が形成される。次に、得られたポリシリコン層がパターンニングされて、所要部分にポリシリコンのアイランド(半導体層72)が形成される(S14)。その後、フォトリソグラフィによりレジストパターンを形成して、nチャネルTF Tのソース・ドレイン領域などに不純物(例えばリン)がドーピングされる(S15)。

次に、この半導体層72を含め基板全面に SiNx/SiO_2 の積層膜からなるゲート絶縁膜54が形成される(S16)。

これによって、画素部においては図7(A)に示すように、TF Tや容量を形成する領域などに形成されたポリシリコンからなる半導体72を覆ってゲート絶縁膜54が形成される。一方、COG端子部では、図7(B)に示すように、バッファ層52上にゲート絶縁膜54が形成される。

次に、図8(A)に示すようにゲート絶縁膜54上の、半導体層72のチャネル領域72cの上方に当たる位置にゲート電極56がスパッタリングにより形成される(S17)。ここで、ゲート電極56は、上述のようにモリブデンMoであり、200~300nmの厚みで成膜される。また、このゲート電極56は、ゲートラインGLの一部として形成される。また、SCラインSCもゲートラインGLと同一プロセスで形成され、保持容量Cは、保持容量用に形成された半導体層72がゲート絶縁膜54を介し、SCラインSLと対向配置されることで形成される。さらに、画素部においてゲート電極56が形成される際に、COG端子部においては、図8(B)に示すように、接続配線10が同一プロセスで形成される。

【0032】

ゲートラインGL等の形成の後、周辺回路におけるpチャネルTF Tのソース・ドレイン領域に不純物(例えば、ボロン)がドーピングされる(S18)。これは、フォトリソグラフィにより、ドーピングが必要な領域以外に形成したレジストなどをマスクとしたボロンのイオンドーピングによって行われる。このとき、COG部においては、何ら処理はなされない(不純物ドーピングもなされない)。

【0033】

次に、基板全面に SiO_2/SiNx からなる層間絶縁膜60をプラズマCVDによって成膜する(S19)。厚みは、例えば400~700nm程度とする。この層間絶縁膜60を形成した場合には、熱処理による活性化アニールによって不純物をドーピングした領域について活性化し、これら領域におけるキャリアの移動度を十分なものにする。

この処理では、図9(A)、(B)に示すように、画素部において層間絶縁膜60が形成され、COG端子部において層間絶縁膜12が形成される。なお、COG部においては不純物ドーピングがなされていないため、活性化の処理は行われない。

さらに、層間絶縁膜60およびゲート絶縁膜54の半導体層72のソース領域、ドレイン領域に対し、フォトリソグラフィおよびウェットエッチングによりコンタクトホールを形成し(S21)、データラインDL(ソース電極)、ドレイン電極74を形成する(S22)。ここで、各列のデータラインDLは、周辺部にまで延長され、ここでコンタクトを介し接続配線10に接続される。

すなわち、この処理では、図10(A)、(B)に示すように、画素部において、ソース(データラインDL)・ドレイン電極が形成され、COG端子部においては、データラインDLが層間絶縁膜12を貫通するコンタクトを介し接続配線10に接続される。これらは、スパッタリングによる $\text{Mo}/\text{Al-Nd}/\text{Mo}$ の積層膜(厚み400~800nm

10

20

30

40

50

m) の成膜の後、フォトリソグラフィおよびウェットエッチングによって形成される。

【0034】

なお、データラインDLは、表示部分の幅（水平）方向全体に広がっているが、接続配線10は水平ドライバICに接続されるため、データラインDLよりその間隔が狭められている。図6にその一部の状態を模式的に示してある。また、図1におけるTF T基板16は、ガラス基板50、バッファ層52、ゲート絶縁膜54から構成されている。

【0035】

次に、アクリル樹脂の平坦化膜62が基板全面に形成され（S23）、フォトリソグラフィで要部についてコンタクトホールが形成される。各画素においては、画素電極64とドレイン電極74を接続するコンタクトホールが形成される。また、周辺部分（COG端子部）では、データラインDLの終端部より外側の平坦化膜62が除去され、層間絶縁膜12が露出される。すなわち、図11（A）、（B）に示すように、画素部において、コンタクトホールを形成する際に、接続配線10上の平坦化膜62が除去される。また、コンタクトホール形成の際に、平坦化膜62の反射膜68を形成する領域について、不均一な露光を利用して凹凸を形成する。

【0036】

次に、図12（A）に示すように、画素部においては、クロムからなるコンタクトパッド66がスパッタリング成膜の後、フォトリソグラフィおよびウェットエッチングにより形成される（S24）。厚みは、50～200nm程度とする。この際、図12（B）に示すように、COG端子部には何ら処理はなされない。

次に、図13（A）に示すように、画素部において、Al—Ndからなる反射膜68が平坦化膜62上にスパッタリング成膜の後、フォトリソグラフィおよびウェットエッチングにより形成される（S25）。厚みは、50～200nm程度とする。この際、COG端子部では、図13（B）に示すように、COG端子部には何ら処理はなされない。

次に、フォトリソグラフィおよびウェットエッチングにより、COG端子部の層間絶縁膜12に除去部18を形成する（S26）。これによって、図14（B）に示すように、この除去部18においては、ゲートラインと同一プロセスで形成された接続配線10が露出される。なお、図14（A）に示すように、画素部では何ら処理は行われない。

そして、図15（A）に示すように、画素部分において、IZOからなる画素電極64が形成される（S27）。このときCOG端子部では、図15（B）に示すように、前の通りのまゝを維持する。実際には、IZOをスパッタリング成膜した後、フォトリソグラフィおよびウェットエッチングで画素電極64を形成する。このとき、COG端子部において、表面には反射膜68と同様にAl—NdからなるCOG端子層22が配置されている。従って、IZO膜のウェットエッチングは、このAl—Nd膜が侵されないようなエッチングとする。例えば、エッチャントとしてシュウ酸（ $(\text{COOH}_2) \cdot 2\text{H}_2\text{O}$ ）を用いる。

【0037】

このようにして、図1に示した端子部の構成は、画素部におけるプロセスをそのまま利用して形成される。そして、凹状の除去部18の底部に適当数のバンプ24を配置して、水平ドライバIC26が接続される。

【0038】

なお、上述した構成は、水平ドライバIC26における出力側の端子部26aである。水平ドライバIC26の入力端子側においても、同様のCOG端子が基板側に設けられ、同様にCOG構造による接続が行われる。

【0039】

さらに、このCOG端子の周辺に、外部からの信号線（FPCなど）が接続されるFPC端子部が形成される。このFPC端子部は、通常通り、画素電極と同一プロセスで形成したIZOや、ITOが電極の表面材料とされる。

【0040】

このように、本実施形態によれば、水平ドライバICは、モリブデンなどのゲートライ

10

20

30

40

50

ン G L と同じ材料からなる接続配線 10 と直接接続される。従って、C O G 構造を利用した接続において、コンタクト抵抗を小さくすることができる。また、C O G 端子部は、平坦化膜を除去して形成されているため、剛性が十分あり、確実な接続が行える。また、除去部 18 以外のデータライン D L および接続配線 10 は、平坦化膜 62 が覆っているため、十分な保護が行える。さらに、C O G 端子層 22 は、接続配線 10 上に平坦化膜 62 を介さずに設けられるため、水平ドライバ I C を A C F 24 を介し押しつけ固定する際に十分な圧力を A C F 24 に印加して接続が行える。

【0041】

なお、本実施形態の構成は、透過型、全反射型のパネルにも適用することができる。

【図面の簡単な説明】

10

【0042】

【図1】実施形態に係る端子部分の構成を示す図である。

【図2】画素回路を示す図である。

【図3】画素部の構成を示す断面図である。

【図4】画素部の構成を示す平面図である。

【図5】プロセスの手順を示す図である。

【図6】データラインと、接続配線の関係を示す図である。

【図7】プロセス手順を示す画素部およびC O G 端子部の断面図である。

【図8】プロセス手順を示す画素部およびC O G 端子部の断面図である。

【図9】プロセス手順を示す画素部およびC O G 端子部の断面図である。

20

【図10】プロセス手順を示す画素部およびC O G 端子部の断面図である。

【図11】プロセス手順を示す画素部およびC O G 端子部の断面図である。

【図12】プロセス手順を示す画素部およびC O G 端子部の断面図である。

【図13】プロセス手順を示す画素部およびC O G 端子部の断面図である。

【図14】プロセス手順を示す画素部およびC O G 端子部の断面図である。

【図15】プロセス手順を示す画素部およびC O G 端子部の断面図である。

【図16】従来の端子部分の構成を示す図である。

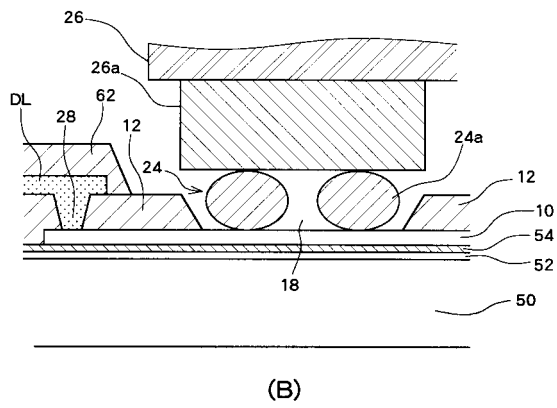
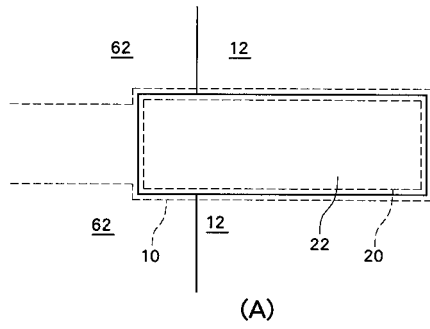
【符号の説明】

【0043】

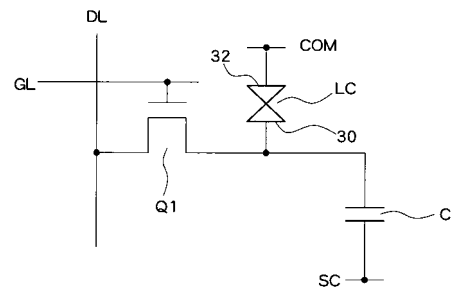
10 接続配線、30 画素電極、32 共通電極、12 層間絶縁膜、14 透明導電膜、16 T F T 基板、18 除去部、20 端子下地層、22 C O G 端子層、24 A C F、26 水平ドライバ I C、26 a バンプ、50 ガラス基板、52 バッファ層、54 ゲート絶縁膜、56 ゲート電極、60 層間絶縁膜、62 平坦化膜、64 画素電極、66 コンタクトパッド、68 反射膜、72 半導体層、72 s ソース領域、72 c チャンネル領域、72 d ドレイン領域、74 ドレイン電極、C 保持容量、D L データライン、G L ゲートライン、L C 液晶、Q 1 選択トランジスタ、S C ライン。

30

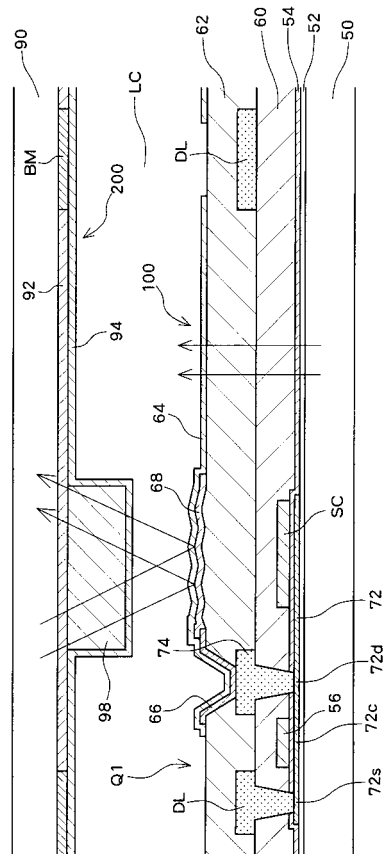
【図 1】



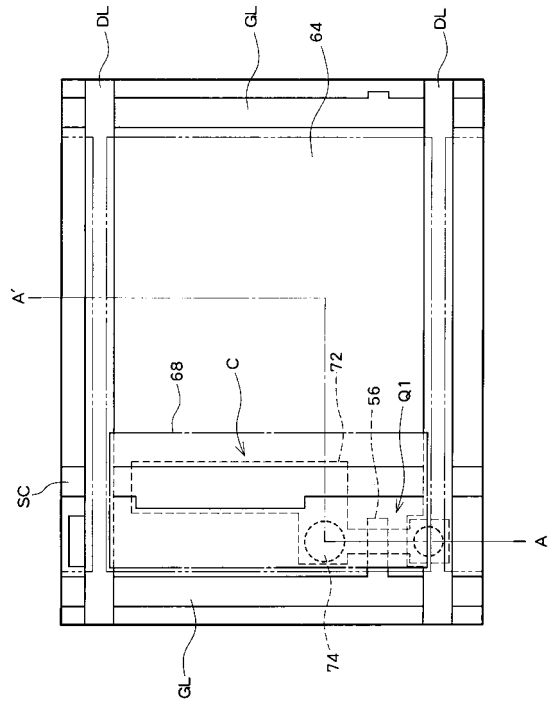
【図 2】



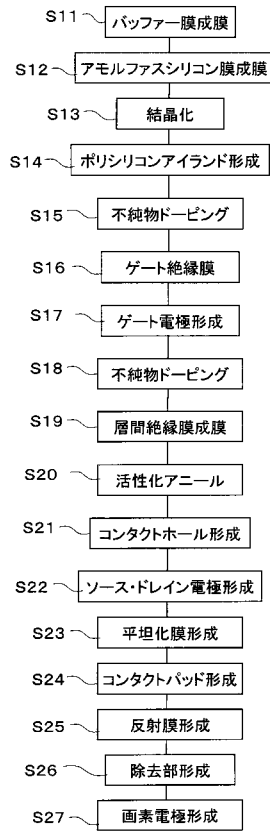
【図 3】



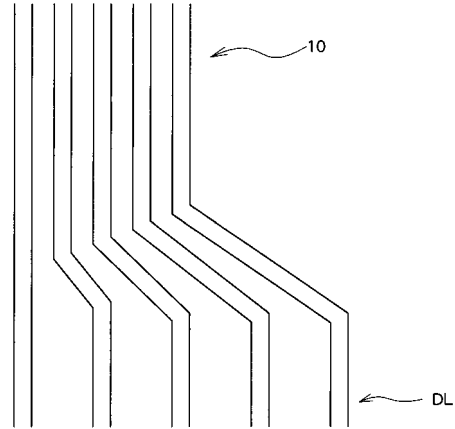
【図 4】



【図 5】

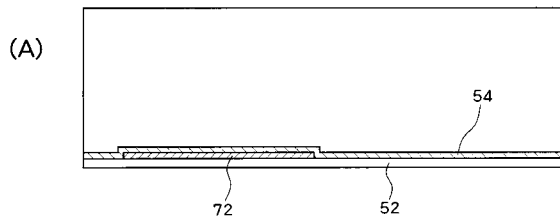


【図 6】

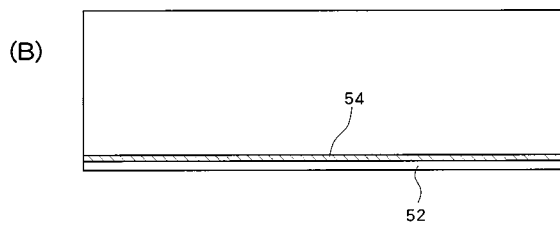


【図 7】

画素TFT部

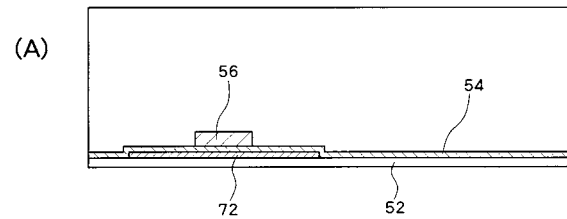


COG端子部

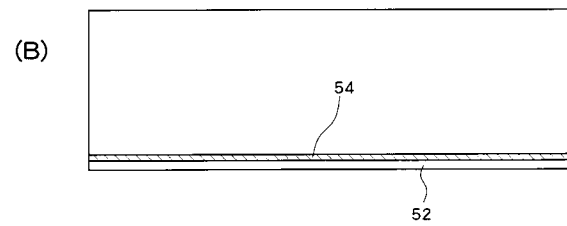


【図 8】

画素TFT部

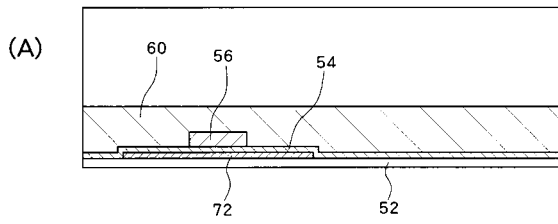


COG端子部

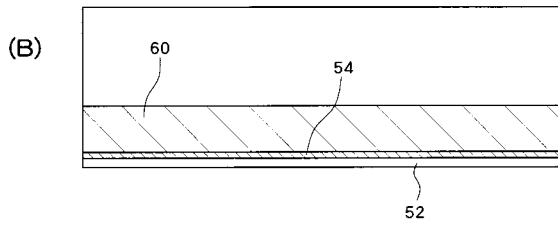


【図 9】

画素TFT部

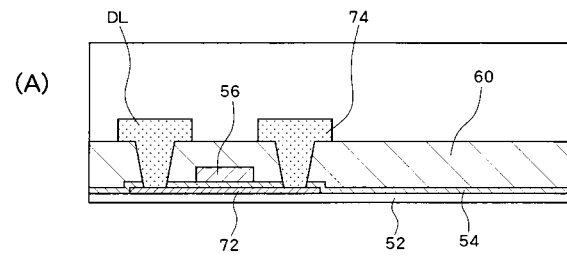


COG端子部

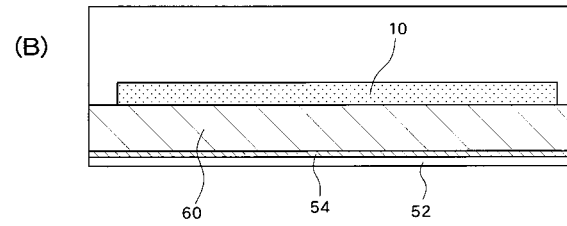


【図 10】

画素TFT部

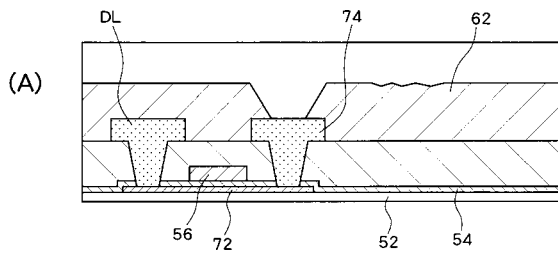


COG端子部

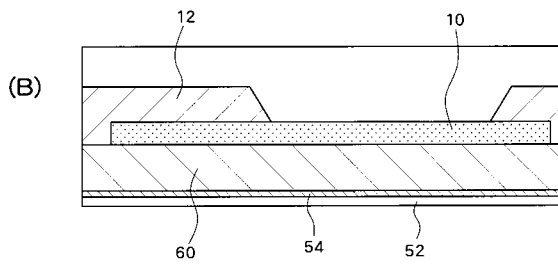


【図 11】

画素TFT部

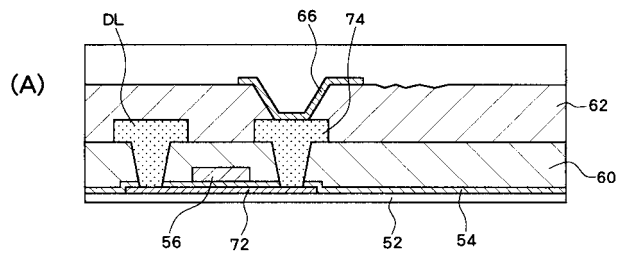


COG端子部

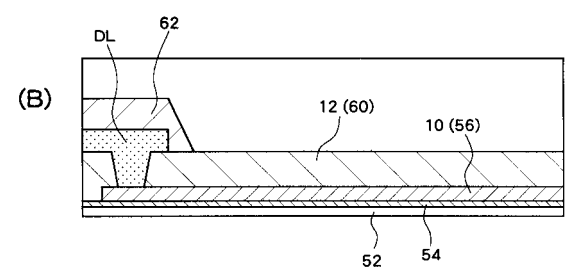


【図 12】

画素TFT部

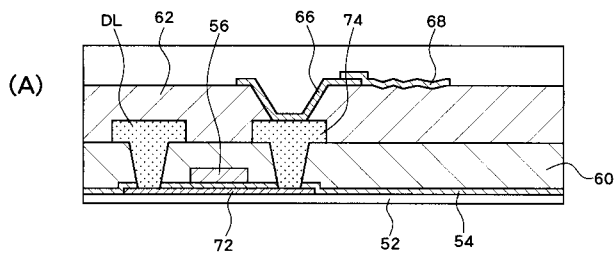


COG端子部

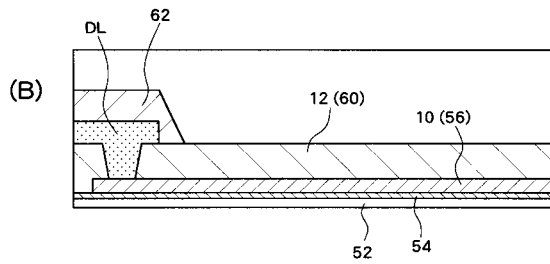


【図 1 3】

画素TFT部

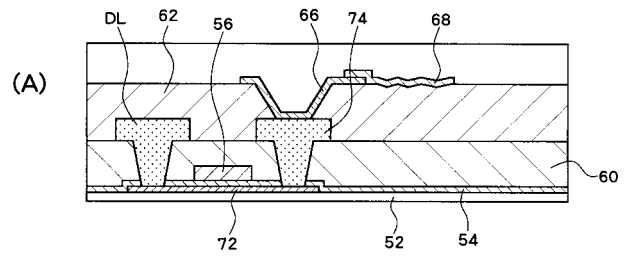


COG端子部

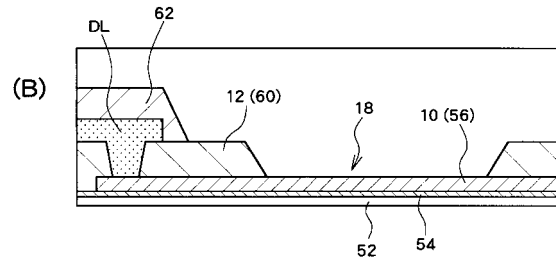


【図 1 4】

画素TFT部

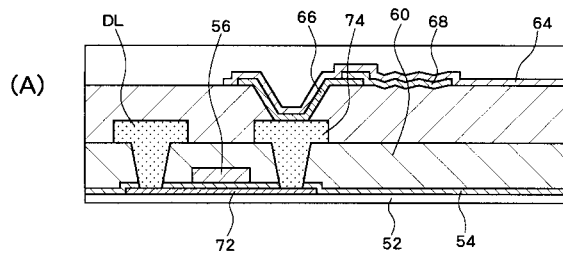


COG端子部

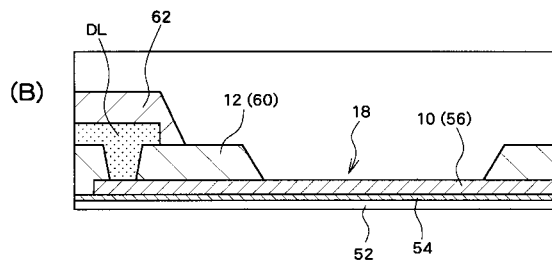


【図 1 5】

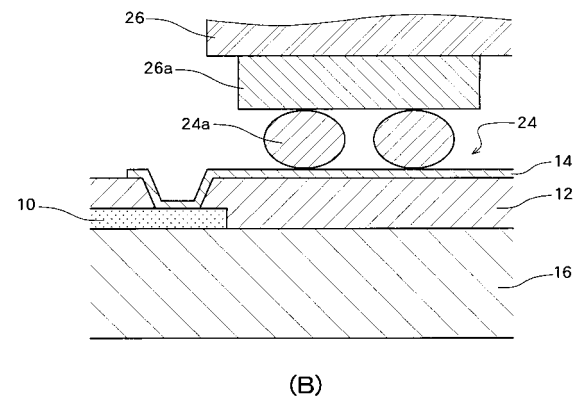
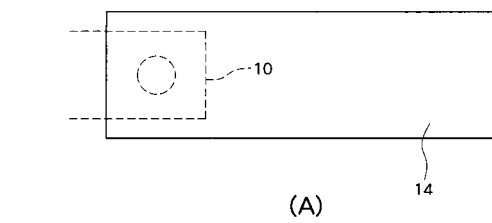
画素TFT部



COG端子部



【図 1 6】



フロントページの続き

Fターム(参考) 2H092 GA32 GA43 GA48 GA59 GA60 HA06 HA12 HA24 JA24 KB04
KB14 NA15 NA18 NA27 PA06
5F044 KK11 LL09