



C (45) Patenti myöntö - Patent
Patent no 2037/81-1

(51) Kv.lk./Int.Cl. G 06 F 13/00

SUOMI-FINLAND

(FI)

Patentti- ja rekisterihallitus
Patent- och registerstyrelsen

(21) Patentihakemus - Patentansökning	820595
(22) Hakemispäivä - Ansökningsdag	23.02.82
(23) Alkupäivä - Giltighetsdag	23.02.82
(41) Tullut julkiseksi - Blivit offentlig	27.09.82
(44) Nähtäväksipanon ja kuul.julkaisun pvm. - Ansökan utlagd och utl.skriften publicerad	31.08.87
(86) Kv. hakemus - Int. ansökan	
(32) (33) (31) Pyydetty etuoikeus - Begärd prioritet	26.03.81

Sveitsi-Schweiz(CH) 2037/81-1
Toteennäytetty-Styrkt

(71) Inventio AG, Hergiswil NW, Sveitsi-Schweiz(CH)

(72) Paul Friedli, Zürich, Fritz Meyer, Küsnacht a.R., Sveitsi-Schweiz(CH)

(74) Leitzinger Oy

(54) Kytkinlaite ohjauskäskyjen antamiseksi mikrotietokonesysteemissä - Kopplings-
anordning för givande av styrorder i ett mikrocomputersystem

(57) Tiivistelmä

Tällä kytkinlaitteella voidaan antaa lukuisia ohjauskäskyjä vain yhdellä mikrotietokonesysteemin antokanavalla ja tyhjentää mikroprosessori ennen ulkopuolen tunnistelua ohjauskäskyjen suhteen. Mikroprosessori (CPU) ilmoittaa vapautussignaali valmiutensa keskeytysten vastaanottoon, jolloin vapautussignaali aktivoituu mikrotietokonesysteemin keskeytysvaatimussisääntulon (CINT) ja ulkoyksikön (1-7) väliin järjestetty tunnistus- ja vertailulaite (11). Tunnistus- ja vertailulaite (11) tunnistelee sitten ulkoyksikössä (1-7) olevia osoitteella tunnistettavia ohjauskäskynantimia (3) ja vertailee niiden kytkintilaa samaan osoitteeseen varastoituun kytkintilaan. Erilaisuuden ilmetessä aikaansaadaan keskeytysvaatimus ja varastoitu kytkintila muutetaan ohjauskäskynantimen (3) mukaiseksi.

Kytkinlaite ohjauskäskyjen antamiseksi mikrotietokonesysteemissä. - Kopplingsanordning för givande av styrorder i ett mikrocomputersystem.

Edellä olevan keksinnön kohteena on kytkinlaite ohjauskäskyjen antamiseksi mikrotietokonesysteemissä, jolloin mikrotietokone on liitetty osoite-, tieto- ja ohjainväylällä ainakin yhteen kirjoitus-lukumuistiin ja vakioarvomustiin sekä osoiteväylällä, tulo-lähtöväylällä ja lisäjohtimilla rinakaiseen tulo-lähtö-liitososaan, patenttivaatimuksen 1 johdanto-osassa esitetyllä tavalla.

Tietojen siirtämiseksi mikrotietokonesysteemin ja ympäristön välillä on kehitetty erilaisia menetelmiä. Niinpä esim. ohjelmoidussa tulolähdössä ohjataan tietojen siirtoa systeemin mikroprosessorin suorittamalla ohjelmalla. Tällöin on osoitautunut haitalliseksi, että oheislaitteiden lisääntyessä myös softwarekulutus kasvaa, ja että prosessorin on tunnistettava ulkopuolta kulloisenkin tarpeen mukaan enemmän tai vähemmän olemassaolevien tietojen tai ohjauskäskyjen vuoksi, jolloin haaskataan muihin tehtäviin käytettävää aikaa.

Eräässä toisessa tunnetussa menetelmässä, keskeytys-(interrupt-) menetelmässä näiltä varjopuolilta vältytään osaksi. Tällöin on tavallista, lisääntyvien tietojen tai ohjauskäskyjen kyseen ollessa, antaa systeemin mikroprosessorille keskeytysvaatimus, minkä jälkeen prosessori sen hyväksymisen jälkeen katkaisee kulussa olevan ohjelman, välivarasto rekisterisisällön ja vastaanottaa keskeytysohjelmalla uudet, ympäristöstä tulleet tiedot sekä käsittelee ne, ja keskeytysohjelman jälkeen pääohjelma jatkuu. Jos saatavilla on enemmän oheislaitteita ja samalla vaaditaan useampia keskeytyksiä ratkaistaan prioriteettilogiikan avulla tietojen tulon ja käsittelyn järjestys.

Siten tunnetuissa mikrotietokonesysteemeissä käytetään kes-

keytysprioriteettirakenneosia, jotka samalla soveltuvat rinnakkaiseen tietojen tuloon ja lähtöön. Sellainen kaupan oleva rakenneosia, esim. Texasin TMS9901 (Käyttäjän käsikirja TM 990/100M, syyskuu 1977), käsittää liitântäkohdassaan ympäristöön kuusitoista keskeytystuloa ja muut tulo-lähdöt rinnakkaisille tiedoille. Liitântäkohdassaan mikroprosessoriin rakenneosassa on yksi keskeytyslähtö ja neljä osoitelähtöä sekä muita prosessorin kanssa liikennöintiin vaadittavia tulo-lähtöjä. Keskeytysvaatimusten esiintyessä määrittelee sisäinen prioriteettilogiikka keskeytyssignaalien prioriteetin ja muodostaa korkeimmalle prioriteetille kuuluvat osoitteet sekä keskeytyksen mikroprosessorille.

Eräs keskeytysmenetelmään liittyvä varjopuoli on se, että mikroprosessori pakotetaan keskeyttämään ajettava toiminta ja vetäytymään sivuun.

Tällöin voidaan, käytettäessä edelläkuvattuja rakenneosia, keskeyttää ajettava keskeytysohjelma yhdellä tai useammalla tulevalla suurempiprioriteettisella keskeytyksellä. Siitä aiheutuva keskeytysohjelmien kerrostuminen vaatii lisää prosessoriaikaa. Lisähaitta on suhteellisen rajoitettu keskeytystulojen lukumäärä niin, että tulevien ohjauskäskyjen lisääntyessä keskeytysten lisääntymän täytyy tapahtua kahden rakenneosan peräkkäin liittämisellä. Se vaatii kuitenkin lisää softwaren kulutusta ja vastaavasti enemmän prosessoriaikaa.

Eräässä patenttijulkaisusta US-A-4219881 tunnetuksi tulleessa syöttölaitteessa 16-bittistä syöttökanavaa varten informaatio johdetaan syöttölogiikkapiiriin, joka on ulosmenopuolellaan liitetty D-flip-flopien tietojen tuloihin ja kulloinkin syöttölogiikkapiiriin ja D-flip-flopeihin yhdistettyihin ehdollisten tai-elimien sisäänmenoon. D-flip-flopin lähdöt on kytketty ehdollisten tai-elimien toisiin tuloihin, joiden

lähdöt on kytketty toisiinsa. D-flip-flopien lähdöt on sitäpaitsi yhdistetty kulloinkin rinnalle liitetyn NAND-elimien tuloihin, joiden toiset tulot on liitetty toisiinsa ja joiden lähdöt on kytketty syöttöväylän tietojohtimeen. Syöttölaite toimii sillä tavoin, että D-flip-flopeihin talletettuja tietoja verrataan ehdollisen tai-elimien avulla syöttölogiikka-piirin lähdöissä tai D-flip-flopien tuloissa esillä oleviin tietoihin. Näiden tietojen poiketessa toisistaan vähintään bitin verran muuttuu ehdollisen tai-elimien lähtöön liitetyn johtimen signaalitila, jolloin mikroprosessorin antaman kyse-lysignaalin esiintyessä tuotetaan keskeytysvaatimus. Tämän hyväksymisen jälkeen mikroprosessori antaa syöttökanavalle osoitteen, jolloin D-flip-flopit tahdistetaan ja niiden tulot talletetaan. Osoitteen antamisen yhteydessä NAND-elimien toisiin tuloihin liitettyt johtimet aktivoituvat, jolloin mikroprosessorista lähtevän lukusignaalin esiintyessä uusi 16-bittinen tietosana voidaan siirtää lukukirjoitusmuistiin syöttöväylän kautta.

Käytettäessä tämän kaltaista syöttölaitteistoa järjestelmässä jossa on useampi yksi- tai useampibittinen syöttökanava täytyy kunkin kanavan sisältää keskeytysvaatimusjohdin mikroprosessoriin, jolloin tunnistamisen jälkeen esillä oleva kanava täytyy varustaa osoitteella mikroprosessorista tulevan tietojensyötön vuoksi. Sivulla 2 toisessa ehjässä kappaleessa mainittu haittojen lisäksi vaatii tämä menetelmä lisää softwarea ja syöttökanavien lukumäärän mukaan myös enemmän tietokoneaika. Lisäksi tarvitaan bittiä kohden ehdollinen tai-elin mikä johtaa tietosanan pituuden ja syöttökanavien lukumäärän mukaan lisääntyneeseen kytkimen käyttöön.

Julkaisussa "Electronics, May 26, 1977, sivut 112-113" kuvaillaan tietojen syöttölaite, missä 16 tulolla varustettu multiplekseri on lähtöpuolellaan liitetty 16-bittisen puskurimuistin sarjasisäänmenoon. 16-bittisen puskurimuistin

sarjasisäänmeno samoin kuin lähtö on kytketty komparaattoriin, jonka lähtö on liitetty liitoselimen keskeytysvaatimussisääntuloon. Kun multiplekserin sisäänmenoon jonottavat tiedot tulee syöttää, siirtää mikroprosessori tiedot 16 lukuoperaatioissa puskurimuistiin. Tämän jälkeen vertaillaan puskurimuistin sarjasisäänmenossa ja sarjalähdössä jonottavia tietoja toisiinsa, jolloin niiden ollessa samanlaisia puskurimuistissa olevia tietoja siirretään kulloinkin yhden paikan verran eteenpäin. Erilaisuuden esiintyessä tuotetaan keskeytysvaatimus ja multiplekserin sisäänmenoihin osoitettu laskin pysäytetään. Puskurimuistin sarjasisäänmenossa jonottavan uuden informaation lukemisen ja tallettamisen jälkeen laskin kytketään ensisijassa seuraavaan osoitteeseen tarkistamaan löytyykö lisää keskeytysvaatimuksia.

Tässä tietojensyöttöjärjestelmässä täytyy mikroprosessorin ladata puskurimuisti kunkin vertailuoperaation alussa ja tallettaa alussa tulotiedot kirjoitus-lukumuistiin. Tämä vaatii lisäsoftwarea, jolloin vastaavan ohjelman kehittämiseen vaadittava aika sisäänmenojen lukumäärästä riippuen voi muodostua merkittäväksi. Lisäksi tietobitti ja siihen kuuluva ulkopuolisen laskimen tuottama osoite on kerättävä keskeytsohjelman puitteissa liitoselimen tietotulon kautta lisäsoftwareen ja aikaa vaativaan operaatioihin.

Julkaisusta "Electronics, March 17, 1977, sivut 100-104" on tunnettua, että tietojensiirtoa ympäristön ja muistin välillä ilman mikroprosessoria voidaan suorittaa suoran muistihaku-(DMA-)elimen avulla. DMA-operaation aloittaa ulkopuolelta tuleva DMA-vaatimussignaali. Tämän jälkeen DMA-elin pakottaa mikroprosessorin tahtisignaalia pidättämällä keskeyttämään aktiviteettinsä yhden jakson ajaksi (Cycle Stealing), jotta DMA-elin voi suorittaa väylän ohjaamisen.

Keksinnön tehtävänä on mainittujen varjopuolien poistamiseksi

aikaansaada kytkinlaite, jossa useampien annettavien ohjauskäskyjen aikanakin on minimimäärä syöttökanavia ja vähäisempi hardwaren käyttö, ja jolla vaaditaan tietojen syöttöä varten vähemmän softwarea, jolloin mikroprosessorin syöttötapahtuman aikana käyttämää aikaa voidaan vähentää. Tämä tehtävä ratkaistaan patenttivaatimuksessa esitetyn keksinnön mukaisesti. Tässä aktivoidaan sinänsätunnetusti mikroprosessorin vapautussignaalin avulla vertailuelin, missä vertaillaan vanhoja ja uusia ohjainkäskynantimen kytkintiloja ja erilaisuuden esiintyessä tuotetaan keskeytysvaatimus. Vertailuelin on liitetty DMA-elimeen, mikä tunnustelee ohjainkäskynanninta ja vanhan kytkintilan sisältävää kirjoituslukumuistia niihen liitettyjen osoitteiden avulla osoiteväylän kautta. Löydettäessä erilaisuus ja tuotettaessa keskeytysvaatimus DMA-operaatio keskeytetään, jolloin esillä oleva tietobitti ja siihen liittyvä osoite löytyy valmiksi tietojensyöttöjohtimesta tahi osoiteväylästä.

Keksinnöllä saavutettavat edut on nähtävissä oleellisesti siinä, että lukuisalle joukolle annettavia ohjauskäskyjä varten tarvittava vertailulaite on suhteellisen yksinkertainen rakenteeltaan, että keskeytysvaatimuksen esiintyessä tietobitti ja siihen liittyvä osoite on jo valmiiksi tietojensyöttöjohtimella tai osoiteväylällä, jolloin tietoja luettaessa säästetään softwarea ja aikaa. Lisäetuna on se, että oheislaitte on liitetty suoraan tietojensyöttöjohtimeen, jotta mitään rinnakkaisen liitososan tietojen sisäänmenoa ei tarvita ja sen muut sisäänmenot ovat käytettävissä muihin tehtäviin ympäristön liittymäkohdassa. Koska oheislaitteessa olevia ohjauskäskynantimia tunnustellaan peräkkäin, ei kerran kulkevaa keskeytysohjelmaa voida keskeyttää uudella ohjauskäskyllä, joten prosessoriaikaa voidaan säästää. Lisäetu on ohjauskäskynantimen sijoittamisessa matriisimaiseen tunnistinkenttään, jolloin sinänsä tunnetulla tavalla voidaan saada säästöä johdotuksessa ja ohjainelementeissä.

Keksinnön erästä suoritusesimerkkiä selitetään seuraavassa lähemmin viittaamalla oheisiin piirustuksiin, joissa

Kuvio 1 esittää keksinnönmukaisen kytkinlaitteen kaaviokuvaa, ja

Kuvio 2 esittää kuvion 1 mukaisen kytkinlaitteen vertailulaitetta .

Kuviossa 1 on viitenumeroilla 1 kuvattu matriisimaista tunnistuskenttää, jonka rivi- ja palstajohtimet on yhdistettävissä risteyskohdissa diodilla 2 sarjaan kytketyllä ohjauskäskynantimella 3. Riviohjaimet $Z_0 - Z_n$ on liitetty demultiplekseristä, optisesta kytkimestä ja vahvistimesta muodostettuun riviohjaimeen 4. Rivijohtimia osoitteistava, laskimesta ja tahtigeneraattorista muodostuva osoitteistolaitte 4.1 on yhdistetty osoitejohtimella 4.2 riviohjaimeen 4 ja osoitteistettavaan salpaan (Latch) 4.3. Palstajohtimet $S_0 - Z_n$ on liitetty sisääntuloihin palstavastaanottimessa 5, joka muodostuu optisesta kytkimestä, impulssin muodostimesta ja käyttölaitteesta. Palstavastaanottimen 5 kulloisellekin palstajohtimelle järjestetyt lähdöt on yhdistetty moninkertaisuimistin 6 tuloihin, jolloin kullekin rivinjohtimelle on järjestetty moninkertaisuimisti 6, ja moninkertaisuimistin 6 muistisolujen lukumäärä on sama kuin palstajohtimien lukumäärä. Niinpä esim. kahdeksan rivi- ja kahdeksan palstajohtimen matriisissa on kaiken kaikkiaan 64 yksittäistä muistisolua, jotka on jaettu kahdeksaksi oktaali-flip-flopin muodostamaksi moninkertaisuimistiksi 6. Moninkertaisuimistin 6 tahtiliitännät CP on yhdistetty osoitteistavan salvan 4.3 ulostuloihin. Osoitteistettaessa esim. rivijohdinta Z_0 samanaikaisesti osoitteistavalla salvalla 4.3 aktivoidaan rivijohtimelle Z_0 järjestetyn oktaali-flip-flopin 6 tahtiliitännät CP niin, että rivijohtimen Z_0 ja palstanjohtimiin $S_0 - S_n$ liitetyn ohjauskäskynantimen 3 kytkintiloja siirretään palstavastaanottimella 5 ja vastaavan oktaali-flip-flopin 6 tuloilla sen lähtöihin.

Viitenumerolla 7 kuvataan multiplekseriä, jonka tietojen tulot on yhdistetty moninkertaismuistin 6 lähtöihin. Väyläohjain 7.1 on tulopuoleltaan liitetty mikrotietokonesysteemin 8 osoiteväylään AB ja ulostulopuoleltaan osoitejohtimen ensimmäisellä osalla demultiplekserin 7.2 osoitetuloihin ja toisella osalla multiplekserin 7 osoitetuloihin. Demultiplekserin 7.2 lähdöt ovat yhteydessä moninkertaismuistin 6 lähtöjen vapaaliitäntöihin OE. Multiplekserin 7 lähtö Z on liitetty väyläohjaimella 7.1 tiedonantojohtimeen CRUIN, joka, kuten tietojenantojohdin CRUOUT ja tahtisignaali johdin CRUCLK, on järjestetty mikrotietokonesysteemin 8 tulo-lähtöväylään CRU.

Mikrotietokonesysteemin 8 mikroprosessori CPU on yhdistetty osoiteväylällä AB, tietoväylällä DB, ohjainväylällä StB ainakin yhteen kirjoitin-lukumuistiin RAM ja vakioarvomustiin ROM sekä osoiteväylällä AB, tulo-lähtöväylällä CRU ja muilla johtimilla 9,10 rinnakkaiseen tulo-lähtöliitososaan IF ja DMA-rakenneosaan DMA. Kulloinkin kirjoitin-lukumuistissa RAM varastoitujen tietosanojen lukumäärän mukainen bitti on järjestetty tietyn ohjaukskäskynantimen 3 kytkintilan mukaisesti. Rinnakkainen tulo-lähtöliitososa IF on liitetty keskeytysvaatimustulolla CINT ja vapautussignaalin DMA-toiminnalle antavalla lähdöllä CIEN jäljimmässä kuvion 2 selityksessä lähemmin kuvattuun vertailulaitteeseen 11. DMA-rakenneosa DMA on liitetty DMA-vaatimussignaalia lukevalla tulolla ACCRQ1 ja kuittaussignaalin antavalla lähdöllä ACCGR1 vertailulaitteeseen 11.

Kuviossa 2 on kuvattu viitenumerolla 12 ehdollinen tai-elin, jonka yksi tulo on yhdistetty tietojenantojohtimeen CRUIN ja toinen tulo lisäkirjoitin-lukumuistin Flag-RAM tietojen lähtöön D_{out}. Kirjoitin-lukumuisti Flag-RAM on yhteydessä osoiteväylään ja liitetty tietojen tulolla D_{in} tietoväylän DB tietojohhtimeen DO sekä kirjoitinliitännällä W ohjainväylän Stb johtimeen MW. Toisessa kirjoitin-lukumuistissa Flag-RAM ovat ohjaukskäskynantimen 3 kytkintilat varastoituina 1-bitin

sanoina. Ehdollisen tai-elimien 12 lähtö on yhdistetty ensimmäisellä NAND-elimellä 13 ensimmäisen JK-flip-flopin 14 tuloihin J,K, jonka lähtö Q on yhdistetty rinnakkaisen liitososan keskeytysvaatimustuloon CINT ja toisen NAND-elimien 15 tuloon. Ensimmäisen NAND-elimien 13 muulle tulolle voidaan DMA-rakenneosalla, kun sitä käytetään muuhun tarkoitukseen, johtaa rajoitinsignaali johtimella 16. Ensimmäisen JK-flip-flopin 14 set-liitäntä on yhteydessä toisen NAND-elimien 15 muun tulon kanssa ja rinnakkaisen liitososan IF vapautussignaalia antavan lähdön CIEN kanssa. Toisen NAND elimien 15 lähtö on toisen JK-flip-flopin 17 lähtöjen yhteydessä, jonka lähtö Q on yhdistetty DMA-rakenneosan DM-vaatimussignaalia lukevaan tuloon ACCRQ1 ja set-liitäntä DMA-rakenneosan kuitaussignaalia antavaan lähtöön ACCGR1.

Tahtisignaalin JK-flip-flopille johtamiseksi vaadittavia liitäntöjä ja yhdistyksiä ei ole esitetty. Kuvatut digitaaliset porttipiirit ja rakenneosat ovat kaupan olevia komponentteja, jolloin esim. mikroprosessoriin, rinnakkaiseen liitososaan ja DMA-rakenneosaan voidaan käyttää Texas Instrumentin tyyppisiä, TMS9901 ja TMS9911. Rakenneosien eri tuloissa ja lähdöissä esiintyvät signaalit on kuvattu samoin kuin kyseiset tulot ja lähdöt.

Edelläkuvattu kytkinlaite, jota voidaan käyttää esim. kerroskutsujen antamiseen mikrotietokoneohjatuissa hisseissä, toimii seuraavasti:

Aikaansaamalla vapautussignaalin mikroprosessorisysteemi 8 ilmoittaa valmiutensa ulkopuolisten ohjauskäskyjen vastaanottamiseen. Tällöin rinnakkaisen liitososan IF ulostulon CIEN potentiaali on korkealla. Saman rakenneosan keskeytysvaatimustulo CINT voi nyt esim., ellei siinä ole keskeytysvaatimusta, olla korkealla potentiaalilla. Tässä tapauksessa toisen NAND-elimien 15 lähdössä ja tahtisignaalia vaihdettaessa myös vertailulaitteen 11 toisen JK-flip-flopin

lähdössä Q tapahtuu potentiaalinvaihtoa, joka tulkitaan DMA-rakenneosan tulossa ACCRQ1 DMA-vaatimussignaalinä. Sitten DMA-rakenneosa antaa lähdössä ACCGR1 kautta kuittaussignaalin toisen JK-flip-flopin 17 set-liitäntään ja ilmoittaa mikroprosessorille CPU, että se haluaa kontrollia osoite- ja tietoväylään AB,DB. Tämä varmistuu tietyn latenssiajan jälkeen, jonka jälkeen DMA-rakenneosa sijoittaa osoiterekisterinsä osoitteen osoiteväylälle AB. Siten tulevat oheislaite 1-7 ja vertailulaitteen 11 kirjoitus-lukumuisti Flag-RAM kysellyiksi. Osoitteen ensimmäisen osan tunnistaa nyt demultipleksierillä 7.2 tietylle rivijohtimelle järjestetty oktaali-flip-flop 6, samalla kun kyseisellä vapautusliitännällä OE aktiivoidaan lähdöt. Osoitteen toisen osan identifioi multipleksierin 7 osoitetuloilla tietylle palstajohtimelle järjestetty yksittäinen oktaali-flip-flopin 16 muistisolun. Seuraavaksi multipleksierin 7 lähdössä Z esiintyvä, tietyn ohjauskäskynantimen 3 kytkintilaa vastaava identifioivan muistikennon lähtötila siirretään tietojenantajohtimella CRUIN vertailulaitteen ehdollisen tai-elimien yhteen tuloon. Samanaikaisesti antaa kirjoitus-lukumuisti Flag-RAM ensimmäisen ja toisen osoitteen osan avulla kysytyn muistipaikan sisällön lähtönsä Dout kautta ehdollisen tai-elimien 12 toiseen tuloon.

Otaksuttakoonpa nyt, että varastoitu 1 bitin arvo, joka vastaa kytkintilaa "AUS", on arvoltaan "0", jota vastoin tunnusteltu ulkobitti, joka vastaa kytkintilaa "EIN" vastaavassa ohjauskäskynantimessa 3, on arvossa "1". Tällöin ehdollisen tai-elimien 12 lähtö tulee korkeaksi ja ensimmäisen JK-flip-flopin 14 lähtö Q alhaiseksi tahtia vaihdettaessa. Tämä signaalivaihto tulkitaan rinnakkaisen liitososan IF tulossa CINT keskeytysvaatimukseksi. Keskeytysvaatimuksen ollessa olemassa ei mitään muuta DMA-vaatimussignaalia voida aikaansaada, koska ensimmäisen JK-flip-flopin 14 lähtöön Q yhdistetty toisen NAND-elimien 15 tulo on niinikään potentiaaaliltaan alhaisempi.

Sen jälkeen, kun mikroprosessori CPU on hyväksynyt keskeytysvaatimuksen, se lukee DMA-osoiterekisterin osoitteen, jolla erilaisuus havaittiin. Niinikään se lukee tunnistellun ulkobitin tietojenantojohdtimeilla CRUIN ja kirjoittaa sen tämän osoitteen alle vertailulaitteen 11 kirjoitin-lukumuistiin tietojohdtimeen DO avulla. Keskeytysohjelman päätyttyä mikroprosessori asettaa rinnakkaisen liitososan IF lähdön CIEN alemmalle potentiaalille, jotta vapautussignaali katoaa ensimmäisen JK-flip-flopin 14 set-liitännän S kautta, jonka lähtö Q on korkealle määritetty ja jotta keskeytysvaatimus lakkaa.

Jos mikroprosessorisysteemillä 8 ei ole mitään muuta tehtävää suoritettavanaan, se voi uudelleen antaa vapautussignaalin niin, että edellä kuvattu menettely alkaa. Jos menettelyn aikana ei havaita mitään erilaisuuksia, ei aikaansaada myöskään mitään keskeytysvaatimusta. Tässä tapauksessa vapautussignaalin kestäessä muodostetaan jatkuvasti DMA-vaatimuksia, mikä tapahtuu siten, että kulloinkin DMA-vaatimuksen kuitauksen tapahduttua DMA-rakenneosan lähdön ACCGR1 kautta toisen JK-flip-flopin 17 lähtö Q tahdin vaihtuessa jälleen saatetaan alhaiselle potentiaalille. Saavutettaessa DMA-osoiterekisterin loppuosoite aikaansaadaan DMA-keskeytysvaatimus, jolloin mikroprosessori CPU käynnistetään laatimaan uudelleen DMA-rakenneosan rekisteri.

Patenttivaatimukset

1. Kytkinlaite ohjauskäskyjen antamiseksi mikrotietokonesysteemissä, jolloin mikroprosessori (CPU) on yhdistetty osoite-, tieto- ja ohjainväylällä (AB,DB,StB) vähintään yhteen kirjoitus-lukumuistiin (RAM) ja vakioarvomustiin (ROM) sekä osoiteväylällä (AB), tulo-lähtöväylällä (CRU) ja muilla johtimilla (9) rinnakkaiseen tulo-lähtöliitososaan (IF), ja jolloin

- ainakin yksi liitososan (FI) keskeytysvaatimustulo (CINT) on liitetty ainakin yhteen oheislaitteeseen (1-7),
- vertailulaite (11) on liitetty vapautussignaalia ohjainkäskynantimelle antavan liitososan (IF) lähtöön (CIEN),
- vertailulaite (11) käsittää vähintään yhden ehdollisen tai-elimien (12),
- vapautussignaalin ja oheislaitteeseen (1-7) yhteenliitetyn ohajuskäskynantimen (3) kytkentätilan muutoksen esiintyessä vertailulaite (11) tuottaa keskeytysvaatimuksen ja tallentaa uuden kytkentätilan luku-kirjoitusmuistiin (RAM), t u n n e t t u siitä, että
- ehdollisen tai-elimien (12), yksi tulo on liitetty tulo-lähtöväylän (CRU) tietojenantajohtimeen (CRUIN) ja toinen tulo lisäkirjoitin-lukumuistiin (Flag-RAM) tietojenlähtöön (Dout),
- lisäkirjoitin-lukumuisti (Flag-RAM) on yhteydessä osoiteväylään (AB) ja tietojen tulolla (D_{in}) liitetty tietoväylän (DB) tietojentuloon sekä kirjoitinliitännällä (W) ohjainväylän (StB) johtimeen (MW),
- ehdollisen tai-elimien (12) lähtö on yhteydessä ensimmäisellä NAND-elimellä (13) ensimmäisen JK-flip-flopin (14) tuloihin (J,K), jonka lähtö (Q) on liitetty rinnakkaisen liitososan (IF) keskeytysvaatimustuloon (CINT) ja toisen NAND-elimien (15) tuloon, jolloin ensimmäisen JK-flip-flopin (14) set-liitäntä (S) on yhdistetty toisen NAND-elimien (15) muuhun tuloon ja vapautussignaalia antavaan rinnakkaisen liitososan (IF) lähtöön (CIEN), ja

- että siihen kuuluu toinen JK-flip-flop (17), jonka tulot (J,K) on yhdistetty toisen NAND-elimien (15) lähtöön ja jonka lähtö (Q) on liitetty DMA-vaatimussignaalia lukevaan tuloon (ACCRQ1) ja jonka set-liitäntä (S) on yhdistetty vertailun ohjausta hoitavan DMA-rakenneosan (DMA) kuittaus-signaalia antavaan lähtöön (ACCGR1),
- jolloin DMA-rakenneosa (DMA) tuottaa sinänsä tunnetusti ohjauskäskynantimeen (3) järjestetyt osoitteet, joiden avulla se vapautussignaalin ja keskeytysvaatimuksen esiintymättä ollessa tuotettujen DMA-vaatimussignaalien esiintyessä tunnustelee osoiteväylän (AB) kautta ohjainkäskynantimen (3) kytkentätilaa ja luku-kirjoitumuistiin (Flag-RAM) talletettuja vanhoja kytkentätiloja ja siirtää vertailulaitteeseen (11), jolloin erilaisuuden esiintyessä DMA-operaatio keskeytetään.

2. Patenttivaatimuksen 1 mukainen kytkinlaite, t u n n e t -
t u siitä, että

- ohjauslaite (1-7) muodostuu matriisimaisesta tunnistinkentästä (1), jonka risteyskohtiin on järjestetty ohjauskäskynantimia (3), jolloin, kuten sinänsä tunnetaan, tunnistinkentän (1) rivijohtimet ovat yhteydessä ainakin yhteen demultiplekserin omaavaan riviohjaukseen (4),
- jokaista matriisimaisen tunnistinkentän (1) risteyskohtaa varten on sinänsä tunnetulla tavalla järjestetty muistisolju, jolloin kullekin rivijohtimelle on järjestetty palstajohtimien lukumäärää vastaava, moninkertaismuisteiksi (6) koostuva määrä muistisoluja, joiden sisääntulot ovat yhteydessä palstavastaanottimella (5) palstajohtimien kanssa,
- siihen kuuluu laskimesta ja tahtigeneraattorista muodostuva osoitteistamislaitte (4.1), joka on yhdistetty osoitejohtimella (4.2) riviohjaimen (4) demultiplekseriin ja osoitteistettavaan välirekisteriin (4.3), jonka lähdöt on liitetty moninkertaismuistiin (6) tahtiliitäntöihin, ja
- että siihen kuuluu multiplekseri (7), demultiplekseri (7.2)

ja väyläohjain (7.1), jolloin väyläohjain (7.1) on tulopuoleltaan liitetty mikrotietokonesysteemiin (8) osoiteväylään (AB) ja ulostulopuoleltaan osoitejohtimen ensimmäisellä osalla demultiplekserin (7.2) osoitetuloihin ja osoitejohtimen toisella osalla multiplekserin (7) osoitetuloihin ja jolloin demultiplekserin (7.2) lähdöt ovat yhteydessä moninkertaismuistin (6) vapautusliitäntöihin (OE) ja multiplekserin (7) lähtö (Z) on liitetty väyläohjaimella (7.1) tulo-lähtöväylän (CRU) tietojenantajohtoon (CRUIN).

Patentkrav

1. Kopplingsanordning för avgivning av styrinstruktioner i ett mikrodatorsystem, varvid en mikroprocessor (CPU) förenats genom en adress-, data- och styrbussledning (AB,DB, StB) med minst ett skriv-läsminne (RAM) och ett konstantvärde-minne (ROM) samt genom adressledningen (AB), en in-utgångsledning (CRU) och andra ledningar (9) med en parallell in-utgångslänkdell (IF), och varvid
 - åtminstone en avbrottsbeordringsingång (CINT) för länkdellen (FI) kopplats till åtminstone en periferianordning (1-7),
 - en jämförelseanordning (11) kopplats till den en friställningssignal till styrbeordringsgivaren avgivande länkdellens (IF) utgång (CIEN),
 - jämförelseanordningen (11) omfattar minst ett villkorligt eller-organ (12),
 - då en friställningssignal och en förändring i kopplingstillståndet hos den med periferianordningen (1-7) hopkopplade styrbeordringsgivaren (3) uppträder, alstrar jämförelseanordningen (11) en avbrottsbeordring och lagrar ett nytt kopplingstillstånd i skriv-läsminnet (RAM), k ä n n e - t e c k n a d av att
 - en ingång hos det villkorliga eller-organet (12) har kopplats till in-utgångsledningens (CRU) datagivarledning (CRUIN) och en andra ingång till ett tilläggsskriv-läsminnes (Flag-RAM) datautgång (D_{out}),
 - tilläggsskriv-läsminnet (Flag-RAM) står i förbindelse med adressledningen (AB) och har genom dataingången (D_{in}) kopplats till dataledens (DB) dataledning samt genom en skrivlänk (W) till styrledens (StB) ledning (MW),
 - det villkorliga eller-organets (12) utgång står genom ett första NAND-organ (13) i förbindelse med en första JK-flip-flops (14) ingångar (JK), vars utgång (Q) kopplats till den parallella länkdellens (IF) avbrottsbeordringsingång (CINT) och till ett andra NAND-organs (15) ingång, varvid den första JK-flip-flopps (14) set-länk (S) förenats med det andra NAND-organets (15) övriga ingång och med den en friställ-

ningssignal avgivande parallella länksdelens (IF) utgång (CIEN), och

- att därtill hör en andra JK-flip-flop (17), vars ingångar (JK) förenats med det andra NAND-organets (15) utgång och vars utgång (Q) kopplats till den en DMA-beordringssignal läsande ingången (ACCRQ1) och vars set-länk (S) förenats med den en kvitteringssignal givande utgången (ACCGR1) hos den jämförelsestyrning ombesörjande DMA-konstruktionsdelen (DMA).
- varvid DMA-konstruktionsdelen (DMA) på ett i och för sig känt sätt producerar i styrbeordringsgivaren (3) arrangerade adresser, med tillhjälp av vilka den, då friställningssignal och avbrottsbeordring icke föreligger medan producerade DMA-beordringssignaler föreligger, identifierar via adresskanalen (AB) styrbeordringsgivarens (3) kopplingstillstånd och de i läs-skrivminnet (Flag-RAM) lagrade gamla kopplingstillstånden och överför till jämförelseanordningen (11), varvid då olikhet uppträder DMA-operationen avbrytes.

2. Kopplingsanordning enligt patentkrav 1, k ä n n e - t e c k n a d av att styranordningen (1-7) består av ett matrisartat identifieringsfält (1), i vars korsningspunkter anordnats styrbeordringsgivare (3), varvid, såsom i och för sig är känt, identifieringsfältets (1) radledningar står i förbindelse med åtminstone en radstyrning (4) med en demultiplexer,

- för varje korsningspunkt i det matrisartade identifieringsfältet (1) har på ett i och för sig känt sätt anordnats en minnescell, varvid för respektive radledning har anordnats en antalet spaltledningar motsvarande mängd av mångfaldsminnen (6) bildande minnesceller, vilkas ingångar genom en spaltmottagare (5) står i förbindelse med spaltledningarna.

därtill hör en av en räknare och en taktgenerator bestående adresseringsanordning (4.1), som genom en adressledning (4.2) förenats med radstyrningens (4) demultiplexer och med ett adresserbart mellanregister (4.3), vars utgångar kopplats till mångfaldsminnets (6) taktlänkar, och

- att därtill hör en multiplexer (7), en demultiplexer (7.2) och en bussledningsstyrning (7.1), varvid bussledningsstyrningen (7.1) på sin ingångssida kopplats till mikrodatasystemets (8) adressledning (AB) och på utgångssidan genom adressledningens första del till demultiplexerns (7.2) adressgångar och genom adressledningens andra del till multiplexerns (7) adressgångar och varvid demultiplexerns (7.2) utgångar står i förbindelse med mångfaldsminnets (6) friställningslänkar (OE) och multiplexerns (7) utgång (Z) kopplats genom bussledningsstyrningen (7.1) till in-utledningens (CRU) datagivarledning (CRUIN).

Viitejulkaisuja-Anförda publikationer

Hakemusjulkaisuja:-Ansökningspublikationer: Saksan liittotasavalta-Föbundsrepubliken Tyskland(DE) 2 420 119 (G 06 F 3/04).

Patenttijulkaisuja:-Patentskrifter: USA(US) 4 219 881 (G 06 F 11/00).

Muita julkaisuja:-Andra publikationer: Electronics International, vol.50, no.11, toukokuu 1977, E.Harriman, "Intelligent multiplexer increases processor efficiency", p.112-113.

Electronics International, vol.50, no.6, maaliskuu 1977, J.Washburn, "Making mini I/O upward-compatible", p.100-104.

Electronic Design, vol.23, no.26, joulukuu 1975, R.Sahni, "Keyboard circuit saves time, needs no microprocessor scanning software", p.70.

Control Engineering, vol.24, no.2, helmikuu 1977, H.Raphael, "Keyboard/Microprocessor interface: Software or Hardware?", p.41-42.

Fig. 1

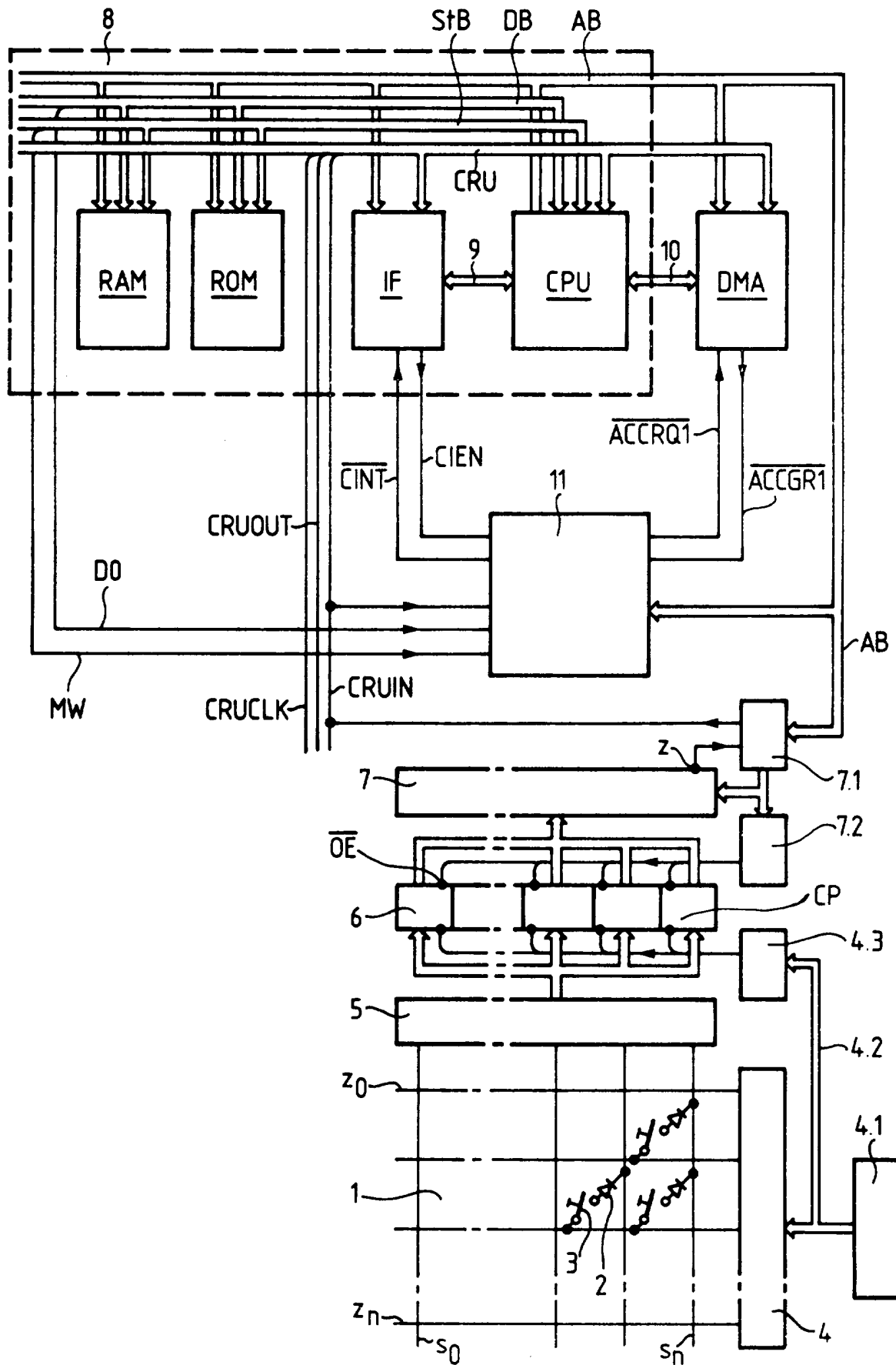


Fig. 2

