

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成31年3月22日(2019.3.22)

【公開番号】特開2016-157506(P2016-157506A)

【公開日】平成28年9月1日(2016.9.1)

【年通号数】公開・登録公報2016-052

【出願番号】特願2016-26288(P2016-26288)

【国際特許分類】

G 1 1 C	11/405	(2006.01)
G 1 1 C	11/56	(2006.01)
H 0 1 L	21/8242	(2006.01)
H 0 1 L	27/108	(2006.01)
H 0 1 L	29/786	(2006.01)
H 0 1 L	21/8234	(2006.01)
H 0 1 L	27/06	(2006.01)
H 0 1 L	27/08	(2006.01)
H 0 1 L	27/088	(2006.01)

【F I】

G 1 1 C	11/34	3 5 2 B
G 1 1 C	11/34	3 8 1 D
H 0 1 L	27/10	3 2 1
H 0 1 L	29/78	6 1 8 B
H 0 1 L	29/78	6 1 3 B
H 0 1 L	27/06	1 0 2 A
H 0 1 L	27/08	3 3 1 E
H 0 1 L	27/08	1 0 2 E
H 0 1 L	27/08	1 0 2 G

【手続補正書】

【提出日】平成31年2月5日(2019.2.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1乃至第 $(n+1)$ (n は2以上の整数)のトランジスタと、

第1乃至第 n の容量素子と、

第1乃至第 n のノードと、

第1及び第2の配線と、を有し、

前記第 i のノード(i は整数且つ $1 \leq i \leq n$)は、前記第 i の容量素子の第1の端子及び前記第 i のトランジスタのゲートに電気的に接続され、

前記第1のトランジスタは、前記第1の配線と前記第2の配線との間の、導通又は非導通を制御する機能を有し、

前記第 $(i+1)$ のトランジスタは、前記第 i のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有し、

前記第1乃至前記第 n のノードは、それぞれ、 J ビット(J は1以上の整数)のデータを保持する機能を有し、

前記第2乃至第 $(n+1)$ のトランジスタは、チャネル形成領域に酸化物半導体を含むことを特徴とする記憶装置。

【請求項2】

メモリセルと、

第1乃至第 n の記憶回路と、

第1及び第2の配線と、を有し、

前記メモリセルは、第1乃至第 $(n+1)$ (n は2以上の整数)のトランジスタと、第1乃至第 n の容量素子と、第1乃至第 n のノードと、を有し、

前記第 i のノード(i は整数且つ $1 \leq i \leq n$)は、前記第 i の容量素子の第1の端子及び前記第 i のトランジスタのゲートに電気的に接続され、

前記第1のトランジスタは、前記第1の配線と前記第2の配線との間の、導通又は非導通を制御する機能を有し、

前記第 $(i+1)$ のトランジスタは、前記第 i のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有し、

前記第1乃至前記第 n のノードは、それぞれ、 J ビット(J は1以上の整数)のデータを保持する機能を有し、

前記第2乃至第 $(n+1)$ のトランジスタは、チャネル形成領域に酸化物半導体を含み、

前記第1乃至第 n の記憶回路は、それぞれ、前記第1の配線に電気的に接続され、

前記第1乃至第 n の記憶回路は、それぞれ、前記第2の配線に電気的に接続され、

前記第 i の記憶回路は、前記第 i のノードに保持されたデータを記憶する機能を有することを特徴とする記憶装置。

【請求項3】

請求項1または請求項2において、

前記第1のトランジスタ上に、前記第2乃至前記第 $(n+1)$ のトランジスタが設けられ、

前記第2乃至前記第 $(n+1)$ のトランジスタ上に、前記第1乃至前記第 n の容量素子が設けられ、

前記第1のトランジスタはチャネル形成領域にシリコンを含むことを特徴とする記憶装置。