

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200580025306.1

[51] Int. Cl.

H01L 21/336 (2006.01)

H01L 21/8242 (2006.01)

H01L 21/4763 (2006.01)

[43] 公开日 2007 年 6 月 27 日

[11] 公开号 CN 1989603A

[22] 申请日 2005.6.16

[21] 申请号 200580025306.1

[30] 优先权

[32] 2004.7.29 [33] US [31] 10/902,218

[86] 国际申请 PCT/US2005/021496 2005.6.16

[87] 国际公布 WO2006/023026 英 2006.3.2

[85] 进入国家阶段日期 2007.1.26

[71] 申请人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 秉·W·闵 奈杰尔·G·卡韦

文卡塔·R·科拉甘塔

奥马尔·齐亚 锡南·格克泰佩利

[74] 专利代理机构 中原信达知识产权代理有限责任
公司

代理人 黄启行 穆德骏

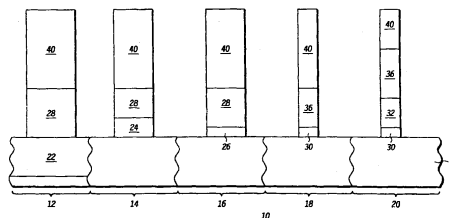
权利要求书 4 页 说明书 10 页 附图 8 页

[54] 发明名称

半导体器件的形成方法及其结构

[57] 摘要

在一个实施例中,描述了一种用于形成半导体器件(10)的方法。半导体衬底(11)具有第一部分(14或16)和第二部分(18或20)。第一电介质层(24或26)形成在半导体衬底的第一部分上方,第二电介质层(30)形成在半导体衬底的第二部分上方。可包括硅例如多晶硅的帽盖(28)形成在第一电介质层上方。第一电极层(40)形成在帽盖上方,第二电极层(32、36或40)形成在第二电介质上方。



1. 一种用于形成半导体器件的方法，包括：
提供具有第一部分和第二部分的半导体衬底；
在所述半导体衬底的所述第一部分上方形成第一电介质层；
在所述半导体衬底的所述第二部分上方形成第二电介质层；
在所述第一电介质上方形成帽盖；和
在所述第二电介质层上方形成第二电极层。
2. 根据权利要求1所述的方法，其中形成所述第一电介质层和形成所述第二电介质层包括形成不同的电介质材料。
3. 根据权利要求1所述的方法，其中形成所述第一电介质层和形成所述第二电介质层包括形成相同的电介质材料。
4. 根据权利要求1所述的方法，其中形成所述第一电介质层包括形成场氧化物。
5. 根据权利要求1所述的方法，其中形成所述第一电介质层包括形成栅电介质。
6. 根据权利要求1所述的方法，其中形成所述第二电介质层包括形成具有高介电常数的电介质层。
7. 根据权利要求1所述的方法，其中形成所述第二电介质层包括形成至少两个电介质层的叠层，其中所述至少两个电介质层的至少一个具有大于近似4的介电常数。
8. 根据权利要求1所述的方法，其中形成所述帽盖包括形成多晶硅帽盖。

9. 根据权利要求 1 所述的方法，其中
所述半导体衬底进一步包括第三部分；和
该方法进一步包括：

在所述第三部分上方形成第三电介质层；
在所述第三电介质层上方形成第二电介质层；和
在所述第二电极层上方形成第三电极层。

10. 根据权利要求 9 所述的方法，其中形成所述第三电介质层和
形成所述第二电介质层包括形成相同的电介质材料。

11. 根据权利要求 9 所述的方法，其中形成所述第三电介质层和
形成所述第二电介质层包括形成不同的电介质材料。

12. 根据权利要求 1 所述的方法，其中
所述半导体衬底进一步包括第四部分；和
该方法进一步包括：

在所述第四部分中形成隔离区；
在所述第四部分上方形成所述帽盖；和
在所述帽盖上方形成所述第二电极层。

13. 一种用于形成半导体器件的方法，包括：
提供具有第一部分和第二部分的半导体衬底；
在所述半导体衬底的所述第一部分上方形成第一电介质，其中所述
第一电介质具有高介电常数；
在所述半导体衬底的所述第二部分上方形成第二电介质；
在所述第二电介质上方形成帽盖，其中该帽盖包括硅；
在形成多晶硅帽盖之后在所述第一电介质上方形成第一电极，其中
所述第一电极包括金属；和
在形成所述第一电极之后在多晶硅帽盖上方形成第二电极，其中

所述第二电极包括多晶硅。

14. 根据权利要求 13 所述的方法，其中形成所述第一电介质和形成所述第二电介质包括形成不同的电介质材料。

15. 根据权利要求 13 所述的方法，其中形成所述第一电介质和形成所述第二电介质包括形成相同的电介质材料。

16. 根据权利要求 13 所述的方法，其中形成所述第二电介质包括形成场氧化物。

17. 根据权利要求 13 所述的方法，其中形成所述第一电介质包括形成栅电介质。

18. 根据权利要求 13 所述的方法，其中形成所述第一电介质，其中所述第一电介质具有高介电常数，包括形成所述第一电介质，其中所述第一电介质具有大于近似 4 的介电常数。

19. 一种半导体器件，包括：

包括第一部分和第二部分的半导体衬底；

在所述第一部分上方的第一电介质层；

在所述第一电介质层上方的帽盖；

在所述帽盖上方的第一电极层；

在所述第二部分上方的第二电介质层；和

在所述第二电介质层上方的第二电极层。

20. 根据权利要求 19 所述的半导体器件，其中
所述帽盖包括多晶硅；

所述第一电极层与所述第二电极层不同；

以及所述第一电介质层与所述第二电介质层不同。

21. 根据权利要求 20 所述的半导体器件，其中所述第二电介质层具有大于近似 4 的介电常数。

半导体器件的形成方法及其结构

技术领域

本发明通常涉及形成半导体器件，并且更具体地，涉及形成高压器件。

背景技术

随着器件尺寸缩小，高介电常数（高-k 或 hi-k）材料用作在电路中最低电压下工作的器件的栅电介质，此后称为核心器件。但如果高-k 材料例如 HfO_2 （氧化铪）用于高压器件，例如中等厚度栅氧化物器件（此后称为 TGO 器件）、厚栅氧化物器件（此后称为 DGO 器件）或电容器，则存在至少三个问题。第一，如果 HfO_2 形成在 SiO_2 （二氧化硅）上方，则在制造期间 Hf（铪）和 Hf 引起的缺陷会扩散到 SiO_2 中。扩散会引起不良可靠性，尤其是在高压应用中。第二，利用高-k 材料改变器件的功函数。当功函数改变时，与器件相关的技术必须改变。代替地，不变成高-k 材料，早期技术会继续使用并且节省了必须发展新技术的时间。第三，当在高压器件中使用 HfO_2 时，不知道在图案化的栅极边缘是否会产生由于高-k 材料和其它材料之间的相互作用引起的任何影响。因此，对于一些半导体器件，例如高压器件，希望不使用高-k 材料。

常常希望在同一半导体衬底上形成核心器件和高压器件。当形成用于核心器件的高-k 材料时，希望防止形成高-k 材料成为高压器件的栅叠层的一部分。因此，需要实现在衬底的不同区域形成不同电介质的集成工艺。

附图说明

本发明借助实例示例并且不被附图限制，在附图中相同的附图标

记表示相似的元件。

图 1 示例了根据本发明的实施例具有无源器件区、高压器件区和核心器件区、第一电介质层和第二电介质层的半导体器件一部分的截面；

图 2 示例了根据本发明的实施例在高压器件区和核心器件区上方形成第三电介质层之后图 1 的半导体器件；

图 3 示例了根据本发明的实施例在形成帽盖之后图 2 的半导体器件；

图 4 示例了根据本发明的实施例在形成第四电介质层之后图 3 的半导体器件；

图 5 示例了根据本发明的实施例在形成第一电极层和第一保护层之后图 4 的半导体器件；

图 6 示例了根据本发明的实施例在图案化第一电极层之后图 5 的半导体器件；

图 7 示例了根据本发明的实施例在形成第二电极层之后图 6 的半导体器件；

图 8 示例了根据本发明的实施例在图案化第二电极层和形成第三电极层之后图 6 的半导体器件；

图 9 示例了根据本发明的实施例在图案化以形成无源器件结构、高压器件结构和核心器件结构之后图 8 的半导体器件；和

图 10 示例了根据本发明的另一实施例在形成第五电介质层之后图 3 的半导体器件。

技术人员意识到，为了简单和清楚起见示例了图中的元件且不必按规定比例绘制。例如，图中一些元件的尺寸可相对于其它元件放大，以帮助提高本发明实施例的理解。

具体实施方式

图 1 示例了根据本发明的一个实施例具有半导体衬底 11、形成在半导体衬底 11 中的第一电介质层 22、和形成在半导体衬底 11 的部分

上方的第二电介质 24 的半导体器件 10 的截面。在所示例的实施例中，半导体器件 10 包括无源器件区 12、第一高压器件区 14 和第二高压器件区 16、第一核心器件区 18 和第二核心器件区 20。但不需要存在全部的区域。另外，上述区域被示为靠在一起，仅用于帮助理解本发明。因此，在它们之间用曲线绘制区域以表示在每个区域之间存在未示出的区域。例如，在这些区域之间存在用于隔离的场氧化物区。

可在无源器件区 12 中形成任何无源器件，例如电阻、电容、二极管等。如在此描述的，电阻将形成在无源器件区 12 中。在一个实施例中，第一高压器件区 14 是双栅氧化物区（DGO）或将要形成电容的区域，并且第二高压器件区 16 是薄栅氧化物区或将要形成电容的区域。在所示的实施例中，NMOS 晶体管将形成在第一核心器件区 18 中，PMOS 晶体管将形成在第二核心器件区 20 中。然而，技术人员将认识到，核心器件的极性可以切换或者核心器件区 18 和 20 可以具有相同的极性，并且尽管未示出，但阱可形成在半导体衬底中。例如，第一核心器件区 18 可具有 p 阱，第二器件区 20 可具有 n 阱。

半导体衬底 11 可以是任何的半导体材料或半导体材料的组合，例如砷化镓、锗化硅、绝缘体上硅（SOI）、绝缘体上应变硅（SSOI）、硅、单晶硅等和上述的组合。第一电介质区 22 可以是场隔离区，其在一个实施例中是用 SiO_2 填充的半导体衬底 11 中的沟槽区。第二电介质 24 示出为热生长在高压区 14 和 16 以及核心器件区 18 和 20 的上方；在该实施例中，第二电介质层 24 可以是二氧化硅。如果热生长，一些氧化物可形成在第一电介质层 22 上方，但由于生长量远小于在其它区域上方的生长量，所以是无关紧要的，因此将被忽略。可选地，第二电介质区 24 可以通过其它工艺形成，例如化学汽相沉积（CVD）、原子层沉积（ALD）、物理汽相沉积（PVD）等以及上述的组合。在一个实施例中，第二电介质层 24 将用作 DGO 的电介质；第二电介质层 24 可具有近似 50 埃（5 纳米）的厚度。利用任何的方法，例如形成光致抗蚀剂掩模并蚀刻掉第二电介质层 24 的暴露部分，来图案化第二电

介质层 24。

在图案化第二电介质层 24 之后，形成第三电介质层 26，如图 2 所示。在一个实施例中，第三电介质层 26 是与第二电介质层 24 不同的材料；然而，可使用同一种材料。在一个实施例中，第三电介质层 26 将用作 TGO 器件的栅电介质。在该实施例中，如果第二电介质层 24 是用于 DGO 器件的栅电介质，则第三电介质层 26 可以是具有厚度小于第二电介质层 24 的厚度的热生长的 SiO_2 。在一个实施例中，用作 TGO 的第三电介质层 26 近似 30 埃（3 纳米）厚。第三电介质层 26 可通过 CVD、ALD、PVD 等和上述的组合形成。

在形成第三电介质层 26 之后在半导体器件 10 上方形成帽盖 28，如图 3 所示。可进行帽盖 28 的平滑化或平坦化。在一个实施例中，帽盖包括硅，例如多晶硅。可选地，帽盖 28 可以是任何的导电材料，例如金属或导电氧化物。在一个实施例中，帽盖 28 近似 100 至 500 埃（10-50 纳米）厚。帽盖 28 可以通过 CVD、ALD、PVD、电镀、无电镀等和上述的组合来形成。如在处理的进一步论述之后将变得显而易见，帽盖 28 将用于保护在形成另外的电介质层时的下层电介质层。在一个实施例中，帽盖 28 防止高-k 材料形成在第一、第二和第三电介质层 22、24 和 26 上方。

在形成帽盖 28 之后，移除帽盖 28 的一部分。移除可通过任何的工艺例如湿法或干法蚀刻进行。如果帽盖 28 是多晶硅，可以使用利用基于氯和氟的化学物质例如 CF_4 的干法蚀刻。在一个实施例中，从第一和第二核心器件区 18 和 20 移除帽盖 28。如果核心器件区 18 和 20 具有彼此相同的栅电介质材料，但具有与第二电介质 24 和第三电介质层 26 不同的电介质材料，则这是希望的。

在一个实施例中图案化帽盖 28 之后，在（剩余的）帽盖 28 和第一和第二核心器件区 18 和 20 上方形成第四电介质 30，如图 4 所示。

在图 4-9 中所示的实施例中，第一和第二核心器件区 18 和 20 将具有用于栅电介质的相同材料；然而，这不是必需的。在一个实施例中，第四电介质 30 是具有高介电常数的电介质材料（例如，高-k 电介质）。高介电常数是大于二氧化硅的介电常数，近似 3.9，或者在一个实施例中，大于化学计量的氮化硅（ Si_3N_4 ）的介电常数，近似 7.5。在一个实施例中，第四电介质 30 是高-k 电介质。适合的高-k 电介质可以是锆、铪、铝、镧、铈、钽、钛、硅的氧化物，并且可使用它们的氧化物。还可使用过渡金属硅酸盐和铝酸盐，例如硅酸铪（ $\text{Hf}_x\text{Si}_y\text{O}_z$ ）和铝酸铪（ $\text{Hf}_x\text{Al}_y\text{O}_z$ ）。

第四电介质 30 可以通过任何工艺例如 CVD、ALD、PVD、热生长等和上述的组合形成。另外，第四电介质层 30 可以是叠层或层的组合。而且，自然氧化物（例如，二氧化硅）可存在于第四电介质 30 和半导体衬底 11 之间，因为当半导体衬底 11 暴露到氧化环境时，常固有地形成自然氧化物。如果半导体衬底 11 包括硅，尤其是这样。第四电介质 30 可以是任意希望的厚度。在一个实施例中，第四电介质 30 具有近似等于第二电介质层 26 的厚度的厚度。尽管在图 4 中示出第四电介质 30 仅覆盖半导体器件 10 的顶表面，但它是共形层。由于如由图中的曲线所示每个区域实际上与其它区域分离，所以未示出第四电介质 30 位于区域 16 和 18 之间的台阶侧壁上，因为该台阶可以或可以不存在或实际上可以是更渐进的（这个相同原理可应用到图中的其它层）。

在一个实施例中，在形成第四电介质 30 之前，半导体层可以形成在核心器件区 18 或 20 中任一个或两个中。如果不希望第四电介质 30 和半导体衬底 11 中的材料（多个）之间的材料的相互作用，则希望形成该半导体层。因此，可以选择用于该任选半导体层的材料，以提高它和第四电介质 30 之间的材料的相互作用。该半导体层可以通过任何工艺例如 CVD、ALD、PVD、热生长等和上述的组合来形成。形成的该半导体材料可以是任何的半导体材料或半导体材料的组合，例如砷

化镓、锗化硅、硅、单晶硅和上述的组合。该半导体材料可以是原位掺杂的或未掺杂的，并且可具有近似 10 和 200 埃（1-20 纳米）之间的厚度。

在形成第四电介质 30 之后，可形成用于第一和第二核心器件区 18 和 20 的栅电极。如图所示，将描述双金属栅工艺。然而，电极可以是多晶硅或通过任何工艺形成的任何适合的材料。将描述金属栅工艺，因为金属栅具有优于多晶硅栅的优点。例如，金属栅消除了栅损耗和硼渗透效应，并提供了比多晶硅栅显著低的薄层电阻。

在半导体衬底上方形成第一电极层 32 和第一保护层 34，如图 5 所示。对于栅长度在 50 纳米以下的体 CMOS，希望是具有在用于半导体衬底 11 的材料的能带（导带或价带）边缘约 0.2eV 内各个功函数的栅金属。因此，如果半导体衬底 11 是硅，则第一电极层 32 对于 PMOS 器件可包括铯、铷、铂、钼、钨、氧化钨等和上述的组合，或者对于 NMOS 器件包括钛、钒、锆、钽、铝、铌、氮化钽等和上述的组合。第一电极层 32 可通过任何的方法例如 CVD、ALD、PVD、电镀、无电镀等和上述的组合来形成。在一个实施例中，第一电极层 32 近似为 50-1000 埃（5-100 纳米）厚。

第一保护层 34 可通过 CVD、ALD、PVD 等或上述的组合来形成。在优选实施例中，第一保护层 34 是氧化硅或氮化硅硬掩模。保护层 34 应当足够厚，以用作硬掩模，并在图案化第一电极层 32 时保护下层第一电极层 32。另外，第一保护层 34 应当足够薄，以在图案化第一电极层 32 之后能够被有效地移除。第一保护层 34 用于图案化第一电极层 32，因为如果是金属，则用于图案化第一电极层 32 的许多适合的金属蚀刻也会蚀刻或退化光致抗蚀剂掩模。因此，需要充分耐受金属蚀刻的掩模，例如第一保护层 34。可以利用光致抗蚀剂掩模和蚀刻工艺（例如，干法或湿法蚀刻）图案化第一保护层 34。在将移除第一电极层 32 的区域移除第一保护层 34。

在图案化第一保护层 34 之后，利用第一保护层 34 作为硬掩模图案化第一电极层 32。在一个实施例中，利用硫酸、过氧化氢和水溶液的湿法蚀刻图案化第一电极层 32。在一些实施例中，然后利用干法或湿法蚀刻，移除第一保护层 34 的任何剩余的部分。得到的结构仅在第二核心器件区 20 的上方仅形成第一电极层 32，如图 6 所示。

在形成和图案化第一电极层 32 之后，形成第二电极层 36 和第二保护层 38。第二电极层 36 可以是与第一电极层 32 相同材料中的任一种并且通过相同的工艺中的任一种形成。但对于具有不同导电性的器件或许选择第二电极层 36，而不是第一电极层 32。因此，如果第一电极层 32 是用于 PMOS 器件的电极，则第二电极层 36 可以是用于 NMOS 器件的电极。在优选实施例中，第一电极层 32 是 P 型金属，而第二电极层 36 是 N 型金属。第二保护层 38 可以与第一保护层 36 相同并且可通过相同的工艺形成相同的厚度；但这不是必须的。第二电极层 36 和第二保护层 38 的图案化与第一电极层 32 和第一保护层 34 相同，差别仅在于，第二电极层 36 将保持在第一核心器件区 18 和第二核心器件区 20 中。（第一电极层 32 仅保留在第二核心器件区 20 中。）因此，第二电极层 36 形成在第一和第二核心器件区 18 和 20 中的第四电介质 30 上方。另外，第二电极层 36 形成在第二核心器件区 20 中的第一电极层 32 上方，如图 7 所示。

在图案化第二电极层 36 之后，移除位于帽盖 28 上方的第四电介质 30 的部分，并在所有的区域上方形成第三电极层 40，如图 8 所示。可以利用蚀刻工艺，例如干法或湿法蚀刻，移除第四电介质层 30。帽盖 28 保护下层并防止第四电介质层 30 在难以移除第四电介质层 30 的任何下层上形成。

第三电极层 40 可以通过任何工艺例如 CVD、ALD、PVD、电镀、无电极电镀等和上述的组合形成。在优选实施例中，第三电极层 40 是

含硅的层，淀积为导电材料或随后制作得导电。在优选实施例中，第三电极层 40 是多晶硅层或多晶硅-锗层，该层是原位掺杂的或随后掺杂以充分导电。第三电极层 40 可以是掺杂的或未掺杂的非晶硅或硅-锗层。优选第三电极层 40 是含硅的，以便在高压区 14 和 16 中，可以使用除了高-k 电介质外的电介质，并且将形成含硅的电极，避免在高压应用中由高-k 电介质或金属电极产生的问题。然而，第三电极层 40 可以是金属。第三电极层 40 可具有近似 100-1500 埃（10-150 纳米）的厚度。如果需要的话，为了良好控制该层的图案化，可以进行层 40 的平滑化或平坦化。

在形成第三电极层 40 之后，图案化形成于半导体衬底 11 上方的所有层，如图 9 所示。可从与其它器件相分离地进行核心器件的图案化，以能够在图案化期间更好的控制。在无源器件区 12 中，图案化第三电极层 40 和帽盖 28 以在第一电介质层 22 上方形成电阻。在第一高压器件区 14 中，图案化第二电介质层 24、帽盖 28 和第三电极层 40 以形成 DGO 叠层。在第二高压器件区 16 中，图案化第三电介质层 26、帽盖 28 和第三电极层 40 以形成 TGO 叠层。在第一核心器件区 18 中，图案化第三电介质层 30、第二电极层 36 和第三电极层 40 以形成 PMOS 叠层。在第二核心器件区 20 中，图案化第三电介质层 30、第一电极层 32、第二电极层 36 和第三电极层 40 以形成 NMOS 叠层。可使用常规技术。为了在每个区域中形成器件，进行另外的已知处理，例如掺杂半导体衬底 11 的掺杂部分以形成源区和漏区。

图 10 中所示的是第一和第二核心器件区具有不同电介质层的可选实施例。在该实施例中，在形成帽盖 28 之前形成第四电介质 30。在形成第四电介质 30 之后，如前所述形成帽盖 28。由于第四电介质层 30 已经形成在第一核心器件区 18 中，所以图案化帽盖 28 以便它保留在除了第二核心器件区 20 之外的所有区域的上方。在图案化帽盖 28 之后，在第二核心器件区 20 中和帽盖 28 上方形成第五电介质层 50。在一个实施例中，在第二核心器件区 20 中和帽盖 28 上方形成第五电

介质层 50 之前，在器件区 20 中形成半导体层。这里形成的半导体层与在一个实施例中在第四电介质层 30 之前形成的半导体层相似。处理继续，如关于图 5-9 所论述的。该区别是，在所有图中，第一核心器件区 18 具有与第二核心器件区 20 不同的电介质层，帽盖 28 存在于第一核心器件区 18 中，并且第五电介质层 50 存在于帽盖 28 上方直至它被移除。在图 7 和 8 之间第五电介质层 50 以与第四电介质层 30 相似的方式并与第四电介质层 30 同时被移除。由于在图 10 所示的实施例中，帽盖 28 形成在第四电介质 30 上方，所以希望帽盖 28 是适合于第一核心器件区 18 的栅电极材料。因此，帽盖 28 可以是适合于形成的器件导电性的金属栅材料或可以是掺杂为形成的器件的适当导电性的多晶硅。

到如今应当意识到，已提供了用于在与核心器件同一半导体器件上形成高压器件的集成，高压器件和核心器件具有不同的（栅）电介质和电极。因此，可以在同一半导体衬底上形成多个电压器件。可以用金属栅/金属氧化物技术重新使用现有的 DGO/TGO 器件技术。而且可以实现可靠的 DGO/TGO 器件特性。此外，在 CMOS 应用中，整合可以用于建立金属-栅极/金属氧化物 NMOS 器件与 SiO₂ PMOS 器件。例如，可以使用图 10 中的实施例，同时消除了无源器件区域 12 的存在和第一与第二高压器件区 14 和 18。如所论述的，该整合可以使用（多）电阻器和（去耦）电容器。在前述说明书中，已参考具体实施例描述了本发明。然而，本领域的普通技术人员意识到，可以进行各种修改和改变，而不脱离如以下在权利要求中提出的本发明的范围。例如，可使用不同的材料。因此，说明书和图认为是示例性的而不是限制意义，并且所有这些修改意指包括在本发明的范围之内。

尽管已关于具体的导电类型或电位极性描述了本发明，但技术人员意识到导电类型和电位极性可反转。而且，如果有的话，使用在说明书和权利要求中的术语“前面”、“后面”、“顶部”、“底部”、“在……上方”、“在……下面”等，用于描述性的目的并且不一定

用于描述永久的相对位置。要理解，在适当的情况下如此使用的术语是可互换的，以便在此描述的本发明的实施例例如能够在与在此示例性的那些或描述的其它不同的其它方位下工作。如在此使用的，术语“包括”或其任何的其它变形，意指覆盖非专用的包括，以便包括一系列要素的工艺、方法、物品或设备不仅仅包括那些要素，还可包括未清楚列出的或这种工艺、方法、物品或设备固有的其它要素。如在此所使用的，术语“一”限定为一个或一个以上。

以上已关于具体的实施例描述了益处、其它优点和问题的解决方案。然而，这些益处、优点、问题的解决方案以及会引起任何益处、优点或解决方案出现或变得更显著的任何要素不解释为一些或所有权利要求的关键的、需要的或基本的特征或要素。

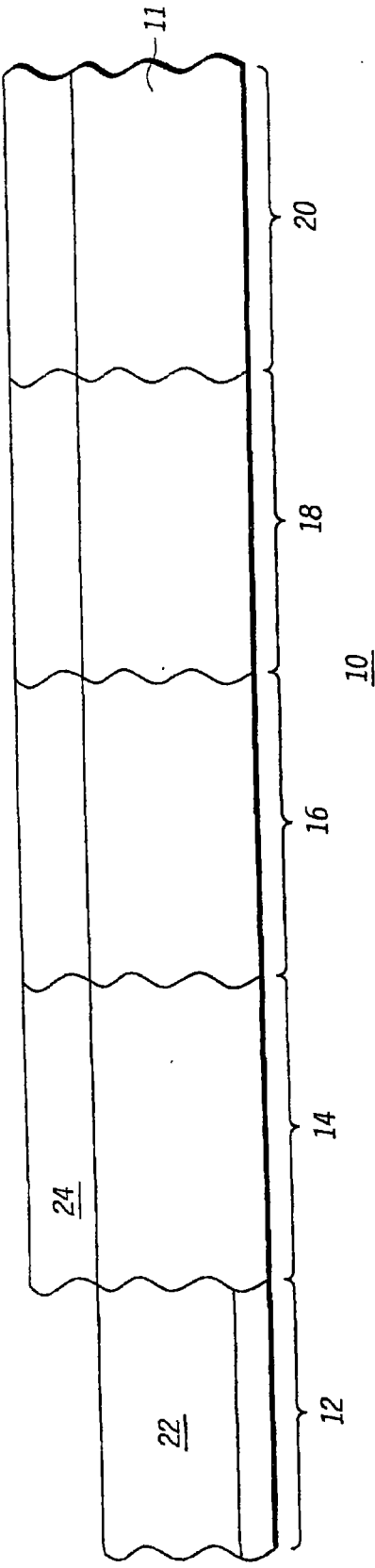


图1

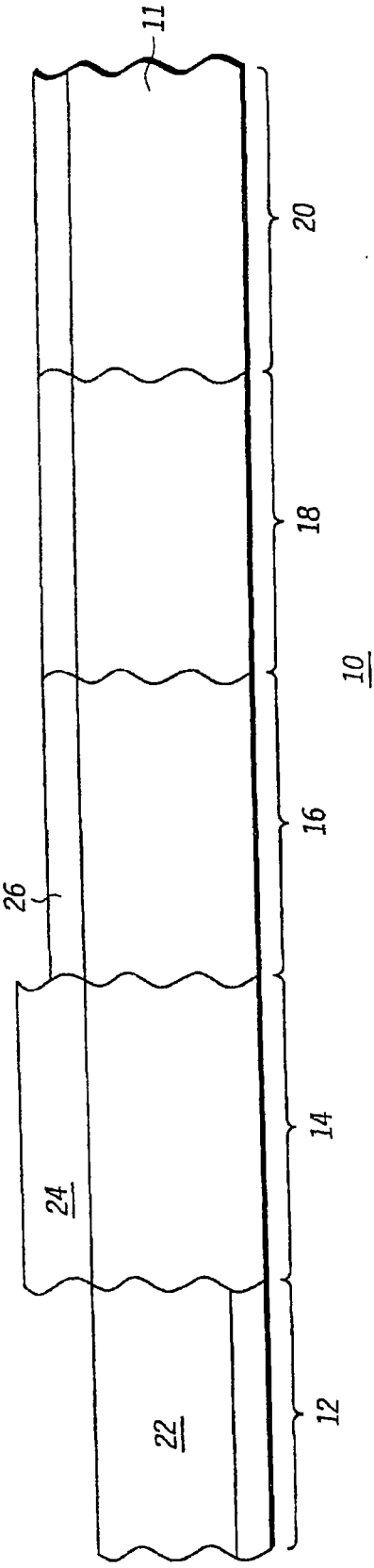


图2

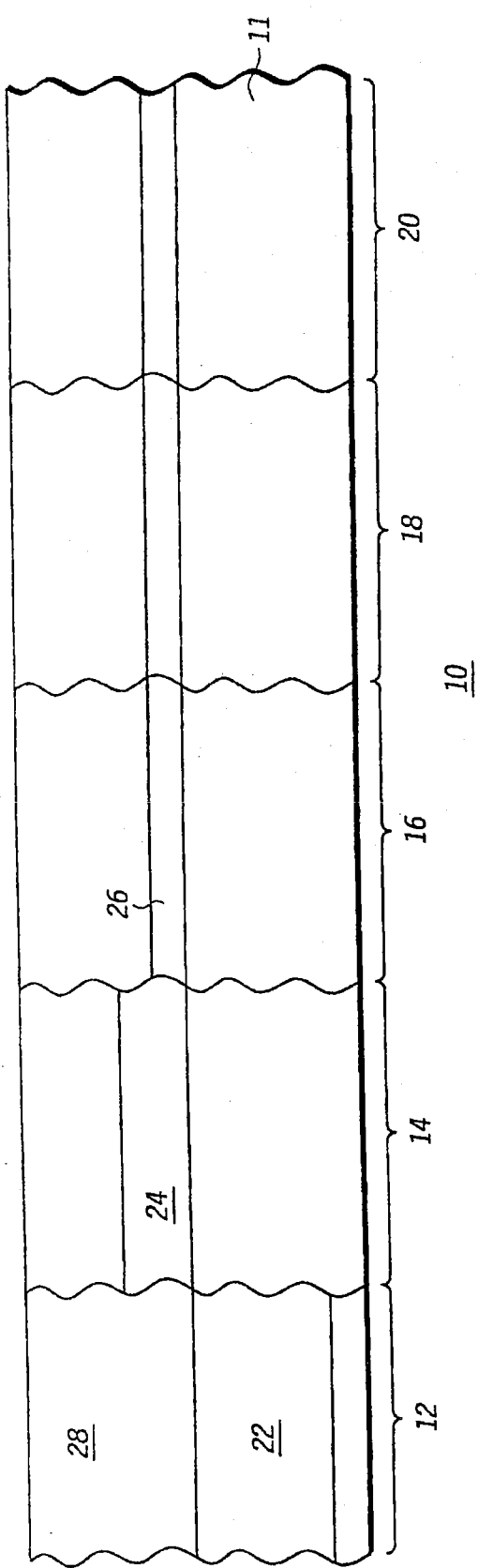


图3

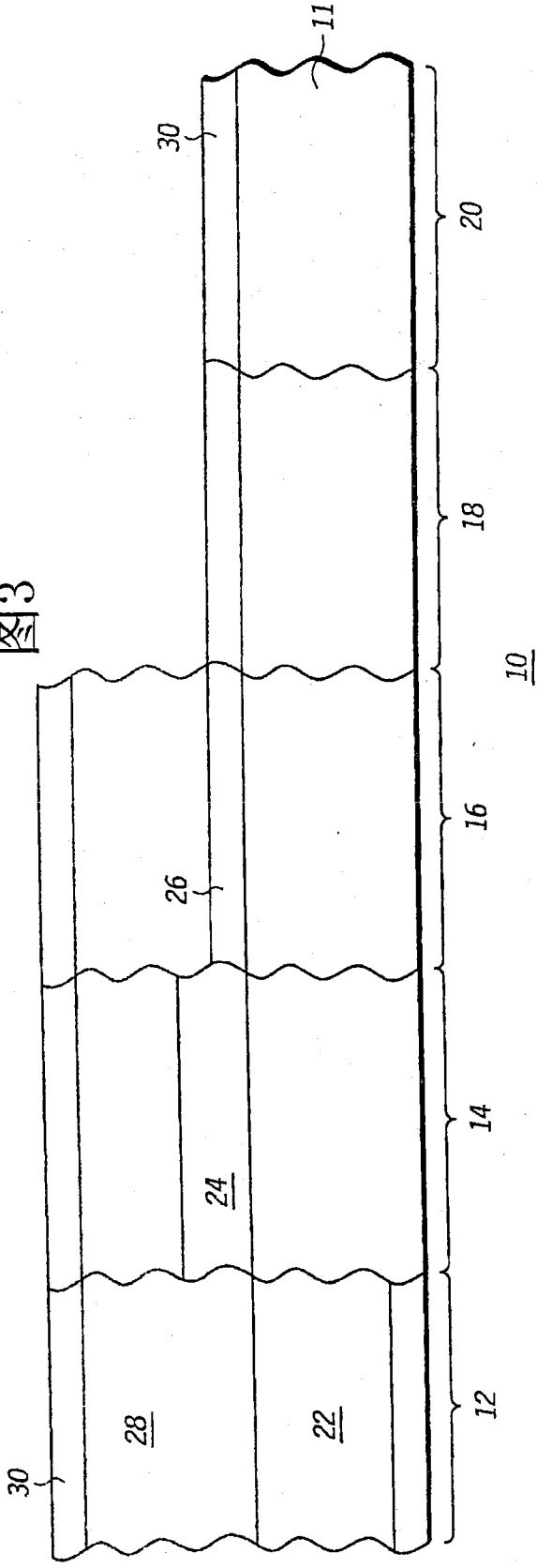


图4

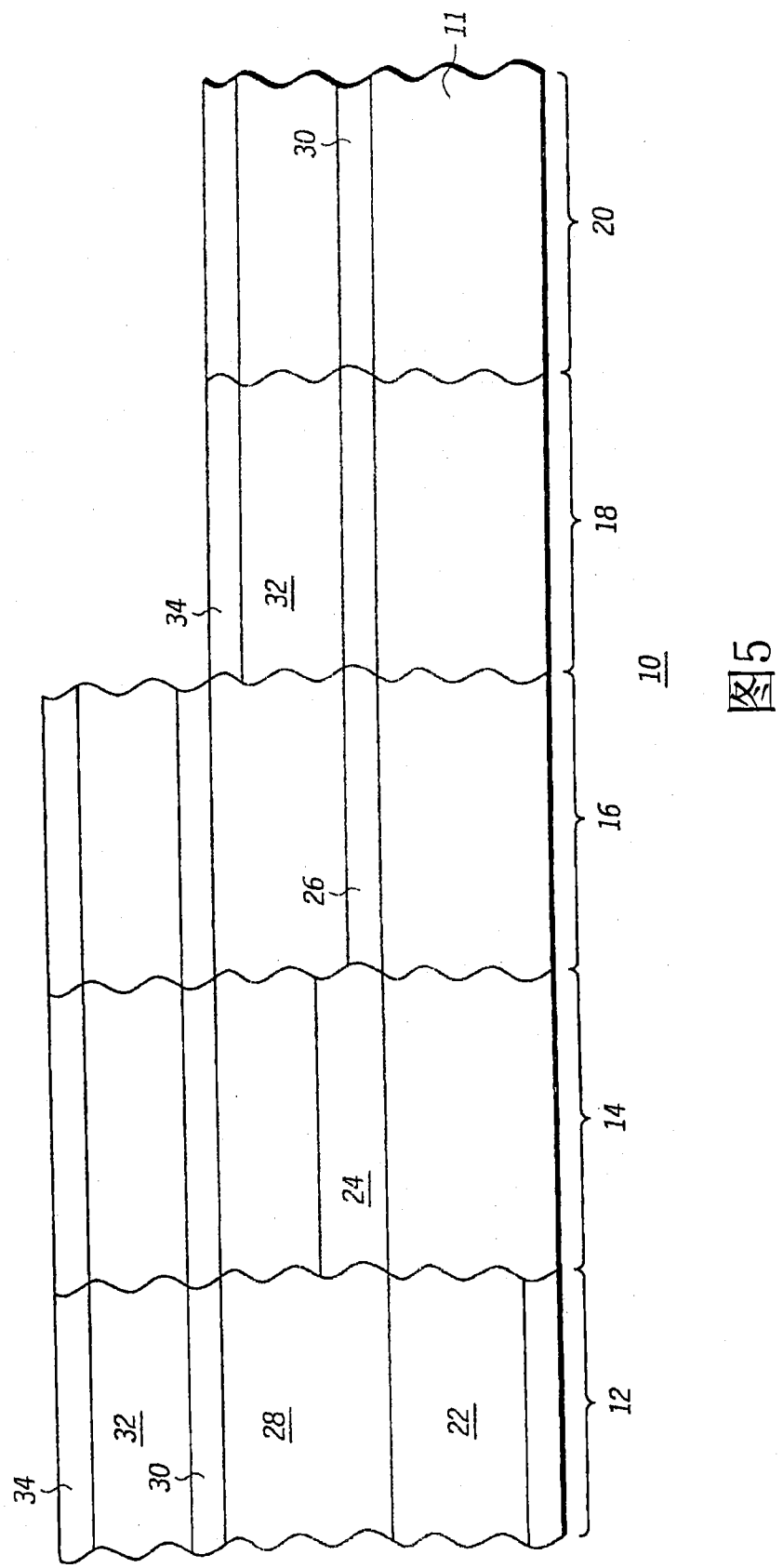


图5

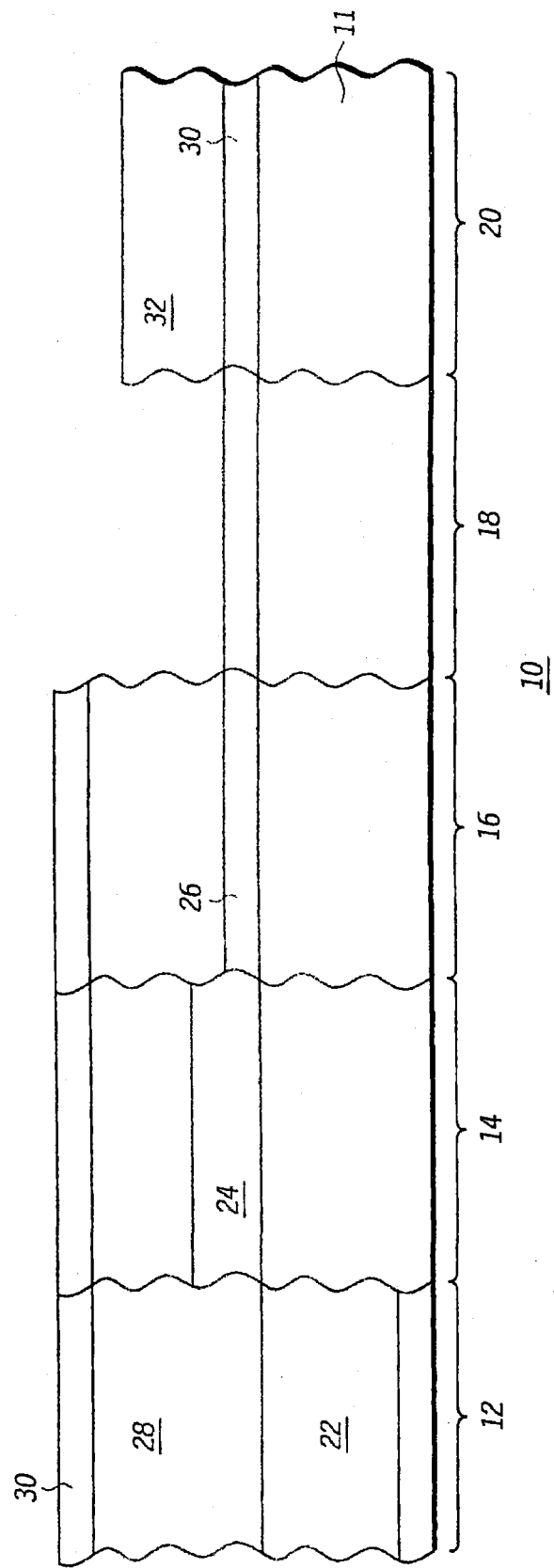


图6

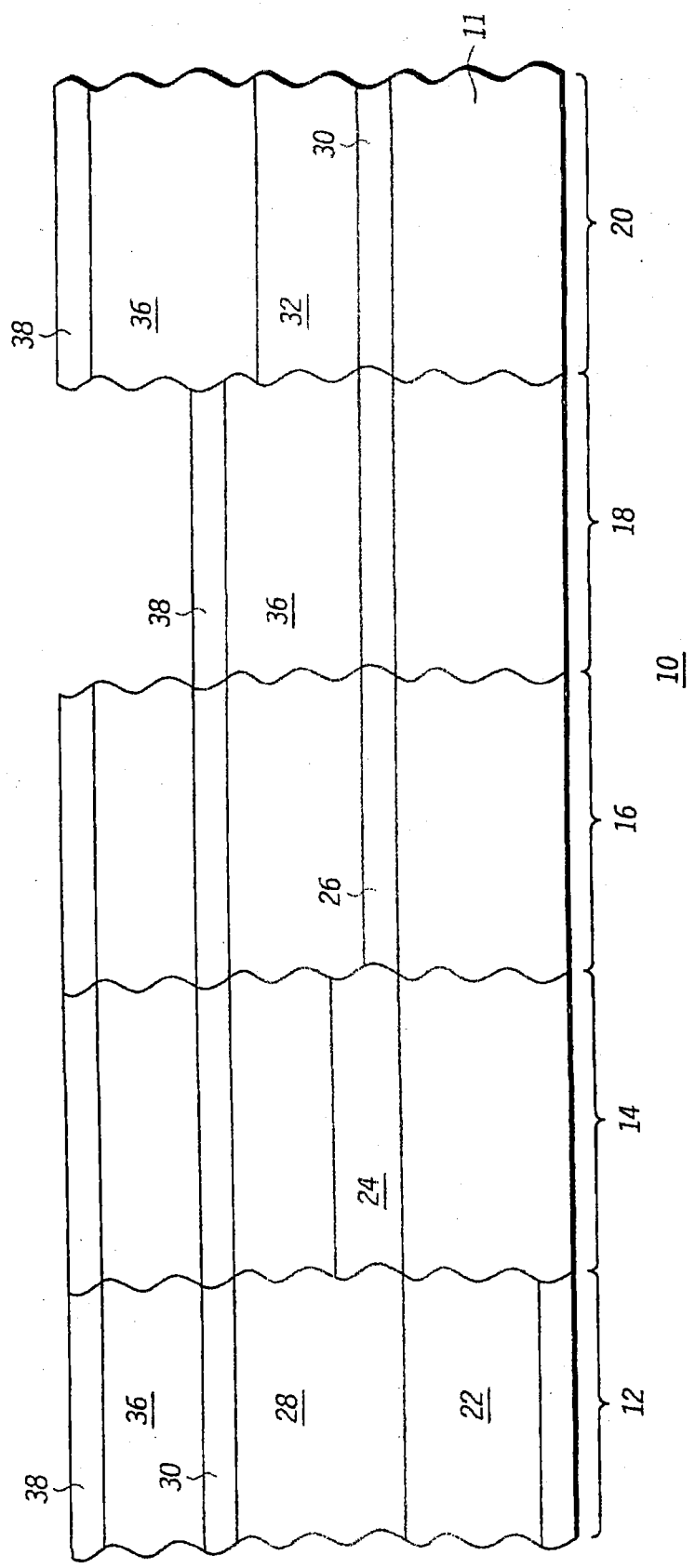


图7

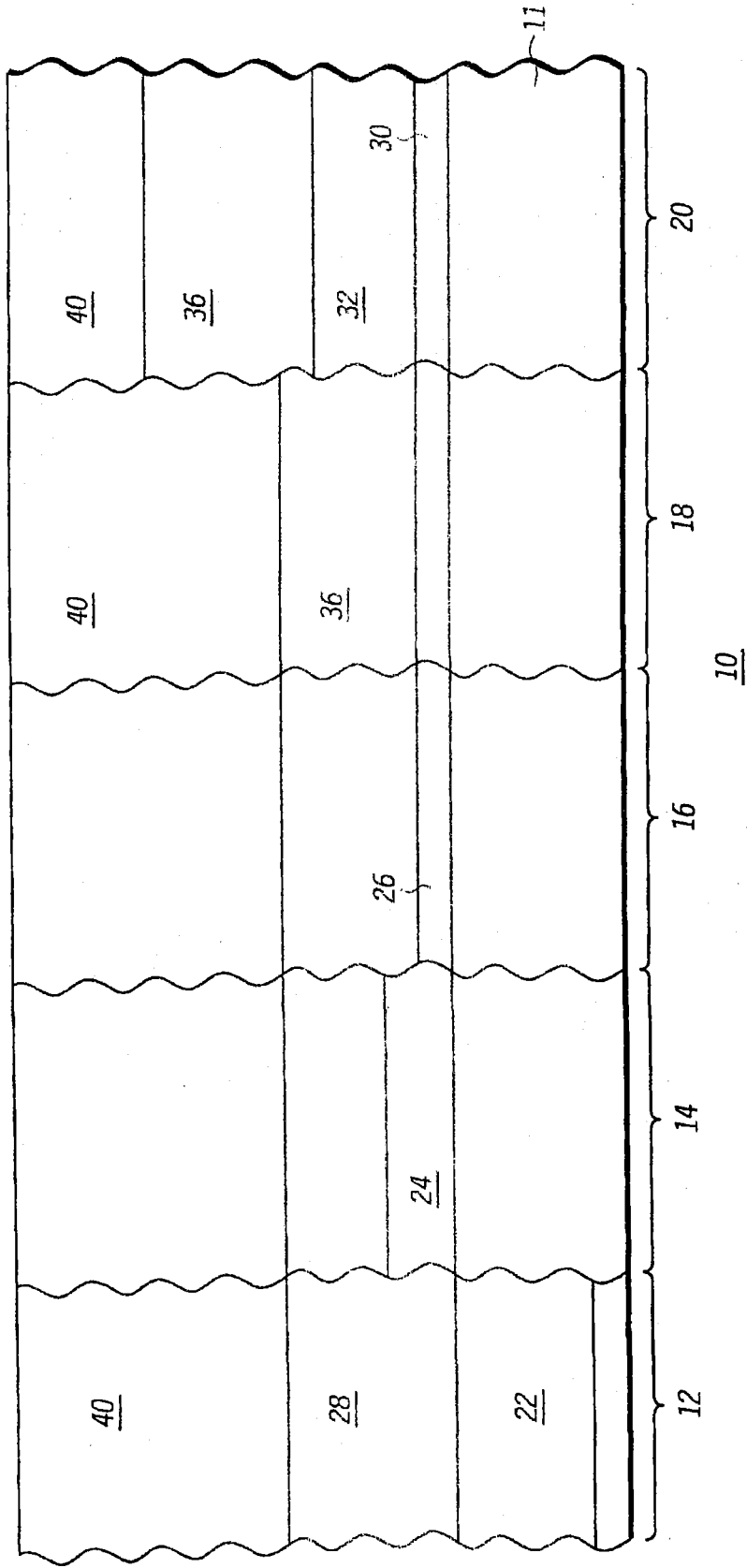


图8

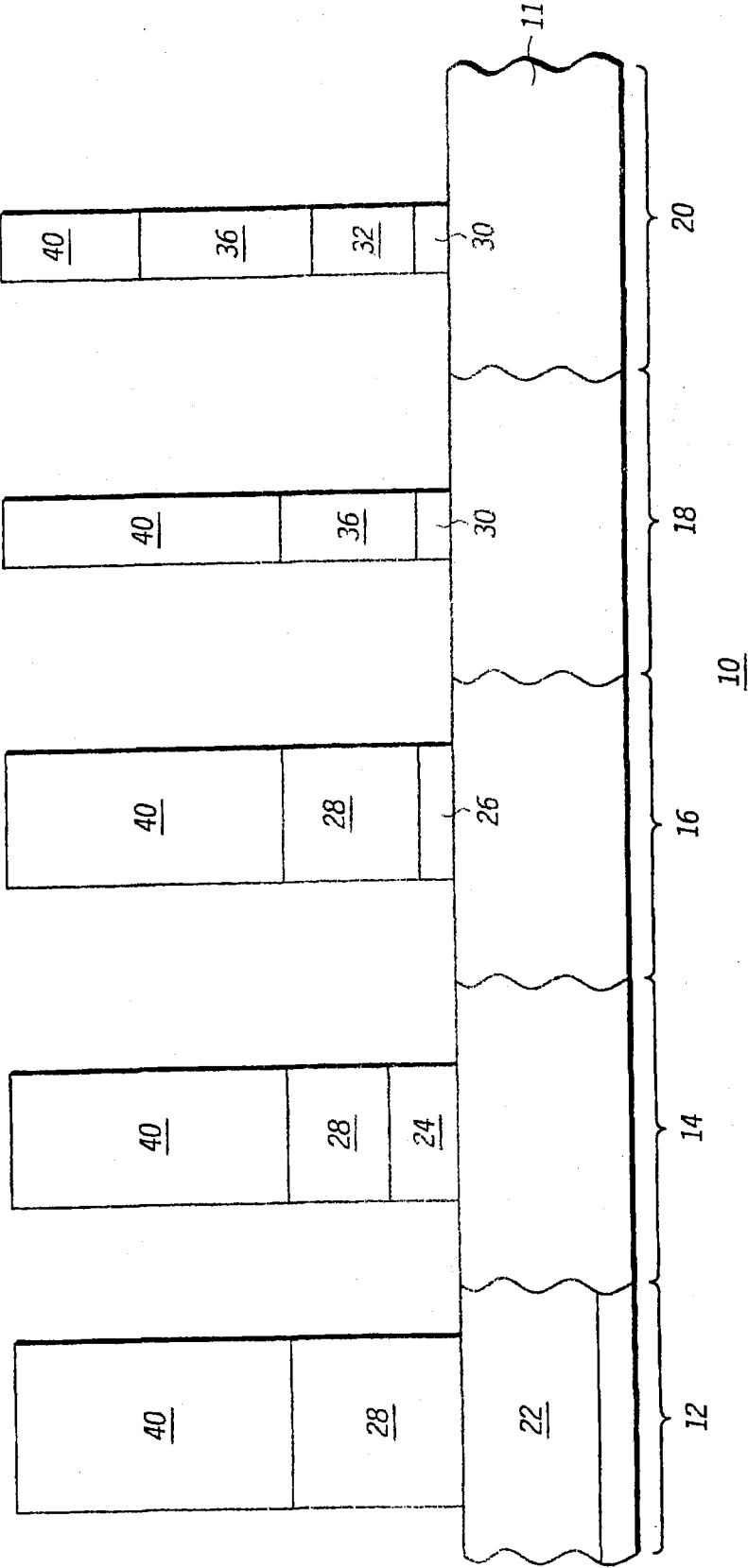


图9

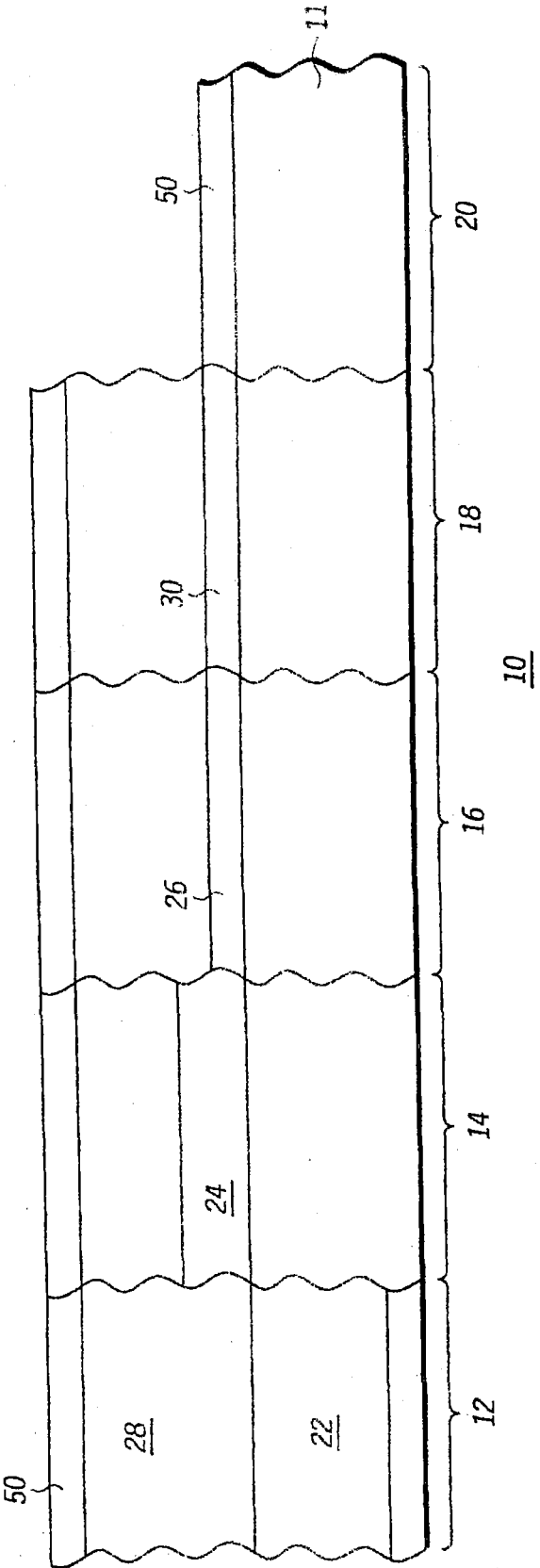


图10