

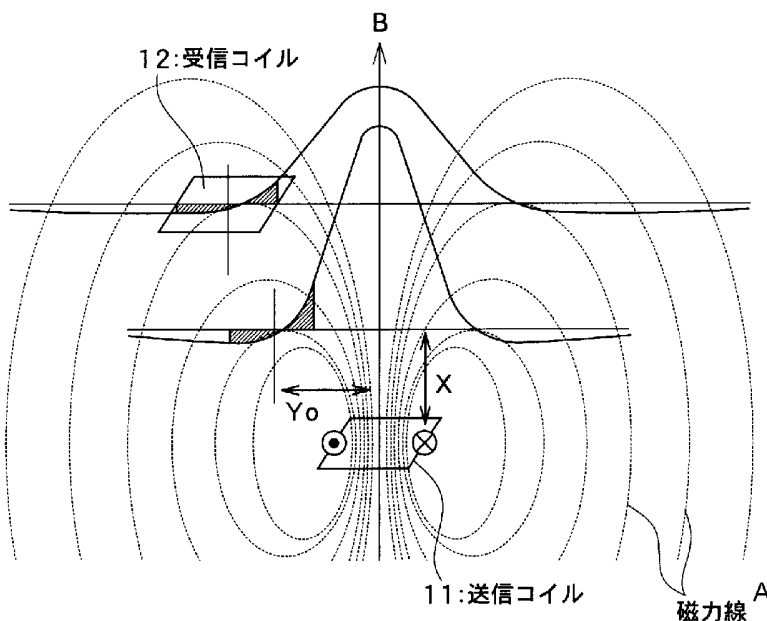


- (51) 国際特許分類:
H01L 25/04 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2005/014990
- (22) 国際出願日: 2005年8月17日 (17.08.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-244060 2004年8月24日 (24.08.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 学校法人慶應義塾 (KEIO UNIVERSITY) [JP/JP]; 〒1088345 東京都港区三田二丁目15番45号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 黒田 忠広
- (574) 代理人: 中村 和男 (NAKAMURA, Kazuo); 〒1440051 東京都大田区西蒲田七丁目50番10号 中村ビル 2階 中村国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,

[続葉有]

(54) Title: ELECTRONIC CIRCUIT

(54) 発明の名称: 電子回路



12... RECEIVING COIL
11... TRANSMITTING COIL
A ... MAGNETIC LINES OF FORCE

principle.

(57) Abstract: An electronic circuit wherein the occurrence of crosstalk in a case where an inductive coupling is used to provide an inter-board communication can be reduced to such a degree that it is practically negligible even when a plurality of communication channels are arranged in parallel closely to one other. Assume that a transmitting coil (11) is disposed on a lower chip, while a receiving coil (12) is disposed on an upper chip and that the distance between those chips is X and the distance between the communication channels (i.e., a horizontal distance between the coil centers) is Y. There exists a position, at Y_0 , where the density of the magnetic flux that occurs in the receiving coil (12) due to the transmitting coil (11) is zero. The smaller Y is, the larger crosstalk occurs; while the larger Y is, the smaller crosstalk of the opposite sign occurs. Therefore, there necessarily exists a position, in the midway, where the value as obtained by integrating the magnetic flux density (B) in the receiving coil (12) becomes zero, at which position no crosstalk occurs in

(57) 要約: 基板間通信を誘導性結合によって実現する場合に、複数の通信チャネルを近接して並列に並べてもクロストークの発生を實際上無視できる程度に小さくすることができ

[続葉有]



HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

る電子回路を提供することを課題として、送信コイル11を下のチップに、受信コイル12を上のチップに設けて、チップ間の距離をX、通信チャネル間の距離（すなわち、コイル中心間の水平距離）をYとしたとき、所定のYにおいて、送信コイル11に起因する受信コイル12内の磁束密度が0になる位置が存在する。すなわち、Yが小さいと大きなクロストークが発生し、Yが大きいと逆符号の小さなクロストークが発生するため、その途中で磁束密度Bを受信コイル12内で積分した値が0になる位置が必ず存在することになる。この位置においては原理的にクロストークが発生しない。

明 細 書

電子回路

技術分野

- [0001] 本発明は、IC (Integrated Circuit) ベアチップやPCB (プリント基板) などの基板間の通信を好適に行うことができる電子回路に関する。

背景技術

- [0002] 本発明者らは、チップを3次元実装し、チップ間を誘導性結合により電氣的に接続する方法によって、LSI (Large Scale Integration) の1パッケージに複数のベアチップを封入するシステムインパッケージ (SiP) を実現することを提案している (特許文献1 参照)。
- [0003] 図7は、先願発明の電子回路の構成を示す図である。この電子回路は、第1～第3 LSIチップ31a～31cから成る。LSIチップが3層にスタックされ、3チップにまたがるバスを形成する例である。すなわち、3者間 (3つのLSIチップ間) で互いに通信可能な1つの通信チャネルを構成している。第1～第3LSIチップ31a～31cが縦に積まれ、各チップは接着剤で互いに固定されている。第1～第3LSIチップ31a～31c上には、それぞれ、送信に用いる第1～第3送信コイル33a～33cが配線により形成され、また、それぞれ、受信に用いる第1～第3受信コイル35a～35cが配線により形成される。これら3ペアの送受信コイル33、35の開口の中心が一致するように、第1～第3LSIチップ31a～31c上で配置されている。これにより、3ペアの送受信コイル33、35は誘導性結合を形成し、1つの通信チャネルを構成する。第1～第3送信コイル33a～33cにはそれぞれ第1～第3送信回路32a～32cが接続され、第1～第3受信コイル35a～35cにはそれぞれ第1～第3受信回路34a～34cが接続される。送受信コイル33、35は、プロセス技術の多層配線を利用し、通信に許される面積内で、3次元的に1回巻き以上のコイルとして実装される。送受信コイル33、35には、通信に最適な形状が存在し、最適なまき数、開口、線幅をとる必要がある。一般的に、送信コイル33が受信コイル35より小さい。

特許文献1:特願2004-037242

発明の開示

発明が解決しようとする課題

[0004] ここで、チップ間の通信容量を大きくするなどのために1ペア以上の送受信コイルで構成する通信チャネルを近接して複数個並列に並べると近接通信チャネル間で磁力線の漏れに起因するクロストークが発生してしまう。

[0005] 本発明は、上記問題点に鑑み、基板間通信を誘導性結合によって実現する場合に、複数の通信チャネルを近接して並列に並べてもクロストークの発生を実際上無視できる程度に小さくすることができる電子回路を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の電子回路は、基板上の配線により形成される複数の送信コイルを有する第1基板と、基板上の配線によりそれぞれ前記第1コイルと対応する位置に形成される第1コイルと誘導結合して通信チャネルを構成する複数の受信コイルを有する第2基板とを備え、各通信チャネルの送信コイル及び受信コイルは、距離に依存する近接通信チャネルからの正負のクロストークが相殺される位置に配設されている。

[0007] また、3以上の基板を備え、その内で前記第1基板及び第2基板間の距離が最も長いことで、一般に最もクロストークが問題となる通信におけるクロストークを小さくすることができる。

[0008] また、最も近い通信チャネル同士は異なる位相で動作し、その次に近い通信チャネル同士は同相で動作して前記クロストークが相殺される位置に配設されていることで、数多くの通信チャネルを備える場合であってもクロストークを小さくすることができる。

発明の効果

[0009] 本発明によれば、基板間通信を誘導性結合によって実現する場合に、複数の通信チャネルを近接して並列に並べてもクロストークの発生を実際上無視できる程度に小さくすることができる。

[0010] 本明細書は本願の優先権の基礎である特願2004-244060の明細書及び／又は

図面に記載される内容を包含する。

図面の簡単な説明

[0011] [図1]図1は本発明の実施例1による電子回路における複数の通信チャネルを並列に並べた様子をチップの上から見た状態を示す図である。

[図2]図2は実施例1において発生する磁力線を示す図である。

[図3]図3は実施例1において通信チャネル間の距離に対するISRを示す図である。

[図4]図4は本発明の実施例2による電子回路における複数の通信チャネルを並列に並べた様子をチップの上から見た状態を示す図である。

[図5]図5は実施例2による電子回路の構成を示す図である。

[図6]図6は実施例2による電子回路の動作を説明する各部の波形図である。

[図7]図7は先願発明の電子回路の構成を示す図である。

符号の説明

[0012] 11 送信コイル

12 受信コイル

21 フリップフロップ回路

22 送信回路

23 送信コイル

24 コンデンサ

25 受信コイル

26 受信回路

31 LSIチップ

32 送信回路

33 送信コイル

34 受信回路

35 受信コイル

Rxdata 受信データ

Txdata 送信データ

発明を実施するための最良の形態

[0013] 以下、添付図面を参照しながら本発明を実施するための最良の形態について詳細に説明する。

実施例 1

[0014] 図1は、本発明の実施例1による電子回路における複数の通信チャネルを並列に並べた様子をチップの上から見た状態を示す図である。本実施例1は、一方のチップに正方形の送信コイル11を、そして他方のチップに正方形の受信コイル12を設けて、それらで構成する通信チャネルをピッチPの間隔で $5 \times 5 = 25$ 個並列に並べたものである。これは、SDMA(空間分割多元接続:Space Division Multiple Access)になる。

[0015] 図2は、実施例1において発生する磁力線を示す図である。より具体的には、図2は、送信コイル11を下のチップに、受信コイル12を上チップに設けて、チップ間の距離をXとしたときの、送信コイル11による磁力線、及びXが小さい場合とXが大きい場合の受信コイル12を設けたチップ上の磁束密度Bを示す。通信チャネル間の距離(すなわち、コイル中心間の水平距離)をYとしたとき(すなわち、 $Y = P$)、所定の Y_0 において、送信コイル11に起因する受信コイル12内の磁束密度が0になる位置が存在する。図示するように、Yが小さいと大きなクロストークが発生し、Yが大きいと逆符号の小さなクロストークが発生するため、その途中で磁束密度Bを受信コイル12内で積分した値が0になる位置が必ず存在することになる。この位置においては原理的にクロストークが発生しない。

[0016] 図3は、実施例1において通信チャネル間の距離に対するISRを示す図である。条件は図2と同じであり、正方形の送信コイル11及び受信コイル12の一辺の長さ $D = 50 [\mu m]$ 、チップ間距離 $X = 50 [\mu m]$ としたときのチャネル間距離 $Y [\mu m]$ に対するISR[dB](Interference-to-Signal Ratio)を示す。この場合には $Y_0 \approx 70 [\mu m]$ において、クロストークが最小になる。

実施例 2

[0017] 図4は、本発明の実施例2による電子回路における複数の通信チャネルを並列に並べた様子をチップの上から見た状態を示す図である。本実施例2は、通信チャネルを2つのグループに分けて、それぞれのグループを互いに異なる位相で動作させ

るものであり、進み位相で動作させるグループの送信コイル11a及び受信コイル12a、並びに遅れ位相で動作させるグループの送信コイル11b及び受信コイル12bを設けて、同一グループ内の隣接通信チャネル間距離を Y_0 とし、各グループの通信チャネルを市松模様に配設して(すなわち、所定のグループの通信チャネルに対して前後左右に他のグループの通信チャネルを配設する)、全体として $3 \times 33 = 99$ 個並列に並べたものである。これはSDMAとTDMA(時分割多元接続: Time Division Multiple Access)を併用するものである。

[0018] 図5は、実施例2による電子回路の構成を示す図である。図5は、1ペアの送信コイル23と受信コイル25から成る1つの通信チャネルについて示すものであり、本実施例2の電子回路は、フリップフロップ回路21、送信回路22、送信コイル23、コンデンサ24、受信コイル25、及び受信回路26から成る。本実施例2は、図4に示すように隣接通信チャネルとして異なる位相で動作するグループの通信チャネルを配設するものであり、その位相制御はクロックClkによって行う。

[0019] 図6は、実施例2による電子回路の動作を説明する各部の波形図である。入力される送信データTxdataがローからハイになると、フリップフロップ回路21はクロックClkのタイミングで送信回路22を駆動し、送信回路22は送信コイル23を介してコンデンサ24を充電する三角波形状の充電電流ITを送信コイル23に流す。これにより受信コイル25には誘導電流による電圧VRが発生し、受信回路26はクロックClkのタイミングで信号を検出して、受信データRxdataを得る。

[0020] 本実施例2では、進み位相 ϕ と遅れ位相 $\text{バー}(\phi)$ とが逆位相関係にある2つの異なる位相で動作させるものを示したが、グループを3つ以上に分けて3つ以上の異なる位相で動作させるようにしてもよい。本実施例2では、通信チャネルの配設領域を全体として細長い長方形としたが、これは近傍に存在する通信チャネルが実施例1と比べて少ないために、クロストークを減少させる構造として適するものである。

[0021] なお、本発明は上記実施例に限定されるものではない。

[0022] 上記実施例の説明では、特に3層以上の基板間の通信について言及していないが、先願発明において説明したように、当然に3層以上の基板間の通信であっても好適に実施できる。このような3層以上の基板間の通信の場合に、一般にクロストークが

特に問題となるのは、信号が最も小さくなってしまう、最も離れている基板間の通信であるから、最も離れている基板間の距離 X に対してクロストークが最小となる通信チャネル間距離 Y_0 に等しいピッチ P の通信チャネル配設とすることが望ましい。ただし、他と比べて特に高い通信品質が求められる基板間の通信がある場合などのように、必ずしも最も離れている基板間のクロストークを最小とする必要はない。

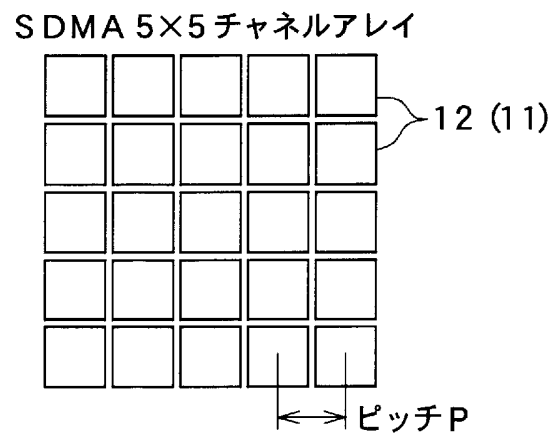
[0023] 送信コイル及び受信コイルの形状は、円形、楕円形、又は三角形、正方形、若しくは六角形などの多角形などのいずれでも構わない。

[0024] 本明細書で引用した全ての刊行物、特許及び特許出願をそのまま参考として本明細書にとり入れるものとする。

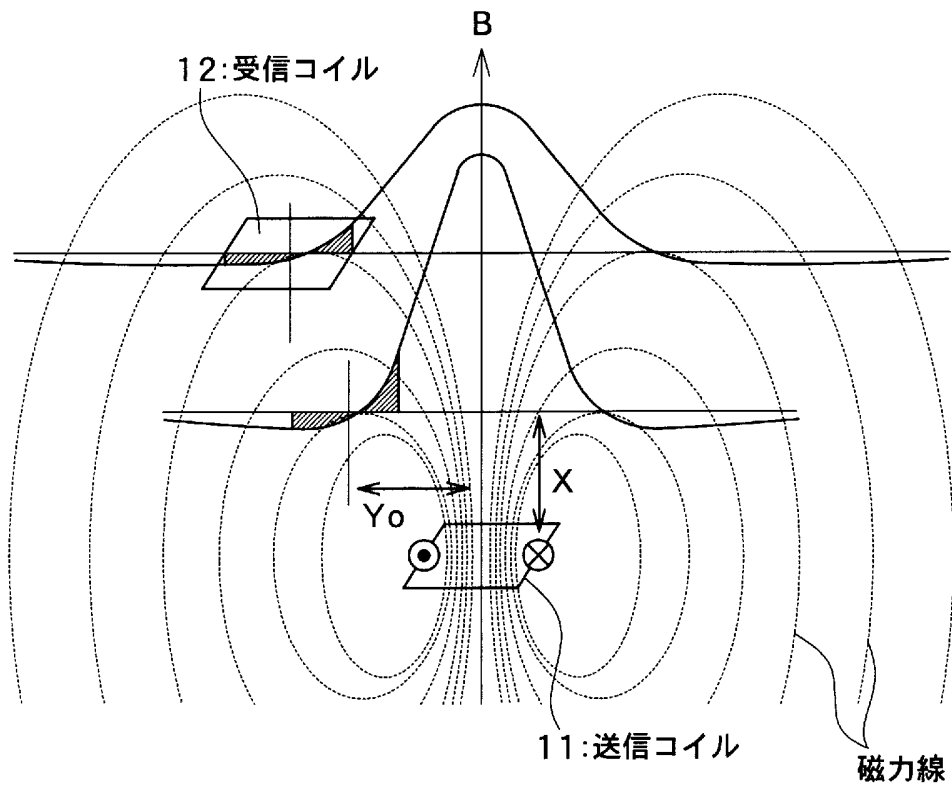
請求の範囲

- [1] 基板上の配線により形成される複数の送信コイルを有する第1基板と、
基板上の配線によりそれぞれ前記第1コイルと対応する位置に形成され第1コイルと誘導結合して通信チャネルを構成する複数の受信コイルを有する第2基板とを備え、各通信チャネルの送信コイル及び受信コイルは、距離に依存する近接通信チャネルからの正負のクロストークが相殺される位置に配設されていることを特徴とする電子回路。
- [2] 3以上の基板を備え、その内で前記第1基板及び第2基板間の距離が最も長いことを特徴とする請求項1記載の電子回路。
- [3] 最も近い通信チャネル同士は異なる位相で動作し、その次に近い通信チャネル同士は同相で動作して前記クロストークが相殺される位置に配設されていることを特徴とする請求項1又は2記載の電子回路。

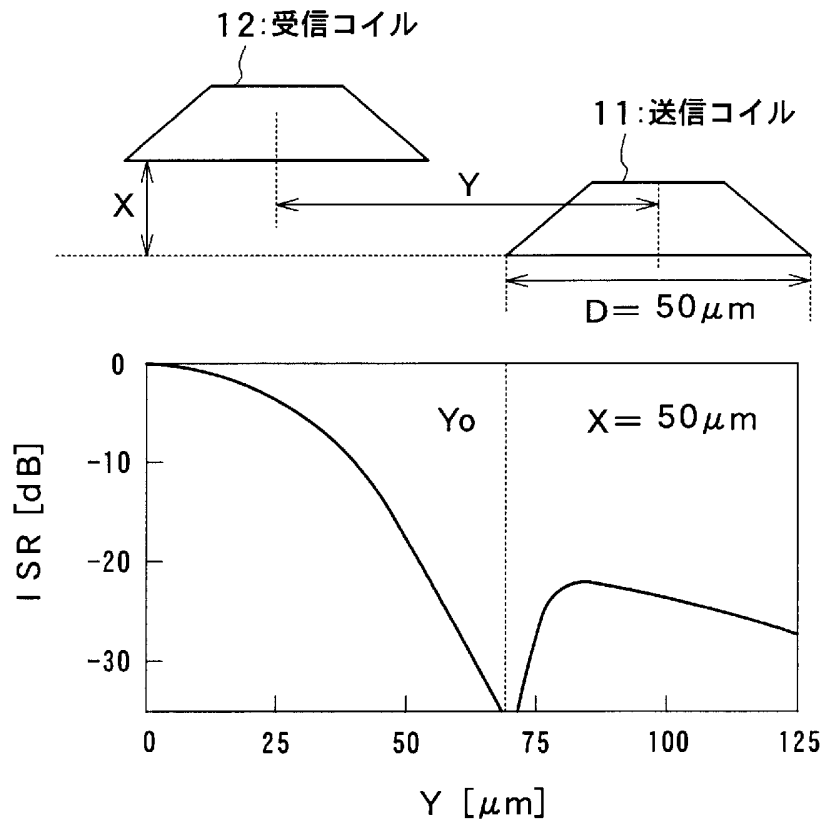
[図1]



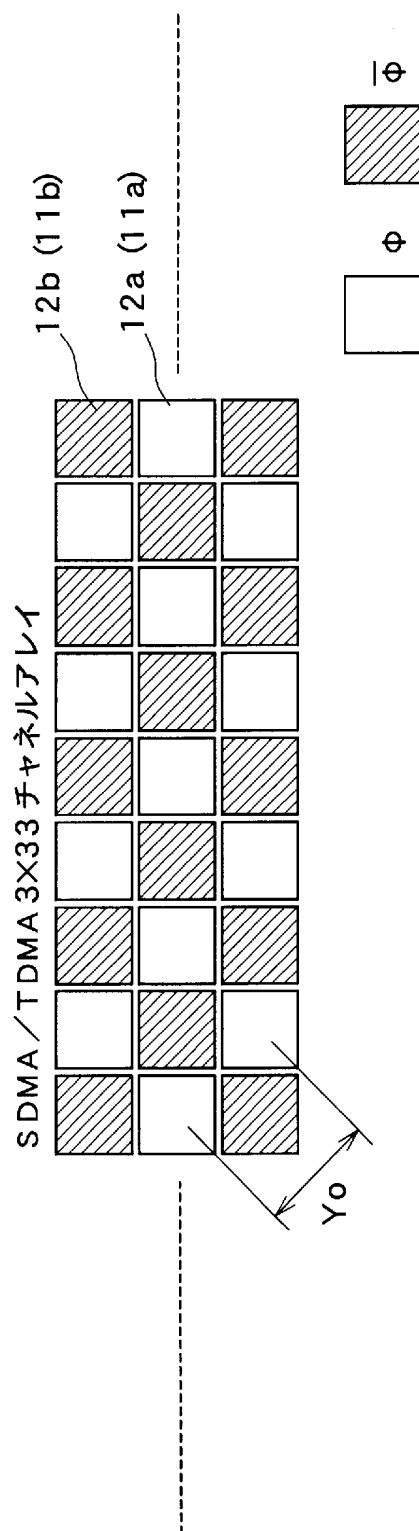
[図2]



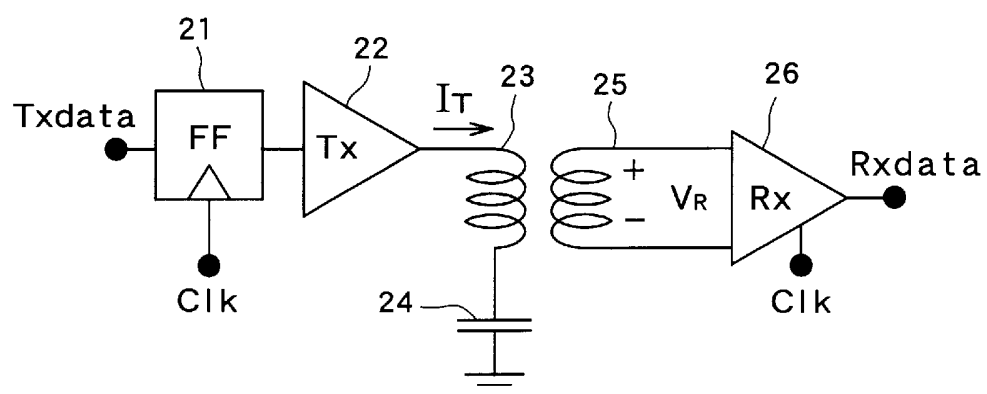
[図3]



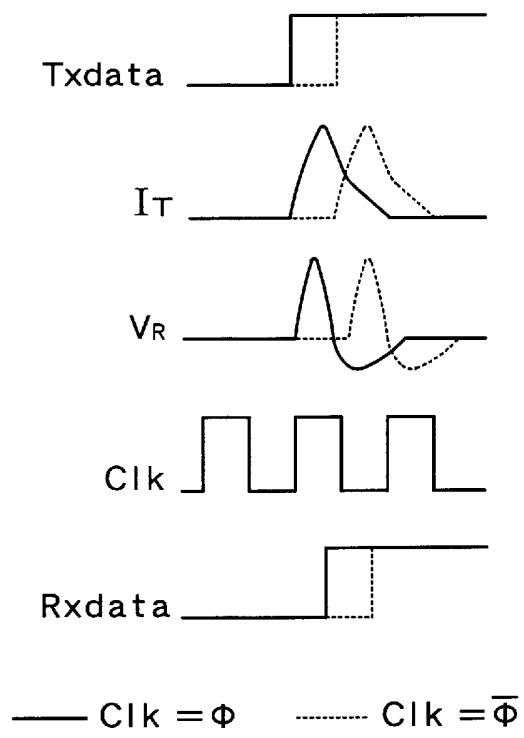
[図4]



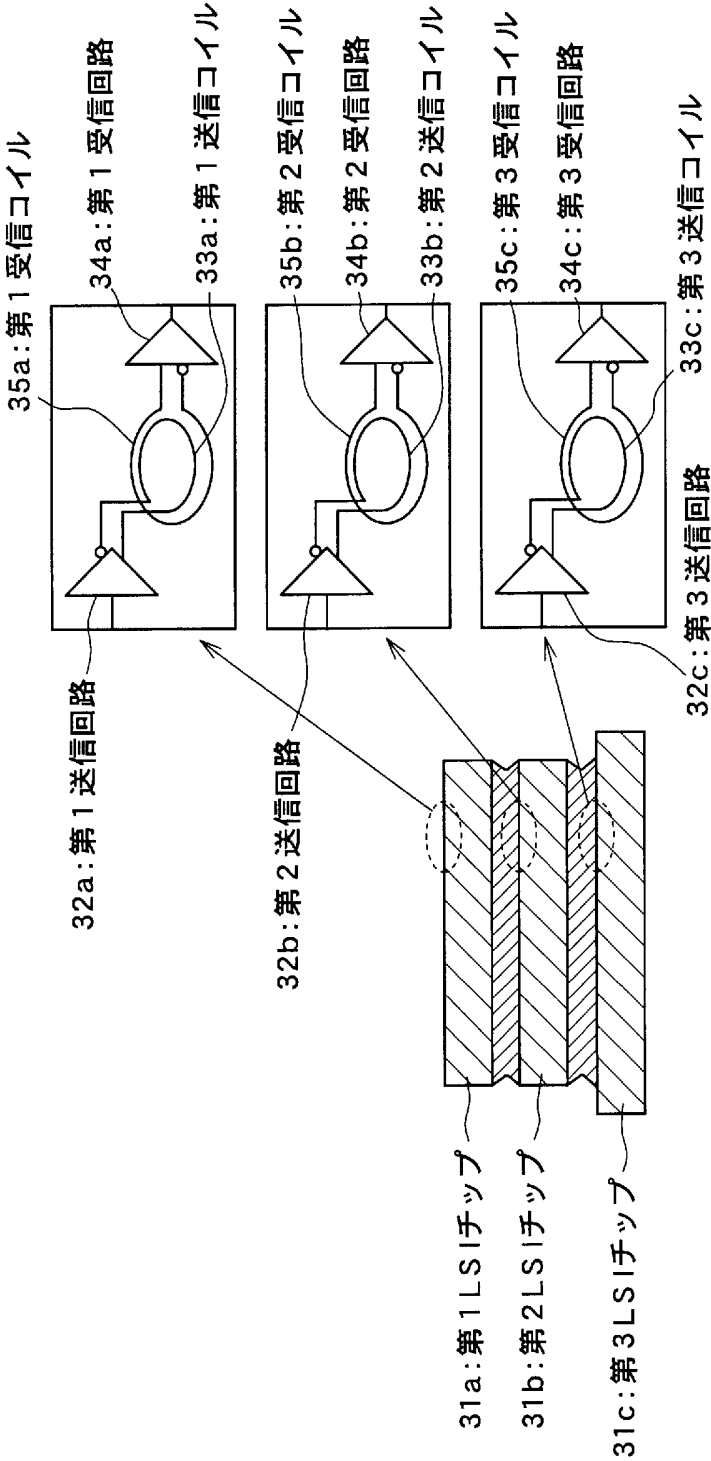
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/014990

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/04 (2006.01), **H01L25/18** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/04 (2006.01), **H01L25/18** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 1-187666 A (Hitachi, Ltd.), 27 July, 1989 (27.07.89), All pages; all drawings (Family: none)	1-3
A	T. OHGURO et al., "Ultra-thin chip with permalloy film for high performance MS/RF CMOS", 2004 Symposium on VLSI Technology Digest of Technical Papers (2004 June) pages 220 to 221	1-3
T	Noriyuki MIURA et al., "Cross Talk Countermeasures in Inductive Inter-chip Wireless Superconnect", IEEE 2004 CUSTOM INTEGRATED CIRCUITS CONFERENCE (2004 October) pages 99 to 102	1-3

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 November, 2005 (15.11.05)Date of mailing of the international search report
06 December, 2005 (06.12.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. **H01L25/04** (2006.01), **H01L25/18** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. **H01L25/04** (2006.01), **H01L25/18** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 1-187666 A (株式会社日立製作所) 1989. 07. 27, 全頁全図 (ファミリなし)	1-3
A	T. Ohguro et al, "Ultra-thin chip with permalloy film for high performance MS/RF CMOS," 2004 Symposium on VLSI Technology Digest of Technical Papers (2004. Jun.) p. p. 220-221	1-3
T	Noriyuki Miura et al, "Cross Talk Countermeasures in Inductive Inter-chip Wireless Superconnect," IEEE 2004 CUSTOM INTEGRATED CIRCUITS CONFERENCE (2004. Oct.) p. p. 99-102	1-3

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

15. 11. 2005

国際調査報告の発送日

06. 12. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田代 吉成

4R

9448

電話番号 03-3581-1101 内線 3471