

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> G11C 5/14	(45) 공고일자 2001년04월16일	(11) 등록번호 10-0286184	(24) 등록일자 2001년01월11일
(21) 출원번호 10-1997-0051992	(65) 공개번호 특 1998-0079407	(43) 공개일자 1998년11월25일	
(22) 출원일자 1997년10월10일			
(30) 우선권주장 97-093598 1997년04월11일 일본(JP)			
(73) 특허권자 미쓰비시덴키 가부시카가이샤	다니구찌 이찌로오, 기타오카 다카시		
(72) 발명자 와다 토모히사	일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고		
(74) 대리인 김창세	일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내 도이토 야수히코 일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내 미야와키 요시카주 일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내 미하라 마사아키 일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내 도사카 카츄미 일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내		

심사관 : 정재현

(54) 고전압레벨검출용고전압검출회로를구비한반도체집적회로장치

요약

본 발명에 따르면, 검출 정밀도를 향상시킬 수 있음과 동시에, 비용의 절감 및 소비 전류의 저감을 도모할 수 있는 고전압 검출 회로를 구비한 반도체 집적 회로를 얻을 수 있다.

고전압을 검출하는 고전압 검출 회로를 갖는 반도체 집적 회로에 있어서, 입력된 고전압을 전압 강하시켜 출력하는 고전압 강하부와, 복수의 기준 전압을 생성하여 출력하는 기준 전압 발생부와, 기준 전압 발생부로부터 입력된 복수의 기준 전압을 전환하여 출력하는 기준 전압 전환부와, 고전압 강하부로부터 출력된 전압과 기준 전압 전환부로부터 출력된 기준 전압을 비교하여 고전압을 검출하는 고전압 검출부와, 고전압 강하부에 있어서의 고전압의 전압 강하를 제어함과 동시에, 기준 전압 전환부에 의한 기준 전압의 전환 제어를 행하고, 고전압 검출부에서 검출하는 고전압값을 설정하는 제어부를 구비한다.

대표도

도1

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시예 1에 있어서의 반도체 집적 회로의 고전압 검출 회로의 예를 도시한 개략 회로도.
- 도 2는 본 발명의 실시예 2에 있어서의 반도체 집적 회로의 고전압 검출 회로의 예를 도시한 개략 회로도.
- 도 3은 본 발명의 실시예 2에 있어서의 반도체 집적 회로의 고전압 검출 회로의 다른 예를 도시한 개략 회로도.
- 도 4는 본 발명의 실시예 2에 있어서의 반도체 집적 회로의 고전압 검출 회로의 다른 예를 도시한 개략 회로도.
- 도 5는 공핍형 MOSFET을 도시한 도면.
- 도 6은 본 발명의 실시예 3에 있어서의 반도체 집적 회로의 고전압 검출 회로의 예를 도시한 개략 회로도.
- 도 7은 본 발명의 실시예 4에 있어서의 반도체 집적 회로의 고전압 검출 회로의 예를 도시한 개략 회로도.
- 도 8은 정(positive)의 고전압을 검출하는 종래의 고전압 검출 회로의 예를 도시한 개략 회로도.

도 9는 정의 고전압을 검출하는 종래의 고전압 검출 회로의 다른 예를 도시한 개략 회로도.

도 10은 부(negative)의 고전압을 검출하는 종래의 고전압 검출 회로의 예를 도시한 개략 회로도.

도면의 주요 부분에 대한 부호의 설명

- 1, 25, 35, 45, 51, 71 : 고전압 검출 회로
- 2 : 차동 증폭 회로
- 3, Ma1~Man, Mb, Ta1~Tan, Md1~Md4, Td1~Td4, Mf1~Mfn, Mk1~Mkm, Mg1~Mgn, 52, 53 : nMOS 트랜지스터
- 4, 56 : 인버터 회로
- 5, 57 : 고전압 입력 단자
- 6, 22, 32, 42 : 고전압 강하 회로
- 7, 23 : 기준 전압 발생 회로
- 8 : 기준 전압 전환 회로
- 9, 24 : 제어 회로
- 21, 31, 41 : 미세 조정 회로
- 54, 55, 72, 73 : pMOS트랜지스터
- 74, 75 : 차동 증폭기
- Rd1~Rd4 : 저항

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 집적 회로에 관한 것으로, 특히 반도체 집적 회로의 정 또는 부의 고전압을 검출하는 고전압 검출 회로에 관한 것이다.

전원 전압이 인가되어 있지 않더라도 기억 데이터를 유지할 수 있는 메모리로서 플래쉬 메모리가 있고, 플래쉬 메모리에 있어서는, 데이터의 기억을 실행하는 메모리 셀내의 플로팅 게이트에 전하를 유지함으로써 비휘발성의 기억을 실행하고 있다. 플래쉬 메모리에서는, 전하를 유지하는 플로팅 게이트에 전하를 주입, 또는 플로팅 게이트로부터 전하를 도출하여 "1" 또는 "0"의 데이터 기억 상태를 만든다. 이때, 파울러 노드하임(Fowler Nordheim) 터널 현상이나, 채널 핫 일렉트론을 이용하여 플로팅 게이트와의 사이에서 전하의 수수(授受)를 행한다. 이러한 상태를 발생시키기 위해서는, 일반적으로 장치의 동작 전원 전압보다도 높은 전압이 필요하게 된다.

도 8은, 정(positive)의 고전압을 검출하는 종래의 고전압 검출 회로의 예를 도시한 개략 회로도이다. 도 8에 있어서, 고전압 검출 회로(200)는, 커런트 미러형 부하의 차동 증폭 회로(201)와, 해당 차동 증폭 회로(201)를 제어하는 n채널형 MOSFET(이하, nMOS 트랜지스터라 한다)(202)와, 고전압 입력 단자(203)로부터 입력되는 정의 고전압 Vh를 분압하기 위한 저항(204, 205)과, 인버터 회로(206)로 형성되어 있다. 고전압 입력 단자(203)는, 저항(204, 205)을 거쳐서 접지되어 있고, 차동 증폭 회로(201)의 한쪽 입력 단자에는 기준 전압 발생 회로(207)에서 생성되어 출력된 기준 전압 Vref가 입력되고, 다른쪽 입력 단자는, 저항(204, 205)의 접속부에 접속되어 고전압 입력 단자(203)로부터 입력된 고전압 Vh를 분압한 전압 Vdiv가 입력된다.

차동 증폭 회로(201)의 출력은 인버터 회로(206)의 입력에 접속되고, 인버터 회로(206)의 출력은, 고전압 검출 회로(200)의 출력으로 되고, 차지 펌프 회로를 구비하여 정의 고전압 Vh를 출력하는 고전압 발생 회로(208)의 입력에 접속되어 있다. 고전압 발생 회로(208)의 출력은, 소정의 회로(도시하지 않음)에 접속됨과 동시에 고전압 입력 단자(203)에 접속되어 있다. 또한, nMOS 트랜지스터(202)의 게이트에는 2개 값의 신호가 입력되어, nMOS 트랜지스터(202)가 온(on)하면 차동 증폭 회로(201)는 작동하고, nMOS 트랜지스터(202)가 오프(off)하면 차동 증폭 회로(201)는 동작을 정지한다.

상기한 바와 같은 구성에 있어서, 저항(204) 및 저항(205)으로 분압된 분압 전압 Vdiv는,

$$Vdiv = Vh \times Rb / (Ra + Rb)$$

로 나타낼 수 있다. 또, 상기 Ra는 저항(204)의 저항값을, Rb는 저항(205)의 저항값을 나타내고 있다.

차동 증폭 회로(201)는, 분압 전압 Vdiv와, 기준 전압 Vref를 비교하고 있고, Vdiv < Vref일 때 출력이 「L」 레벨로 되어, 인버터 회로(206)의 출력이 「H」 레벨로 되고, 고전압 발생 회로(208)는 차지 펌프 회로를 작동시켜 고전압 Vh의 승압(昇壓)을 실행한다. 한편, 차동 증폭 회로(201)는, Vdiv > Vref일 때 출력이 「H」 레벨로 되어, 인버터 회로(206)의 출력이 「L」 레벨로 되고, 고전압 발생 회로(208)는, 차지 펌프 회로의 동작을 정지시킨다. 이와 같이, 고전압 검출 회로(200)는, Vdiv = Vh × Rb / (Ra + Rb) > Vref일 때, 즉 Vh > Vref × (Ra + Rb) / Rb일 때, 출력이 「L」 레벨로 되어, 고전압 Vh가 Vref × (Ra + Rb) / Rb 이하인지 여부를 검출할 수 있다.

그러나, 도 8에서 도시한 고전압 검출 회로(200)에서는, 고전압 Vh를 2개의 저항(204, 205)으로 분압하기 때문에, 1개의 분압 전압 Vdiv의 값밖에 검출할 수 없어, 여러가지 고전압을 검출할 수가 없었다. 그래서, 도 9에서 도시하는 바와 같이, 저항(204)을, n(n은 자연수)개의 저항 R1~Rn을 직렬로 접속한 직렬 회로로 대체하고, 각 저항 R1~Rn에는 게이트 사이즈가 충분히 작은 nMOS 트랜지스터 T1~Tn이 각각 대응하여 병렬로 접속된다.

또한, 각 nMOS 트랜지스터 T1~Tn의 게이트는, 각각 제어 회로(211)에 접속되고, 제어 회로(211)에 의해 각 nMOS 트랜지스터 T1~Tn의 온 오프를 제어함으로써, 저항 R1~Rn에서 형성된 직렬 회로에 있어서의 총 저항값을 바꾸도록 하였다. 이와 같이 함으로써, 분압 전압 Vdiv를 제어 회로(211)로 제어할 수 있어, 여러가지 고전압값을 검출할 수 있었다.

다음에, 부의 고전압을 검출하는 종래의 회로에 대하여 설명한다. 도 10은 부의 고전압을 검출하는 종래의 고전압 검출 회로의 예를 도시한 개략 회로도이다. 도 10에 있어서, 고전압 검출 회로(220)는, 커런트 미러형 부하의 차동 증폭 회로(221), 해당 차동 증폭 회로(221)를 제어하는 nMOS 트랜지스터(222) 및 인버터 회로(223)로 이루어지는 차동 센스 앰프(224)와, p채널형 MOSFET(이하, pMOS 트랜지스터라 한다)(225, 226)로 이루어지는 레벨 컨버터(227)와, nMOS 트랜지스터(M1~Mn, 228, 229)로 형성되어 있다.

pMOS 트랜지스터(225, 226) 및 nMOS 트랜지스터(M1~Mn, 229)는, 각각 소스와 백게이트 단자가 접속되어 있어, 백게이트 효과에 의해 각각의 임계값 Vth의 변동을 방지한다. 또한, pMOS 트랜지스터(226) 및 nMOS 트랜지스터(M1~Mn, 228, 229)는 각각 다이오드 접속되어 있다.

nMOS 트랜지스터(M1~Mn, 228, 229)를 직렬로 접속하고, 해당 직렬 회로는 부의 고전압 V1이 입력되는 고전압 입력 단자(230)와 전원 전압 Vdd가 입력되는 전원 단자(231) 사이에 접속되어 있다. nMOS 트랜지스터(228)의 게이트에는 기준 전압 발생 회로(232)에서 생성된 기준 전압 VrefA가 입력되고, nMOS 트랜지스터(228)와 전원 단자(231) 사이에 nMOS 트랜지스터(229)가 접속되어 있다. 레벨 컨버터(227)를 형성하는 pMOS 트랜지스터(225, 226)는 직렬로 접속되어, 전원 단자(231)와 접지 사이에 접속되고, 전원 단자(231)측에 접속된 pMOS 트랜지스터(225)의 게이트는, nMOS 트랜지스터(228, 229)의 접속부에 접속되어 있다.

레벨 컨버터(227)에 있어서의 pMOS 트랜지스터(225, 226)의 접속부는, 차동 센스 앰프(224)에 있어서의 차동 증폭 회로(221)의 한쪽 입력에 접속되고, 다른쪽 입력에는 기준 전압 발생 회로(232)에서 생성된 기준 전압 VrefB가 입력되고 있다. 또한, 차동 증폭 회로(221)의 출력은 인버터 회로(223)의 입력에 접속되고, 인버터 회로(223)의 출력은, 고전압 검출 회로(220)의 출력으로 되며, 차지 펌프 회로를 구비하여 부의 고전압 V1을 출력하는 고전압 발생 회로(233)의 입력에 접속되어 있다. 고전압 발생 회로(233)의 출력은, 소정의 회로(도시하지 않음)에 접속됨과 동시에 고전압 입력 단자(230)에 접속되어 있다. 또한, nMOS 트랜지스터(222)의 게이트에는 2개 값의 신호가 입력되어, nMOS 트랜지스터(222)가 온하면 차동 증폭 회로(221)는 작동하고, nMOS 트랜지스터(222)가 오프하면 차동 증폭 회로(221)는 동작을 정지한다.

상기한 바와 같은 구성에 있어서, 다이오드 접속된 nMOS 트랜지스터(M1~Mn) 및 게이트에 기준 전압 VrefA가 입력되는 nMOS 트랜지스터(228)로 형성된 직렬 회로는, 기준 전압 VrefA와 부의 고전압 V1과의 전압차에 따라 전류가 흐른다. 해당 전류는 다이오드 접속된 nMOS 트랜지스터(229)로부터 흘러서 nMOS 트랜지스터(229)의 소스와 드레인 사이에 전압 Va가 발생한다. 여기서, nMOS 트랜지스터(M1~Mn, 228, 229)는, 각 게이트 사이즈가 전부 동일하며, 전부 온되어 있는 경우 하기 수학적 식 2가 성립한다.

$$(V_{refA} - V1)/(n+1) = Va$$

상기 레벨 컨버터(227)는 입력된 전압 Va를 접지 전위를 기준으로 한 전압 Va로 변환하고, 차동 증폭 회로(221)는 레벨 컨버터(227)에서 변환된 전압 Va와, 기준 전압 VrefB를 비교한다. 즉, (VrefA-V1)/(n+1)과 VrefB를 비교하게 되고, 또한 V1과 {VrefA-(n+1)×VrefB}를 비교하게 되어, n에 큰 정수(整数)값을 사용함으로써 부의 고전압을 검출할 수 있다.

그러나, 도 9에서 도시한 정의 고전압 검출 회로(210)에서는, 분압 전압 Vdiv를 미세 조정할 수 있도록 하기 위해서는 저항 R1~Rn의 단수(段數)를 늘릴 필요가 있고, 제어 회로(211)의 출력이 증가하여 회로 규모가 커짐과 동시에, 칩의 크기가 커지는 요인인 저항의 수를 늘림으로써 칩의 크기가 커지고, 이에 따라 비용이 증가한다고 하는 문제가 있었다. 또한, 도 10에서 도시한 부의 고전압 검출 회로(220)에서는, 회로를 구성하는 소자수가 많기 때문에, 검출 정밀도의 저하를 초래함과 동시에 비용이 증가한다고 하는 문제가 있었다. 또한, 반도체 집적 회로에 있어서, 소비 전류의 저감을 도모하는 것은 항상 이루어야 할 과제이다.

**발명이 이루고자하는 기술적 과제**

본 발명의 목적은, 상기한 문제를 해결하기 위해 이루어진 것으로, 검출 정밀도를 향상시킬 수 있음과 동시에, 비용의 절감 및 소비 전류의 저감을 도모할 수 있는 고전압 검출 회로를 구비한 반도체 집적 회로를 얻는 것이다.

또, 본 발명의 반도체 집적 회로와 목적 및 구성이 다르지만, 검출 전압과 함께 VREF도 조정하여 비교기에 입력하는, 자기 기록 재생 장치에 있어서의 배터리 전압 검출 회로가, 일본국 특허 공개 평성 제 5-164792 호 공보에 개시되어 있고, VREF를 단계적으로 전환시키는 내부 전압 발생 회로가, 미국 특허 제 5283762 호의 명세서에 개시되어 있다.

**발명의 구성 및 작용**

본 발명에 따른 반도체 집적 회로는, 고전압을 검출하는 고전압 검출 회로를 갖는 반도체 집적 회로에 있어서, 입력된 고전압을 전압 강하시켜 출력하는 고전압 강하부와, 복수의 기준 전압을 생성하여 출력하는 기준 전압 발생부와, 해당 기준 전압 발생부로부터 입력된 복수의 기준 전압을 전환하여 출력하는 기준 전압 전환부와, 상기 고전압 강하부로부터 출력된 전압과 상기 기준 전압 전환부로부터 출력된 기준 전압을 비교하여 고전압의 검출을 실행하는 고전압 검출부와, 상기 고전압 강하부에 있어서의 고전압의 전압 강하를 제어함과 동시에, 기준 전압 전환부에 의한 기준 전압의 전환 제어를 행하여, 고전압 검

출부에서 검출하는 고전압값을 설정하는 제어부를 구비하는 것이다.

또한, 본 발명에 따른 반도체 집적 회로는, 제 1 특징에 있어서, 상기 고전압 강하부는, 다이오드 접속된 적어도 1개의 MOSFET를 직렬로 접속하여 형성되고, 고전압의 전압 강하를 실행하는 전압 강하 회로부와, 해당 전압 강하 회로부에 직렬 접속된 전류원과, 전압 강하 회로부를 형성하는 각 MOSFET의 드레인-소스 사이를 스위칭 동작에 의해 각각 단락시키는 각 스위칭 회로부로 형성되며, 상기 제어부는, 해당 각 스위칭 회로부의 스위칭 동작을 제어하여 상기 전압 강하 회로부에 의한 전압 강하값을 바꿈에 따라, 고전압 강하부로부터 출력되는 전압값을 제어하는 것이다.

또한, 본 발명에 따른 반도체 집적 회로는, 고전압의 검출을 실행하는 고전압 검출 회로를 갖는 반도체 집적 회로에 있어서, 입력된 고전압을 전압 강하시켜 출력하는 고전압 강하부와, 기존 전압을 생성하여 출력하는 기존 전압 발생부와, 고전압 강하부로부터 출력된 전압과 상기 기존 전압 발생부로부터 출력된 기존 전압을 비교하여 고전압의 검출을 실행하는 고전압 검출부와, 상기 고전압 강하부에 있어서의 고전압의 전압 강하를 제어함과 동시에, 기존 전압 전환부에 의한 기존 전압의 전환 제어를 행하여, 고전압 검출부에서 검출하는 고전압값의 설정을 행하는 제어부를 구비하고, 상기 고전압 강하부는, 소정 전압의 정수배마다 전압 강하를 행하는 전압 강하부와, 소정의 전압의 정수배 미만의 전압 강하를 행하는 미세 조정부와, 상기 전압 강하부 및 미세 조정부에 각각 전류를 공급하는 전류원으로 이루어지며, 상기 제어부는, 전압 강하부 및 미세 조정부에 있어서의 각각의 전압 강하를 제어하여 고전압 강하부로부터 출력되는 전압을 제어하고, 고전압 검출부에서 검출하는 고전압값의 설정을 행하는 것이다.

또한, 본 발명에 따른 반도체 집적 회로는, 제 3 특징에 있어서, 상기 전압 강하부는, 다이오드 접속된 적어도 1개의 MOSFET를 직렬로 접속하여 형성된 전압 강하 회로와, 해당 전압 강하 회로를 형성하는 각 MOSFET의 드레인-소스 사이를 스위칭 동작에 의해 각각 단락하는 각 스위칭 회로로 이루어지는 제 1 스위칭 회로로 이루어지며, 상기 제어부는, 제 1 스위칭 회로에 있어서의 각각의 스위칭 회로의 스위칭 동작을 제어하여 고전압의 전압 강하를 제어함으로써 고전압 강하부로부터 출력되는 전압을 제어하여, 고전압 검출부에서 검출하는 고전압값의 설정을 행하는 것이다.

또한, 본 발명에 따른 반도체 집적 회로는, 고전압의 검출을 실행하는 고전압 검출 회로를 갖는 반도체 집적 회로에 있어서, 제 1 기준 전압 및 제 2 기준 전압을 생성하여 출력하는 기준 전압 발생부와, 해당 제 1 기준 전압과 고전압과의 전압차를 전류로 변환하는 전류 변환부와, 상기 제 2 기준 전압에 따라 일정한 전류를 생성하여 출력하는 정전류 발생부와, 상기 전류 변환부에서 변환된 전류와, 해당 정전류 발생부로부터 출력되는 정전류와의 전류차를 전압으로 변환하는 전압 변환부와, 해당 전압 변환부에서 변환된 전압으로부터 고전압값의 검출을 실행하는 고전압 검출부를 구비하는 것이다.

발명의 실시예

다음에, 도면에 도시하는 실시예에 따라 본 발명을 상세히 설명한다.

(실시예 1)

도 1은, 본 발명의 실시예 1에 있어서의 반도체 집적 회로의 고전압 검출 회로의 예를 도시한 개략 회로도이다. 또, 도 1은 정의 고전압을 검출하는 고전압 검출 회로를 도시하고 있다.

도 1에 있어서, 고전압 검출 회로(1)는, 커런트 미러형 부하의 차동 증폭 회로(2)와, 해당 차동 증폭 회로(2)를 제어하는 n채널형 MOSFET(이하, nMOS 트랜지스터라 한다)(3)와, 차동 증폭 회로(2)의 출력 신호의 신호 레벨을 반전하는 인버터 회로(4)와, 고전압 입력 단자(5)로부터 입력되는 정의 고전압  $V_h$ 를 전압 강하시켜 강하 전압  $V_d$ 를 출력하는 고전압 강하 회로(6)와, 복수의 기준 전압, 여기서는, 예컨대  $V_{r1} \sim V_{r4}$ 의 4종류 전압의 기준 전압을 생성하여 출력하는 기준 전압 발생 회로(7)와, 기준 전압 발생 회로(7)로부터 입력되는 각 기준 전압  $V_{r1} \sim V_{r4}$  중 어느 하나를 차동 증폭 회로(2)에 출력하는 기준 전압 전환 회로(8)와, 고전압 강하 회로(6)에 대하여 강하 전압  $V_d$ 의 가변 제어를 실행함과 동시에, 기준 전압 전환 회로(8)를 제어하는 제어 회로(9)로 이루어진다.

차동 증폭 회로(2)는, p채널형 MOSFET(이하, pMOS 트랜지스터라 한다)(11, 12) 및 nMOS 트랜지스터(13, 14)로 형성되어 있고, pMOS 트랜지스터(11, 12)로 커런트 미러 회로를 형성하고 있으며, pMOS 트랜지스터(11, 12)의 각 소스는, 전원 전압  $V_{dd}$ 가 입력되는 전원 단자(15)에 각각 접속되어 있다. pMOS 트랜지스터(11, 12)의 각 게이트는 서로 접속되고, 해당 접속부는 pMOS 트랜지스터(11)의 드레인에 접속되어 있다.

pMOS 트랜지스터(11)의 드레인은 nMOS 트랜지스터(13)의 드레인에 접속되고, pMOS 트랜지스터(12)의 드레인은 nMOS 트랜지스터(14)의 드레인에 접속되며, 해당 접속부는 차동 증폭 회로(2)의 출력으로 되고, 인버터 회로(4)의 입력에 접속되어 있다. 인버터 회로(4)의 출력은, 고전압 검출 회로(1)의 출력으로 되며, 차지 펌프 회로를 구비하여 정의 고전압  $V_h$ 를 출력하는 고전압 발생 회로(16)의 입력에 접속되어 있다. 고전압 발생 회로(16)의 출력은, 소정의 회로(도시하지 않음)에 접속됨과 동시에 고전압 입력 단자(5)에 접속되어 있다.

또한, nMOS 트랜지스터(13, 14)의 각 소스는 접속되고, 해당 접속부는 nMOS 트랜지스터(3)의 드레인에 접속되며, nMOS 트랜지스터(3)의 소스는 접지되어 있다. nMOS 트랜지스터(3)의 게이트에는 2개 값의 신호가 입력되어, nMOS 트랜지스터(3)가 온하면 차동 증폭 회로(2)는 작동하고, nMOS 트랜지스터(3)가 오프하면 차동 증폭 회로(2)는 동작을 정지한다. nMOS 트랜지스터(13)의 게이트는, 고전압 강하 회로(6)의 출력에 접속되어 강하 전압  $V_d$ 가 입력된다. nMOS 트랜지스터(14)의 게이트는 기준 전압 전환 회로(8)의 출력에 접속되어 있다. 기준 전압 전환 회로(8)는 기준 전압 발생 회로(7)에 접속되고, 각 기준 전압  $V_{r1} \sim V_{r4}$ 가 각각 입력되며, 또한 제어 회로(9)에 접속되어 있다.

고전압 강하 회로(6)는 n개의 nMOS 트랜지스터  $Ma_1 \sim Ma_n$  및 nMOS 트랜지스터  $M_b$ 로 형성되어 있다. 다이오드 접속된 nMOS 트랜지스터  $Ma_1 \sim Ma_n$ 은 직렬로 접속되어 있고, nMOS 트랜지스터  $Ma_1$ 의 드레인은 고전압 입력 단자(5)에 접속되고, nMOS 트랜지스터  $Ma_n$ 의 소스는 nMOS 트랜지스터  $M_b$ 의 드레인에 접속되며, 해당 접속부는 차동 증폭 회로(2)의 nMOS 트랜지스터(13)의 게이트에 접속되어 있다. 또한, nMOS

트랜지스터 Mb의 소스는 접지되고, 게이트에는 소정의 전압 Vcs가 입력된다.

또한, nMOS 트랜지스터 Ma1~Man에는, 게이트 길이를 충분히 짧게 하든지 또는 게이트폭을 충분히 넓게 한, 온(on) 저항이 충분히 작은 nMOS 트랜지스터 Ta1~Tan이 각각 대응하여 병렬로 접속되고, nMOS 트랜지스터 Ta1~Tan의 각 게이트는 각각 제어 회로(9)에 접속되어 있다. 또, nMOS 트랜지스터 Ma1~Man은 각각 소스와 백게이트 단자가 접속되어 있고, 백게이트 효과에 의해 각각의 임계값 Vth의 변동을 방지한다. 또한, nMOS 트랜지스터 Ma1~Man, Mb는 각 게이트 사이즈가 각각 동일하고, 포화 영역에서 각각 동작한다. 또, 차동 증폭 회로(2), nMOS 트랜지스터(3) 및 인버터 회로(4)는 고전압 검출부를, 고전압 강하 회로(6)는 고전압 강하부를, 기준 전압 발생 회로(7)는 기준 전압 발생부를, 기준 전압 전환 회로(8)는 기준 전압 전환부를, 제어 회로(9)는 제어부를 구성한다.

상기한 바와 같은 구성에 있어서, nMOS 트랜지스터 Mb는 전류원을 구성하고 있고, 제어 회로(9)가 nMOS 트랜지스터 Ta1~Tan을 모두 오프시키고 있는 경우, nMOS 트랜지스터 Mb의 게이트에 소정의 전압 Vcs가 입력되면, nMOS 트랜지스터 Ma1~Man의 직렬 회로에 전류가 흐르고, 각 nMOS 트랜지스터 Ma1~Man의 드레인-소스 사이에는, 전압 Vcs의 전압 강하가 각각 발생하여, 고전압 강하 회로(6)의 출력 전압인 강하 전압 Vd는, 하기 수학적 식 3과 같이 된다.

$$Vd = Vh - n \times Vcs$$

여기서, 제어 회로(9)는 n개의 nMOS 트랜지스터 Ta1~Tan 중, K개를 온시켰다고 하면, 고전압 검출 회로(1)에서 검출되는 고전압 Vh는 하기 수학적 식 4와 같이 된다.

$$Vh = Vref + K \times Vcs$$

여기서, K는 0~n의 정수이다.

제어 회로(9)는 기준 전압 전환 회로(8)를 제어함으로써, 기준 전압 발생 회로(7)에서 생성된 복수의 기준 전압 Vr1~Vr4 중 어느 하나를 선택하여 차동 증폭 회로(2)의 기준 전압 Vref로서 출력시킨다. 차동 증폭 회로(2)는 nMOS 트랜지스터(3)가 온함으로써 작동하여, 고전압 강하 회로(6)로부터 입력되는 강하 전압 Vd 및 기준 전압 전환부(8)로부터 입력되는 기준 전압 Vref에 대하여 차동 증폭을 실행한다.

예컨대, 강하 전압 Vd가 기준 전압 Vref보다도 작은 경우, 인버터 회로(4)의 입력은 「L」 레벨로 되고, 고전압 발생 회로(16)에는 「H」 레벨의 신호가 입력되므로, 고전압 발생 회로(16)는 차지 펌프 회로를 작동시켜 고전압 Vh를 상승시킨다. 다음에, 강하 전압 Vd가 기준 전압 Vref 이상으로 되면, 인버터 회로(4)의 입력은 「H」 레벨로 되어, 고전압 발생 회로(16)에는 「L」 레벨의 신호가 입력됨으로써, 고전압 발생 회로(16)는 차지 펌프 회로의 작동을 정지시킨다.

이러한 것들로부터, 제어 회로(9)는 nMOS 트랜지스터 Ta1~Tan 중, 온시킨 nMOS 트랜지스터의 수 K를 바꿈으로써, 강하 전압 Vd를 바꿈과 동시에, 기준 전압 전환 회로(8)를 제어하여, 차동 증폭 회로(2)에 입력되는 기준 전압 Vref를 바꿈으로써, 고전압 검출 회로(1)에서 검출할 수 있는 고전압 Vh값의 미세 조정을 실행한다.

상기한 바와 같이, 본 발명의 실시예 1에 있어서의 반도체 집적 회로는 고전압 강하 회로(6)로부터 차동 증폭 회로(2)에 입력되는 강하 전압 Vd를 바꿀 수 있고, 또한 차동 증폭 회로(2)에 입력되는 기준 전압 Vref를 바꿀 수 있으므로, 검출할 수 있는 고전압 Vh의 값의 미세 조정을 행할 수 있다. 또한, 고전압 강하 회로(6)에 저항을 사용하지 않고, nMOS 트랜지스터로 형성하였기 때문에, 반도체 집적 회로를 형성하는 칩의 크기를 작게 할 수 있어, 비용의 절감을 도모할 수 있음과 동시에, 소비 전류를 감소시킬 수 있다.

또, 본 실시예 1에 있어서는, 고전압 강하 회로(6)에 다이오드 접속된 nMOS 트랜지스터를 사용하였지만, 해당 nMOS 트랜지스터 대신에 다이오드 접속된 pMOS 트랜지스터를 사용하여도 동일한 효과를 얻을 수 있다. 또한, 고전압 강하 회로(6)에 사용한 nMOS 트랜지스터 Ma1~Man 대신에 저항을 사용하여도 좋고, 이 경우 종래의 회로보다 저항의 수를 감소시킬 수 있음과 동시에, 배선수를 감소시킬 수 있다.

(실시예 2)

도 2는, 본 발명의 실시예 2에 있어서의 반도체 집적 회로의 고전압 검출 회로의 예를 도시한 개략 회로도이다. 또, 도 2는 정의 고전압을 검출하는 고전압 검출 회로를 도시하고 있다. 또한, 도 2에서는, 도 1과 동일한 것은 동일 부호로 나타내고 있고, 여기서는 그 설명을 생략함과 동시에 도 1과의 상위점만을 설명한다.

도 2에 있어서의 도 1과의 상위점은, 도 1의 기준 전압 전환부(8)를 없애고, 도 1의 고전압 강하 회로(6) 내에 강하 전압 Vd의 미세 조정을 행하는 미세 조정 회로(21)를 마련한 것과, 기준 전압 발생 회로(7)를 소정의 1개의 기준 전압을 생성하여 출력하도록 하였기 때문에, 도 1의 고전압 강하 회로(6)를 고전압 강하 회로(22)로 하고, 도 1의 기준 전압 발생 회로(7)를 기준 전압 발생 회로(23)로 하며, 도 1의 제어 회로(9)는, 미세 조정 회로(21)의 제어도 실행하므로 제어 회로(24)로 하고, 이에 따라, 도 1의 고전압 검출 회로(1)를 고전압 검출 회로(25)로 한 것에 있다.

도 2에 있어서, 고전압 검출 회로(25)는, 차동 증폭 회로(2)와, 해당 차동 증폭 회로(2)를 제어하는 nMOS 트랜지스터(3)와, 차동 증폭 회로(2)의 출력 신호의 신호 레벨을 반전하는 인버터 회로(4)와, 고전압 입력 단자(5)로부터 입력되는 정의 고전압 Vh를 전압 강하시켜 강하 전압 Vd를 출력하는 고전압 강하 회로(22)와, 소정의 기준 전압 Vref를 생성하여 출력하는 기준 전압 발생 회로(23)와, 고전압 강하 회로(22)에 대하여 강하 전압 Vd의 가변 제어를 행하는 제어 회로(24)로 이루어진다. 차동 증폭 회로(2)의 nMOS 트랜지스터(14)의 게이트는, 기준 전압 발생 회로(23)에 접속되어 있고, 소정의 기준 전압 Vref가 입력된다.

고전압 강하 회로(22)는, n개의 nMOS 트랜지스터 Ma1~Man, nMOS 트랜지스터 Mb 및 미세 조정 회로(21)

로 형성되어 있다. 또한, 미세 조정 회로(21)는, nMOS 트랜지스터 Md1~Md4, Td1~Td4, 저항 Rd1~Rd3 및 3개의 저항 Rd4로 형성되어 있다. 다이오드 접속된 nMOS 트랜지스터 Md1의 소스는, nMOS 트랜지스터 Mb의 드레인에 접속되고, 해당 접속부는 차동 증폭 회로(2)의 nMOS 트랜지스터(13)의 게이트에 접속되어 있다.

또한, nMOS 트랜지스터 Md1의 드레인은 nMOS 트랜지스터 Md2의 소스에 접속되고, 마찬가지로, nMOS 트랜지스터 Md2의 드레인은 nMOS 트랜지스터 Md3의 소스에, nMOS 트랜지스터 Md3의 드레인은 nMOS 트랜지스터 Md4의 소스에 각각 접속되어 있다. nMOS 트랜지스터 Md4의 드레인은 nMOS 트랜지스터 Man의 소스에 접속되어 있다.

또한, nMOS 트랜지스터 Md1~Mdn에는, nMOS 트랜지스터 Ta1~Tan과 마찬가지로, 게이트 길이를 충분히 짧게 하든가 또는 게이트폭을 충분히 넓게 한, 온저항이 충분히 작은 nMOS 트랜지스터 Td1~Td4가 각각 대응하여 병렬로 접속되고, nMOS 트랜지스터 Td1~Td4의 각 게이트는, 각각 제어 회로(24)에 접속되어 있다. 또, nMOS 트랜지스터 Md1~Md4는, nMOS 트랜지스터 Ma1~Man, Mb와 게이트 사이즈가 동일하고, 각각 포화 영역에서 동작함과 동시에, 각각 소스와 백게이트 단자가 접속되어 있으며, 백게이트 효과에 의해 각각의 임계값 Vth의 변동을 방지한다.

nMOS 트랜지스터 Md2는, 게이트-소스 사이에 저항 Rd4가 접속되고, 게이트-드레인 사이에 저항 Rd1이 접속되어 있다. nMOS 트랜지스터 Md3은, 게이트-소스 사이에 저항 Rd4가 접속되고, 게이트-드레인 사이에 저항 Rd2가 접속되어 있다. 또한, nMOS 트랜지스터 Md4는, 게이트-소스 사이에 저항 Rd4가 접속되고, 게이트-드레인 사이에 저항 Rd3이 접속되어 있다. 여기서, 저항 Rd1의 저항값을 r로 하면, 저항 Rd2의 저항값은 2r, 저항 Rd3의 저항값은 3r, 저항 Rd4의 저항값은 4r로 된다. 또, 미세 조정 회로(21)는 미세 조정부를, 고전압 강하 회로(22)는 고전압 강하부를, 기준 전압 발생 회로(23)는 기준 전압 발생부를, nMOS 트랜지스터 Ma1~Man 및 Ta1~Tan은 전압 강하부를 구성한다.

상기와 같은 구성에 있어서, 제어 회로(24)가, nMOS 트랜지스터 Ta1~Tan을 모두 온시킴과 동시에, 미세 조정 회로(21)의 nMOS 트랜지스터 Td1~Td3을 온시키고, nMOS 트랜지스터 Td4만 오프시킨 경우, nMOS 트랜지스터 Mb의 게이트에 소정의 전압 Vcs가 입력되면, nMOS 트랜지스터 Ma1~Man의 직렬 회로, 및 nMOS 트랜지스터 Md4, Td3, Td2, Td1의 직렬 회로에 전류가 흐른다. 이에 의해, 각 nMOS 트랜지스터 Ma1~Man의 드레인-소스 사이에는, 전압 Vcs의 전압 강하가 각각 발생한다.

또한, nMOS 트랜지스터 Md4의 게이트-소스 사이에는, 전압 Vcs의 전압 강하가 발생하여, nMOS 트랜지스터 Md4의 드레인-소스 사이의 전압 강하 Vd4, 즉, 미세 조정 회로(21)에 있어서의 전압 강하는, 하기 수학적 식 5와 같이 된다.

$$Vd4 = (7/4) \times Vcs = 1.75 \times Vcs$$

마찬가지로, nMOS 트랜지스터 Td1, Td2, Td4가 온하고, nMOS 트랜지스터 Td3이 오프한 경우, 미세 조정 회로(21)에 있어서의 전압 강하는  $1.5 \times Vcs$ 로 되고, nMOS 트랜지스터 Td1, Td3, Td4가 온하고, nMOS 트랜지스터 Td2가 오프한 경우, 미세 조정 회로(21)의 전압 강하는  $1.25 \times Vcs$ 로 된다. 또한, nMOS 트랜지스터 Td2~Td4가 온하고, nMOS 트랜지스터 Td1이 오프한 경우, 미세 조정 회로(21)에 있어서의 전압 강하는 Vcs로 된다. 또, 각 저항 Rd1~Rd4에 흐르는 전류가, 전류원을 구성하는 nMOS 트랜지스터 Mb가 온했을 때에 고전압 강하 회로(22)에 흐르는 전류보다도 충분히 작아지도록, 각 저항 Rd1~Rd4의 각 저항값이 설정되어 있다.

이와 같이, 미세 조정 회로(21)에서는, nMOS 트랜지스터 Ma1~Man의 각각의 전압 강하에 대하여, nMOS 트랜지스터 Md4에서는 1.75배의 전압 강하를, nMOS 트랜지스터 Md3에서는 1.5배의 전압 강하를, nMOS 트랜지스터 Md2에서는 1.25배의 전압 강하를, nMOS 트랜지스터 Md1에서는 동일한 전압 강하를 얻을 수 있다. 이로써, 제어 회로(24)는, nMOS 트랜지스터 Ta1~Tan 중에서 온시킬 nMOS 트랜지스터의 수를 선택함과 동시에, nMOS 트랜지스터 Td1~Td4의 온/오프를 제어함으로써, 강하 전압 Vd를 변환하여, 고전압 검출 회로(25)에서 검출할 수 있는 고전압 Vh값의 미세 조정을 실행한다.

도 3은, 도 2에서 도시한 미세 조정 회로(21)의 다른 예를 이용한 고전압 검출 회로를 도시하는 개략 회로도이다. 또, 도 3에서는, 도 2와 동일한 것은 동일한 부호로 나타내고 있고, 여기서는 그 설명을 생략함과 동시에 도 2와의 상위점만 설명한다.

도 3에 있어서의 도 2와의 상위점은, 도 2의 미세 조정 회로(21)의 회로 구성을 바꾼 것에 있으며, 이에 따라, 도 2의 미세 조정 회로(21)를 미세 조정 회로(31)로 하고, 이와 더불어, 도 2의 고전압 강하 회로(22)를 고전압 강하 회로(32)로 하며, 도 2의 고전압 검출 회로(25)를 고전압 검출 회로(35)로 한 것에 있다.

도 3에 있어서, 고전압 검출 회로(35)는, 차동 증폭 회로(2)와, nMOS 트랜지스터(3)와, 인버터 회로(4)와, 고전압 입력 단자(5)로부터 입력되는 정외의 고전압 Vh를 전압 강하시키고 강하 전압 Vd를 출력하는 고전압 강하 회로(32)와, 기준 전압 발생 회로(23)와, 고전압 강하 회로(32)에 대하여 강하 전압 Vd의 가변 제어를 행하는 제어 회로(24)로 이루어진다. 또, 미세 조정 회로(31)는 미세 조정부를, 고전압 강하 회로(32)는 고전압 강하부를 구성한다.

고전압 강하 회로(32)는, n개의 nMOS 트랜지스터 Ma1~Man, nMOS 트랜지스터 Mb 및 미세 조정 회로(31)로 형성되어 있다. 또한, 미세 조정 회로(31)는, nMOS 트랜지스터 Md1~Md4, Td1~Td4, 저항 Rd1~Rd3 및 3개의 저항 Rd4로 형성되어 있다. 다이오드 접속된 nMOS 트랜지스터 Md1의 드레인은, nMOS 트랜지스터 Td1의 소스에 접속되어 있다. nMOS 트랜지스터 Md2는, 드레인이 nMOS 트랜지스터 Td2의 소스에 접속되고, 게이트-소스 사이에는 저항 Rd4가, 게이트-드레인 사이에는 저항 Rd1이 접속되어 있다.

마찬가지로, nMOS 트랜지스터 Md3은, 드레인이 nMOS 트랜지스터 Td3의 소스에 접속되고, 게이트-소스 사이에는 저항 Rd4가, 게이트-드레인 사이에는 저항 Rd2가 접속되어 있다. nMOS 트랜지스터 Md4는, 드레인이 nMOS 트랜지스터 Td4의 소스에 접속되고, 게이트-소스 사이에는 저항 Rd4가, 게이트-드레인 사이에

는 저항 Rd3이 접속되어 있다.

nMOS 트랜지스터 Td1~Td4는, 각 드레인이 nMOS 트랜지스터 Man의 소스에 각각 접속되고, 각 게이트가 제어 회로(24)에 접속되어 있다. nMOS 트랜지스터 Md1~Md4의 각 소스는, nMOS 트랜지스터 Mb의 드레인에 각각 접속되어 있고, 해당 접속부는, 차동 증폭 회로(2)의 nMOS 트랜지스터(13)의 게이트에 접속되어 있다.

상기한 바와 같은 구성에 있어서, 제어 회로(24)는, nMOS 트랜지스터 Ta1~Tan 중, 소망하는 수만큼 온시킴과 동시에, nMOS 트랜지스터 Td1~Td4 중 어느 하나를 온시킴으로써, 강하 전압 Vd를 변환하여, 고전압 검출 회로(25)에서 검출할 수 있는 고전압 Vh값의 미세 조정을 실행한다.

도 4는, 도 2에서 도시한 미세 조정 회로(21)의 다른 예를 이용한 고전압 검출 회로를 도시하는 개략 회로도이다. 또, 도 4에서는, 도 2와 동일한 것은 동일한 부호로 나타내고 있고, 여기서는 그 설명을 생략함과 동시에 도 2와의 상위점만 설명한다.

도 4에 있어서의 도 2와의 상위점은, 도 2의 미세 조정 회로(21)의 회로 구성을 바꾼 것에 있으며, 이에 따라 도 2의 미세 조정 회로(21)를 미세 조정 회로(41)로 하고, 이와 더불어, 도 2의 고전압 강하 회로(22)를 고전압 강하 회로(42)로 하며, 도 2의 고전압 검출 회로(25)를 고전압 검출 회로(45)로 한 것에 있다.

도 4에 있어서, 고전압 검출 회로(45)는, 차동 증폭 회로(2)와, nMOS 트랜지스터(3)와, 인버터 회로(4)와, 고전압 입력 단자(5)로부터 입력되는 정의 고전압 Vh를 전압 강하시켜 강하 전압 Vd를 출력하는 고전압 강하 회로(42)와, 기준 전압 발생 회로(23)와, 고전압 강하 회로(42)에 대하여 강하 전압 Vd의 가변 제어를 행하는 제어 회로(24)로 이루어진다. 또, 미세 조정 회로(41)는 미세 조정부를, 고전압 강하 회로(42)는 고전압 강하부를 구성한다.

고전압 강하 회로(42)는, n개의 nMOS 트랜지스터 Ma1~Man, nMOS 트랜지스터 Mb 및 미세 조정 회로(41)로 형성되어 있다. 또한, 미세 조정 회로(41)는, nMOS 트랜지스터 Md1, Td1~Td4 및 저항 Rd1~Rd4로 형성되어 있다. nMOS 트랜지스터 Md1, Td1~Td4의 각 드레인은 접속되고, nMOS 트랜지스터 Man의 소스에 접속되어 있다. nMOS 트랜지스터 Td2의 소스는 저항 Rd1을 거쳐서, nMOS 트랜지스터 Td3의 소스는 저항 Rd2를 거쳐서, nMOS 트랜지스터 Td4의 소스는 저항 Rd3을 거쳐서 nMOS 트랜지스터 Md1의 게이트에 각각 접속되어 있다.

또한, nMOS 트랜지스터 Td1의 드레인은 저항 Rd4를 거쳐서 nMOS 트랜지스터 Md1에 접속되어 있다. nMOS 트랜지스터 Md1 및 Td1의 각 소스는 접속되고, 해당 접속부는 nMOS 트랜지스터 Mb의 드레인에 접속되어 있다. 또한, nMOS 트랜지스터 Td1~Td4의 각 게이트는 각각 제어 회로(24)에 접속되어 있다.

상기한 바와 같은 구성에 있어서, 제어 회로(24)는, nMOS 트랜지스터 Ta1~Tan 중, 소망하는 수만큼 온시킴과 동시에, nMOS 트랜지스터 Td1~Td4의 온/오프를 제어함으로써, 강하 전압 Vd를 변환하여, 고전압 검출 회로(45)에서 검출할 수 있는 고전압 Vh값의 미세 조정을 실행한다. 예컨대, 제어 회로(24)는, nMOS 트랜지스터 Td2~Td4중 적어도 1개를 온시킴과 동시에, nMOS 트랜지스터 Td1을 오프시킴으로써, 미세 조정 회로(41)에서 nMOS 트랜지스터 Ma1~Man의 각각의 전압 강하와 동일한 전압 강하를 얻을 수 있다. 또한, 제어 회로(24)는, nMOS 트랜지스터 Td1 및 Td2를 온시킴과 동시에 nMOS 트랜지스터 Td3 및 Td4를 오프시킴으로써, 미세 조정 회로(41)에서 nMOS 트랜지스터 Ma1~Man 각각의 전압 강하의 1.25배의 전압 강하를 얻을 수 있다.

또한, 제어 회로(24)는, nMOS 트랜지스터 Td1 및 Td3을 온시킴과 동시에, nMOS 트랜지스터 Td2 및 Td4를 오프시킴으로써, 미세 조정 회로(41)에서 nMOS 트랜지스터 Ma1~Man 각각의 전압 강하의 1.5배의 전압 강하를, nMOS 트랜지스터 Td1 및 Td4를 온시킴과 동시에 nMOS 트랜지스터 Td2 및 Td3을 오프시킴으로써, 미세 조정 회로(41)에서 nMOS 트랜지스터 Ma1~Man 각각의 전압 강하의 1.75배의 전압 강하를 얻을 수 있다.

한편, 도 2 내지 도 4에 있어서는, 저항에 의한 분압 회로로 게이트 전위를 제어하였지만, 이 경우, 각 저항에 흐르는 전류를 전류원의 전류보다 충분히 작게 할 필요가 있는데, 즉 각 저항의 저항값을 크게 할 필요가 있다. 그러나, CMOS 프로세스에서는 큰 저항값의 저항을 형성하는 것은 곤란하며, 높은 저항값을 얻기 위해서는 긴 저항 배선을 사용하지 않으면 안되어, 칩면적이 증대된다고 하는 문제가 있다. 그래서, 각 저항 대신에 도 5에서 도시하는 바와 같은 공핍(depletion)형 MOSFET을 사용하여도 좋다. 임계값 전압이 부의 공핍형을 만드는 것은 CMOS 프로세스에서는 용이하다.

또, 실시예 2의 설명에 있어서의, 저항 Rd1~Rd4의 각 저항값은 일례일 뿐이며, 이에 한정되는 것은 아니다. 또한, 미세 조정 회로(21)의 nMOS 트랜지스터 Md2~Md4의 각 드레인-소스 사이에 접속된 저항에 의한 분압 회로의 분압비에 있어서도, 일례일 뿐이며 이에 한정되는 것은 아니다.

상기한 바와 같이, 본 발명의 실시예 2에 있어서의 반도체 집적 회로는, 고전압 강하 회로로부터 차동 증폭 회로(2)에 입력되는 강하 전압 Vd를 미세하고 치밀하게 변환하는 것이 가능하므로, 검출할 수 있는 고전압 Vh의 값의 미세 조정을 행할 수 있다. 또한, 고전압 강하 회로에 사용하는 저항의 수를 감소시킬 수 있어, 감소시킨 저항 대신에 nMOS 트랜지스터로 형성하였기 때문에, 반도체 집적 회로를 형성하는 칩의 크기를 작게 할 수 있어, 비용의 절감을 도모할 수 있음과 동시에, 소비 전류를 감소시킬 수 있다.

(실시예 3)

도 6은, 본 발명의 실시예 3에 있어서의 반도체 집적 회로의 고전압 검출 회로의 예를 도시한 개략 회로도이다. 또, 도 6은 부의 고전압을 검출하는 고전압 검출 회로를 도시하고 있다. 또한, 도 6에서는, 도 1과 동일한 것은 동일한 부호로 나타내고 있으며, 여기서는 그 설명을 생략한다.

도 6에 있어서, 고전압 검출 회로(51)는, nMOS 트랜지스터(Mf1~Mfn, 52, 53), pMOS 트랜지스터(54, 55), 인버터 회로(56) 및 기준 전압 발생 회로(57)로 형성되어 있다. 다이오드 접속된 nMOS 트랜지스터(Mf1~Mfn)은 직렬 접속되어 있고, nMOS 트랜지스터 Mf1의 드레인은 nMOS 트랜지스터(52)의 소스에 접

속되며, nMOS 트랜지스터 Mfn의 소스는, 부의 고전압 V1이 입력되는 고전압 입력 단자(58)에 접속되어 있다.

pMOS 트랜지스터(54, 55)는 커런트 미러 회로를 형성하고 있고, pMOS 트랜지스터(54, 55)의 각 게이트는 접속되며, 해당 접속부는 pMOS 트랜지스터(54)의 드레인에 접속되어 있다. pMOS 트랜지스터(54, 55)의 각 소스는 각각 전원 단자(15)에 접속되고, pMOS 트랜지스터(54)의 드레인은 nMOS 트랜지스터(52)의 드레인에 접속되어 있다. pMOS 트랜지스터(55)의 드레인은 nMOS 트랜지스터(53)의 드레인에 접속되고, 해당 접속부는 인버터 회로(56)의 입력에 접속되며, nMOS 트랜지스터(53)의 소스는 접지되어 있다.

인버터 회로(56)의 출력은, 고전압 검출 회로(51)의 출력으로 되고, 차지 펌프 회로를 구비하여 부의 고전압 V1을 출력하는 고전압 발생 회로(59)의 입력에 접속되어 있다. 고전압 발생 회로(59)의 출력은, 소정의 회로(도시하지 않음)에 접속됨과 동시에 고전압 입력 단자(58)에 접속되어 있다. 또한, nMOS 트랜지스터(52)의 게이트에는, 기준 전압 발생 회로(57)로부터 기준 전압 Vref1이 입력되고, pMOS 트랜지스터(53)의 게이트에는, 마찬가지로 기준 전압 발생 회로(57)로부터 기준 전압 Vref2가 입력되어 있으며, pMOS 트랜지스터(53)는 정전류 발생 회로를 구성하고 있다.

또, nMOS 트랜지스터(Mf1~Mfn, 52, 53) 및 pMOS 트랜지스터(54, 55)는 각각 소스와 백게이트 단자가 접속되어 있고, 백게이트 효과에 의해 각각의 임계값 Vth의 변동을 방지한다. nMOS 트랜지스터(Mf1~Mfn, 52, 53)는, 각 게이트 사이즈가 각각 동일하고, 포화 영역에서 각각 동작한다. 또한, nMOS 트랜지스터(52, Mf1~Mfn) 및 pMOS 트랜지스터(54)는 전류 변환부를, nMOS 트랜지스터(53)는 정전류 발생부를, pMOS 트랜지스터(54, 55)는 전압 변환부를, 인버터 회로(56)는 고전압 검출부를, 기준 전압 발생 회로(57)는 기준 전압 발생부를 구성한다. 또한, 기준 전압 Vref1은 제 1 기준 전압을, 기준 전압 Vref2은 제 2 기준 전압을 구성한다.

상기한 바와 같은 구성에 있어서, 정전류 발생 회로를 구성하는 nMOS 트랜지스터(53)의 드레인에 흐르는 전류 Iref는, 하기 수학식 6과 같이 된다.

$$I_{ref} = (Kp/2) \times (W/L) \times (V_{ref2} - V_{th})^2$$

또, 수학식 6에 있어서, W는 게이트폭이고, L은 게이트 길이이며, Kp는  $Kp = \mu \times Cox$ 로 나타낼 수 있다. 이 경우,  $\mu$ 는 이동도(移動度)이고, Cox는 게이트 산화막 용량이다.

pMOS 트랜지스터(54, 55)로 형성된 커런트 미러 회로에 의해, nMOS 트랜지스터(Mf1~Mfn, 52)의 직렬 회로에 흐르는 전류 Ia가 nMOS 트랜지스터(53)의 드레인에 유입된다. 이 때, Ia가 Iref보다도 작은 경우, 인버터 회로(56)의 입력은 「L」 레벨로 되고, 고전압 발생 회로(59)에는 「H」 레벨의 신호가 입력되므로, 고전압 발생 회로(59)는 차지 펌프 회로를 작동시켜 부의 고전압 V1을 저하시킨다. 다음에, Ia가 Iref보다도 큰 경우, 인버터 회로(56)의 입력은 「H」 레벨로 되고, 고전압 발생 회로(59)에는 「L」 레벨의 신호가 입력되므로, 고전압 발생 회로(59)는 차지 펌프 회로의 작동을 정지시킨다.

여기서, nMOS 트랜지스터(52, 53)의 임계값 Vth는 동일하며, 이 경우 nMOS 트랜지스터(53)의 드레인에 흐르는 전류와 동일한 전류가, nMOS 트랜지스터(Mf1~Mfn, 52)로 형성된 직렬 회로에 흘러, 해당 전류값은 하기 수학식 7과 같이 된다.

$$I_{ref} = (Kp/2) \times (W/L) \times (V_{ref1} - V1)/(n+1) - V_{th})^2$$

또한, 수학식 6 및 7로부터, 하기 수학식 8을 얻을 수 있으며,

$$V_{ref2} = (V_{ref1} - V1)/(n+1)$$

수학식 8로부터 하기 수학식 9를 얻을 수 있다.

$$V1 = V_{ref1} - (n+1) \times V_{ref2}$$

이와 같이, 고전압 검출 회로(51)는, 수학식 9에서 도시한 바와 같은 고전압 V1을 검출할 수 있다.

상기한 바와 같이, 본 발명의 실시예 3에 있어서의 반도체 집적 회로는, 간단한 회로 구성으로 부의 고전압을 검출할 수 있으므로, 회로를 구성하는 소자수를 감소시킬 수 있기 때문에, 부의 고전압 검출 회로의 편차를 감소시킬 수 있어, 고전압의 검출 정밀도를 향상시킬 수 있음과 동시에, 비용의 삭감을 도모할 수 있다.

(실시예 4)

도 7은, 본 발명의 실시예 4에 있어서의 반도체 집적 회로의 고전압 검출 회로의 예를 도시한 개략 회로도이다. 또, 도 7은, 부의 고전압을 검출하는 고전압 검출 회로를 도시하고 있다. 또한, 도 7에서는, 도 1 및 도 6과 동일한 것은 동일한 부호로 나타내고 있고, 여기서는 그 설명을 생략한다.

도 7에 있어서, 고전압 검출 회로(71)는, n개의 nMOS 트랜지스터 Mg1~Mgn, m(m은 자연수)개의 nMOS 트랜지스터 Mk1~Mkm, pMOS 트랜지스터(72, 73) 및 차동 증폭기(74, 75)로 형성되어 있다. 다이오드 접속된 nMOS 트랜지스터 Mg1~Mgn은 직렬로 접속되어 있고, nMOS 트랜지스터 Mg1의 드레인은 pMOS 트랜지스터(73)의 드레인에 접속되며, 해당 접속부는 차동 증폭기(74)의 반전 단자에 접속되어 있다. nMOS 트랜지스터 Mgn의 소스는, 부의 고전압 V1이 입력되는 고전압 입력 단자(57)에 접속되고, pMOS 트랜지스터(73)의 소스는 전원 단자(15)에 접속되어 있다.

또한, pMOS 트랜지스터(72, 73)의 각 게이트는 접속되고, 해당 접속부는 차동 증폭기(75)의 출력에 접속되어 있다. 다이오드 접속된 nMOS 트랜지스터 Mk1~Mkm은 직렬로 접속되어 있고, nMOS 트랜지스터 Mk1

의 드레인은 pMOS 트랜지스터(72)의 드레인에 접속되며, 해당 접속부는 차동 증폭기(74, 75)의 각 비반전 단자에 접속되고, nMOS 트랜지스터 M<sub>km</sub>의 소스는 접지되어 있다. pMOS 트랜지스터(72)의 소스는 전원단자(15)에 접속되고, 차동 증폭기(75)의 반전 단자에는 기준 전압 V<sub>ref</sub>가 입력되어 있다. 차동 증폭기(74)의 출력은, 고전압 검출 회로(71)의 출력으로 되고, 고전압 발생 회로(59)의 입력에 접속되어 있다.

또, nMOS 트랜지스터 M<sub>g1</sub>~M<sub>gn</sub>, M<sub>k1</sub>~M<sub>km</sub> 및 pMOS 트랜지스터(72, 73)는, 각각 소스와 백게이트 단자가 접속되어 있고, 백게이트 효과에 의해 각각의 임계값 V<sub>th</sub>의 변동을 방지한다. nMOS 트랜지스터 M<sub>g1</sub>~M<sub>gn</sub> 및 M<sub>k1</sub>~M<sub>km</sub>은, 각 게이트 사이즈가 각각 동일하고, 포화 영역에서 각각 동작하며, pMOS 트랜지스터(72, 73)에 있어서도, 각 게이트 사이즈가 각각 동일하다. 또한, nMOS 트랜지스터 M<sub>k1</sub>~M<sub>km</sub>은 제 1 전압 강하 회로부를, nMOS 트랜지스터 M<sub>g1</sub>~M<sub>gn</sub>은 제 2 전압 강하 회로부를, pMOS 트랜지스터(72, 73) 및 차동 증폭기(75)는 정전류 발생부를, 차동 증폭기(74)는 고전압 검출부를 구성한다.

상기한 바와 같은 구성에 있어서, 차동 증폭기(75)는 피드백 루프(feedback loop)를 이용하여, nMOS 트랜지스터 M<sub>k1</sub>~M<sub>km</sub>의 직렬 회로에 V<sub>ref</sub>를 발생시키는 전류가 pMOS 트랜지스터(72)로부터 흐르도록, pMOS 트랜지스터(72)의 게이트에 전압을 인가한다. 해당 인가된 전압은 동시에 pMOS 트랜지스터(73)의 게이트에도 인가되어, pMOS 트랜지스터(73)로부터 nMOS 트랜지스터 M<sub>g1</sub>~M<sub>gn</sub>로 형성된 직렬 회로에 전류가 흐른다.

여기서, 차동 증폭기(74)의 양 입력이 동(同)전위로 되면, pMOS 트랜지스터(72, 73)는 각각 동일전류를 공급하고, nMOS 트랜지스터 M<sub>g1</sub>~M<sub>gn</sub>의 직렬 회로에 의한 전압 강하는, (V<sub>ref</sub>-V<sub>1</sub>)로 된다. 즉, 하기 수학적 식 10이 성립한다.

$$V_{ref}-V_1 = (n/m) \times V_{ref}$$

따라서, 고전압 검출 회로(71)는 하기 수학적 식 11로 도시한 부의 고전압을 검출할 수 있다.

$$V_1 = -(n/m-1) \times V_{ref}$$

수학적 식 11로부터 알 수 있는 바와 같이, nMOS 트랜지스터의 수인 n 및 m을 바꾸는 것에 의해, 검출할 수 있는 고전압 V<sub>1</sub>의 미세 조정을 실행한다.

상기한 바와 같이, 본 발명의 실시예 4에 있어서의 반도체 집적 회로는, nMOS 트랜지스터 M<sub>k1</sub>~M<sub>km</sub>의 직렬 회로에 흐르는 전류, 및 nMOS 트랜지스터 M<sub>g1</sub>~M<sub>gn</sub>의 직렬 회로에 흐르는 전류가, 온도나 전원 전압에 좌우되지 않고 원리적으로 동일하게 되므로, 환경 변화에 대하여 편차가 적은 특성을 얻을 수 있어, 고전압의 검출 정밀도를 향상시킬 수 있음과 동시에, 검출할 수 있는 고전압 V<sub>1</sub>의 값의 미세 조정을 실행할 수 있다.

### 발명의 효과

제 1 특징에 따른 반도체 집적 회로는, 고전압 강하부에 있어서의 고전압의 전압 강하를 제어함과 동시에, 기준 전압 전환부에 의한 기준 전압의 전환 제어를 행하여, 고전압 검출부에서 검출하는 전압값의 설정을 행하도록 하였다. 이로써, 고전압 강하부에서 고전압 검출부에 입력되는 강하 전압을 바꿀 수 있고, 또한 고전압 검출부에 입력되는 기준 전압을 바꿀 수 있으므로, 검출할 수 있는 고전압의 값의 미세 조정을 실행할 수 있다.

제 2 특징에 따른 반도체 집적 회로는, 제 1 특징에 있어서, 구체적으로는, 다이오드 접속된 적어도 1개의 MOSFET를 직렬로 접속하여 형성된 전압 강하 회로부와, 해당 전압 강하 회로부에 직렬로 접속된 전류원과, 전압 강하 회로부를 형성하는 각 MOSFET의 드레인-소스 사이를 스위칭 동작에 의해 각각 단락하는 각 스위칭 회로부로 상기 고전압 강하부를 형성하고, 각 스위칭 회로부의 스위칭 동작을 제어하여 전압 강하 회로부에 의한 전압 강하치를 바꾸는 것에 의해, 고전압 강하부로부터 출력되는 전압값을 제어한다. 이로써, 고전압 강하부에 저항을 사용하지 않고, MOSFET으로 형성하였기 때문에, 상기 제 1 특징의 효과에 덧붙여, 반도체 집적 회로를 형성하는 칩의 크기를 작게 할 수 있어, 비용의 절감을 도모할 수 있음과 동시에, 소비 전류를 감소시킬 수 있다.

제 3 특징에 따른 반도체 집적 회로는, 소정의 전압의 정수배마다 전압 강하를 실행하는 전압 강하부와, 소정의 전압의 정수배 미만의 전압 강하를 실행하는 미세 조정부와, 상기 전압 강하부 및 미세 조정부에 각각 전류를 공급하는 전류원으로 고전압 강하부를 형성하고, 전압 강하부 및 미세 조정부에서의 각각의 전압 강하를 제어하여 고전압 강하부로부터 출력되는 전압을 제어하고, 고전압 검출부에서 검출하는 고전압값의 설정을 실행한다. 이로써, 고전압 강하부에서 고전압 검출부에 입력되는 강하 전압을 미세하고 치밀하게 바꿀 수 있기 때문에, 검출할 수 있는 고전압의 값을 더욱 세밀하게 미세 조정할 수 있다. 또한, 고전압 강하부에 사용하는 저항의 수를 종래보다도 감소시킬 수 있어, 반도체 집적 회로를 형성하는 칩의 크기를 작게 할 수 있으므로, 비용의 절감을 도모할 수 있음과 동시에, 소비 전류를 감소시킬 수 있다.

제 4 특징에 따른 반도체 집적 회로는, 제 3 특징에 있어서, 구체적으로는, 다이오드 접속된 적어도 1개의 MOSFET를 직렬로 접속하여 형성된 전압 강하 회로와, 해당 전압 강하 회로를 형성하는 각 MOSFET의 드레인-소스 사이를 스위칭 동작에 의해 각각 단락하는 각 스위칭 회로로 이루어지는 제 1 스위칭 회로로 전압 강하부를 형성하여, 제 1 스위칭 회로에 있어서의 각각의 스위칭 회로의 스위칭 동작을 제어하여 고전압의 전압 강하를 제어하고, 고전압 검출부에서 검출하는 고전압값의 설정을 실행한다. 이로써, 고전압 강하부에서 고전압 검출부에 입력되는 강하 전압을 바꿀 수 있어, 검출할 수 있는 고전압의 값을 바꿀 수 있다. 또한, 전압 강하부에 저항을 사용하지 않고, MOSFET으로 형성하였기 때문에, 반도체 집적 회로를 형성하는 칩의 크기를 작게 할 수 있어, 비용의 절감을 도모할 수 있음과 동시에, 소비 전류를 감소시킬 수 있다.

제 5 특징에 따른 반도체 집적 회로는, 제 1 기준 전압과 고전압과의 전압차를 전류로 변환하고, 해당

전류와 제 2 기준 전압에 따라 생성한 정전류와의 전류차를 전압으로 변환하여, 해당 변환된 전압으로부터 고전압값의 검출을 실행한다. 이로써, 종래보다도 간단한 회로 구성으로 부의 고전압을 검출할 수 있으므로, 부의 고전압 검출 회로의 편차를 감소시킬 수 있어, 고전압의 검출 정밀도를 향상시킬 수 있음과 동시에, 비용의 삭감을 도모할 수 있다.

### (57) 청구의 범위

#### 청구항 1

고전압 레벨 검출용 고전압 검출 회로를 구비한 반도체 집적 회로에 있어서,  
 입력된 고전압을 강하시켜서 강하된 전압을 출력하는 고전압 강하 수단(a high voltage step-down means)과,  
 기준 전압을 생성하여 출력하는 기준 전압 발생 수단과,  
 상기 고전압 강하 수단으로부터 출력된 전압과 상기 기준 전압 발생 수단으로부터 출력된 기준 전압을 비교하여 고전압을 검출하는 고전압 검출 수단과,  
 상기 고전압 강하 수단에 의해 상기 고전압의 전압 강하를 제어함과 동시에 기준 전압을 전환 제어하여, 상기 고전압 검출 수단에 의해 검출되는 상기 고전압 값을 세트하는 제어기를 포함하되,  
 상기 고전압 강하 수단은  
 사전결정된 전압의 특정 정수배로 상기 전압을 강하시키기 위한 전압 강하 수단과,  
 상기 사전결정된 전압의 정수배보다 작은 단계로 상기 전압을 강하시키는 튜닝 수단(a tuning means)과,  
 상기 전압 강하 수단과 상기 튜닝 수단에 전류를 공급하기 위한 전류 공급 수단(current supply)을 구비하며,  
 상기 제어기는 상기 전압 강하 수단 및 상기 튜닝 수단에 의해 상기 전압 강하를 제어해서 상기 고전압 강하 수단으로부터 출력되는 전압을 제어함으로써 상기 고전압 검출 수단에 의해 검출되는 상기 고전압 값을 세트하도록 구성되는  
 고전압 레벨 검출용 고전압 검출 회로를 구비한 반도체 집적 회로.

#### 청구항 2

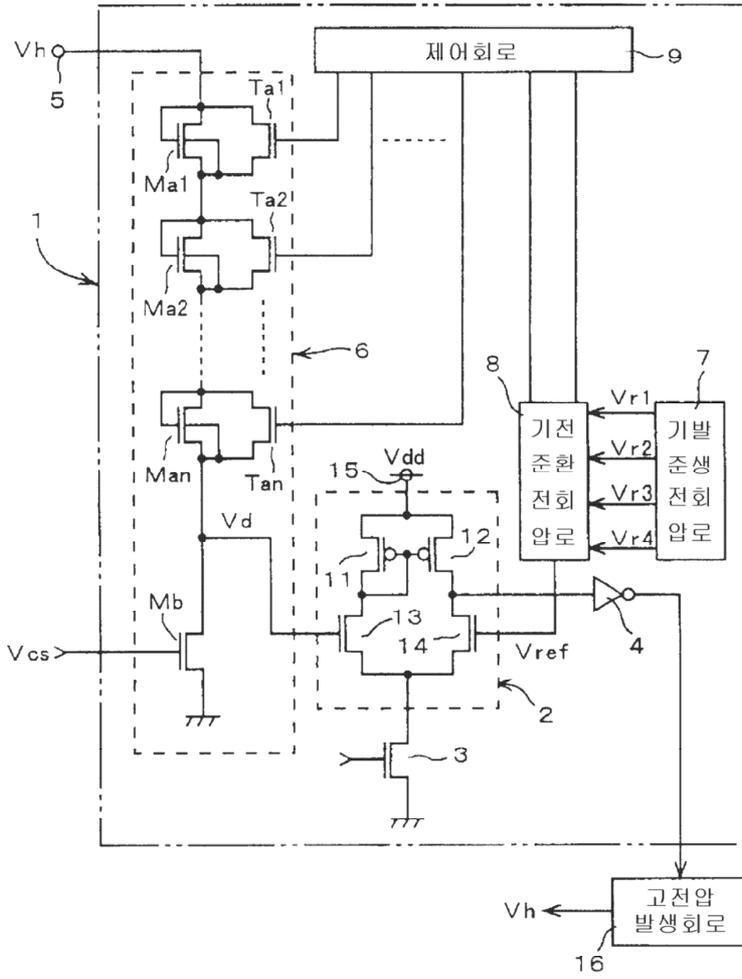
제 1 항에 있어서,  
 상기 전압 강하 수단은  
 다이오드 접속된 적어도 1개의 MOSFET을 직렬 접속해 형성된 전압 강하 회로와,  
 스위칭 동작에 의해 상기 전압 강하 회로의 각 MOSFET의 드레인과 소스를 단락시키기 위한 스위칭 요소를 구비하는 제 1 스위칭 회로를 포함하며,  
 상기 제어기는 상기 제 1 스위칭 회로내의 각 스위칭 회로의 동작을 제어해서 상기 고전압 강하 수단에 의한 상기 고전압의 전압 강하를 제어함으로써 상기 고전압 강하 수단으로부터 출력되는 전압을 제어하고, 상기 고전압 검출 수단에 의해 검출되는 상기 고전압 값을 세트하는  
 고전압 레벨 검출용 고전압 검출 회로를 구비한 반도체 집적 회로.

#### 청구항 3

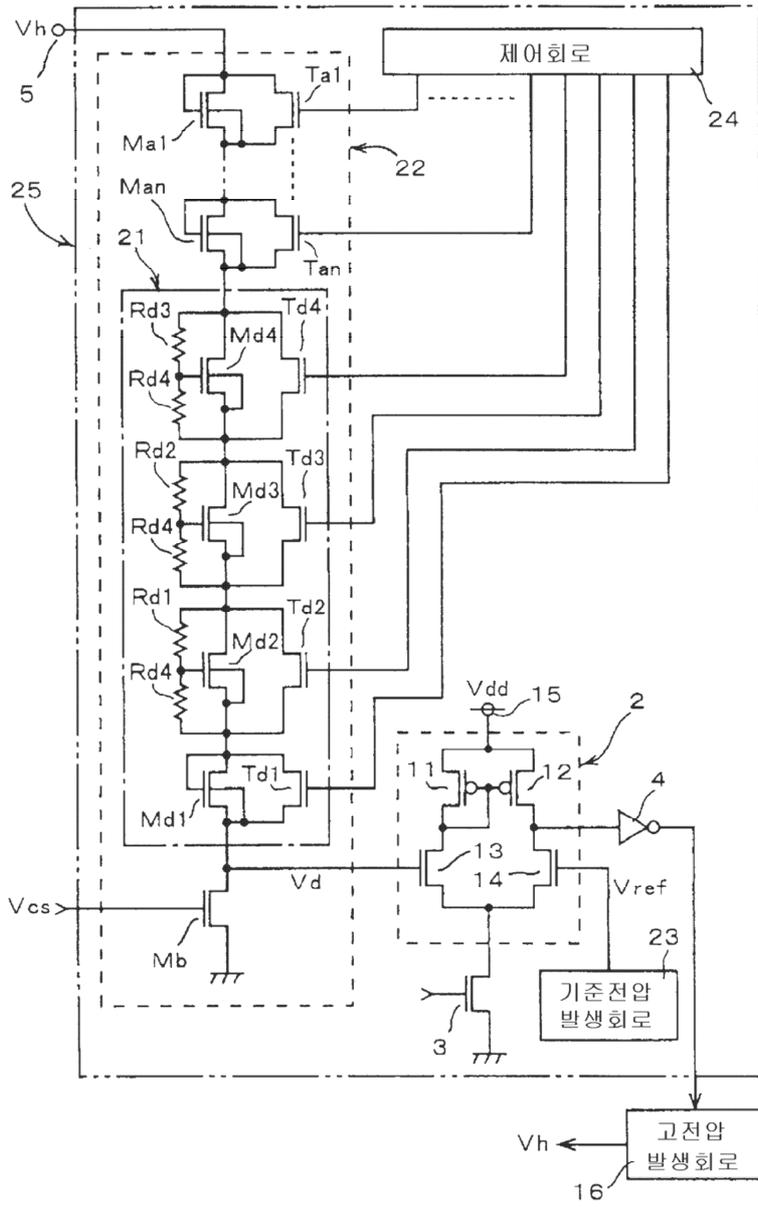
고전압의 검출을 실행하는 고전압 검출 회로를 갖는 반도체 집적 회로에 있어서,  
 제 1 기준 전압 및 제 2 기준 전압을 생성하여 출력하는 기준 전압 발생부와,  
 상기 제 1 기준 전압과 고전압과의 전압차를 전류로 변환하는 전류 변환부와,  
 상기 제 2 기준 전압에 따라 일정한 전류를 생성하여 출력하는 정전류 발생부와,  
 상기 전류 변환부에서 변환된 전류와, 상기 정전류 발생부로부터 출력되는 정전류와의 전류차를 전압으로 변환하는 전압 변환부와,  
 상기 전압 변환부에서 변환된 전압으로부터 고전압값의 검출을 실행하는 고전압 검출부를 포함하는 것을 특징으로 하는 반도체 집적 회로.

### 도면

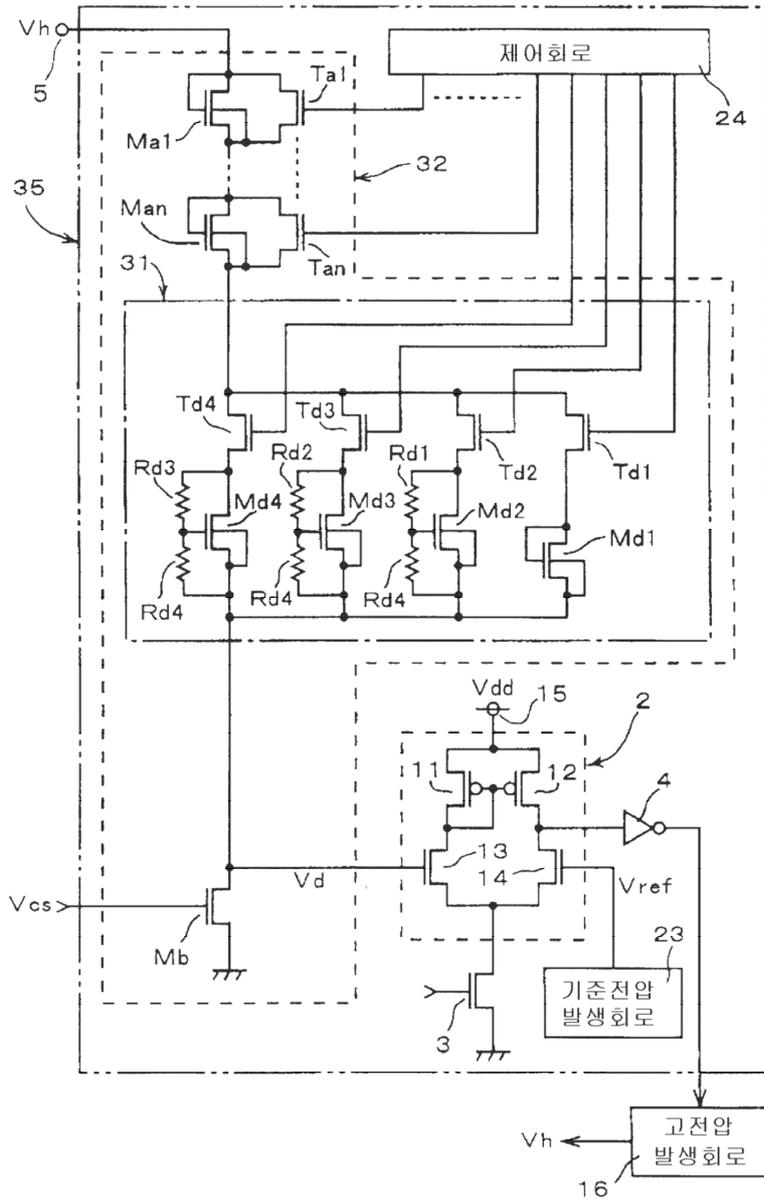
도면1



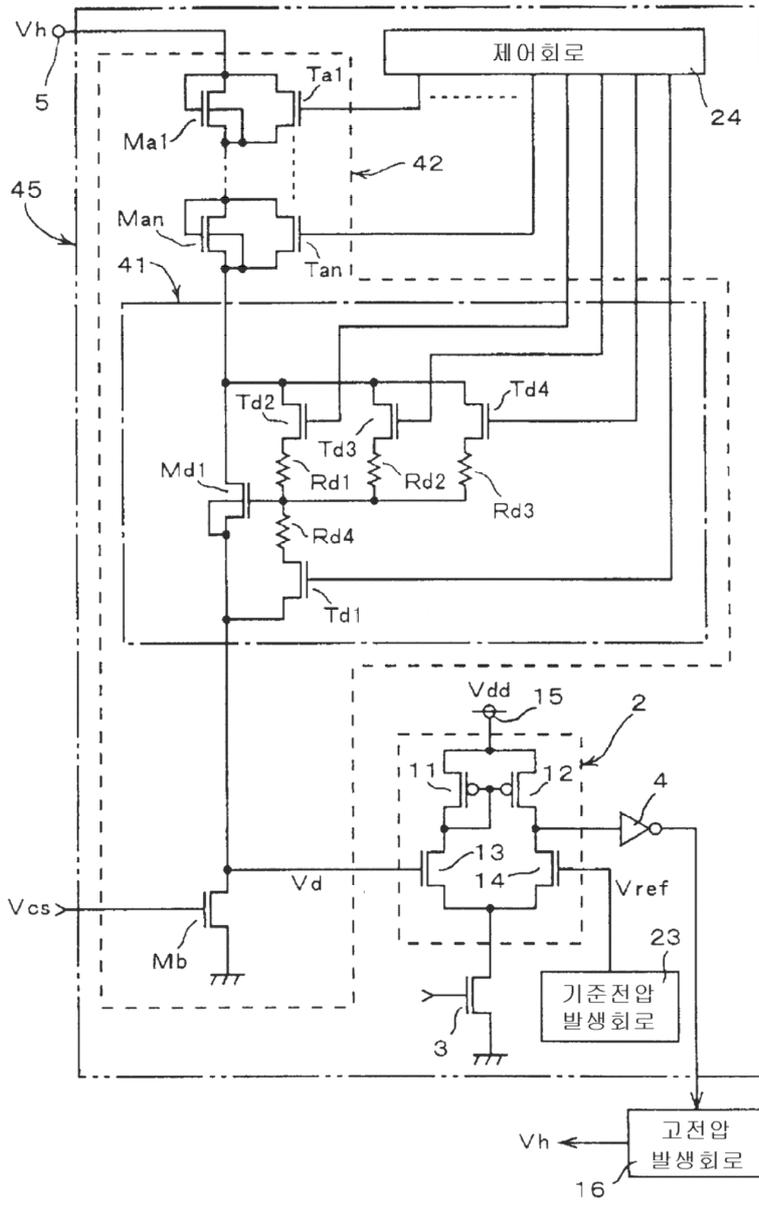
도면2



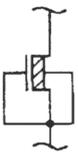
도면3



도면4

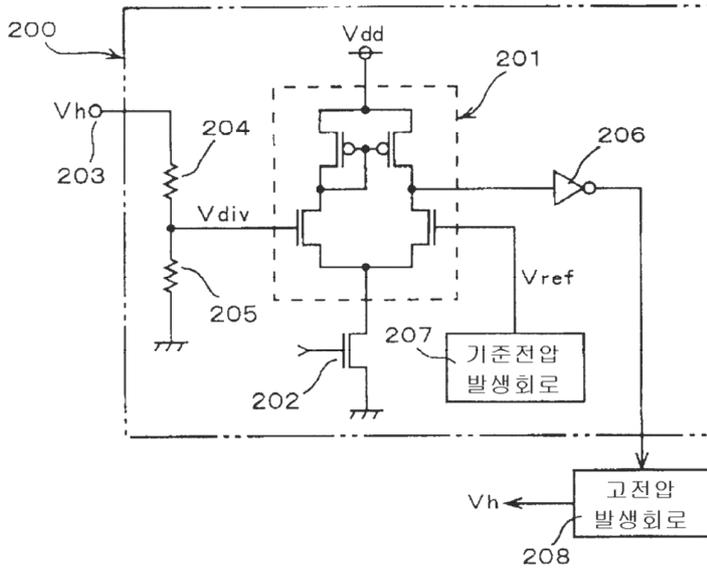


도면5

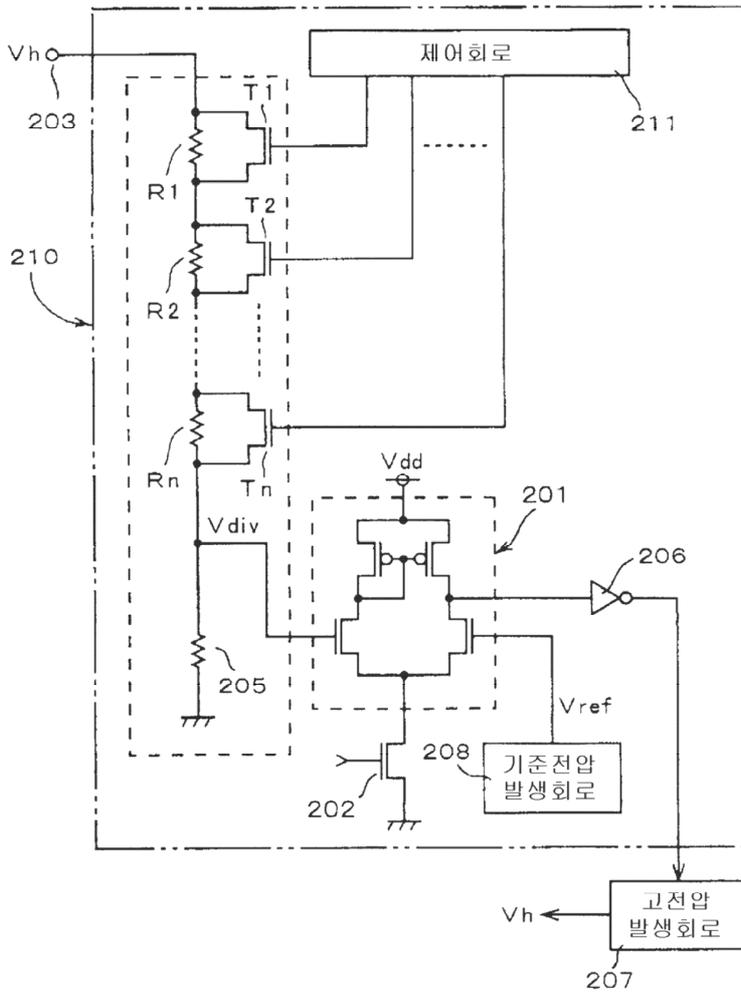




도면8



도면9



도면10

