

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4880051号
(P4880051)

(45) 発行日 平成24年2月22日 (2012. 2. 22)

(24) 登録日 平成23年12月9日 (2011. 12. 9)

(51) Int. Cl.

F 1

A 6 3 F 7/02 (2006. 01)

A 6 3 F 7/02 3 0 4 Z

A 6 3 F 7/02 3 3 4

請求項の数 1 (全 22 頁)

(21) 出願番号	特願2010-98051 (P2010-98051)	(73) 特許権者	000144153
(22) 出願日	平成22年4月21日 (2010. 4. 21)		株式会社三共
(62) 分割の表示	特願2007-190952 (P2007-190952) の分割		東京都渋谷区渋谷三丁目2 9 番 1 4 号
原出願日	平成11年10月22日 (1999. 10. 22)	(74) 代理人	100103090
(65) 公開番号	特開2010-158575 (P2010-158575A)		弁理士 岩壁 冬樹
(43) 公開日	平成22年7月22日 (2010. 7. 22)	(74) 代理人	100124501
審査請求日	平成22年4月21日 (2010. 4. 21)		弁理士 塩川 誠人
		(74) 代理人	100134692
			弁理士 川村 武
		(74) 代理人	100135161
			弁理士 眞野 修二
		(72) 発明者	鶴川 詔八
			群馬県桐生市相生町1 丁目1 6 4 番地の5
		審査官	▲吉▼川 康史

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

遊技者が遊技媒体を用いて所定の遊技を行うことが可能な遊技機であって、
遊技機への電力供給が停止しても少なくとも所定期間は記憶内容を保持可能な記憶手段を含む電気部品制御手段と、

遊技機で使用される所定の電源電圧の低下にもとづいて電圧低下信号を前記電気部品制御手段に出力する電源監視手段とを備え、

前記電気部品制御手段が所定のデータを出力するための出力ポートが設けられ、

前記電気部品制御手段は、

遊技機に設けられている電気部品を制御し、

前記電源監視手段からの前記電圧低下信号の入力に応じて、制御状態を示すデータを前記記憶手段に保存させるための処理を含む電力供給停止時処理を実行し、

前記電力供給停止時処理において、前記出力ポートに出力された信号をクリアする出力ポートクリア処理と、前記記憶手段の記憶内容が正常か否かの判定に用いるチェックデータの作成処理と、前記記憶手段へのアクセスを禁止する処理とを実行し、前記作成処理を実行する前に、前記出力ポートクリア処理を実行する

ことを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、遊技者の操作に応じて遊技が行われるパチンコ遊技機やコイン遊技機等の遊技機に関し、特に、遊技盤における遊技領域において遊技者の操作に応じて遊技が行われる遊技機に関する。

【背景技術】

【0002】

遊技機として、遊技球などの遊技媒体を発射装置によって遊技領域に発射し、遊技領域に設けられている入賞口などの入賞領域に遊技媒体が入賞すると、所定個の賞球が遊技者に払い出されるものがある。さらに、表示状態が変化可能な可変表示部が設けられ、可変表示部の表示結果があらかじめ定められた特定の表示態様となった場合に所定の遊技価値を遊技者に与えるように構成されたものがある。

10

【0003】

特別図柄を表示する可変表示部の表示結果があらかじめ定められた特定の表示態様の組合せとなることを、通常、「大当り」という。なお、遊技価値とは、遊技機の遊技領域に設けられた可変入賞球装置の状態が打球が入賞しやすい遊技者にとって有利な状態になることや、遊技者にとって有利な状態となるための権利を発生させたりすることである。

【0004】

大当りが発生すると、例えば、大入賞口が所定回数開放して打球が入賞しやすい大当り遊技状態に移行する。そして、各開放期間において、所定個（例えば10個）の大入賞口への入賞があると大入賞口は閉成する。そして、大入賞口の開放回数は、所定回数（例えば16ラウンド）に固定されている。なお、各開放について開放時間（例えば29.5秒）が決められ、入賞数が所定個に達しなくても開放時間が経過すると大入賞口は閉成する。また、大入賞口が閉成した時点で所定の条件（例えば、大入賞口内に設けられているVゾーンへの入賞）が成立していない場合には、大当り遊技状態は終了する。

20

【0005】

また、「大当り」の組合せ以外の表示態様の組合せのうち、複数の可変表示部の表示結果のうちの一部が未だに導出表示されていない段階において、既に表示結果が導出表示されている可変表示部の表示態様が特定の表示態様の組合せとなる表示条件を満たしている状態を「リーチ」という。そして、可変表示部に可変表示される識別情報の表示結果が「リーチ」となる条件を満たさない場合には「はずれ」となり、可変表示状態は終了する。遊技者は、大当りをいかにして発生させるかを楽しみつつ遊技を行う。

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

遊技機には、遊技制御手段を初めとする種々の遊技装置制御手段が搭載されている。一般に、各遊技装置制御手段はマイクロコンピュータで構成される。すなわち、ROM等にプログラムが格納され、制御上一時的に発生するデータや制御進行に伴って変化するデータがRAMに格納される。すると、遊技機に停電等による電源断状態が発生すると、RAM内のデータは失われてしまう。よって、停電等からの復旧時には、最初の状態（例えば、遊技店においてその日最初に遊技機に電源投入されたときの状態）に戻さざるを得ないので、遊技者に不利益がもたらされる可能性がある。例えば、大当たり遊技中において電源断が発生し遊技機が最初の状態に戻ってしまうのでは、遊技者は大当たりの発生にもとづく利益を享受することができなくなってしまう。

40

【0007】

そのような事態を回避するには、停電等の不測の電源断が生じたときに、必要なデータを電源バックアップRAMに保存し、電源が復旧したときに保存されていたデータを復元して遊技を再開させればよい。しかし、電源断時に必要なデータを保存する際に保存の仕方および復元の仕方が不適切であると、復元されたデータが電源断時のデータと一致しない可能性がある。そのような場合には、やはり遊技者に不測の不利益を与えかねない。

【0008】

そこで、本発明は、停電等の不測の電源断が発生したときに必要なデータを保存して電

50

源復旧時に電源断時の状態から遊技を再開できるように構成された場合に、必要なデータを確実に保存することができるとともに、保存されていたデータを電源復帰後に確実に活用することができる遊技機を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明による遊技機は、遊技者が遊技媒体を用いて所定の遊技を行うことが可能な遊技機であって、遊技機への電力供給が停止しても少なくとも所定期間は記憶内容を保持可能な記憶手段を含む電気部品制御手段と、遊技機で使用される所定の電源電圧の低下にもとづいて電圧低下信号を電気部品制御手段に出力する電源監視手段とを備え、電気部品制御手段が所定のデータを出力するための出力ポートが設けられ、電気部品制御手段は、遊技機に設けられている電気部品を制御し、電源監視手段からの電圧低下信号の入力に応じて、制御状態を示すデータを記憶手段に保存させるための処理を含む電力供給停止時処理を実行し、電力供給停止時処理において、出力ポートに出力された信号をクリアする出力ポートクリア処理と、記憶手段の記憶内容が正常か否かの判定に用いるチェックデータの作成処理と、記憶手段へのアクセスを禁止する処理とを実行し、作成処理を実行する前に、出力ポートクリア処理を実行することを特徴とする。

10

【発明の効果】

【0010】

本発明によれば、遊技機を、電気部品制御手段が、電力供給停止時処理において、出力ポートに出力された信号をクリアする出力ポートクリア処理と、記憶手段の記憶内容が正常か否かの判定に用いるチェックデータの作成処理と、記憶手段へのアクセスを禁止する処理とを実行し、作成処理を実行する前に、出力ポートクリア処理を実行するように構成したので、停電等の不測の電源断が発生したときに必要なデータを確実に保存することができ、保存されていたデータを電源復帰後に確実に活用することができる効果がある。

20

【図面の簡単な説明】

【0011】

【図1】パチンコ遊技機を正面からみた正面図である。

【図2】パチンコ遊技機の遊技盤を正面からみた正面図である。

【図3】パチンコ遊技機を背面からみた背面図である。

【図4】遊技制御基板（主基板）の回路構成例を示すブロック図である。

30

【図5】電源監視および電源バックアップのためのCPU周りの一構成例を示すブロック図である。

【図6】電源基板の一構成例を示すブロック図である。

【図7】主基板におけるCPUが実行するメイン処理を示すフローチャートである。

【図8】初期化処理を示すフローチャートである。

【図9】2msタイマ割込処理を示すフローチャートである。

【図10】遊技制御処理を示すフローチャートである。

【図11】停電発生処理を示すフローチャートである。

【図12】停電復旧処理を示すフローチャートである。

【図13】バックアップパリティデータ作成方法を説明するための説明図である。

40

【図14】主基板からの各制御コマンドの送出タイミング例を示す説明図である。

【図15】遊技状態復旧処理の一例を示すフローチャートである。

【図16】停電が発生した後に復旧した場合の制御状態の一例を示す説明図である。

【図17】電圧監視手段の出力にもとづくCPUの動作状態の一例を示すタイミング図である。

【図18】電源基板の他の構成例を示すブロック図である。

【図19】主基板の他の構成例を示すブロック図である。

【発明を実施するための形態】

【0012】

以下、本発明の一実施形態を図面を参照して説明する。

50

まず、遊技機の一例であるパチンコ遊技機の全体の構成について説明する。図１はパチンコ遊技機１を正面からみた正面図、図２はパチンコ遊技機１の内部構造を示す全体背面図、図３はパチンコ遊技機１の遊技盤を背面からみた背面図である。なお、ここでは、遊技機の一例としてパチンコ遊技機を示すが、本発明はパチンコ遊技機に限られず、例えばコイン遊技機等であってもよい。また、画像式の遊技機やスロット機に適用することでもできる。

【００１３】

図１に示すように、パチンコ遊技機１は、額縁状に形成されたガラス扉枠２を有する。ガラス扉枠２の下部表面には打球供給皿３がある。打球供給皿３の下部には、打球供給皿３からあふれた景品玉を貯留する余剰玉受皿４と打球を発射する打球操作ハンドル（操作ノブ）５が設けられている。ガラス扉枠２の後方には、遊技盤６が着脱可能に取り付けられている。また、遊技盤６の前面には遊技領域７が設けられている。

10

【００１４】

遊技領域７の中央付近には、複数種類の図柄を可変表示するための可変表示部９と７セグメントＬＥＤによる可変表示器１０とを含む可変表示装置８が設けられている。この実施の形態では、可変表示部９には、「左」、「中」、「右」の３つの図柄表示エリアがある。可変表示装置８の側部には、打球を導く通過ゲート１１が設けられている。通過ゲート１１を通過した打球は、玉出口１３を経て始動入賞口１４の方に導かれる。通過ゲート１１と玉出口１３との間の通路には、通過ゲート１１を通過した打球を検出するゲートスイッチ１２がある。また、始動入賞口１４に入った入賞球は、遊技盤６の背面に導かれ、始動口スイッチ１７によって検出される。また、始動入賞口１４の下部には開閉動作を行う可変入賞球装置１５が設けられている。可変入賞球装置１５は、ソレノイド１６によって開状態とされる。

20

【００１５】

可変入賞球装置１５の下部には、特定遊技状態（大当たり状態）においてソレノイド２１によって開状態とされる開閉板２０が設けられている。この実施の形態では、開閉板２０が大入賞口を開閉する手段となる。開閉板２０から遊技盤６の背面に導かれた入賞球のうち一方（Ｖゾーン）に入った入賞球はＶカウントスイッチ２２で検出される。また、開閉板２０からの入賞球はカウントスイッチ２３で検出される。可変表示装置８の下部には、始動入賞口１４に入った入賞球数を表示する４個の表示部を有する始動入賞記憶表示器１８が設けられている。この例では、４個を上限として、始動入賞がある毎に、始動入賞記憶表示器１８は点灯している表示部を１つずつ増やす。そして、可変表示部９の可変表示が開始される毎に、点灯している表示部を１つ減らす。

30

【００１６】

遊技盤６には、複数の入賞口１９，２４が設けられ、遊技球の入賞口１９，２４への入賞は入賞口スイッチ１９ａ，２４ａによって検出される。遊技領域７の左右周辺には、遊技中に点滅表示される装飾ランプ２５が設けられ、下部には、入賞しなかった打球を吸収するアウト口２６がある。また、遊技領域７の外側の左右上部には、効果音を発する２つのスピーカ２７が設けられている。遊技領域７の外周には、遊技効果ＬＥＤ２８ａおよび遊技効果ランプ２８ｂ，２８ｃが設けられている。

40

【００１７】

そして、この例では、一方のスピーカ２７の近傍に、景品玉払出時に点灯する賞球ランプ５１が設けられ、他方のスピーカ２７の近傍に、補給玉が切れたときに点灯する球切れランプ５２が設けられている。さらに、図１には、パチンコ遊技台１に隣接して設置され、プリペイドカードが挿入されることによって玉貸しを可能にするカードユニット５０も示されている。

【００１８】

カードユニット５０には、使用可能状態であるか否かを示す使用可表示ランプ１５１、カード内に記録された残額情報に端数（１００円未満の数）が存在する場合にその端数を打球供給皿３の近傍に設けられる度数表示ＬＥＤに表示させるための端数表示スイッチ１

50

５２、カードユニット５０がいずれの側のパチンコ遊技機１に対応しているのかを示す連結台方向表示器１５３、カードユニット５０内にカードが投入されていることを示すカード投入表示ランプ１５４、記録媒体としてのカードが挿入されるカード挿入口１５５、およびカード挿入口１５５の裏面に設けられているカードリーダーライタの機構を点検する場合にカードユニット５０を解放するためのカードユニット錠１５６が設けられている。

【００１９】

打球発射装置から発射された打球は、打球レールを通過して遊技領域７に入り、その後、遊技領域７を下りてくる。打球が通過ゲート１１を通過してゲートスイッチ１２で検出されると、可変表示器１０の表示数字が連続的に変化する状態になる。また、打球が始動入賞口１４に入り始動口スイッチ１７で検出されると、図柄の変動を開始できる状態であれば、可変表示部９内の図柄が回転を始める。図柄の変動を開始できる状態でなければ、始動入賞記憶を１増やす。

【００２０】

可変表示部９内の画像の回転は、一定時間が経過したときに停止する。停止時の画像の組み合わせが大当たり図柄の組み合わせであると、大当たり遊技状態に移行する。すなわち、開閉板２０が、一定時間経過するまで、または、所定個数（例えば１０個）の打球が入賞するまで開放する。そして、開閉板２０の開放中に打球が特定入賞領域に入賞しＶカウントスイッチ２２で検出されると、継続権が発生し開閉板２０の開放が再度行われる。継続権の発生は、所定回数（例えば１５ラウンド）許容される。

【００２１】

停止時の可変表示部９内の画像の組み合わせが確率変動を伴う大当たり図柄の組み合わせである場合には、次に大当たりとなる確率が高くなる。すなわち、高確率状態という遊技者にとってさらに有利な状態となる。また、可変表示器１０における停止図柄が所定の図柄（当り図柄）である場合に、可変入賞球装置１５が所定時間だけ開状態になる。さらに、高確率状態では、可変表示器１０における停止図柄が当り図柄になる確率が高められるとともに、可変入賞球装置１５の開放時間と開放回数が高められる。

【００２２】

次に、パチンコ遊技機１の裏面の構造について図２を参照して説明する。

可変表示装置８の背面では、図２に示すように、機構板３６の上部に景品玉タンク３８が設けられ、パチンコ遊技機１が遊技機設置島に設置された状態でその上方から景品玉が景品玉タンク３８に供給される。景品玉タンク３８内の景品玉は、誘導樋３９を通過して玉払出装置に至る。

【００２３】

機構板３６には、中継基板３０を介して可変表示部９を制御する可変表示制御ユニット２９、基板ケース３２に覆われ遊技制御用マイクロコンピュータ等が搭載された遊技制御基板（主基板）３１、可変表示制御ユニット２９と遊技制御基板３１との間の信号を中継するための中継基板３３、および景品玉の払出制御を行う賞球制御用マイクロコンピュータ等が搭載された賞球制御基板３７が設置されている。さらに、機構板３６の下部には、モータの回転力を利用して打球を遊技領域７に発射する打球発射装置３４と、遊技効果ランプ・ＬＥＤ２８ａ、２８ｂ、２８ｃ、賞球ランプ５１および球切れランプ５２に信号を送るためのランプ制御基板３５が設置されている。

【００２４】

また、図３はパチンコ遊技機１の遊技盤を背面からみた背面図である。誘導樋３９を通過した玉は、図３に示されるように、球切れ検出器１８７ａ、１８７ｂを通過して玉供給樋１８６ａ、１８６ｂを経て玉払出装置９７に至る。玉払出装置９７から払い出された景品玉は、連絡口４５を通過してパチンコ遊技機１の前面に設けられている打球供給皿３に供給される。連絡口４５の側方には、パチンコ遊技機１の前面に設けられている余剰玉受皿４に連通する余剰玉通路４６が形成されている。入賞にもとづく景品玉が多数払い出されて打球供給皿３が満杯になり、ついには景品玉が連絡口４５に到達した後さらに景品玉が払い出されると景品玉は、余剰玉通路４６を経て余剰玉受皿４に導かれる。さらに景品玉が

払い出されると、感知レバー 47 が満タンスイッチ 48 を押圧して満タンスイッチ 48 がオンする。その状態では、玉払出装装置 97 内のステッピングモータの回転が停止して玉払出装装置 97 の動作が停止するとともに、必要に応じて打球発射装置 34 の駆動も停止する。なお、この実施の形態では、電氣的駆動源の駆動によって遊技球を払い出す玉払出装装置として、ステッピングモータの回転によって遊技球が払い出される玉払出装装置 97 を例示するが、その他の駆動源によって遊技球を送り出す構造の玉払出装装置を用いてもよいし、電氣的駆動源の駆動によってストッパを外し遊技球の自重によって払い出しがなされる構造の玉払出装装置を用いてもよい。

【0025】

賞球払出制御を行うために、入賞口スイッチ 19a, 24a、始動口スイッチ 17 および V カウントスイッチ 22 からの信号が、主基板 31 に送られる。主基板 31 の CPU 56 は、始動口スイッチ 17 がオンすると 6 個の賞球払出に対応した入賞が発生したことを知る。また、カウントスイッチ 23 がオンすると 15 個の賞球払出に対応した入賞が発生したことを知る。そして、入賞口スイッチがオンすると 10 個の賞球払出に対応した入賞が発生したことを知る。なお、この実施の形態では、例えば、入賞口 24 に入賞した遊技球は、入賞口 24 からの入賞球流路に設けられている入賞口スイッチ 24a で検出され、入賞口 19 に入賞した遊技球は、入賞口 19 からの入賞球流路に設けられている入賞口スイッチ 19a で検出される。

【0026】

図 4 は、主基板 31 における回路構成の一例を示すブロック図である。なお、図 4 には、賞球制御基板 37、ランプ制御基板 35、音制御基板 70、発射制御基板 91 および表示制御基板 80 も示されている。主基板 31 には、プログラムに従ってパチンコ遊技機 1 を制御する基本回路 53 と、ゲートスイッチ 12、始動口スイッチ 17、V カウントスイッチ 22、カウントスイッチ 23 および入賞口スイッチ 19a, 24a からの信号を基本回路 53 に与えるスイッチ回路 58 と、可変入賞球装置 15 を開閉するソレノイド 16 および開閉板 20 を開閉するソレノイド 21 を基本回路 53 からの指令に従って駆動するソレノイド回路 59 と、始動記憶表示器 18 の点灯および滅灯を行うとともに 7 セグメント LED による可変表示器 10 と装飾ランプ 25 とを駆動するランプ・LED 回路 60 とが搭載されている。

【0027】

また、基本回路 53 から与えられるデータに従って、大当りの発生を示す大当り情報、可変表示部 9 の画像表示開始に利用された始動入賞球の個数を示す有効始動情報、確率変動が生じたことを示す確変情報等をホール管理コンピュータ等のホストコンピュータに対して出力する情報出力回路 64 を含む。

【0028】

基本回路 53 は、ゲーム制御用のプログラム等を記憶する ROM 54、ワークメモリとして使用される揮発性記憶手段の一例である RAM 55、制御用のプログラムに従って制御動作を行う CPU 56 および I/O ポート部 57 を含む。この実施の形態では、ROM 54, RAM 55 は CPU 56 に内蔵されている。すなわち、CPU 56 は、1 チップマイクロコンピュータである。なお、1 チップマイクロコンピュータは、少なくとも RAM 55 が内蔵されていればよく、ROM 54 および I/O ポート部 57 は外付けであっても内蔵されていてもよい。また、I/O ポート部 57 は、マイクロコンピュータにおける情報入出力可能な端子である。

【0029】

さらに、主基板 31 には、電源投入時に基本回路 53 をリセットするための初期リセット回路 65 と、基本回路 53 から与えられるアドレス信号をデコードして I/O ポート部 57 のうちのいずれかの I/O ポートを選択するための信号を出力するアドレスデコード回路 67 とが設けられている。

なお、玉払出装装置 97 から主基板 31 に入力されるスイッチ情報もあるが、図 4 ではそれらは省略されている。

10

20

30

40

50

【 0 0 3 0 】

遊技球を打撃して発射する打球発射装置は発射制御基板 9 1 上の回路によって制御される駆動モータ 9 4 で駆動される。そして、駆動モータ 9 4 の駆動力は、操作ノブ 5 の操作量に従って調整される。すなわち、発射制御基板 9 1 上の回路によって、操作ノブ 5 の操作量に応じた速度で打球が発射されるように制御される。

【 0 0 3 1 】

図 5 は、電源監視および電源バックアップのための CPU 5 6 周りの一構成例を示すブロック図である。図 5 に示すように、電源基板に搭載されている第 1 の電源監視回路（第 1 の電源監視手段）からの電圧低下信号が、CPU 5 6 のマスク不能割込端子（NMI 端子）に入力されている。第 1 の電源監視回路は、遊技機が使用する各種直流電源のうちのいずれかの電源の電圧を監視して電源電圧低下を検出する回路である。従って、CPU 5 6 は、マスク不能割込（NMI）によって電源断の状況を確認することができる。

10

【 0 0 3 2 】

主基板 3 1 には、第 2 の電源監視回路 9 0 3 が搭載されている。この例では、第 2 の電源監視回路 9 0 3 において、電源監視用 IC 9 0 4 が、第 1 の電源監視回路が監視する電源電圧と等しい電源電圧である + 3 0 V 電源電圧を監視して電圧値が所定値以下になるとローレベルの電圧低下信号を発生する。そして、例えば、電源基板に搭載される第 1 の電源監視回路の検出電圧（電圧低下信号を出力することになる電圧）を + 1 6 V とし、第 2 の電源監視回路 9 0 3 の検出電圧を + 8 V とする。そのように構成した場合には、同一の電圧を監視するので、第 1 の電圧監視回路が電圧低下信号を出力するタイミングと第 2 の電圧監視回路が電圧低下信号を出力するタイミングの差を所望の所定期間に確実に設定することができる。所望の所定期間とは、第 1 の電源監視回路からの電圧低下信号に応じて電源断時処理を開始してから電源断時処理が確実に完了するまでの期間である。

20

【 0 0 3 3 】

第 2 の電源監視回路 9 0 3 からの電圧低下信号は、初期リセット回路 6 5 からの初期リセット信号と論理和をとられた後に、CPU 5 6 のリセット端子に入力される。従って、CPU 5 6 は、初期リセット回路 6 5 からの初期リセット信号がローレベルを呈しているとき、または、第 2 の電源監視回路 9 0 3 からの電圧低下信号がローレベルを呈しているときに、システムリセット状態（非動作状態）になる。

【 0 0 3 4 】

なお、初期リセット回路 6 5 のリセット IC 6 5 1 は、遊技機に電源が投入され + 5 V 電源の電圧が上昇していくときに、+ 5 V 電源電圧が所定値以上になると、出力信号をハイレベルにする。すなわち、初期リセット信号をオフ状態にする。

30

【 0 0 3 5 】

CPU 5 6 等の駆動電源である + 5 V 電源から電力が供給されていない間、RAM の少なくとも一部は、電源基板から供給されるバックアップ電源によってバックアップされ、遊技機に対する電源が断しても内容は保存される。そして、+ 5 V 電源が復旧すると、初期リセット回路 6 5 からリセット信号が発せられるので、CPU 5 6 は、通常の動作状態に復帰する。そのとき、必要なデータがバックアップされているので、停電等からの復旧時には停電発生時の遊技状態に復帰することができる。

40

【 0 0 3 6 】

図 6 は、電源基板 9 1 0 の一構成例を示すブロック図である。電源基板 9 1 0 は、主基板 3 1、表示制御基板 8 0、音制御基板 7 0、ランプ制御基板 3 5 および賞球制御基板 3 7 等の遊技装置制御基板と独立して設置され、遊技機内の各遊技装置制御基板および機構部品が使用する電圧を生成する。この例では、AC 2 4 V、DC + 3 0 V、DC + 2 1 V、DC + 1 2 V および DC + 5 V を生成する。また、バックアップ電源となるコンデンサ 9 1 6 は、DC + 5 V すなわち各基板上の IC 等を駆動する電源のラインから充電される。

【 0 0 3 7 】

トランス 9 1 1 は、交流電源からの交流電圧を 2 4 V に変換する。AC 2 4 V 電圧は、

50

コネクタ 915 に出力される。また、整流回路 912 は、AC 24 V から +30 V の直流電圧を生成し、DC - DC コンバータ 913 およびコネクタ 915 に出力する。DC - DC コンバータ 913 は、+21 V、+12 V および +5 V を生成してコネクタ 915 に出力する。コネクタ 915 は例えば中継基板に接続され、中継基板から各遊技装置制御基板および機構部品に必要な電圧の電力が供給される。なお、トランス 911 の入力側には、遊技機に対する電源供給を停止したり開始させたりするための電源スイッチ 918 が設置されている。

【0038】

DC - DC コンバータ 913 からの +5 V ラインは分岐してバックアップ +5 V ラインを形成する。バックアップ +5 V ラインとグラウンドレベルとの間には大容量のコンデンサ 916 が接続されている。コンデンサ 916 は、遊技機に対する電力供給が遮断されたときの遊技装置制御基板のバックアップ RAM (電源バックアップされている RAM すなわち記憶内容保持状態となりうる記憶手段) に対して記憶状態を保持できるように電力を供給するバックアップ電源となる。また、+5 V ラインとバックアップ +5 V ラインとの間に、逆流防止用のダイオード 917 が挿入される。

【0039】

なお、バックアップ電源として、+5 V 電源から充電可能な電池を用いてもよい。電池を用いる場合には、+5 V 電源から電力供給されない状態が所定時間継続すると容量がなくなるような充電電池が用いられる。

【0040】

また、電源基板 910 には、上述した第 1 の電源回路を構成する電源監視用 IC 902 が搭載されている。電源監視用 IC 902 は、+30 V 電源電圧を導入し、+30 V 電源電圧を監視することによって電源断の発生を検出する。具体的には、+30 V 電源電圧が所定値 (この例では +16 V) 以下になったら、電源断が生ずるとして電圧低下信号を出力する。なお、+30 V 電源電圧は、交流から直流に変換された直後の電圧である。電源監視用 IC 902 からの電圧低下信号は、主基板 31 や賞球制御基板 37 等に供給される。

【0041】

電源監視用 IC 902 が電源断を検知するための所定値は、通常時の電圧より低い、各遊技装置制御基板上の CPU が暫くの間動作しうる程度の電圧である。また、電源監視用 IC 902 が、CPU を駆動するための電圧 (この例では +5 V) よりも高く、かつ、交流から直流に変換された直後の電圧を監視するように構成されているので、CPU が必要とする電圧に対して監視範囲を広げることができる。従って、より精密な監視を行うことができる。さらに、監視電圧として +30 V を用いる場合には、遊技機の各種スイッチに供給される電圧が +12 V であることから、電源瞬断時のスイッチオン誤検出の防止も期待できる。すなわち、+30 V 電源の電圧を監視すると、+30 V 作成の以降に作られる +12 V が落ち始める以前の段階でその低下を検出できる。よって、+12 V 電源の電圧が低下するとスイッチ出力がオン状態を呈するようになるが、+12 V より早く低下する +30 V 電源電圧を監視して電源断を認識すれば、スイッチ出力がオン状態を呈する前に電源復旧待ちの状態に入ってスイッチ出力を検出しない状態となることができる。

【0042】

また、電源監視用 IC 902 は、遊技装置制御基板とは別個の電源基板 910 に搭載されているので、第 1 の電源監視回路から複数の遊技装置制御基板に電圧低下信号を供給することができる。電圧低下信号を必要とする遊技装置制御基板が幾つあっても第 1 の電源監視手段は 1 つ設けられていればよいので、各遊技装置制御基板における各遊技装置制御手段が後述する電源復帰制御を行っても、遊技機のコストはさほど上昇しない。

【0043】

次に遊技機の動作について説明する。

図 7 は、主基板 31 における CPU 56 が実行するメイン処理を示すフローチャートである。遊技機に対する電源が投入されると、メイン処理において、CPU 56 は、まず、

10

20

30

40

50

停電からの復旧時であったか否か確認する（ステップS 1）。停電からの復旧時であったか否かは、例えば、電源断時にバックアップRAM領域に設定される電源断フラグによって確認される。

【0044】

すなわち、RAM領域が電源バックアップされている状態で遊技機に電源が再投入されるとRAMには電源断時の状態が保存されているので電源断フラグも正確に保存されている。RAM領域が電源バックアップされていない状態で遊技機に電源が投入されると、RAMの内容は不定になっているので、電源断フラグの値は正しくない。従って、電源断フラグのセット状態に応じて停電からの復旧時であったか否か確認することができる。なお、仮に、電源バックアップされていない状態で遊技機に電源が投入されたときに電源断フラグがセット状態になってしまったとしても、後述するパリティ診断によって、停電からの復旧時であったと誤って判断されてしまうことは防止される。

10

【0045】

停電からの復旧時であった場合には、CPU56は、後述する停電復旧処理を実行する（ステップS 4）。なお、停電からの復旧時でない場合には、CPU56は、通常の初期化処理を実行する（ステップS 2）。その後、メイン処理では、タイマ割込フラグの監視（ステップS 6）の確認を行うループ処理に移行する。なお、ループ内では、表示用乱数更新処理（ステップS 5）も実行される。

【0046】

通常の初期化処理では、図8に示すように、レジスタおよびRAMのクリア処理（ステップS 2 a）と、必要な初期値設定処理（ステップS 2 b）が行われた後に、2ms毎に定期的にタイマ割込がかかるようにCPU56に設けられているタイマレジスタの初期設定（タイムアウトが2msであることと繰り返しタイマが動作する設定）が行われる（ステップS 2 c）。すなわち、ステップS 2 cで、タイマ割込を能動化する処理と、タイマ割込インタバルを設定する処理とが実行される。

20

【0047】

従って、この実施の形態では、CPU56の内部タイマが繰り返しタイマ割込を発生するように設定される。この実施の形態では、繰り返し周期は2msに設定される。そして、図9に示すように、タイマ割込が発生すると、CPU56は、タイマ割込フラグをセットする（ステップS 11）。

30

【0048】

CPU56は、ステップS 6において、タイマ割込フラグがセットされたことを検出すると、タイマ割込フラグをリセットするとともに（ステップS 7）、遊技制御処理を実行する（ステップS 9）。以上の制御によって、この実施の形態では、遊技制御処理は2ms毎に起動されることになる。なお、この実施の形態では、タイマ割込処理ではフラグセットのみがなされ、遊技制御処理はメイン処理において実行されるが、タイマ割込処理で遊技制御処理を実行してもよい。

【0049】

図10は、遊技制御処理を示すフローチャートである。遊技制御処理において、CPU56は、まず、表示制御基板80に送出される表示制御コマンドをRAM55の所定の領域に設定する処理を行った後に（表示制御データ設定処理：ステップS 21）、表示制御コマンドを出力する処理を行う（表示制御データ出力処理：ステップS 22）。

40

【0050】

次いで、各種出力データの格納領域の内容を各出力ポートに出力する処理を行う（データ出力処理：ステップS 23）。また、ホール管理用コンピュータに出力される大当り情報、始動情報、確率変動情報などの出力データを格納領域に設定する出力データ設定処理を行う（ステップS 24）。さらに、パチンコ遊技機1の内部に備えられている自己診断機能によって種々の異常診断処理が行われ、その結果に応じて必要ならば警報が発せられる（エラー処理：ステップS 25）。

【0051】

50

次に、遊技制御に用いられる大当たり判定用の乱数等の各判定用乱数を示す各カウンタを更新する処理を行う（ステップS26）。

【0052】

さらに、CPU56は、特別図柄プロセス処理を行う（ステップS27）。特別図柄プロセス制御では、遊技状態に応じてパチンコ遊技機1を所定の順序で制御するための特別図柄プロセスフラグに従って該当する処理が選出されて実行される。そして、特別図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。また、普通図柄プロセス処理を行う（ステップS28）。普通図柄プロセス処理では、7セグメントLEDによる可変表示器10を所定の順序で制御するための普通図柄プロセスフラグに従って該当する処理が選出されて実行される。そして、普通図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。

10

【0053】

さらに、CPU56は、スイッチ回路58を介して、ゲートセンサ12、始動口センサ17、カウントセンサ23および入賞口スイッチ19a、24aの状態を入力し、各入賞口や入賞装置に対する入賞があったか否かを判定する（スイッチ処理：ステップS29）。CPU56は、さらに、停止図柄の種類を決定する乱数等の表示用乱数を更新する処理を行う（ステップS30）。

【0054】

また、CPU56は、賞球制御基板37との間の信号処理を行う（ステップS31）。すなわち、所定の条件が成立すると賞球制御基板37に賞球制御コマンドを出力する。賞球制御基板37に搭載されている賞球制御用CPUは、賞球制御コマンドに応じて玉払出装装置97を駆動する。

20

【0055】

以上のように、メイン処理には遊技制御処理に移行すべきか否かを判定する処理が含まれ、CPU56の内部タイマが定期的な発生するタイマ割込にもとづくタイマ割込処理で遊技制御処理に移行すべきか否かを判定するためのフラグがセットされるので、遊技制御処理の全てが確実に実行される。つまり、遊技制御処理の全てが実行されるまでは、次の遊技制御処理に移行すべきか否かの判定が行われないので、遊技制御処理中の全ての各処理が実行完了することは保証されている。

【0056】

30

従来の一般的な遊技制御処理は、定期的な発生する外部割込によって、強制的に最初の状態に戻されていた。図10に示された例に則して説明すると、例えば、ステップS31の処理中であっても、強制的にステップS21の処理に戻されていた。つまり、遊技制御処理中の全ての各処理が実行完了する前に、次の遊技制御処理が開始されてしまう可能性があった。

【0057】

なお、ここでは、主基板31のCPU56が実行する遊技制御処理は、CPU56の内部タイマが定期的な発生するタイマ割込にもとづくタイマ割込処理でセットされるフラグに応じて実行されたが、定期的に（例えば2ms毎）信号を発生するハードウェア回路を設け、その回路からの信号をCPU56の外部割込端子に導入し、割込信号によって遊技制御処理に移行すべきか否かを判定するためのフラグをセットするようにしてもよい。そのように構成した場合にも、遊技制御処理の全てが実行されるまでは、フラグの判定が行われないので、遊技制御処理中の全ての各処理が実行完了することが保証される。

40

【0058】

図11は、電源基板910の第1の電源監視回路からの電圧低下信号にもとづくNMIに応じて実行される停電発生NMI処理の一例を示すフローチャートである。停電発生NMI処理において、CPU56は、まず、割込禁止に設定する（ステップS41）。停電発生NMI処理ではRAM内容の保存を確実にするためにチェックサムの生成処理を行う。その処理中に他の割込処理が行われたのではチェックサムの生成処理が完了しないうちにCPUが動作し得ない電圧にまで低下してしまうことがことも考えられるので、まず、

50

他の割込が生じないような設定がなされる。

【 0 0 5 9 】

次いで、CPU 56は、電源断フラグが既にセットされているか否か確認する（ステップS 42）。電源断フラグが既にセットされていれば、以後の処理を行わない。電源断フラグがセットされていなければ、以下の電源断時処理を実行する。すなわち、ステップS 43からステップS 49の処理を実行する。まず、全ての出力ポートをオフ状態にする（ステップS 43）。そして、必要ならば各レジスタの内容をバックアップRAM領域に格納する（ステップS 44）。さらに、バックアップRAM領域のバックアップチェックデータ領域に適当な初期値を設定し（ステップS 45）、初期値およびバックアップRAM領域のデータについて順次排他的論理和をとって（ステップS 46）、最終的な演算値をバックアップパリティデータ領域に設定する（ステップS 47）。その後、電源断フラグをセットする（ステップS 48）。また、RAMアクセス禁止状態にする（ステップS 49）。電源電圧が低下していくときには、各種信号線のレベルが不安定になってRAM内容が化ける可能性があるが、このようにRAMアクセス禁止状態にしておけば、バックアップRAM内のデータが化けることはない。

10

【 0 0 6 0 】

次いで、CPU 56は、ループ処理にはいる。すなわち、何らの処理もしない状態になる。従って、図5に示された電源監視用IC 904からのリセット信号によって外部から動作禁止状態にされる前に、内部的に動作停止状態になる。よって、電源断時に確実にCPU 56は動作停止する。その結果、上述したRAMアクセス禁止の制御および動作停止制御によって、電源電圧が低下していくことに伴って生ずる可能性がある異常動作に起因するRAMの内容破壊等を確実に防止することができる。

20

【 0 0 6 1 】

なお、この実施の形態では、停電発生NMI処理では最終部でプログラムをループ状態にしたが、ホールト（HALT）命令を発行するように構成してもよい。

【 0 0 6 2 】

また、RAMアクセス禁止にする前にセットされる電源断フラグは、上述したように、電源投入時において停電からの復旧か否かを判断する際に使用される。また、ステップS 41からS 49の処理は、第2の電源監視手段が電圧低下信号を発生する前に完了する。換言すれば、第2の電源監視手段が電圧低下信号を発生する前に完了するように、第1の電圧監視手段および第2の電圧監視手段の検出電圧の設定が行われている。

30

【 0 0 6 3 】

この実施の形態では、電源断時処理開始時に、電源断フラグの確認が行われる。そして、電源断フラグが既にセットされている場合には電源断時処理を実行しない。上述したように、電源断フラグは、電源断時処理が完了したことを示すフラグである。従って、例えば、リセット待ちのループ状態で何らかの原因で再度NMIが発生したとしても、電源断時処理が重複して実行されてしまうようなことはない。

【 0 0 6 4 】

図12は、停電復旧処理（ステップS 4）の一例を示すフローチャートである。停電復旧処理において、CPU 56は、まず、バックアップRAM領域のデータチェック（この例ではパリティチェック）を行う（ステップS 51）。不測の電源断が生じた後に復旧した場合には、バックアップRAM領域のデータは保存されていたはずであるから、チェック結果は正常になる。チェック結果が正常でない場合には、内部状態を電源断時の状態に戻すことができないので、停電復旧時でない電源投入時に実行される初期化処理（ステップS 2）と同様の初期化処理を実行する（ステップS 52，S 54）。

40

【 0 0 6 5 】

チェック結果が正常であれば、CPU 56は、内部状態を電源断時の状態に戻すための遊技状態復旧処理を行うとともに（ステップS 53）、電源断フラグをクリアする（ステップS 55）。

【 0 0 6 6 】

50

なお、ここでは、ステップ S 1 で停電からの復旧か否かを確認し、停電からの復旧時であればパリティチェックを行ったが、最初に、パリティチェックを実行し、チェック結果が正常でなければ停電からの復旧ではないと判断してステップ S 2 の初期化処理を実行し、チェック結果が正常であれば遊技状態復帰処理を行ってもよい。すなわち、パリティチェックの結果をもって停電からの復旧であるか否かを判断してもよい。

【 0 0 6 7 】

図 1 3 は、バックアップパリティデータ作成方法を説明するための説明図である。ただし、図 1 3 に示す例では、簡単のために、バックアップデータ R A M 領域のデータのサイズを 3 バイトとする。電源電圧低下にもとづく停電発生処理において、図 1 3 (A) に示すように、バックアップチェックデータ領域に、初期データ（この例では 0 0 H）が設定される。次に、「 0 0 H」と「 F 0 H」の排他的論理和がとられ、その結果と「 1 6 H」の排他的論理和がとられる。さらに、その結果と「 D F H」の排他的論理和がとられる。そして、その結果（この例では「 3 9 H」）がバックアップパリティデータ領域に設定される。

10

【 0 0 6 8 】

電源が再投入されたときには、停電復旧処理においてパリティ診断が行われるが、図 1 3 (B) はパリティ診断の例を示す説明図である。バックアップ領域の全データがそのまま保存されていれば、電源再投入時に、図 1 3 (A) に示すようなデータがバックアップ領域に設定されている。

【 0 0 6 9 】

20

ステップ S 5 1 の処理において、C P U 5 6 は、バックアップ R A M 領域のバックアップパリティデータ領域に設定されていたデータ（この例では「 3 9 H」）を初期データとして、バックアップデータ領域の各データについて順次排他的論理和をとる処理を行う。バックアップ領域の全データがそのまま保存されていれば、最終的な演算結果は、「 0 0 H」、すなわちバックアップチェックデータ領域に設定されているデータと一致する。バックアップ R A M 領域内のデータにビット誤りが生じていた場合には、最終的な演算結果は「 0 0 H」にならない。

【 0 0 7 0 】

よって、C P U 5 6 は、最終的な演算結果とバックアップチェックデータ領域に設定されているデータとを比較して、一致すればパリティ診断正常とする。一致しなければ、パリティ診断異常とする。

30

【 0 0 7 1 】

なお、この実施の形態では、停電発生処理で、チェックデータ（この例ではパリティデータ）の生成が行われたが、チェックデータの生成を行わず、電源断フラグのセットのみを行うようにしてもよい。

【 0 0 7 2 】

以上のように、この実施の形態では、遊技制御手段には、遊技機の電源が断しても、所定期間電源バックアップされるバックアップ R A M が設けられ、電源投入時に、C P U 5 6（具体的には C P U 5 6 が実行するプログラム）は、バックアップ R A M がバックアップ状態にあればバックアップデータにもとづいて遊技状態を回復させる遊技状態復旧処理（ステップ S 5 3）を行うように構成される。従って、電源断が発生しても遊技者に不利益がもたらされることを防止することができる遊技機が提供される。

40

【 0 0 7 3 】

以下、遊技状態復旧処理について説明する。

まず、この実施の形態において、主基板 3 1 の C P U 5 6 が、表示制御基板 8 0、音制御基板 7 0 およびランプ制御基板 3 5 に送出する表示制御コマンド、音制御コマンドおよびランプ制御コマンドについて説明する。各制御コマンドは、図 1 0 に示された遊技制御処理における特別図柄プロセス処理（ステップ S 2 8）で遊技進行に応じて送出することが決定され、表示制御データ設定処理（ステップ S 2 1）で具体的なデータが設定され、表示制御データ出力処理（ステップ S 2 2）で出力ポートから出力されることによって送

50

出される。

【 0 0 7 4 】

図 1 4 (A) は、可変表示部 9 における図柄変動に関する各制御コマンドの送出タイミング例を示す説明図である。この実施の形態では、主基板 3 1 の C P U 5 6 は、図柄変動を開始させるときに、表示制御基板 8 0、音制御基板 7 0 およびランプ制御基板 3 5 のそれぞれに対して変動開始コマンドを送出する。表示制御基板 8 0 に対しては、さらに、左右中図柄の確定図柄を示す図柄指定コマンドを送出する。

【 0 0 7 5 】

そして、図柄変動を確定させるときに、表示制御基板 8 0、音制御基板 7 0 およびランプ制御基板 3 5 のそれぞれに対して変動停止コマンドを送出する。表示制御基板 8 0、音制御基板 7 0 およびランプ制御基板 3 5 に搭載されている各 C P U は、変動開始コマンドで指定された変動態様に応じた表示制御、音発生制御およびランプ点灯制御を行う。なお、変動開始コマンドには変動時間を示す情報が含まれている。

【 0 0 7 6 】

図 1 4 (B) は、可変表示部 9 の表示結果が所定の大当たり図柄であった場合に実行される大当たり遊技に関する各制御コマンドの送出タイミング例を示す説明図である。この実施の形態では、主基板 3 1 の C P U 5 6 は、大当たり遊技開始時に、表示制御基板 8 0、音制御基板 7 0 およびランプ制御基板 3 5 のそれぞれに対して大当たり開始コマンドを送出する。また、所定時間経過後に、1 ラウンド (1 R) 指定コマンドを送出する。表示制御基板 8 0、音制御基板 7 0 およびランプ制御基板 3 5 に搭載されている各 C P U は、大当たり開始コマンドを受信すると、大当たり開始時の表示制御、音発生制御およびランプ点灯制御を行う。また、1 ラウンド指定コマンドを受信すると、大当たり中の表示制御、音発生制御およびランプ点灯制御を行う。ただし、表示制御基板 8 0 の C P U は、1 ラウンド目の表示を行う。

【 0 0 7 7 】

その後、主基板 3 1 の C P U 5 6 は、表示制御基板 8 0 に対して各ラウンドを示すコマンド等を順次送出する。表示制御基板 8 0 の C P U は、それらのコマンドに応じて対応する表示制御を行う。

【 0 0 7 8 】

また、大当たり遊技終了時に、主基板 3 1 の C P U 5 6 は、表示制御基板 8 0、音制御基板 7 0 およびランプ制御基板 3 5 のそれぞれに対して大当たり終了コマンドを送出する。そして、所定時間経過後に、通常画面表示コマンドを送出する。各遊技装置制御手段は、通常画面表示コマンドを受信すると、制御状態を遊技待ちの状態にする。

【 0 0 7 9 】

図 1 5 は、図 1 2 に示された停電復旧処理で行われる遊技状態復旧処理の一例を示すフローチャートである。この例では、C P U 5 6 は、レジスタ内容を復元する必要がある場合、バックアップ R A M に保存されていた値をレジスタに復元する (ステップ S 6 1)。そして、バックアップ R A M に保存されていたデータにもとづいて停電時の遊技状態を確認する。例えば、特別図柄プロセス処理の進行状況に対応した特別図柄プロセスフラグの値によって遊技状態を確認することができる。

【 0 0 8 0 】

遊技状態が図柄変動中であつた場合には (ステップ S 6 2)、変動開始コマンドを表示制御基板 8 0、音制御基板 7 0 およびランプ制御基板 3 5 に送出する制御を行う (ステップ S 6 3)。また、遊技状態が大当たり遊技中であつた場合には (ステップ S 6 4)、停電前に最後の送出された制御コマンドを表示制御基板 8 0、音制御基板 7 0 およびランプ制御基板 3 5 に送出する制御を行う (ステップ S 6 5)。そして、それ以外の遊技状態であつた場合には、例えば、通常画面表示コマンドを制御コマンドを表示制御基板 8 0、音制御基板 7 0 およびランプ制御基板 3 5 に送出する制御を行う (ステップ S 6 6)。また、例えば、大当たり中であつた場合の可変入賞球装置 1 5 の状態復帰は、R A M のデータが保存されているため、後の遊技制御処理内で自動的に行われる。

【 0 0 8 1 】

図 1 6 は、停電が発生した後に復旧した場合の制御状態の一例を示す説明図である。図 1 6 において、可変表示の状態は表示制御基板 8 0 の C P U (表示制御手段) によって実現され、音の状態は音制御基板 7 0 の C P U (音制御手段) によって実現され、ランプの状態はランプ制御基板 3 5 の C P U (ランプ制御手段) によって実現される。

【 0 0 8 2 】

図 1 6 (A) は、図柄変動中に停電が生じた後に復旧した場合の例を示す。この場合には、電源復旧時に、主基板 3 1 から変動開始コマンドが送出される (図 1 6 におけるステップ S 6 3)。変動開始コマンドは、図柄変動開始時に送出されるコマンドであるから、可変表示制御、音制御およびランプ制御の状態は、変動開始時の状態に戻る。この実施の形態では、変動開始コマンドには変動時間を指定する情報を含まれ、主基板 3 1 の C P U 5 6 は変動開始コマンド送出後では変動終了時の確定コマンド (変動停止コマンド) まで何も送出しない (図柄指定コマンドを除く)。従って、図柄変動中に停電が生じた場合には、変動途中の状態から変動を再開することはできないが、変動開始コマンドを再送出することによって、表示制御、音制御およびランプ制御は同期した状態に戻る。

10

【 0 0 8 3 】

なお、主基板 3 1 において、変動開始時に使用した各種パラメータはバックアップ R A M に保存されている。従って、電源復旧後の変動における表示結果 (確定図柄) 等は、停電によって中断した変動においてなされるはずであった表示結果等と同じである。従って、遊技者に不利益が与えられるということはない。

20

【 0 0 8 4 】

図 1 6 (B) は、大当たり遊技中に停電が生じた後に復旧した場合の例を示す。この場合には、電源復旧時に、主基板 3 1 から停電前の最後に表示制御基板 8 0、音制御基板 7 0 およびランプ制御基板 3 5 に送出されたコマンドが再送出される (図 1 5 におけるステップ S 6 5)。従って、音制御およびランプ制御は、大当たり遊技中の制御状態に戻る。また、表示制御も、停電時に行われていた状態に戻る。

【 0 0 8 5 】

なお、主基板 3 1 において、大当たり遊技中の各種パラメータ (大入賞口開放回数、大入賞口入賞球数等) はバックアップ R A M に保存されている。従って、遊技者にとっての遊技状態も停電前の状態に戻るので、遊技者に不利益が与えられるということはない。

30

【 0 0 8 6 】

なお、上記の実施の形態では、遊技制御手段において、データ保存処理および復旧処理が行われる場合について説明したが、賞球制御手段、音声制御手段、ランプ制御手段および表示制御手段における R A M の一部も電源バックアップされ、賞球制御手段、表示制御手段、音制御手段およびランプ制御手段も、上述したような処理を行ってもよい。ただし、賞球制御手段、表示制御手段、音制御手段およびランプ制御手段は、復旧時にコマンド送出処理を行う必要はない。

【 0 0 8 7 】

また、この実施の形態では、2つの電源監視回路が設けられている。そして、電源電圧が低下していくときに、第2の電源監視手段 (この例では電源監視用 I C 9 0 4) が電圧低下信号を発生する時期は、第1の電源監視手段 (この例では電源監視用 I C 9 0 2) が電圧低下信号を発生する時期よりも遅くなるように設定されている。さらに、第2の電源監視手段からの電圧低下信号は、C P U 5 6 のリセット端子に入力されている。

40

【 0 0 8 8 】

すると、C P U 5 6 は、図 1 7 に示すように、第1の電源監視回路 (電源監視用 I C 9 0 2) からの電圧低下信号にもとづいて停電発生処理 (電源断時処理) を実行した後に電源断待ちに入るのであるが、電源断待ち状態において、リセット状態に入ることになる。すなわち、C P U 5 6 の動作が停止する。電源待ち状態では + 5 V 電源電圧値が徐々に低下するので入出力状態が不定になるが、C P U 5 6 はリセット状態になるので、不定データにもとづいて異常動作してしまうことは防止される。

50

【 0 0 8 9 】

このように、この実施の形態では、CPU 56 が、第 1 の電源監視手段からの検出出力の入力に応じて電源断時処理を実行するとともに、第 2 の電源監視手段（電源監視用 IC 904）からの検出出力の入力に応じてシステムリセットされるように構成したので、電源断時に確実なデータ保存を行うことができ、遊技者に不利益がもたらされることを防止することができる。

【 0 0 9 0 】

さらに、この実施の形態では、停電発生処理（電源断時処理）において、電源断時処理が既に行われたことを示す電源断時フラグがセットされている場合には電源断時処理を実行しないように構成されている。電源が断する過程では一般に電源電圧が不安定になるので、図 17 に破線で示すように再度 NMI が発生する可能性がある。すると、停電発生処理において電源断時フラグの確認を行わない場合には、再度発生した NMI によって再度電源断時処理が実行される。

10

【 0 0 9 1 】

最初に行われた正規の電源断時処理では、例えばレジスタの内容をバックアップ RAM に格納する処理が行われる（図 11 におけるステップ S44 参照）。最初に行われた正規の電源断時処理後のリセット待ちの状態では電源電圧は徐々に低下していくので、レジスタの内容が破壊される可能性もある。すなわち、レジスタ値は、電源断が検出されたときの状態（最初に NMI が発生したとき）から変化している可能性がある。そのような状態で再度電源断時処理が実行されると、電源断が検出されたときの状態のレジスタ値とは異なる値がバックアップ RAM に格納されてしまう。すると、電源復旧時に実行される停電復旧処理において、電源断が検出されたときの状態のレジスタ値とは異なる値がレジスタに復旧されてしまう。その結果、電源断時の遊技状態とは異なる遊技状態が再現されてしまう可能性が生ずる。

20

【 0 0 9 2 】

ところが、この実施の形態のように、既に電源断時処理が行われた後には、NMI が発生したとしても電源断時処理を実行しないように構成すれば、電源復旧時に、電源断時の遊技状態とは異なる遊技状態が再現されてしまう可能性はなくなる。

【 0 0 9 3 】

上記の実施の形態では、第 1 の電源監視手段は電源基板 910 に搭載され、第 2 の電源監視手段は主基板 31 に搭載されていたが、第 2 の電源監視手段を電源基板 910 に搭載し、第 1 の電源監視手段を主基板 31 に搭載してもよい。

30

【 0 0 9 4 】

図 18 は、第 2 の電源監視手段が搭載された電源基板 910 の構成例を示すブロック図である。この例では、第 2 の電源監視手段として、+30V 電源電圧が例えば +8V になると電圧低下信号を出力する電源監視用 IC 904 が搭載されている。

【 0 0 9 5 】

図 19 は、第 1 の電源監視手段が搭載された主基板 31 の CPU 56 周りの構成を示すブロック図である。この例では、第 1 の電源監視手段として、+30V 電源電圧が例えば +16V になると電圧低下信号を出力する電源監視用 IC 902 が搭載されている。そして、電源監視用 IC 902 からの電圧低下信号が CPU 56 の NMI 端子に入力されている。また、電源基板 910 の電源監視用 IC 904 からの電圧低下信号は、初期リセット回路 65 からの初期リセット信号と論理和をとられた後に、CPU 56 のリセット端子に入力される。

40

【 0 0 9 6 】

このような構成によっても、上述した実施の形態の場合と同様の制御を実現することができる。

【 0 0 9 7 】

なお、上記の実施の形態では、第 1 の電源監視手段からの検出信号がマイクロコンピュータの NMI 端子に入力され NMI 処理によって電源断時処理が実行される場合を例にと

50

ったが、第1の電源監視手段からの検出信号をマスク可能割込端子（I R Q端子）に入力しI R Q端子への割込信号にもとづく割込処理によって電源断時処理を実行するようにしてもよい。その場合には、割込処理プログラムは、例えば、最初に電源断フラグをチェックし既に電源断フラグがセットされていれば処理を終了し、電源断フラグがセットされていなければ電源断時処理を実行して電源断フラグをセットした後にループするかH A L T命令を発行するように構成される。あるいは、最初に割込マスクをセットし、電源断時処理を実行して電源断フラグをセットした後にループするかH A L T命令を発行するように構成される。

【0098】

また、上記の各実施の形態のパチンコ遊技機1は、始動入賞にもとづいて可変表示部9に可変表示される特別図柄の停止図柄が所定の図柄の組み合わせになると所定の遊技価値が遊技者に付与可能になる第1種パチンコ遊技機であったが、始動入賞にもとづいて開放する電動役物の所定領域への入賞があると所定の遊技価値が遊技者に付与可能になる第2種パチンコ遊技機や、始動入賞にもとづいて可変表示される図柄の停止図柄が所定の図柄の組み合わせになると開放する所定の電動役物への入賞があると所定の権利が発生または継続する第3種パチンコ遊技機であっても、本発明を適用できる。

【0099】

また、上記の各実施の形態では、以下のような遊技機も開示されている。

【0100】

遊技制御マイクロコンピュータが、割込に応じた処理で電源断時処理が実行されたことを示す電源断フラグをセットするとともに、その処理の開始時に電源断フラグがセットされているか否かを判定しセットされていれば電源断時処理を実行しないように構成されている。

【0101】

電源監視手段は、I C駆動電源よりも高い電位の電圧を監視するように構成されている。

【0102】

電源監視手段は、交流から直流に変換された直後の電圧を監視するように構成されている。

【0103】

遊技機には電源監視手段が電圧低下を検出した所定期間後に電源電圧低下を検出する第2の電源監視手段が設けられ、遊技制御マイクロコンピュータが、第2の電源監視手段からの検出出力の入力に応じてシステムリセットされるように構成されている。

【0104】

電源監視手段は、遊技制御基板とは別個に設けられ遊技制御基板および他の基板で使用する各電圧を生成する電源基板に搭載され、第2の電源監視手段は、遊技制御基板に搭載されているように構成されている。

【0105】

電源監視手段と第2の電源監視手段とは同一の電源電圧を監視し、第2の電源監視手段が電圧低下を検出する電圧は、電源監視手段が電圧低下を検出する電圧よりも低いように構成されている。

【0106】

電源断時処理には、記憶手段へのアクセスを防止する処理が含まれている。

【0107】

遊技制御マイクロコンピュータが、割込に応じた処理で電源断時処理が実行されたことを示す電源断フラグをセットするとともに、その処理の開始時に電源断フラグがセットされているか否かを判定しセットされていれば電源断時処理を実行しないように構成されている場合には、遊技制御マイクロコンピュータは、割込の発生に応じて電源断時処理を実行すべきか否かを容易に判断することができる。

【0108】

電源監視手段が、ＩＣ駆動電源よりも高い電位の電圧を監視するように構成されている場合には、遊技制御マイクロコンピュータ等のＩＣが必要とする電圧に対して監視範囲を広げることができ、より精密な監視を行うことができる。

【０１０９】

電源監視手段が、交流から直流に変換された直後の電圧を監視するように構成されている場合には、電圧低下を素早く検出することができ、電源断時処理を確実に実行することができる。

【０１１０】

遊技機には電源監視手段が電圧低下を検出した所定期間後に電源電圧低下を検出する第２の電源監視手段が設けられ、遊技制御マイクロコンピュータが、第２の電源監視手段からの検出出力の入力に応じてシステムリセットされるように構成されている場合には、システムリセットによって遊技制御マイクロコンピュータの動作が外部からも停止されるので、電源断時により確実なデータ保存を行うことができる。

10

【０１１１】

電源監視手段が遊技制御基板とは別個に設けられ遊技制御基板および他の基板で使用する各電圧を生成する電源基板に搭載され、第２の電源監視手段が遊技制御基板に搭載されているように構成されている場合には、電源基板の電源監視手段から複数の制御基板に検出出力を供給することができるので、遊技機のコストはさほど上昇しない。

【０１１２】

電源監視手段と第２の電源監視手段とは同一の電源電圧を監視し、第２の電源監視手段が電圧低下を検出する電圧は、電源監視手段が電圧低下を検出する電圧よりも低いように構成されている場合には、電源監視手段が検出出力を発生するタイミングと第２の電源監視手段が検出出力を発生するタイミングの差を所望の所定期間に確実に設定することができる。

20

【０１１３】

電源断時処理には、記憶手段へのアクセスを防止する処理が含まれている場合には、電源断時に記憶手段内のデータが破壊されることをより確実に防止できる。

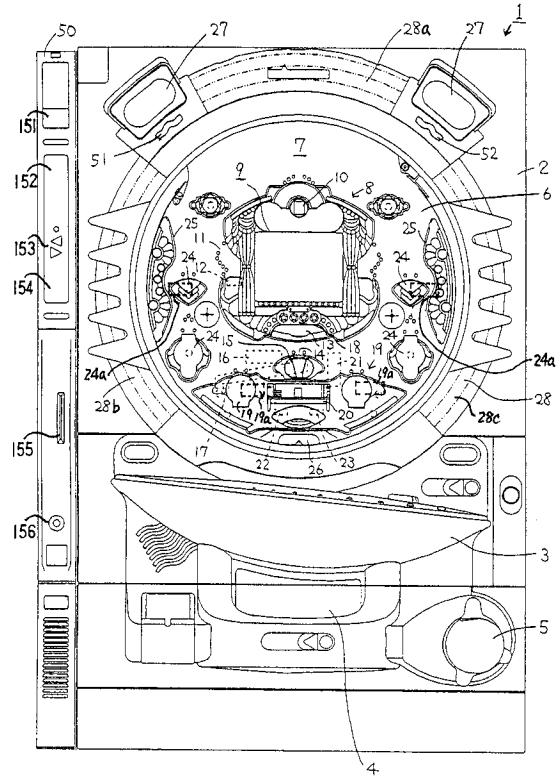
【符号の説明】

【０１１４】

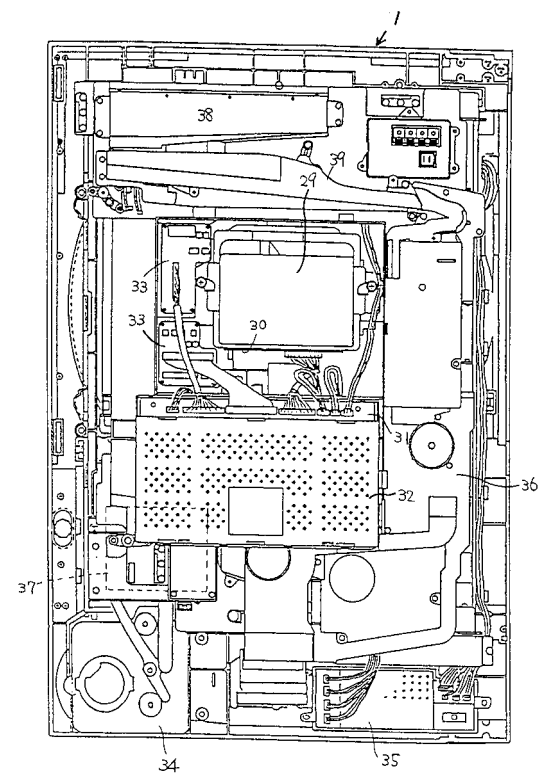
- １ パチンコ遊技機
- ３１ 主基板
- ５３ 基本回路
- ５６ ＣＰＵ
- ９０２，９０４ 電源監視用ＩＣ
- ９１０ 電源基板

30

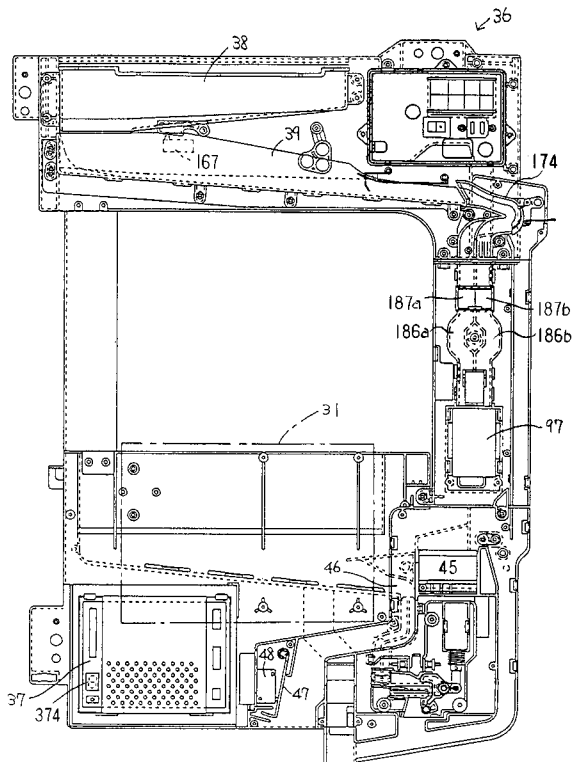
【図 1】



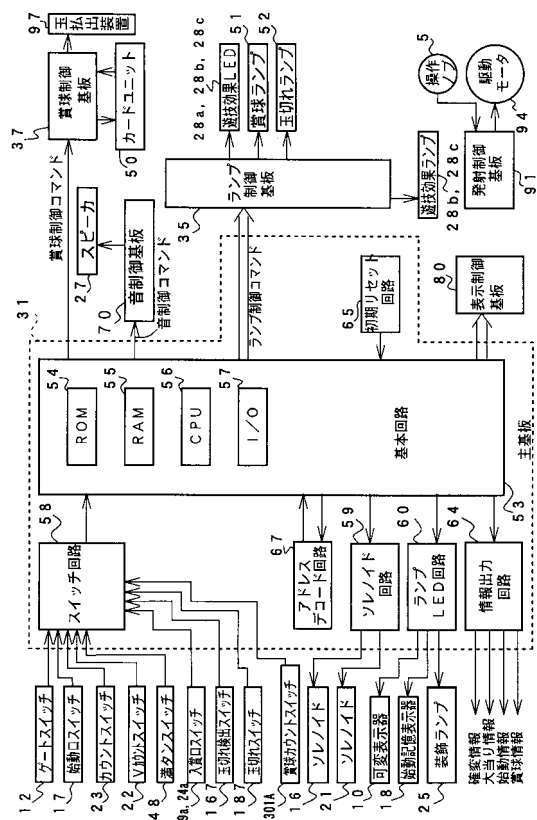
【図 2】



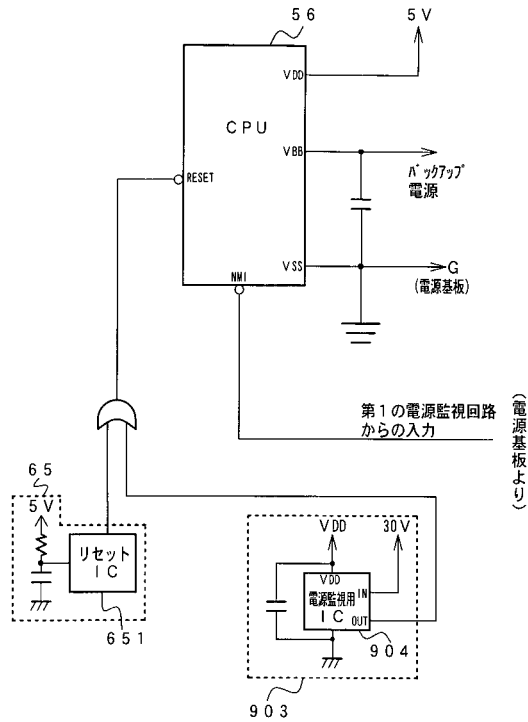
【図 3】



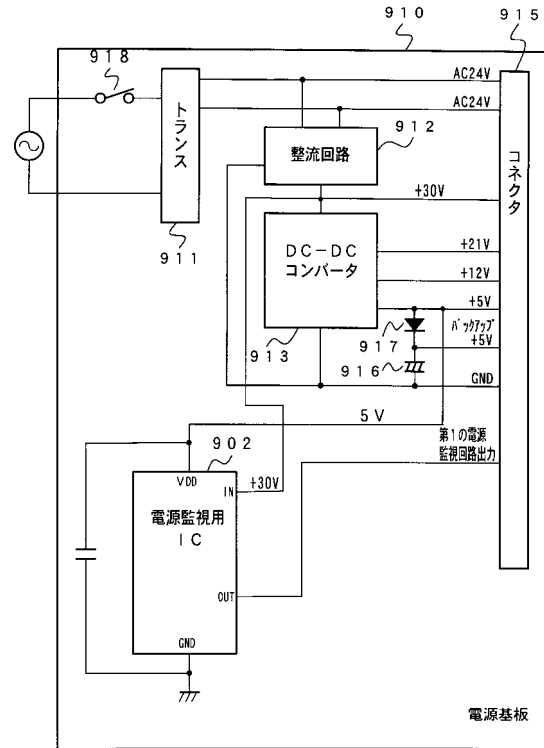
【図 4】



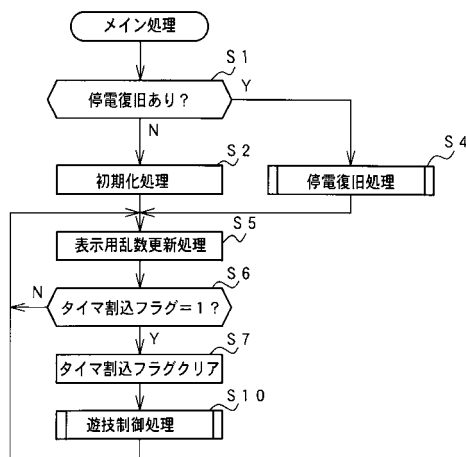
【図 5】



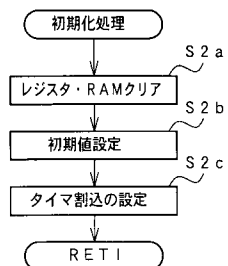
【図 6】



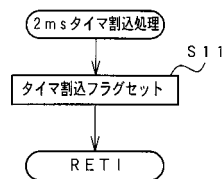
【図 7】



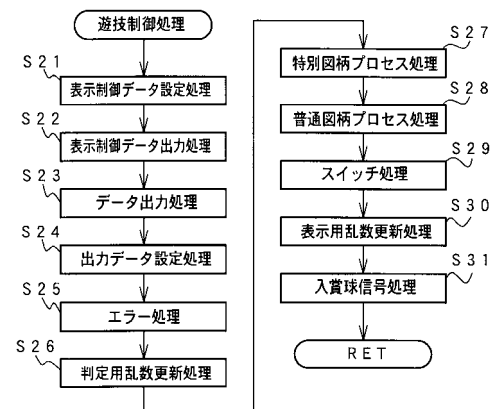
【図 8】



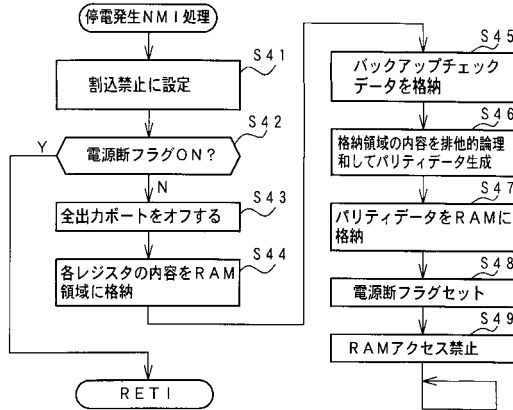
【図 9】



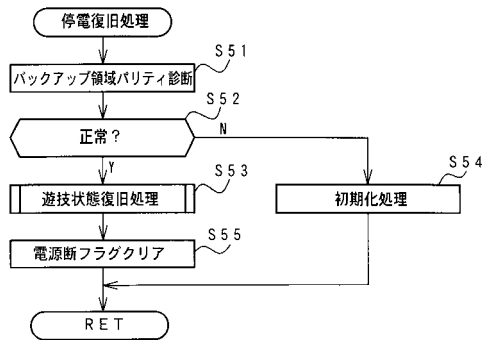
【図 10】



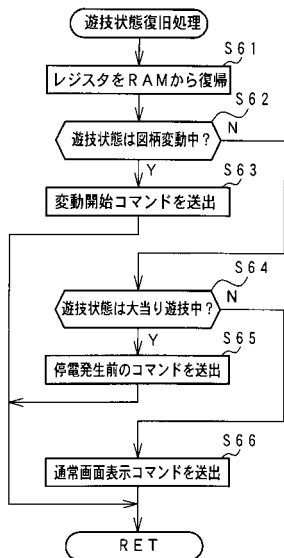
【図 1 1】



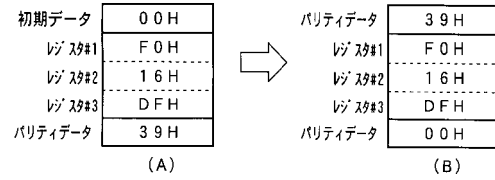
【図 1 2】



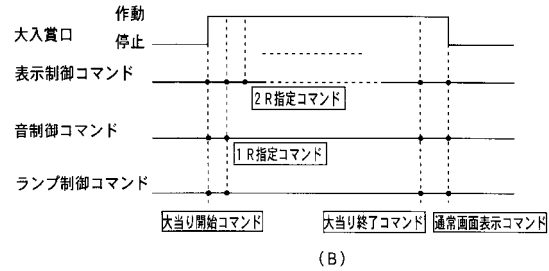
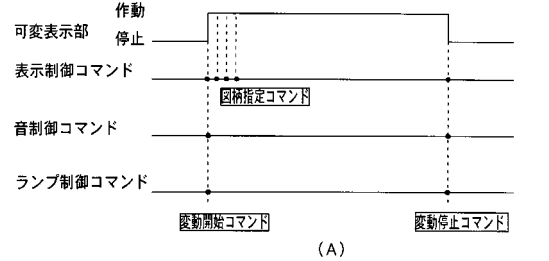
【図 1 5】



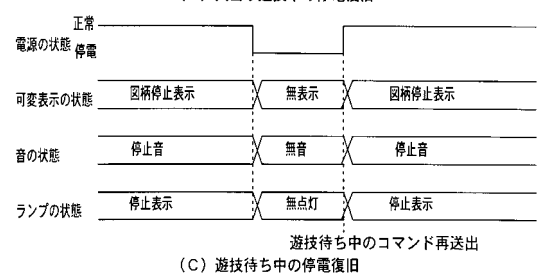
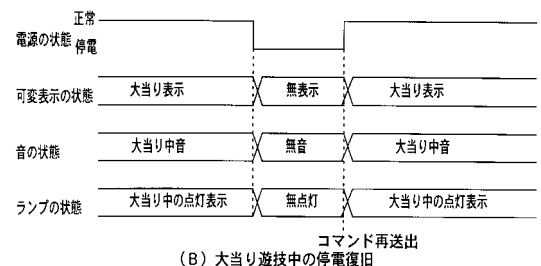
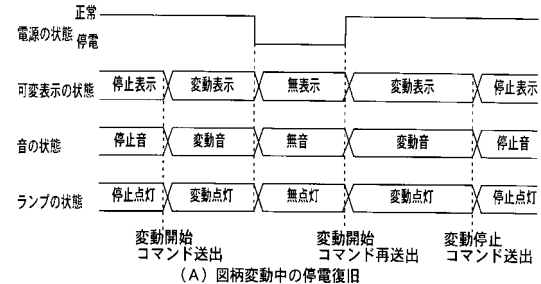
【図 1 3】



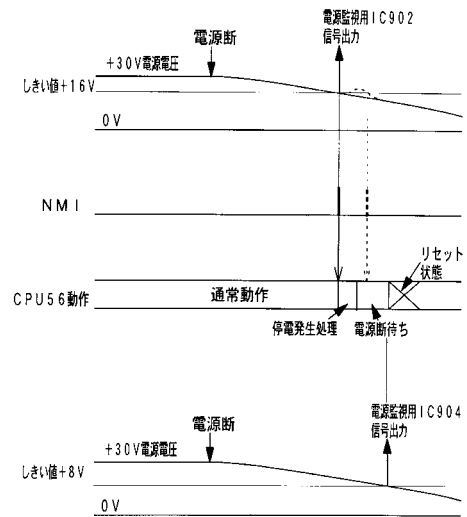
【図 1 4】



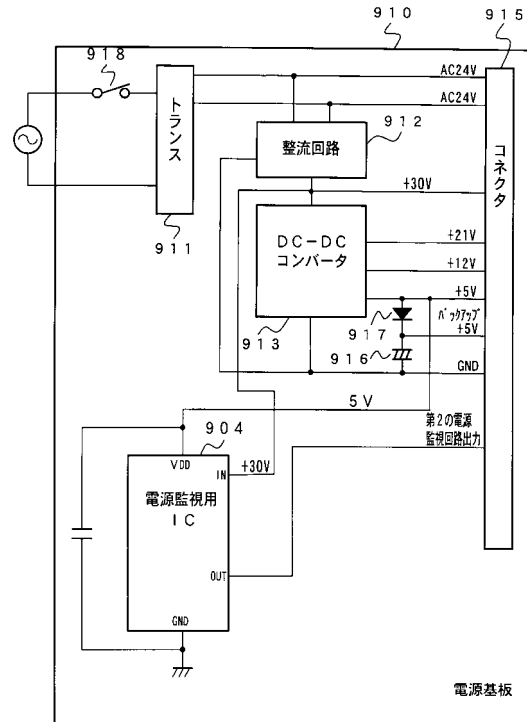
【図 1 6】



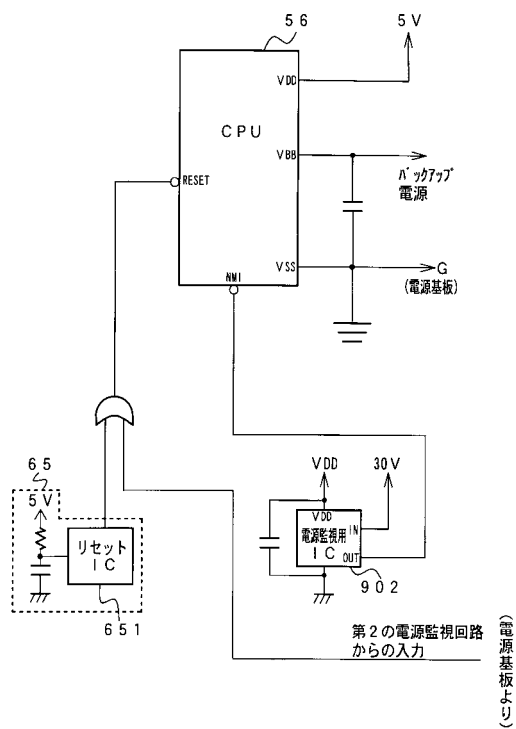
【図 17】



【図 18】



【図 19】



フロントページの続き

(56)参考文献 特開2001-79248(JP,A)
特開平10-003331(JP,A)
特開平8-229208(JP,A)

(58)調査した分野(Int.Cl., DB名)
A63F 7/02