

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7269397号
(P7269397)

(45)発行日 令和5年5月8日(2023.5.8)

(24)登録日 令和5年4月25日(2023.4.25)

(51)国際特許分類	F I
H 01 L 21/336 (2006.01)	H 01 L 29/78 6 1 9 A
H 01 L 29/786 (2006.01)	G 02 F 1/1368
G 02 F 1/1368 (2006.01)	G 09 F 9/30 3 3 8
G 09 F 9/30 (2006.01)	H 01 L 27/146 C
H 01 L 27/146 (2006.01)	H 01 L 29/78 6 1 8 B

請求項の数 1 (全95頁) 最終頁に続く

(21)出願番号	特願2022-22090(P2022-22090)	(73)特許権者	000153878
(22)出願日	令和4年2月16日(2022.2.16)		株式会社半導体エネルギー研究所
(62)分割の表示	特願2021-23047(P2021-23047)の分割		神奈川県厚木市長谷398番地
原出願日	平成27年11月26日(2015.11.26)	(72)発明者	山崎 舜平
(65)公開番号	特開2022-81496(P2022-81496A)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(43)公開日	令和4年5月31日(2022.5.31)	(72)発明者	肥塚 純一
審査請求日	令和4年2月25日(2022.2.25)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31)優先権主張番号	特願2014-241466(P2014-241466)	(72)発明者	岡崎 健一
(32)優先日	平成26年11月28日(2014.11.28)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(33)優先権主張国・地域又は機関	日本国(JP)	(72)発明者	神長 正美
(31)優先権主張番号	特願2014-264766(P2014-264766)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32)優先日	平成26年12月26日(2014.12.26)		最終頁に続く
(33)優先権主張国・地域又は機関			最終頁に続く

(54)【発明の名称】 表示装置の作製方法

(57)【特許請求の範囲】

【請求項1】

酸化物半導体膜を用いてチャネル形成領域が形成されるトランジスタを有する表示装置の作製方法であって、

前記酸化物半導体膜を形成する工程と、

前記酸化物半導体膜上に絶縁膜を形成する工程と、

前記絶縁膜上にインジウムを含む膜を形成し、前記絶縁膜に酸素を添加する工程と、

前記インジウムを含む膜を除去する工程と、を有する、表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、酸化物半導体膜を有する半導体装置、該半導体装置の作製方法、及び該半導体装置を有する表示装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関する。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、またはそれらの製造方法に関する。

【0003】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有している場合がある。

【背景技術】

【0004】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（電界効果トランジスタ（FET）、または薄膜トランジスタ（TFT）ともいう）を構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコンを代表とする半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている（例えば、特許文献1）。

10

【0005】

また、酸化物半導体層上に酸化物絶縁層を形成し、酸化物絶縁層を通過して酸素を導入（添加）し、加熱処理を行い、該酸素導入及び該加熱処理によって、水素、水分、水酸基または水素化物などの不純物を酸化物半導体層より排除し、酸化物半導体層を高純度化する半導体装置の作製方法が開示されている（例えば、特許文献2）

20

【先行技術文献】

【特許文献】

【0006】

【文献】特開2006-165529号公報

特開2011-199272号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

酸化物半導体膜をチャネル領域に有するトランジスタを作製する場合、酸化物半導体膜のチャネル領域中に混入する水素または水分などの不純物は、トランジスタ特性に影響を与えるため問題となる。また、酸化物半導体膜のチャネル領域中に形成される酸素欠損は、トランジスタ特性に影響を与えるため問題となる。例えば、酸化物半導体膜のチャネル領域中に酸素欠損が形成されると、該酸素欠損に水素が結合し、キャリア供給源となる。酸化物半導体膜のチャネル領域中にキャリア供給源が生成されると、酸化物半導体膜を有するトランジスタの電気特性の変動、代表的にはしきい値電圧のシフトが生じる。また、トランジスタごとに電気特性がばらつくという問題がある。したがって、酸化物半導体膜のチャネル領域においては、酸素欠損が少ないほど好ましい。また、酸化物半導体膜のチャネル領域においては、酸素欠損とともに、水素または水分などの不純物が少ないほど好ましい。

30

【0008】

また、電極または配線が接触する酸化物半導体膜の領域においては、良好な接触抵抗を得るために抵抗が低い方が好ましい。

40

【0009】

上記問題に鑑み、本発明の一態様は、酸化物半導体膜を有する半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることを課題の1つとする。または、本発明の一態様は、新規な半導体装置及び新規な半導体装置の作製方法を提供することを課題の1つとする。または、本発明の一態様は、新規な表示装置を提供することを課題の1つとする。

【0010】

なお、上記の課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。上記以外の課題は、明細

50

書等の記載から自ずと明らかになるものであり、明細書等の記載から上記以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0011】

本発明の一態様は、酸化物半導体膜を有する半導体装置であって、半導体装置は、ゲート電極と、ゲート電極上のゲート絶縁膜と、ゲート絶縁膜上の酸化物半導体膜と、酸化物半導体膜上の二対の電極と、を有し、酸化物半導体膜は、チャネル領域と、二対の電極と接するn型領域と、を有し、チャネル領域の酸素欠損は、n型領域の酸素欠損よりも少ない半導体装置である。

【0012】

また、本発明の他の一態様は、酸化物半導体膜を有する半導体装置であって、半導体装置は、ゲート電極と、ゲート電極上のゲート絶縁膜と、ゲート絶縁膜上の酸化物半導体膜と、酸化物半導体膜上の二対の電極と、酸化物半導体膜及び二対の電極上の酸化物絶縁膜と、を有し、酸化物半導体膜は、チャネル領域と、二対の電極と接するn型領域と、を有し、チャネル領域の酸素欠損は、n型領域の酸素欠損よりも少ない半導体装置である。

【0013】

また、本発明の他の一態様は、酸化物半導体膜を有する半導体装置であって、半導体装置は、第1のゲート電極と、第1のゲート電極上のゲート絶縁膜と、ゲート絶縁膜上の酸化物半導体膜と、酸化物半導体膜上の二対の電極と、酸化物半導体膜及び二対の電極上の酸化物絶縁膜と、酸化物絶縁膜上の窒化物絶縁膜と、窒化物絶縁膜上の第2のゲート電極と、を有し、酸化物半導体膜は、チャネル領域と、二対の電極と接するn型領域と、を有し、チャネル領域の酸素欠損は、n型領域の酸素欠損よりも少ない半導体装置である。

【0014】

また、上記態様において、チャネル領域は、二対の電極の下に形成される酸化物半導体膜よりも薄い領域を有すると好ましい。

【0015】

また、上記態様において、酸化物半導体膜は、Inと、Znと、M(Mは、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHfを表す)と、を有すると好ましい。また、上記態様において、酸化物半導体膜は、結晶部を有し、結晶部は、c軸配向性を有し、c軸が酸化物半導体膜の被形成面の法線ベクトルに平行である部分を有すると好ましい。

【0016】

また、上記態様において、酸化物絶縁膜は、昇温脱離ガス分析法によって、 $8.0 \times 10^{14} \text{ atoms/cm}^2$ 以上の酸素原子が検出されると好ましい。

【0017】

また、本発明の他の一態様は、上記態様にいずれか一つに記載の半導体装置と表示素子とを有する表示装置である。また、本発明の他の一態様は、該表示装置とタッチセンサとを有する表示モジュールである。また、本発明の他の一態様は、上記態様にいずれか一つに記載の半導体装置、上記態様の表示装置、または上記態様の表示モジュールと、操作キーまたはバッテリとを有する電子機器である。

【0018】

また、本発明の他の一態様は、酸化物半導体膜を有する半導体装置の作製方法であって、基板上にゲート電極を形成する工程と、ゲート電極上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に酸化物半導体膜を形成する工程と、酸化物半導体膜上に導電膜を形成することで、酸化物半導体膜中に酸素欠損を有する領域を形成する工程と、導電膜を加工し、二対の電極を形成する工程と、酸化物半導体膜、及び二対の電極上から薬液またはガスにより、二対の電極間の酸化物半導体膜の酸素欠損を有する領域を除去する工程とを、有する半導体装置の作製方法である。

【0019】

また、本発明の他の一態様は、酸化物半導体膜を有する半導体装置の作製方法であって、基板上にゲート電極を形成する工程と、ゲート電極上にゲート絶縁膜を形成する工程と

10

20

30

40

50

、ゲート絶縁膜上に酸化物半導体膜を形成する工程と、酸化物半導体膜上に導電膜を形成することで、酸化物半導体膜中に酸素欠損を有する領域を形成する工程と、導電膜を加工し、一対の電極を形成する工程と、酸化物半導体膜、及び一対の電極上から薬液またはガスにより、一対の電極間の酸化物半導体膜の酸素欠損を有する領域を除去する工程と、酸化物半導体膜、及び一対の電極上に酸化物絶縁膜を形成する工程と、酸化物絶縁膜中に酸素を添加する工程と、有する半導体装置の作製方法である。

【0020】

上記態様において、導電膜は、スパッタリング装置により形成されると好ましい。また、上記態様において、電力密度が $1 \text{ W} / \text{cm}^2$ 以上 $4 \text{ W} / \text{cm}^2$ 以下で形成されると好ましい。

10

【発明の効果】

【0021】

本発明の一態様により、酸化物半導体膜を有する半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、新規な半導体装置または新規な半導体装置の作製方法を提供することができる。または、本発明の一態様により、新規な表示装置を提供することができる。

【0022】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

20

【図面の簡単な説明】

【0023】

【図1】半導体装置の一態様を示す上面図及び断面図。

【図2】半導体装置の一態様を示す断面図。

【図3】半導体装置の一態様を示す上面図及び断面図。

【図4】半導体装置の一態様を示す断面図。

【図5】半導体装置の一態様を示す断面図。

【図6】半導体装置の一態様を示す断面図。

30

【図7】バンド構造を説明する図。

【図8】酸化物半導体膜中の電流が流れる際の概念を説明する模式図。

【図9】バンド構造の模式図及びバンドダイアグラムを説明する図。

【図10】トランジスタの信頼性試験結果を説明する図。

【図11】トランジスタ中の電子密度分布を計算した結果を説明する図。

【図12】半導体装置の作製工程の一例を示す断面図。

【図13】半導体装置の作製工程の一例を示す断面図。

【図14】半導体装置の作製工程の一例を示す断面図。

【図15】半導体装置の作製工程の一例を示す断面図。

【図16】ガスベーク炉の加熱処理時の熱プロファイルを説明する図。

40

【図17】ガスベーク炉の加熱処理時の熱プロファイルを説明する図。

【図18】半導体装置の作製工程の一例を示す断面図。

【図19】半導体装置の作製工程の一例を示す断面図。

【図20】C A A C - O S の断面における C s 補正高分解能 TEM 像、および C A A C - O S の断面模式図。

【図21】C A A C - O S の平面における C s 補正高分解能 TEM 像。

【図22】C A A C - O S および単結晶酸化物半導体の X R D による構造解析を説明する図。

【図23】C A A C - O S の電子回折パターンを示す図。

【図24】I n - G a - Z n 酸化物の電子照射による結晶部の変化を示す図。

50

【図 2 5】 C A A C - O S の成膜方法を説明する図。
 【図 2 6】 I n M Z n O 4 の結晶を説明する図。
 【図 2 7】 C A A C - O S の成膜方法を説明する図。
 【図 2 8】 C A A C - O S の成膜方法を説明する図。
 【図 2 9】 n c - O S の成膜方法を説明する図。
 【図 3 0】 表示装置を説明するブロック図及び回路図。
 【図 3 1】 タッチパネルの一例を示す斜視図。
 【図 3 2】 表示装置の一例を示す断面図。
 【図 3 3】 タッチセンサの一例を示す断面図。
 【図 3 4】 タッチパネルの一例を示す断面図。
 【図 3 5】 タッチセンサのブロック図及びタイミングチャート図。
 【図 3 6】 タッチセンサの回路図。
 【図 3 7】 半導体装置の回路構成を説明する図。
 【図 3 8】 画素回路の構成を説明する図、及び画素回路の動作を説明するタイミングチャート。

【図 3 9】 表示モジュールを説明する図。
 【図 4 0】 電子機器を説明する図。
 【図 4 1】 成膜装置の構成を説明する図。
 【図 4 2】 実施例における試料を説明する断面図、及び実施例における試料の作製工程を説明する断面図。

【図 4 3】 シート抵抗測定結果、及び E S R 測定結果を説明する図。
 【図 4 4】 実施例における、トランジスタを説明する上面図及び断面図。
 【図 4 5】 実施例における、トランジスタの信頼性試験結果を説明する図。
 【図 4 6】 実施例における、トランジスタの断面 T E M 像。
 【図 4 7】 実施例における、トランジスタの断面 T E M 像。
 【図 4 8】 実施例における、断面観察箇所を表す上面図。
 【図 4 9】 実施例における、トランジスタの断面 T E M 像。
 【図 5 0】 実施例における、トランジスタの断面 T E M 像。
 【図 5 1】 実施例における、トランジスタのオン電流及びしきい値電圧の確率分布を説明する図。

【図 5 2】 実施例における、トランジスタの信頼性試験結果を説明する図。
 【図 5 3】 実施例における、トランジスタのストレス時間に対するオン電流の劣化率を説明する図。

【発明を実施するための形態】

【0 0 2 4】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0 0 2 5】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。

【0 0 2 6】

また、本明細書などにおいて、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0 0 2 7】

10

20

30

40

50

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0028】

また、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有する場合がある。

10

【0029】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレン領域またはドレン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャネル領域を有しており、ドレインとチャネル領域とソースとを介して電流を流すことができるものである。なお、本明細書等において、チャネル領域とは、電流が主として流れる領域をいう。

【0030】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

20

【0031】

また、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0032】

30

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものという。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものという。

【0033】

40

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0034】

また、本明細書において、「平行」とは、二つの直線が-10°以上10°以下の角度で配置されている状態をいう。したがって、-5°以上5°以下の場合も含まれる。また、「略平行」とは、二つの直線が-30°以上30°以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が80°以上100°以下の角度で配置されている状態をいう。したがって、85°以上95°以下の場合も含まれる。また、「略垂直」とは、二つの直線が60°以上120°以下の角度で配置されている状態をいう。

50

【0035】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置、及び当該半導体装置の作製方法について、図1乃至図19を参照して説明する。

【0036】

<半導体装置の構成例1>

図1(A)は、本発明の一態様の半導体装置であるトランジスタ100の上面図であり、図1(B)は、図1(A)に示す一点鎖線X1-X2間ににおける切断面の断面図に相当し、図1(C)は、図1(A)に示す一点鎖線Y1-Y2間ににおける切断面の断面図に相当する。なお、図1(A)において、煩雑になることを避けるため、トランジスタ100の構成要素の一部(ゲート絶縁膜として機能する絶縁膜等)を省略して図示している。また、一点鎖線X1-X2方向をチャネル長方向、一点鎖線Y1-Y2方向をチャネル幅方向と呼称する場合がある。なお、トランジスタの上面図においては、以降の図面においても図1(A)と同様に、構成要素の一部を省略して図示する場合がある。

10

【0037】

トランジスタ100は、基板102上のゲート電極として機能する導電膜104と、基板102及び導電膜104上の絶縁膜106と、絶縁膜106上の絶縁膜107と、絶縁膜107上の酸化物半導体膜108と、酸化物半導体膜108に電気的に接続されるソース電極として機能する導電膜112aと、酸化物半導体膜108に電気的に接続されるドレイン電極として機能する導電膜112bと、を有する。また、トランジスタ100上、より詳しくは、導電膜112a、112b及び酸化物半導体膜108上には絶縁膜114、116、及び絶縁膜118が設けられる。絶縁膜114、116、118は、トランジスタ100の保護絶縁膜としての機能を有する。

20

【0038】

ここで、図2を用いて酸化物半導体膜108について説明を行う。図2(A)(B)は、図1(B)に示す酸化物半導体膜108近傍の拡大図である。

【0039】

図1(B)及び図2(A)(B)に示すように、酸化物半導体膜108は、チャネル領域108iと、n型領域108nと、を有する。チャネル領域108iは、ソース電極及びドレイン電極として機能する導電膜112a、112bの間の領域である。また、n型領域108nは、ソース電極及びドレイン電極として機能する導電膜112a、112bと接する領域に形成される。

30

【0040】

なお、図2(A)は、チャネル領域108iの上面がn型領域108nの下面と概ね一致した構成であり、図2(B)は、チャネル領域108iの上面がn型領域108nの下面よりも下側に位置する構成である。チャネル領域108iの形状としては、図2(A)、及び図2(B)に示すいずれの構成でもよい。

【0041】

酸化物半導体膜108が有するチャネル領域108iに水素、水分等の不純物が混入すると、酸化物半導体膜108中に形成される酸素欠損と結合し、キャリアである電子が生じる。上述の不純物起因のキャリアが生じると、トランジスタ100がノーマリーオン特性になりやすい。したがって、酸化物半導体膜108が有するチャネル領域108i中の水素、水分等の不純物を減らすこと、及び酸化物半導体膜108が有するチャネル領域108i中の酸素欠損を減らすことが安定したトランジスタ特性を得る上でも重要となる。一方で、酸化物半導体膜108が有するn型領域108nとしては、ソース電極及びドレイン電極として機能する導電膜112a、112bと接合するため、抵抗が低い方が好みしい。そこで、本発明の一態様のトランジスタの構成においては、酸化物半導体膜108が有するn型領域108n中に酸素欠損を形成し、該酸素欠損に水素を結合させることで、低抵抗領域を形成する。酸素欠損としては、ソース電極及びドレイン電極として機能する導電膜112a、112bとなる導電膜を形成する際に酸化物半導体膜108の上部

40

50

に形成される。また、ソース電極及びドレイン電極として機能する導電膜 112a、112bを形成後、チャネル領域 108i となる領域の上部の酸素欠損が形成された領域を取り除き、且つ絶縁膜 114 及び絶縁膜 116 からチャネル領域 108i 中に酸素を移動させることで、チャネル領域 108i 中の酸素欠損を補填する。

【0042】

上記構造とすることで、チャネル領域 108i においては、不純物濃度が低く、欠陥準位密度の低い（以下では、不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）ことを高純度真性または実質的に高純度真性という）酸化物半導体膜とすることができます、且つn型領域 108n においては、ソース電極及びドレイン電極として機能する導電膜 112a、112bとの接触抵抗が低い酸化物半導体膜とすることができます。よって、電気特性の変動が抑制された半導体装置を提供することができる。10

【0043】

なお、絶縁膜 114、116 は、化学量論的組成よりも過剰に酸素を含有する領域（酸素過剰領域）を有する。別言すると、絶縁膜 114、116 は、酸素を放出することが可能な絶縁膜である。なお、絶縁膜 114、116 に酸素過剰領域を設けるには、例えば、成膜後の絶縁膜 114、116 に酸素を添加して、酸素過剰領域を形成する。酸素の添加方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法、プラズマ処理等を用いることができる。なお、該プラズマ処理としては、酸素ガスを高周波電力によってプラズマ化させる装置（プラズマエッティング装置またはプラズマアッシング装置ともいう）を用いると好適である。20

【0044】

また、昇温脱離ガス分析法（TDS（Thermal Desorption Spectroscopy））を用いて絶縁膜を測定することで、酸素の放出量を測定することができます。例えば、絶縁膜 114、116 を昇温脱離ガス分析法において測定した場合、酸素原子の放出量が 8.0×10^{14} atoms/cm² 以上、好ましくは 1.0×10^{15} atoms/cm² 以上、さらに好ましくは 1.5×10^{15} atoms/cm² 以上である。なお、昇温脱離ガス分析法における膜の表面温度は、100 以上 700 以下、好ましくは 100 以上 500 以下である。

【0045】

また、本発明の一態様においては、絶縁膜 114、116 に酸素過剰領域を形成するため、絶縁膜 116 上に酸素の放出を抑制できる機能を有する保護膜（単に保護膜という場合もある）を形成し、該保護膜を通過させて、絶縁膜 114、116 に酸素を導入する。30

【0046】

酸素の放出を抑制できる機能を有する保護膜としては、例えば、インジウム（In）と、亜鉛（Zn）、錫（Sn）、タンゲステン（W）、チタン（Ti）、またはシリコン（Si）の中から選ばれた一種を含む材料を用いることができる。とくに、保護膜としては、インジウムを含む導電膜、またはインジウムを含む半導体膜が好ましい。また、上記保護膜は、酸素の導入後に除去してもよい。インジウムを含む導電膜としては、タンゲステンを含むインジウム酸化物、タンゲステンを含むインジウム亜鉛酸化物、チタンを含むインジウム酸化物、チタンを含むインジウム錫酸化物、インジウム錫酸化物（In-Sn 酸化物：ITOともいう）、インジウム亜鉛酸化物（In-Zn 酸化物）、シリコンを含むインジウム錫酸化物（In-Sn-Si 酸化物：ITSOともいう）などの透光性を有する導電性材料が挙げられる。上述した中でも、酸素の放出を抑制できる機能を有する保護膜として、特にITSOを用いると、凹凸等を有する絶縁膜上にも被覆性がよく形成できるため好適である。40

【0047】

次に、図1に示すトランジスタ 100 の構成について、より詳細に説明する。

【0048】

<基板>

基板 102 の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度

10

20

30

40

50

の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板 102 として用いてもよい。また、シリコンや炭化シリコンなどを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI 基板等を適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板 102 として用いてもよい。なお、基板 102 として、ガラス基板を用いる場合、第 6 世代 (1500 mm × 1850 mm)、第 7 世代 (1870 mm × 2200 mm)、第 8 世代 (2200 mm × 2400 mm)、第 9 世代 (2400 mm × 2800 mm)、第 10 世代 (2950 mm × 3400 mm) 等の大面積基板を用いることで、大型の表示装置を作製することができる。

【0049】

また、基板 102 として、可撓性基板を用い、可撓性基板上に直接、トランジスタ 100 を形成してもよい。または、基板 102 とトランジスタ 100 の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板 102 より分離し、他の基板に転載するのに用いることができる。その際、トランジスタ 100 は耐熱性の劣る基板や可撓性の基板にも転載できる。

【0050】

<導電膜>

ゲート電極として機能する導電膜 104、及びソース電極及びドレイン電極として機能する導電膜 112a、112b としては、クロム (Cr)、銅 (Cu)、アルミニウム (Al)、金 (Au)、銀 (Ag)、亜鉛 (Zn)、モリブデン (Mo)、タンタル (Ta)、チタン (Ti)、タンゲステン (W)、マンガン (Mn)、ニッケル (Ni)、鉄 (Fe)、コバルト (Co) から選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いてそれぞれ形成することができる。

【0051】

また、導電膜 104、112a、112b は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタンゲステン膜を積層する二層構造、窒化タンタル膜または窒化タンゲステン膜上にタンゲステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タンゲステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

【0052】

また、導電膜 104、112a、112b には、インジウム錫酸化物、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。

【0053】

また、導電膜 104、112a、112b には、Cu-X 合金膜 (X は、Mn、Ni、Cr、Fe、Co、Mo、Ta、または Ti) を適用してもよい。Cu-X 合金膜を用いることで、ウェットエッティングプロセスで加工できるため、製造コストを抑制することが可能となる。

【0054】

<ゲート絶縁膜>

トランジスタ 100 のゲート絶縁膜として機能する絶縁膜 106、107 としては、プラズマ化学気相堆積 (PECVD: (Plasma Enhanced Chemical Vapour Deposition)) 法、スパッタリング法等により、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜

10

20

30

40

50

、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁層を、それぞれ用いることができる。なお、絶縁膜 106、107 の積層構造とせずに、上述の材料から選択された単層の絶縁膜、または 3 層以上の絶縁膜を用いてもよい。

【0055】

なお、トランジスタ 100 の酸化物半導体膜 108 と接する絶縁膜 107 は、酸化物絶縁膜であることが好ましく、化学量論的組成よりも過剰に酸素を含有する領域（酸素過剰領域）を有することがより好ましい。別言すると、絶縁膜 107 は、酸素を放出することが可能な絶縁膜である。なお、絶縁膜 107 に酸素過剰領域を設けるには、例えば、酸素雰囲気下にて絶縁膜 107 を形成すればよい。または、成膜後の絶縁膜 107 に酸素を導入して、酸素過剰領域を形成してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法、プラズマ処理等を用いることができる。

10

【0056】

また、絶縁膜 107 として、酸化ハフニウムを用いる場合、以下の効果を奏する。酸化ハフニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコンを用いた場合と比べて、絶縁膜 107 の膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。すなわち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

20

【0057】

なお、本実施の形態では、絶縁膜 106 として窒化シリコン膜を形成し、絶縁膜 107 として酸化シリコン膜を形成する。窒化シリコン膜は、酸化シリコン膜と比較して比誘電率が高く、酸化シリコン膜と同等の静電容量を得るのに必要な膜厚が大きいため、トランジスタのゲート絶縁膜として、窒化シリコン膜を含むことで絶縁膜を厚膜化することができる。よって、トランジスタ 100 の絶縁耐圧の低下を抑制、さらには絶縁耐圧を向上させて、トランジスタ 100 の静電破壊を抑制することができる。

30

【0058】

<酸化物半導体膜>

酸化物半導体膜 108 は、In と、Zn と、M（M は、Ti、Ga、Y、Zr、La、Ce、Nd、Sn または Hf を表す）と、を有する。代表的には、酸化物半導体膜 108 は、In-Ga 酸化物、In-Zn 酸化物、In-M-Zn 酸化物を用いることができる。特に酸化物半導体膜 108 としては、In-M-Zn 酸化物を用いると好ましい。

【0059】

酸化物半導体膜 108 が In-M-Zn 酸化物の場合、In-M-Zn 酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、In-M-Zn を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、In:M:Zn = 1:1:1、In:M:Zn = 1:1:1.2、In:M:Zn = 2:1:3、In:M:Zn = 3:1:2、In:M:Zn = 4:2:4.1 が好ましい。

40

【0060】

例えば、In-M-Zn 酸化物として、In:Ga:Zn = 4:2:4.1 [原子数比] のスパッタリングターゲットを用いて、酸化物半導体膜 108 を形成する場合、トランジスタの電界効果移動度を高められるため好適である。トランジスタの電界効果移動度を高めることで、例えば、4k × 2k（水平方向画素数 = 3840 画素、垂直方向画素数 = 2160 画素）または 8k × 4k（水平方向画素数 = 7680 画素、垂直方向画素数 = 4

50

320画素)に代表される高精細な表示装置の画素回路または駆動回路のトランジスタとして好適に用いることができる。

【0061】

また、成膜される酸化物半導体膜108の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む場合がある。例えば、スパッタリングターゲットとして、原子数比が $In : Ga : Zn = 4 : 2 : 4$ 、 $In : Ga : Zn = 4 : 2 : 3$ 近傍となる場合がある。また、スパッタリングターゲットとして、原子数比が $In : Ga : Zn = 1 : 1 : 1$ 、 $In : Ga : Zn = 1 : 1 : 1$ 近傍となる場合がある。

10

【0062】

なお、酸化物半導体膜108が $In - M - Zn$ 酸化物膜であるとき、 Zn 及び O を除いての In と M の原子数比率は、好ましくは In が25atomic%より高く、 M が75atomic%未満、さらに好ましくは In が34atomic%より高く、 M が66atomic%未満とする。

【0063】

また、酸化物半導体膜108は、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

20

【0064】

また、酸化物半導体膜108の厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。

【0065】

なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性(電界効果移動度、しきい値電圧等)に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、酸化物半導体膜108のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとすることが好ましい。

【0066】

なお、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、該酸化物半導体膜にチャネル領域が形成されるトランジスタは、しきい値電圧がマイナスとなる電気特性(ノーマリーオンともいう。)になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著しく小さく、チャネル幅が $1 \times 10^6 \mu m$ でチャネル長 L が $10 \mu m$ の素子であっても、ソース電極とドレイン電極間の電圧(ドレイン電圧)が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} A$ 以下という特性を得ることができる。

30

【0067】

したがって、上記高純度真性、または実質的に高純度真性の酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとすることができます。なお、酸化物半導体膜のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。不純物としては、水素、窒素、アルカリ金属、またはアルカリ土類金属等がある。

40

【0068】

酸化物半導体膜108に含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子(または酸素が脱離した部分)に酸素欠損を形成する。該酸

50

素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体膜 108 は水素ができる限り低減されていることが好ましい。具体的には、酸化物半導体膜 108 において、S I M S (Secondary Ion Mass Spectrometry) 分析により得られる水素濃度を、 2×10^{20} atoms / cm³ 以下、好ましくは 5×10^{19} atoms / cm³ 以下、より好ましくは 1×10^{19} atoms / cm³ 以下、 5×10^{18} atoms / cm³ 以下、好ましくは 1×10^{18} atoms / cm³ 以下、より好ましくは 5×10^{17} atoms / cm³ 以下、さらに好ましくは 1×10^{16} atoms / cm³ 以下とする。

【 0069 】

酸化物半導体膜 108 において、第 14 族元素の一つであるシリコンや炭素が含まれると、酸化物半導体膜 108 において酸素欠損が増加し、n型化してしまう。このため、酸化物半導体膜 108 におけるシリコンや炭素の濃度と、酸化物半導体膜 108 と隣接する膜との界面近傍のシリコンや炭素の濃度 (S I M S 分析により得られる濃度) を、 2×10^{18} atoms / cm³ 以下、好ましくは 2×10^{17} atoms / cm³ 以下とする。

【 0070 】

また、酸化物半導体膜 108 において、S I M S 分析により得られるアルカリ金属またはアルカリ土類金属の濃度を、 1×10^{18} atoms / cm³ 以下、好ましくは 2×10^{16} atoms / cm³ 以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまうことがある。このため、酸化物半導体膜 108 のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

【 0071 】

また、酸化物半導体膜 108 に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい、例えば、S I M S 分析により得られる窒素濃度は、 5×10^{18} atoms / cm³ 以下にすることが好ましい。

【 0072 】

また、酸化物半導体膜 108 に用いることのできる酸化物半導体については、実施の形態 2 にて詳細を説明する。

【 0073 】

< 保護絶縁膜 >

絶縁膜 114、116、118 は、保護絶縁膜としての機能を有する。絶縁膜 114、116 は酸素を有し、絶縁膜 118 は窒素を有する。また、絶縁膜 114 は、酸素を透過することのできる絶縁膜である。なお、絶縁膜 114 は、後に形成する絶縁膜 116 を形成する際の、酸化物半導体膜 108 へのダメージ緩和膜としても機能する。

【 0074 】

絶縁膜 114 としては、厚さが 5 nm 以上 150 nm 以下、好ましくは 5 nm 以上 50 nm 以下の酸化シリコン膜または酸化窒化シリコン膜を用いることができる。

【 0075 】

また、絶縁膜 114 は、欠陥量が少ないことが好ましく、代表的には、E S R (Electron Spin Resonance) 測定により、シリコンのダンギリングボンドに由来する $g = 2.001$ に現れる信号のスピン密度が 3×10^{17} spins / cm³ 以下であることが好ましい。これは、絶縁膜 114 に含まれる欠陥密度が多いと、該欠陥に酸素が結合してしまい、絶縁膜 114 における酸素の透過量が減少してしまうためである。

【 0076 】

10

20

30

40

50

なお、絶縁膜 114においては、外部から絶縁膜 114に入った酸素が全て絶縁膜 114の外部に移動せず、絶縁膜 114にとどまる酸素もある。また、絶縁膜 114に酸素が入ると共に、絶縁膜 114に含まれる酸素が絶縁膜 114の外部へ移動することで、絶縁膜 114において酸素の移動が生じる場合もある。絶縁膜 114として酸素を透過することができる酸化物絶縁膜を形成すると、絶縁膜 114上に設けられる、絶縁膜 116から脱離する酸素を、絶縁膜 114を通過させて酸化物半導体膜 108に移動させることができる。

【0077】

また、絶縁膜 114は、窒素酸化物に起因する準位密度が低い酸化物絶縁膜を用いて形成することができる。なお、当該窒素酸化物に起因する準位密度は、酸化物半導体膜の価電子帯の上端のエネルギー ($E_{V_{\text{Ox}}}$) と酸化物半導体膜の伝導帯の下端のエネルギー ($E_{C_{\text{Ox}}}$) の間に形成され得る場合がある。上記の酸化物絶縁膜として、窒素酸化物の放出量が少ない酸化窒化シリコン膜、または窒素酸化物の放出量が少ない酸化窒化アルミニウム膜等を用いることができる。

【0078】

なお、窒素酸化物の放出量の少ない酸化窒化シリコン膜は、昇温脱離ガス分析法において、窒素酸化物の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が 1×10^{18} 個 / cm^3 以上 5×10^{19} 個 / cm^3 以下である。なお、アンモニアの放出量は、膜の表面温度が 50 以上 650 以下、好ましくは 50 以上 550 以下の加熱処理による放出量とする。

【0079】

窒素酸化物 (NO_x 、 x は 0 以上 2 以下、好ましくは 1 以上 2 以下)、代表的には NO_2 または NO は、絶縁膜 114などに準位を形成する。当該準位は、酸化物半導体膜 108 のエネルギーギャップ内に位置する。そのため、窒素酸化物が、絶縁膜 114 及び酸化物半導体膜 108 の界面近傍に拡散すると、当該準位が絶縁膜 114 側において電子をトラップする場合がある。この結果、トラップされた電子が、絶縁膜 114 及び酸化物半導体膜 108 界面近傍に留まるため、トランジスタのしきい値電圧をプラス方向にシフトさせてしまう。

【0080】

また、窒素酸化物は、加熱処理においてアンモニア及び酸素と反応する。絶縁膜 114 に含まれる窒素酸化物は、加熱処理において、絶縁膜 116 に含まれるアンモニアと反応するため、絶縁膜 114 に含まれる窒素酸化物が低減される。このため、絶縁膜 114 及び酸化物半導体膜 108 の界面近傍において、電子がトラップされにくい。

【0081】

絶縁膜 114として、上記の酸化物絶縁膜を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

【0082】

なお、トランジスタの作製工程の加熱処理、代表的には 300 以上基板歪み点未満の加熱処理により、絶縁膜 114 は、100 K 以下の ESR で測定して得られたスペクトルにおいて g 値が 2.037 以上 2.039 以下の第 1 のシグナル、 g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルが観測される。なお、第 1 のシグナル及び第 2 のシグナルのスプリット幅、並びに第 2 のシグナル及び第 3 のシグナルのスプリット幅は、X バンドの ESR 測定において約 5 mT である。また、 g 値が 2.037 以上 2.039 以下の第 1 のシグナル、 g 値が 2.001 以上 2.003 以下の第 2 のシグナル及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルのスピンの密度の合計が 1×10^{18} spins / cm^3 未満であり、代表的には 1×10^{17} spins / cm^3 以上 1×10^{18} spins / cm^3 未満である。

【0083】

10

20

30

40

50

なお、100K以下のESRスペクトルにおいてg値が2.037以上2.039以下の第1シグナル、g値が2.001以上2.003以下の第2のシグナル、及びg値が1.964以上1.966以下の第3のシグナルは、窒素酸化物(NO_x 、xは0以上2以下、好ましくは1以上2以下)起因のシグナルに相当する。窒素酸化物の代表例としては、一酸化窒素、二酸化窒素等がある。即ち、g値が2.037以上2.039以下の第1のシグナル、g値が2.001以上2.003以下の第2のシグナル及びg値が1.964以上1.966以下の第3のシグナルのスピンの密度の合計が少ないほど、酸化物絶縁膜に含まれる窒素酸化物の含有量が少ないとえる。

【0084】

また、上記の酸化物絶縁膜は、SIMS分析で測定される窒素濃度が $6 \times 10^{20} \text{ atoms/cm}^3$ 以下である。

10

【0085】

基板温度が220以上、または280以上、または350以上であり、シラン及び一酸化二窒素を用いたPECVD法を用いて、上記の酸化物絶縁膜を形成することで、緻密であり、且つ硬度の高い膜を形成することができる。

【0086】

絶縁膜116は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いて形成する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、TDS分析にて、酸素原子に換算して、酸素の放出量が $8.0 \times 10^{14} \text{ atoms/cm}^2$ 以上、好ましくは $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以上である酸化物絶縁膜である。なお、上記TDS分析時における膜の表面温度は、100以上700以下、好ましくは100以上500以下である。

20

【0087】

絶縁膜116としては、厚さが30nm以上500nm以下、好ましくは50nm以上400nm以下の、酸化シリコン膜または酸化窒化シリコン膜を用いることができる。

【0088】

また、絶縁膜116は、欠陥量が少ないことが好ましく、代表的には、ESR測定により、シリコンのダングリングボンドに由来する $g = 2.001$ に現れる信号のスピン密度が $1.5 \times 10^{18} \text{ spins/cm}^3$ 未満、さらには $1 \times 10^{18} \text{ spins/cm}^3$ 以下であることが好ましい。なお、絶縁膜116は、絶縁膜114と比較して酸化物半導体膜108から離れているため、絶縁膜114より、欠陥密度が多くともよい。

30

【0089】

また、絶縁膜114、116は、同種の材料の絶縁膜を用いることができるため、絶縁膜114と絶縁膜116の界面が明確に確認できない場合がある。したがって、本実施の形態においては、絶縁膜114と絶縁膜116の界面は、破線で図示している。なお、本実施の形態においては、絶縁膜114と絶縁膜116の2層構造について説明したが、これに限定されず、例えば、絶縁膜114または絶縁膜116のいずれか一方の単層構造としてもよい。

【0090】

絶縁膜118は、窒素を有する。また、絶縁膜118は、窒素と、シリコンとを有する。また、絶縁膜118は、酸素、水素、水、アルカリ金属、アルカリ土類金属等をプロッキングできる機能を有する。絶縁膜118を設けることで、酸化物半導体膜108からの酸素の外部への拡散と、絶縁膜114、116に含まれる酸素の外部への拡散と、外部から酸化物半導体膜108への水素、水等の入り込みを防ぐことができる。絶縁膜118としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、酸素、水素、水、アルカリ金属、アルカリ土類金属等のプロッキング効果を有する窒化物絶縁膜の代わりに、酸素、水素、水等のプロッキング効果を有する酸化物絶縁膜を設けてもよい。酸素、水素、水等のプロッキング効果を有する酸化物絶縁膜としては、酸化アル

40

50

ミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

【0091】

なお、上記記載の、導電膜、絶縁膜、酸化物半導体膜などの様々な膜の形成方法としては、スパッタリング法、化学気相堆積(CVD)法、真空蒸着法、パルスレーザ堆積(PLD)法などが挙げられる。また、上記記載の、導電膜、絶縁膜、酸化物半導体膜などの様々な膜の形成方法としては、プラズマ化学気相堆積(PECVD)法、熱CVD(Chemical Vapor Deposition)法、またはALD(Atomic Layer Deposition)法としてもよい。熱CVD法の例としてMOCVD(Metal Organic Chemical Vapor Deposition)法が挙げられる。また、上記記載の、導電膜、絶縁膜、酸化物半導体膜などの様々な膜の形成方法としては、塗布法や印刷法でもよい。

【0092】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0093】

熱CVD法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0094】

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ(高速バルブとも呼ぶ)を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス(アルゴン、或いは窒素など)などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の層を成膜し、後から導入される第2の原料ガスと反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

【0095】

ALD法、またはMOCVD法などの熱CVD法は、上記実施形態の導電膜、絶縁膜、酸化物半導体膜、金属酸化膜などの様々な膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、In(CH₃)₃である。また、トリメチルガリウムの化学式は、Ga(CH₃)₃である。また、ジメチル亜鉛の化学式は、Zn(CH₃)₂である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム(化学式Ga(C₂H₅)₃)を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛(化学式Zn(C₂H₅)₂)を用いることもできる。

【0096】

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体(ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム(TDMAH)などのハフニウムアミド)を気化させた原料ガスと、酸化剤としてオゾン(O₃)の2種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式はHf[N(CH₃)₂]₄である。また、他の材料液としては、テト

10

20

30

40

50

ラキス(エチルメチルアミド)ハフニウムなどがある。

【0097】

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体(トリメチルアルミニウム(TMA)など)を気化させた原料ガスと、酸化剤としてH₂Oの2種類のガスを用いる。なお、トリメチルアルミニウムの化学式はAl(CH₃)₃である。また、他の材料液としては、トリス(ジメチルアミド)アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス(2,2,6,6-テトラメチル-3,5-ヘプタンジオナート)などがある。

【0098】

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス(O₂、一酸化二窒素)のラジカルを供給して吸着物と反応させる。

10

【0099】

例えば、ALDを利用する成膜装置によりタンゲステン膜を成膜する場合には、WF₆ガスとB₂H₆ガスを用いて初期タンゲステン膜を形成し、その後、WF₆ガスとH₂ガスを用いてタンゲステン膜を形成する。なお、B₂H₆ガスに代えてSiH₄ガスを用いてもよい。

【0100】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-Zn-O膜を成膜する場合には、In(CH₃)₃ガスとO₃ガスを用いてIn-O層を形成し、その後、Ga(CH₃)₃ガスとO₃ガスを用いてGaO層を形成し、更にその後Zn(CH₃)₂ガスとO₃ガスとを用いてZnO層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合化合物層を形成しても良い。なお、O₃ガスに変えてAr等の不活性ガスでバーリングして得られたH₂Oガスを用いても良いが、Hを含まないO₃ガスを用いる方が好ましい。また、In(CH₃)₃ガスの代わりに、In(C₂H₅)₃ガスを用いても良い。また、Ga(CH₃)₃ガスの代わりに、Ga(C₂H₅)₃ガスを用いても良い。また、Zn(CH₃)₂ガスを用いても良い。

20

【0101】

<半導体装置の構成例2>

30

次に、図1(A)(B)(C)に示すトランジスタ100と異なる構成例について、図3(A)(B)(C)を用いて説明する。なお、先に説明した機能と同様の機能を有する場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0102】

図3(A)は、本発明の一態様の半導体装置であるトランジスタ170の上面図であり、図3(B)は、図3(A)に示す一点鎖線X1-X2間における切断面の断面図に相当し、図3(C)は、図3(A)に示す一点鎖線Y1-Y2間における切断面の断面図に相当する。

【0103】

トランジスタ170は、基板102上の第1のゲート電極として機能する導電膜104と、基板102及び導電膜104上の絶縁膜106と、絶縁膜106上の絶縁膜107と、絶縁膜107上の酸化物半導体膜108と、酸化物半導体膜108に電気的に接続されるソース電極として機能する導電膜112aと、酸化物半導体膜108に電気的に接続されるドレイン電極として機能する導電膜112bと、酸化物半導体膜108及び導電膜112a、112b上の絶縁膜114と、絶縁膜114上の絶縁膜116と、絶縁膜116上の絶縁膜118と、絶縁膜118上の導電膜120a、120bと、を有する。

40

【0104】

トランジスタ170としては、先に示すトランジスタ100と同様に、酸化物半導体膜108は、チャネル領域108iと、n型領域108nと、を有する。チャネル領域108iにおいては、酸素欠損が低減され高純度真性の酸化物半導体膜とすることができる、且

50

つ_n型領域108nにおいては、ソース電極及びドレイン電極として機能する導電膜112a、112bと接触抵抗が低い酸化物半導体膜とすることができる。よって、電気特性の変動が抑制された半導体装置を提供することができる。

【0105】

また、絶縁膜106、107は、トランジスタ170の第1のゲート絶縁膜としての機能を有する。また、絶縁膜114、116、118は、トランジスタ170の第2のゲート絶縁膜としての機能を有する。また、導電膜120aは、例えば、表示装置に用いる画素電極としての機能を有する。また、導電膜120aは、絶縁膜114、116、118に設けられる開口部142cを介して、導電膜112bと接続される。また、導電膜120bは、第2のゲート電極(バックゲート電極ともいう)として機能する。

10

【0106】

また、図3(C)に示すように導電膜120bは、絶縁膜106、107、114、116、118に設けられる開口部142a、142bにおいて、第1のゲート電極として機能する導電膜104に接続される。よって、導電膜120bと導電膜104とは、同じ電位が与えられる。

【0107】

なお、本実施の形態においては、開口部142a、142bを設け、導電膜120bと導電膜104を接続する構成について例示したが、これに限定されない。例えば、開口部142aまたは開口部142bのいずれか一方の開口部のみを形成し、導電膜120bと導電膜104を接続する構成、または開口部142a及び開口部142bを設けずに、導電膜120bと導電膜104を接続しない構成としてもよい。なお、導電膜120bと導電膜104を接続しない構成の場合、導電膜120bと導電膜104には、それぞれ異なる電位を与えることができる。

20

【0108】

また、図3(B)に示すように、酸化物半導体膜108は、第1のゲート電極として機能する導電膜104と、第2のゲート電極として機能する導電膜120bのそれぞれと対向するように位置し、2つのゲート電極として機能する導電膜に挟まれている。第2のゲート電極として機能する導電膜120bのチャネル長方向の長さ及びチャネル幅方向の長さは、酸化物半導体膜108のチャネル長方向の長さ及びチャネル幅方向の長さよりもそれぞれ長く、酸化物半導体膜108の全体は、絶縁膜114、116、118を介して導電膜120bに覆われている。また、第2のゲート電極として機能する導電膜120bと第1のゲート電極として機能する導電膜104とは、絶縁膜106、107、114、116、118に設けられる開口部142a、142bにおいて接続されるため、酸化物半導体膜108のチャネル幅方向の側面は、絶縁膜114、116、118を介して第2のゲート電極として機能する導電膜120bと対向している。

30

【0109】

別言すると、トランジスタ170のチャネル幅方向において、第1のゲート電極として機能する導電膜104及び第2のゲート電極として機能する導電膜120bは、第1のゲート絶縁膜として機能する絶縁膜106、107及び第2のゲート絶縁膜として機能する絶縁膜114、116、118に設けられる開口部において接続すると共に、第1のゲート絶縁膜として機能する絶縁膜106、107及び第2のゲート絶縁膜として機能する絶縁膜114、116、118を介して酸化物半導体膜108を囲む構成である。

40

【0110】

このような構成を有することで、トランジスタ170に含まれる酸化物半導体膜108を、第1のゲート電極として機能する導電膜104及び第2のゲート電極として機能する導電膜120bの電界によって電気的に囲むことができる。トランジスタ170のように、第1のゲート電極及び第2のゲート電極の電界によって、チャネル領域が形成される酸化物半導体膜を電気的に囲むトランジスタのデバイス構造をSurrounded channel(S - channel)構造と呼ぶことができる。

【0111】

50

トランジスタ 170 は、S-channel 構造を有するため、第 1 のゲート電極として機能する導電膜 104 によってチャネルを誘起させるための電界を効果的に酸化物半導体膜 108 に印加することができるため、トランジスタ 170 の電流駆動能力が向上し、高いオン電流特性を得ることが可能となる。また、オン電流を高くすることが可能であるため、トランジスタ 170 を微細化することが可能となる。また、トランジスタ 170 は、第 1 のゲート電極として機能する導電膜 104 及び第 2 のゲート電極として機能する導電膜 120b によって囲まれた構造を有するため、トランジスタ 170 の機械的強度を高めることができる。

【0112】

<半導体装置の構成例 3>

次に、図 3 (A) (B) (C) に示すトランジスタ 170 と異なる構成例について、図 4 (A) (B) を用いて説明する。なお、先に説明した機能と同様の機能を有する場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0113】

図 4 (A) は、図 3 (A) の一点鎖線 X1 - X2 間における切断面の断面図に相当し、図 4 (B) は、図 3 (A) に示す一点鎖線 Y1 - Y2 間における切断面の断面図に相当する。

【0114】

図 4 (A) (B) に示すトランジスタ 170 は、図 3 (B) (C) に示すトランジスタ 170 のゲート電極として機能する導電膜 104 を設けない構成である。すなわち、図 4 (A) (B) に示すトランジスタ 170 は、酸化物半導体膜 108 の上方にゲート電極として機能する導電膜 120b を有する。すなわち、トップゲート型のシングルゲートのトランジスタである。

【0115】

<半導体装置の構成例 4>

次に、図 1 (A) (B) (C) に示すトランジスタ 100 と異なる構成例について、図 5 (A) (B) (C) (D) を用いて説明する。なお、先に説明した機能と同様の機能を有する場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0116】

図 5 (A) (B) (C) (D) は、図 1 (B) (C) に示すトランジスタ 100 の変形例の断面図である。

【0117】

図 5 (A) (B) に示すトランジスタ 100A は、図 1 (B) (C) に示すトランジスタ 100 が有する酸化物半導体膜 108 を 3 層の積層構造としている。より具体的には、トランジスタ 100A が有する酸化物半導体膜 108 は、酸化物半導体膜 108a と、酸化物半導体膜 108b と、酸化物半導体膜 108c と、を有する。また、酸化物半導体膜 108a は、高純度領域 108a_i と、n 型領域 108a_n と、を有し、酸化物半導体膜 108b は、チャネル領域 108b_i と、n 型領域 108b_n と、を有し、酸化物半導体膜 108c は、高純度領域 108c_i と、n 型領域 108c_n と、を有する。

【0118】

図 5 (C) (D) に示すトランジスタ 100B は、図 1 (B) (C) に示すトランジスタ 100 が有する酸化物半導体膜 108 を 2 層の積層構造としている。より具体的には、トランジスタ 100B が有する酸化物半導体膜 108 は、酸化物半導体膜 108b と、酸化物半導体膜 108c と、を有する。また、酸化物半導体膜 108b は、チャネル領域 108b_i と、n 型領域 108b_n と、を有し、酸化物半導体膜 108c は、高純度領域 108c_i と、n 型領域 108c_n と、を有する。

【0119】

なお、図 5 (A) に示す酸化物半導体膜 108 近傍の拡大図を図 6 (A) に、図 5 (C) に示す酸化物半導体膜 108 近傍の拡大図を図 6 (B) に、それぞれ示す。

10

20

30

40

50

【0120】

図6(A)(B)に示すように、酸化物半導体膜108は、高純度領域108a_i、チャネル領域108b_i、及び高純度領域108c_iと、n型領域108a_n、108b_n、108c_nと、を有する。チャネル領域108b_iは、ソース電極及びドレイン電極として機能する導電膜112a、112bの間の領域である。また、n型領域108a_n、108b_n、108c_nは、ソース電極及びドレイン電極として機能する導電膜112a、112bと接する領域に形成される。

【0121】

トランジスタ100Aとしては、先に示すトランジスタ100と同様に、高純度領域108a_i、チャネル領域108b_i、及び高純度領域108c_iにおいては、酸素欠損が低減され高純度真性の酸化物半導体とすることができる、且つn型領域108a_n、108b_n、108c_nにおいては、ソース電極及びドレイン電極として機能する導電膜112a、112bと接触抵抗が低い酸化物半導体膜108とすることができる。よって、電気特性の変動が抑制された半導体装置を提供することができる。

10

【0122】

ここで、酸化物半導体膜108a、108b、108c、及び酸化物半導体膜108a、108b、108cに接する絶縁膜のバンド構造について、図7を用いて説明する。

【0123】

図7(A)は、絶縁膜107、酸化物半導体膜108a、108b、108c、及び絶縁膜114を有する積層構造の膜厚方向のバンド構造の一例である。また、図7(B)は、絶縁膜107、酸化物半導体膜108b、108c、及び絶縁膜114を有する積層構造の膜厚方向のバンド構造の一例である。なお、バンド構造は、理解を容易にするため絶縁膜107、酸化物半導体膜108a、108b、108c、及び絶縁膜114の伝導帯下端のエネルギー準位(Ec)を示す。

20

【0124】

また、図7(A)は、絶縁膜107、114として酸化シリコン膜を用い、酸化物半導体膜108aとして金属元素の原子数比をIn:Ga:Zn=1:3:2の金属酸化物ターゲットを用いて形成される酸化物半導体膜を用い、酸化物半導体膜108bとして金属元素の原子数比をIn:Ga:Zn=1:1:1の金属酸化物ターゲットを用いて形成される酸化物半導体膜を用い、酸化物半導体膜108cとして金属元素の原子数比をIn:Ga:Zn=1:3:2の金属酸化物ターゲットを用いて形成される酸化物半導体膜を用いる構成のバンド図である。

30

【0125】

また、図7(B)は、絶縁膜107、114として酸化シリコン膜を用い、酸化物半導体膜108bとして金属元素の原子数比をIn:Ga:Zn=1:1:1の金属酸化物ターゲットを用いて形成される酸化物半導体膜を用い、酸化物半導体膜108cとして金属元素の原子数比をIn:Ga:Zn=1:3:2の金属酸化物ターゲットを用いて形成される金属酸化膜を用いる構成のバンド図である。

【0126】

図7(A)(B)に示すように、酸化物半導体膜108a、108b、108cにおいて、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようなバンド構造を有するためには、酸化物半導体膜108aと酸化物半導体膜108bとの界面、または酸化物半導体膜108bと酸化物半導体膜108cとの界面において、トラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないとする。

40

【0127】

酸化物半導体膜108a、108b、108cに連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置(スパッタリング装置)を用いて各膜を大気に触れさせることなく連続して積層すればよい。

【0128】

50

図7(A)(B)に示す構成とすることで酸化物半導体膜108bがウェル(井戸)となり、上記積層構造を用いたトランジスタにおいて、チャネル領域が酸化物半導体膜108bに形成されることがわかる。

【0129】

なお、酸化物半導体膜108a、108cを形成しない場合に酸化物半導体膜108bに形成されうるトラップ準位は、上記積層構造とすることで、酸化物半導体膜108a、108cに形成される。したがって、酸化物半導体膜108bからトラップ準位を離すことができる。

【0130】

また、トラップ準位がチャネル領域として機能する酸化物半導体膜108bの伝導帯下端のエネルギー準位(Ec)より真空準位に遠くなることがあり、トラップ準位に電子が蓄積しやすくなってしまう。トラップ準位に電子が蓄積されることで、マイナスの固定電荷となり、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。したがって、トラップ準位が酸化物半導体膜108bの伝導帯下端のエネルギー準位(Ec)より真空準位に近くなるような構成すると好ましい。このようにすることで、トラップ準位に電子が蓄積しにくくなり、トランジスタのオン電流を増大させることが可能であると共に、電界効果移動度を高めることができる。

10

【0131】

また、図7(A)(B)において、酸化物半導体膜108a、108cは、酸化物半導体膜108bよりも伝導帯下端のエネルギー準位が真空準位に近く、代表的には、酸化物半導体膜108bの伝導帯下端のエネルギー準位と、酸化物半導体膜108a、108cの伝導帯下端のエネルギー準位との差が、0.15eV以上、または0.5eV以上、かつ2eV以下、または1eV以下である。すなわち、酸化物半導体膜108a、108cの電子親和力と、酸化物半導体膜108bの電子親和力との差が、0.15eV以上、または0.5eV以上、かつ2eV以下、または1eV以下である。

20

【0132】

このような構成を有することで、酸化物半導体膜108bが電流の主な経路となり、チャネル領域として機能する。また、酸化物半導体膜108a、108cは、チャネル領域が形成される酸化物半導体膜108bを構成する金属元素の一種以上から構成される酸化物半導体膜であるため、酸化物半導体膜108aと酸化物半導体膜108bとの界面、または酸化物半導体膜108bと酸化物半導体膜108cとの界面において、界面散乱が起こりにくい。従って、該界面においてはキャリアの動きが阻害されないため、トランジスタの電界効果移動度が高くなる。

30

【0133】

また、酸化物半導体膜108a、108cは、チャネル領域の一部として機能することを防止するため、導電率が十分に低い材料を用いるものとする。または、酸化物半導体膜108a、108cには、電子親和力(真空準位と伝導帯下端のエネルギー準位との差)が酸化物半導体膜108bよりも小さく、伝導帯下端のエネルギー準位が酸化物半導体膜108bの伝導帯下端エネルギー準位と差分(バンドオフセット)を有する材料を用いるものとする。また、ドレイン電圧の大きさに依存したしきい値電圧の差が生じることを抑制するためには、酸化物半導体膜108a、108cの伝導帯下端のエネルギー準位が、酸化物半導体膜108bの伝導帯下端のエネルギー準位よりも0.2eVより真空準位に近い材料、好ましくは0.5eV以上真空準位に近い材料を適用することが好ましい。

40

【0134】

また、酸化物半導体膜108a、108cは、膜中にスピネル型の結晶構造が含まれないことが好ましい。酸化物半導体膜108a、108cの膜中にスピネル型の結晶構造を含む場合、該スピネル型の結晶構造と他の領域との界面において、導電膜112a、112bの構成元素が酸化物半導体膜108bへ拡散してしまう場合がある。なお、酸化物半導体膜108a、108cが後述するCAC-OSである場合、導電膜112a、112bの構成元素、例えば、銅元素のブロッキング性が高くなり好ましい。

50

【0135】

酸化物半導体膜108a、108cの膜厚は、導電膜112a、112bの構成元素が酸化物半導体膜108bに拡散することを抑制することができる膜厚以上であって、絶縁膜114から酸化物半導体膜108bへの酸素の供給を抑制する膜厚未満とする。例えば、酸化物半導体膜108a、108cの膜厚が10nm以上であると、導電膜112a、112bの構成元素が酸化物半導体膜108bへ拡散するのを抑制することができる。また、酸化物半導体膜108a、108cの膜厚を100nm以下とすると、絶縁膜114、116から酸化物半導体膜108bへ効果的に酸素を供給することができる。

【0136】

酸化物半導体膜108a、108cがIn-M-Zn酸化物であるとき、MとしてTi、Ga、Y、Zr、La、Ce、Nd、SnまたはHfをInより高い原子数比で有することで、酸化物半導体膜108a、108cのエネルギーギャップを大きく、電子親和力を小さくしうる。よって、酸化物半導体膜108bとの電子親和力の差を元素Mの組成によって制御することが可能となる場合がある。また、Ti、Ga、Y、Zr、La、Ce、Sn、NdまたはHfは、酸素との結合力が強い金属元素であるため、これらの元素をInより高い原子数比で有することで、酸素欠損が生じにくくなる。

10

【0137】

また、酸化物半導体膜108a、108cがIn-M-Zn酸化物であるとき、ZnおよびOを除いてのInおよびMの原子数比率は、好ましくは、Inが50atomic%未満、Mが50atomic%より高く、さらに好ましくは、Inが25atomic%未満、Mが75atomic%より高くする。また、酸化物半導体膜108a、108cとして、酸化ガリウム膜を用いてもよい。

20

【0138】

また、酸化物半導体膜108a、108b、108cが、In-M-Zn酸化物の場合、酸化物半導体膜108bと比較して、酸化物半導体膜108a、108cに含まれるMの原子数比が大きく、代表的には、酸化物半導体膜108bに含まれる上記原子と比較して、1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上高い原子数比である。

【0139】

また、酸化物半導体膜108a、108b、108cが、In-M-Zn酸化物の場合、酸化物半導体膜108bをIn:M:Zn=x₁:y₁:z₁ [原子数比]、酸化物半導体膜108a、108cをIn:M:Zn=x₂:y₂:z₂ [原子数比]とすると、y₂/x₂がy₁/x₁よりも大きく、好ましくは、y₂/x₂がy₁/x₁よりも1.5倍以上である。より好ましくは、y₂/x₂がy₁/x₁よりも2倍以上大きく、さらに好ましくは、y₂/x₂がy₁/x₁よりも3倍以上または4倍以上大きい。このとき、酸化物半導体膜108bにおいて、y₁がx₁以上であると、酸化物半導体膜108bを用いるトランジスタに安定した電気特性を付与できるため好ましい。ただし、y₁がx₁の3倍以上になると、酸化物半導体膜108bを用いるトランジスタの電界効果移動度が低下してしまうため、y₁はx₁の3倍未満であると好ましい。

30

【0140】

酸化物半導体膜108bがIn-M-Zn酸化物の場合、酸化物半導体膜108bを成膜するために用いるターゲットにおいて、金属元素の原子数比をIn:M:Zn=x₁:y₁:z₁とすると、x₁/y₁は、1/3以上6以下、さらには1以上6以下であって、z₁/y₁は、1/3以上6以下、さらには1以上6以下であることが好ましい。なお、z₁/y₁を1以上6以下とすることで、酸化物半導体膜108bとして後述のCAA-C-OSが形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=3:1:2等がある。

40

【0141】

また、酸化物半導体膜108a、108cがIn-M-Zn酸化物の場合、酸化物半導

50

体膜 108a、108c を成膜するために用いるターゲットにおいて、金属元素の原子数比を $In : M : Zn = x_2 : y_2 : z_2$ とすると、 $x_2 / y_2 < x_1 / y_1$ であって、 z_2 / y_2 は、1/3 以上 6 以下、さらには 1 以上 6 以下であることが好ましい。また、インジウムに対する M の原子数比率を大きくすることで、酸化物半導体膜 108a、108c のエネルギーギャップを大きく、電子親和力を小さくすることが可能であるため、 y_2 / x_2 を 3 以上、または 4 以上とすることが好ましい。ターゲットの金属元素の原子数比の代表例としては、 $In : M : Zn = 1 : 3 : 2$ 、 $In : M : Zn = 1 : 3 : 4$ 、 $In : M : Zn = 1 : 3 : 5$ 、 $In : M : Zn = 1 : 3 : 6$ 、 $In : M : Zn = 1 : 4 : 2$ 、 $In : M : Zn = 1 : 4 : 4$ 、 $In : M : Zn = 1 : 4 : 5$ 、 $In : M : Zn = 1 : 5 : 5$ 等がある。

10

【0142】

また、酸化物半導体膜 108a、108c が $In - M$ 酸化物の場合、M として 2 値の金属原子（例えば、亜鉛など）を含まない構成とすることで、スピネル型の結晶構造を含有しない酸化物半導体膜 108a、108c を形成することができる。また、酸化物半導体膜 108a、108c としては、例えば、 $In - Ga$ 酸化物膜を用いることができる。該 $In - Ga$ 酸化物としては、例えば、 $In - Ga$ 金属酸化物ターゲット ($In : Ga = 7 : 93$) を用いて、スパッタリング法により形成することができる。また、酸化物半導体膜 108a、108c を、DC 放電を用いたスパッタリング法で成膜するためには、 $In : M = x : y$ [原子数比] としたときに、 $y / (x + y)$ を 0.96 以下、好ましくは 0.95 以下、例えば 0.93 とするとよい。

20

【0143】

なお、酸化物半導体膜 108a、108b、108c の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 40% の変動を含む。

【0144】

< 酸化物半導体膜の積層構造の概念 >

次に、上記説明した酸化物半導体膜の積層構造を評価するために様々な検証を行った。まず、酸化物半導体膜の積層構造の概念について、図 8 を用いて説明を行う。

【0145】

図 8 (A) (B) は、酸化物半導体膜中の電流が流れる際の概念の模式図である。図 8 (A) は、酸化物半導体膜が単層構造の場合を、図 8 (B) は、酸化物半導体膜が積層構造の場合を、それぞれ表している。

30

【0146】

なお、図 8 (A) において、ゲート電極を「Gate - Electrode」、ゲート絶縁膜を「GI - Film」、酸化物半導体膜を「IGZO」、ソース電極を「Source」、ドレイン電極を「Drain」、保護絶縁膜を「Passivation - Layer」、トラップ準位を「Trap - center」、バルク電流を I_{bulk} 、蓄積電流を I_{acc} 、として、それぞれ表記している。また、図 8 (B) においては、下層の酸化物半導体膜を「IGZO (Layer - 1)」、上層の酸化物半導体膜を「IGZO (Layer - 2)」として、それぞれ表記している。

40

【0147】

チャネルエッチ型の FET では、バックチャネルが露出した状態で配線工程を処理するため、配線エッチングなどプロセス時のダメージや不純物汚染に起因する特性変動を引き起こす場合がある。また、図 8 (A) に示すように、OS - FET は多数キャリアである電子を蓄積させて動作するため、GI - Film 側の蓄積電流のみでなく、次式で表されるような膜厚方向に一様なバルク電流が存在する。

【0148】

【数 1】

$$I_{on} = I_{bulk} + I_{acc} (V_G > V_D + V_{th}) \quad (1)$$

50

【0149】

【数2】

$$\begin{cases} I_{bulk} = \frac{W}{L} \mu_b e N_d t_s V_D \\ I_{acc} = \frac{W}{L} \mu_s C_{ox} [(V_G - V_{FB}) V_D - \frac{V_D^2}{2}] \end{cases} \quad (2)$$

10

【0150】

数式(1)(2)において、 I_{on} はオン電流を、 I_{bulk} はバルク電流を、 I_{acc} は蓄積電流を、 V_G はゲート電圧を、 V_D はドレイン電流を、 V_{th} はしきい値電圧を、それぞれ表す。また、数式(2)において、 μ_b はバルク移動度を、 μ_s は表面移動度を、 C_{ox} はG I 容量を、 V_{FB} はフラットバンド電圧を、 N_d はドナー密度を、それぞれ表す。

【0151】

このように、バックチャネル側にトラップ準位が存在する場合、容易にキャリアはトラップされてしまう。

20

【0152】

そこで、図8(B)に示すように、異なる組成のIGZO膜の積層膜を形成することで、図9(A)のバンド構造とすることができます。なお、図9(A)は、バンド構造のモデル図である。図8(B)及び図9(A)に示すように、異なる組成のIGZO膜を積層し、伝導帯下端のエネルギー準位(E_{CBM})にウェルを形成することでバックチャネル側に流れる電流を抑制し、保護絶縁膜と酸化物半導体膜との界面近傍に存在する電子トラップの影響を抑制することができる。

【0153】

次に、IGZO膜の積層膜を形成することで、伝導帯下端のエネルギー準位(E_{CBM})にウェルを形成することができるか確認するため、以下の評価を行った。

30

【0154】

まず、IGZO膜としては、下層のIGZO膜として、In:Ga:Zn = 1:1:1.2 [原子数比] のIGZO膜(以下、IGZO-Aとして表す)と、上層のIGZO膜として、In:Ga:Zn = 1:3:2 [原子数比] のIGZO膜(以下、IGZO-Bとして表す)とのイオン化ポテンシャル、及びエネルギーギャップを測定した。なお、イオン化ポテンシャルについては、紫外線光電子分光分析(UPS: Ultraviolet Photoelectron Spectroscopy)により測定し、エネルギーギャップについては分光エリプソメトリ法により測定した。

【0155】

図9(B)にIGZO膜のバンドダイアグラムを示す。なお、図9(B)において、I.P.はionized potentialを、E_aはelectron affinityを、E_gはenergy gapを、それぞれ示す。

40

【0156】

図9(B)に示すように、IGZO-Aは、I.P.(A) = 8.0 eV、E_a(A) = 4.9 eV、E_g(A) = 3.1 eVであった。また、IGZO-Bは、I.P.(B) = 8.2 eV、E_a(B) = 4.7 eV、E_g(B) = 3.5 eVであった。すなわち、IGZO-Bは、IGZO-Aに比べてE_gが広く、概ね E_{CBM}(E_a(A) - E_a(B))が0.2 eVのウェルが形成されていることが確認できた。

【0157】

次に、図1(A)(B)(C)に示すトランジスタ100に相当するトランジスタ(IGZO-A単層構造)と、図5(C)(D)に示すトランジスタ100Bに相当するトランジ

50

ンジスタ (IGZO-A と IGZO-B との積層構造) と、を作製し、当該トランジスタの信頼性の確認を行った。なお、トランジスタサイズを $L / W = 6 / 50 \mu m$ とした。

【0158】

また、信頼性の確認方法としては、PBTs 試験 (Positive Bias Temperature Stress) を用いて行った。なお、PBTs 試験条件としては、ゲート電圧 (V_g) を $+30V$ とし、ドレイン電圧 (V_d) とソース電圧 (V_s) を $0V$ (COMMON) とし、ストレス温度を $60^\circ C$ とし、ストレス印加時間を 3600sec とし、測定環境をダーク環境で行った。すなわち、トランジスタのソース電極とドレイン電極を同電位とし、ゲート電極にはソース電極及びドレイン電極とは異なる電位を一定時間印加した。また、ゲート電極に与える電位は、ソース電極及びドレイン電極の電位よりも高い。

10

【0159】

信頼性試験結果を図 10 (A) (B) に示す。

【0160】

なお、図 10 (A) は IGZO-A 単層構造での結果であり、図 10 (B) は IGZO-A と IGZO-B との積層構造での結果である。また、図 10 (A) (B) において、実線が初期の電気特性であり、破線が信頼性試験後の電気特性の結果である。

【0161】

図 10 (A) に示す結果より、IGZO-A 単層構造においては、しきい値電圧の変動量 (V_{th}) が $4.4V$ であった。また、図 10 (B) に示す結果より、IGZO-A と IGZO-B との積層構造においては、しきい値電圧の変動量 (V_{th}) が $1.5V$ であった。このように、IGZO 膜を積層構造とすることで、IGZO 膜の単層構造よりも PBTs ストレス試験前後における、しきい値電圧の変動量 (V_{th}) を抑制できることが確認された。

20

【0162】

次に、IGZO-A と、IGZO-B とのそれぞれの物性値を元にして、トランジスタ中の電子密度分布を計算した。計算に用いた物性値を表 1 に、計算結果を図 11 に、それぞれ示す。

【0163】

【表 1】

30

	IGZO-A	IGZO-B
thickness[nm]	35	35
electron mobility[cm ² /Vs]	10	0.1
hole mobility[cm ² /Vs]	0.01	0.01
Eg[eV]	3.2	3.6
electorn affinity[V]	4.8	4.6
ϵ_r	15	15

40

【0164】

図 11 に示す通り、 $E_{CBM} = 0.2\text{eV}$ のウェルが形成されていることにより、バックチャネル側 (IGZO-B) の電子密度はチャネル側 (IGZO-A) の電子密度と比較して、3 桁以上の電子密度が低減しており、バックチャネル側 (IGZO-B) に電流がほとんど流れていな計算結果が得られた。

【0165】

図 10 及び図 11 に示す結果より、IGZO 膜を積層構造とすることで、バックチャネル側の電子密度が低減され、電子トラップの影響を受けにくくなるため、PBTs ストレス前後における、しきい値電圧の変動量 (V_{th}) が抑制できることが確認された。

50

【0166】

また、本実施の形態に係るトランジスタは、上記の構造のそれぞれを自由に組み合わせることが可能である。

【0167】

<半導体装置の作製方法1>

次に、本発明の一態様の半導体装置であるトランジスタ100の作製方法について、図12乃至図15を用いて説明する。なお、図12乃至図15は、半導体装置の作製方法を説明する断面図である。

【0168】

<ゲート電極を形成する工程>

まず、基板102上に導電膜を形成し、該導電膜をリソグラフィ工程及びエッティング工程を行い加工して、ゲート電極として機能する導電膜104を形成する（図12（A）参照）。

【0169】

本実施の形態では、基板102としてガラス基板を用い、ゲート電極として機能する導電膜104として厚さ100nmのタンゲステン膜をスパッタリング法で形成する。

【0170】

<ゲート絶縁膜を形成する工程>

次に、導電膜104上にゲート絶縁膜として機能する絶縁膜106、107を形成する（図12（B）参照）。

【0171】

本実施の形態では、PECVD法により、絶縁膜106として厚さ400nmの窒化シリコン膜を形成し、絶縁膜107として厚さ50nmの酸化窒化シリコン膜を形成する。

【0172】

なお、絶縁膜106は、窒化シリコン膜の積層構造とする。具体的には、絶縁膜106を、第1の窒化シリコン膜と、第2の窒化シリコン膜と、第3の窒化シリコン膜との3層積層構造とすることができます。該3層積層構造の一例としては、以下のように形成することができる。

【0173】

第1の窒化シリコン膜としては、例えば、流量200sccmのシラン、流量2000sccmの窒素、及び流量100sccmのアンモニアガスを原料ガスとしてPECVD装置の反応室に供給し、反応室内の圧力を100Paに制御し、27.12MHzの高周波電源を用いて2000Wの電力を供給して、厚さが50nmとなるように形成すればよい。

【0174】

第2の窒化シリコン膜としては、流量200sccmのシラン、流量2000sccmの窒素、及び流量2000sccmのアンモニアガスを原料ガスとしてPECVD装置の反応室に供給し、反応室内の圧力を100Paに制御し、27.12MHzの高周波電源を用いて2000Wの電力を供給して、厚さが300nmとなるように形成すればよい。

【0175】

第3の窒化シリコン膜としては、流量200sccmのシラン、及び流量5000scmの窒素を原料ガスとしてPECVD装置の反応室に供給し、反応室内の圧力を100Paに制御し、27.12MHzの高周波電源を用いて2000Wの電力を供給して、厚さが50nmとなるように形成すればよい。

【0176】

なお、上記第1の窒化シリコン膜、第2の窒化シリコン膜、及び第3の窒化シリコン膜形成時の基板温度は350とすることができます。

【0177】

絶縁膜106を、窒化シリコン膜の3層の積層構造とすることで、例えば、導電膜104に銅（Cu）を含む導電膜を用いる場合において、以下の効果を奏する。

10

20

30

40

50

【0178】

第1の窒化シリコン膜は、導電膜104からの銅(Cu)元素の拡散を抑制することができる。第2の窒化シリコン膜は、水素を放出する機能を有し、ゲート絶縁膜として機能する絶縁膜の耐圧を向上させることができる。第3の窒化シリコン膜は、第3の窒化シリコン膜からの水素放出が少なく、且つ第2の窒化シリコン膜からの放出される水素の拡散を抑制することができる。

【0179】

絶縁膜107としては、後に形成される酸化物半導体膜108との界面特性を向上させるため、酸素を含む絶縁膜で形成されると好ましい。

【0180】

<酸化物半導体膜を形成する工程>

次に、絶縁膜107上に酸化物半導体膜108を形成する(図12(C)参照)。

【0181】

本実施の形態では、In-Ga-Zn金属酸化物ターゲット(In:Ga:Zn=1:1:1.2(原子数比))を用いて、スパッタリング法により酸化物半導体膜を成膜し、該酸化物半導体膜上にリソグラフィ工程によりマスクを形成し、該酸化物半導体膜を所望の領域に加工することで島状の酸化物半導体膜108を形成する。

【0182】

酸化物半導体膜108の形成後、150以上基板の歪み点未満、好ましくは200以上450以下、さらに好ましくは300以上450以下の加熱処理を行ってもよい。ここで加熱処理は、酸化物半導体膜の高純度化処理の一つであり、酸化物半導体膜108に含まれる水素、水等を低減することができる。なお、水素、水等の低減を目的とした加熱処理は、酸化物半導体膜108を島状に加工する前に行ってもよい。

【0183】

酸化物半導体膜108への加熱処理は、ガスベーク炉、電気炉、RTA装置等を用いることができる。RTA装置を用いることで、短時間に限り基板の歪み点以上の温度で熱処理を行うことができる。そのため、加熱時間を短縮することが可能となる。

【0184】

なお、酸化物半導体膜108への加熱処理は、窒素ガス、酸素ガス、超乾燥空気(Clean Dry Air:CDAともいう。CDAとは、水の含有量が20ppm以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気である。)、または希ガス(アルゴン、ヘリウム等)の雰囲気下で行えばよい。なお、上記窒素ガス、酸素ガス、CDA、または希ガスに水素、水等が含まれないことが好ましい。

【0185】

例えば、上記窒素ガス、酸素ガス、またはCDAの純度を高めると好ましい。具体的には、窒素ガス、酸素ガス、またはCDAの純度を、6N(99.9999%)または7N(99.99999%)とすればよい。また、窒素ガス、酸素ガス、またはCDAの露点が-60以下、好ましくは-100以下にまで高純度化したガスを用いることで酸化物半導体膜108に水分等が取り込まれることを可能な限り防ぐことができる。

【0186】

また、酸化物半導体膜108を窒素または希ガス雰囲気で加熱処理した後、酸素またはCDA雰囲気で加熱してもよい。この結果、酸化物半導体膜108中に含まれる水素、水等を脱離させると共に、酸化物半導体膜108中に酸素を供給することができる。この結果、酸化物半導体膜108中に含まれる酸素欠損量を低減することができる。

【0187】

ここで、酸化物半導体膜108への加熱処理を行う際のガスベーク炉の熱プロファイルについて、図16及び図17を用いて説明を行う。図16(A)(B)及び図17(A)(B)は、ガスベーク炉の加熱処理時の熱プロファイルを説明する図である。

【0188】

なお、図16(A)(B)及び図17(A)(B)は、所望の温度(ここでは、450

10

20

30

40

50

、以下では、第1の温度とする)にまで昇温させて、所望の温度(ここでは、室温以上150以下、以下では第2の温度とする)にまで降温させる熱プロファイルである。

【0189】

図16(A)に示すように、酸化物半導体膜108へ加熱処理を行う際に、2つのガス種を用い、2つのステップに分けて処理することができる。例えば、1つ目のステップで、ガスベーク炉に窒素ガスを導入する。その後、第1の温度にまで昇温させる時間を1時間とし、第1の温度で1時間処理した後に、第2の温度にまで1時間かけて降温させる。2つ目のステップで、窒素ガスから窒素と酸素との混合ガスに切り替える。その後、第1の温度にまで昇温させる時間を1時間とし、第1の温度で1時間処理した後に、第2の温度にまで1時間かけて降温させる。

10

【0190】

または、図16(B)に示すように、酸化物半導体膜108へ加熱処理を行う際に、2つのガス種を用い、1つのステップで処理することができる。例えば、最初にガスベーク炉に窒素ガスを導入する。その後、第1の温度にまで昇温させる時間を1時間とし、第1の温度で1時間処理した後に、ガス種を窒素ガスからCDAに切り替える。ガス種を切り替えてから、さらに1時間処理した後に、第2の温度にまで1時間かけて降温させる。

20

【0191】

なお、図16(B)に示すようなガスベーク炉の加熱処理時の熱プロファイルとすることで、図16(A)に示すガスベーク炉の加熱処理時の熱プロファイルよりも処理時間を短縮することができる。したがって、生産性が高められた半導体装置を提供することができる。

30

【0192】

または、図17(A)に示すように、酸化物半導体膜108へ加熱処理を行う際に、2つのガス種を用い、2つのステップで処理することができる。例えば、1つ目のステップで、最初にガスベーク炉に窒素ガスを導入する。その後、第1の温度にまで昇温させる時間を1時間とし、第1の温度で1時間処理した後に、ガス種を窒素ガスからCDAに切り替える。ガス種を切り替えてから、さらに1時間処理した後に、第2の温度にまで1時間かけて降温させる。2つ目のステップで、CDAから窒素ガスに切り替える。その後、第1の温度にまで昇温させる時間を1時間とし、第1の温度で1時間処理した後に、ガス種を窒素ガスからCDAに切り替える。ガス種を切り替えてから、さらに1時間処理した後に、第2の温度にまで1時間かけて降温させる。

30

【0193】

または、図17(B)に示すように、酸化物半導体膜108へ加熱処理を行う際に、2つのガス種を用い、2つのステップで処理することができる。例えば、1つ目のステップで、最初にガスベーク炉に窒素ガスを導入する。その後、第1の温度にまで昇温させる時間を1時間とし、第1の温度で2時間処理した後に、第2の温度にまで1時間かけて降温させる。2つ目のステップで、第1の温度にまで昇温させる時間を1時間とし、第1の温度で2時間処理した後に、ガス種を窒素ガスからCDAに切り替える。ガス種を切り替えてから、さらに2時間処理した後に、第2の温度にまで1時間かけて降温させる。

40

【0194】

なお、酸化物半導体膜108への加熱処理のガスベーク炉の熱プロファイルとしては、図16(A)(B)及び図17(A)(B)のように、最初に窒素ガスにより加熱することが好ましい。

【0195】

最初に、窒素ガスにより酸化物半導体膜108を加熱することで、酸化物半導体膜108中の主成分の一つである酸素と、酸化物半導体膜108中に存在しうる水素とが反応し、OH基となる。その後、当該OH基は、酸化物半導体膜108の表面よりH₂Oとして脱離する。すなわち、最初の窒素ガスにより酸化物半導体膜108中の水素を捕獲することが可能となる。

【0196】

50

ただし、窒素ガスのみで酸化物半導体膜 108 を加熱することで、酸化物半導体膜 108 から酸素が H_2O として脱離するため、酸化物半導体膜 108 中に酸素欠損が形成される場合がある。そこで、図 16 (A) (B) 及び図 17 (A) (B) に示すように、窒素ガスと酸素ガスとの混合ガス、または CDA のいずれか一方のガス種に切り替えることと、ガス中に含まれる酸素が、酸化物半導体膜 108 の酸素欠損を補填することが可能となる。

【0197】

なお、図 16 (A) (B) 及び図 17 (A) (B) においては、所望の温度で安定したのち、1時間または2時間の処理としたが、これに限定されない。例えば図 17 (B) に示す1つ目のステップの窒素ガスでの処理時間を、1時間以上10時間以下としてもよい。図 17 (B) に示す1つ目のステップの処理時間を長くすることで、酸化物半導体膜 108 中から、より多くの水素を脱離させることができるとなるため、好適である。

10

【0198】

また、必要に応じて、窒素ガスと酸素ガスとの混合ガス、または CDA のいずれか一方のガス種でのベーク時間を長く、例えば、1時間以上10時間以下としてもよい。酸素ガスが含まれる雰囲気での加熱時間を長くすることで、酸化物半導体膜 108 に形成された酸素欠損を好適に補填することが可能となる。

【0199】

また、スパッタリング法で酸化物半導体膜を形成する場合、スパッタリングガスには、希ガス（代表的にはアルゴン）、酸素、または希ガス及び酸素の混合ガスが適宜用いられる。なお、混合ガスの場合、希ガスに対して酸素のガス比を高めることができると嬉しい。また、スパッタリングガスの高純度化も必要である。例えば、スパッタリングガスとして用いる酸素ガスやアルゴンガスは、露点が -60 以下、好ましくは -100 以下にまで高純度化したガスを用いることで酸化物半導体膜 108 に水分等が取り込まれることを可能な限り防ぐことができる。

20

【0200】

また、スパッタリング法で酸化物半導体膜 108 を形成する場合、スパッタリング装置におけるチャンバーを、酸化物半導体膜 108 にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて、高真空排気 ($5 \times 10^{-7} \text{ Pa}$ から $1 \times 10^{-4} \text{ Pa}$ 程度まで) することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に気体、特に炭素または水素を含む気体が逆流しないようにしておくことが好ましい。

30

【0201】

<酸化物半導体膜中に酸素欠損を有する領域を形成する工程>

次に、絶縁膜 107 及び酸化物半導体膜 108 上に導電膜 112 を形成する。なお、導電膜 112 の形成時に酸化物半導体膜 108 の表面近傍に変性層 109 が形成される（図 13 (A) 参照）。

【0202】

変性層 109 は、酸化物半導体膜 108 中に酸素欠損を多く有する領域である。なお、変性層 109 は、例えば、導電膜 112 をスパッタリング法で成膜した場合、スパッタリング時のプラズマダメージ、スパッタリング時の反跳アルゴンによるダメージ、またはスパッタリング時に導電膜 112 に用いる材料の原子あるいは分子の衝突により酸化物半導体膜 108 の表面近傍に形成される。したがって、導電膜 112 の形成方法としては、特にスパッタリング法または PLD 法が好ましい。また、スパッタリング装置において、用いる電源としては DC (Direct Current) 電源、RF (Radio Frequency) 電源、AC (Alternating Current) 電源などが挙げられるが、中でも DC 電源または AC 電源を用いてスパッタリングを行うと、生産性が高められるため好ましい。

40

【0203】

本実施の形態においては、導電膜 112 として、厚さ 50 nm のタンゲスタン膜と、厚

50

さ 4 0 0 nm のアルミニウム膜と、厚さ 1 0 0 nm のチタン膜と、の積層膜をスパッタリング法により形成する。なお、変性層 1 0 9 の形成においては、導電膜 1 1 2 の成膜電力が重要である。例えば、スパッタリング時の電力密度を 1 W / cm² 以上 4 W / cm² 以下とすることで、厚さ 5 nm 以下の変性層 1 0 9 を形成することができる。

【 0 2 0 4 】

< ソース電極及びドレイン電極を形成する工程 >

次に、導電膜 1 1 2 上の所望の領域にレジストマスクを形成し、導電膜 1 1 2 を加工することで、ソース電極及びドレイン電極として機能する導電膜 1 1 2 a、1 1 2 b を形成する。導電膜 1 1 2 a、1 1 2 b を形成後、レジストマスクを除去する（図 1 3 (B) 参照）。

10

【 0 2 0 5 】

< 酸素欠損を有する領域を除去する工程 >

次に、導電膜 1 1 2 a、1 1 2 b 上から、エッチャント 1 3 9 を用いて、導電膜 1 1 2 a と導電膜 1 1 2 b との間の変性層 1 0 9 を除去する。変性層 1 0 9 の一部を除去することで、酸化物半導体膜 1 0 8 中に導電膜 1 1 2 a、1 1 2 b に接する n 型領域 1 0 8 n が形成される（図 1 3 (C) 参照）。

【 0 2 0 6 】

エッチャント 1 3 9 としては、変性層 1 0 9 を除去できればよく、薬液またはエッチングガスを用いて除去すればよい。特にエッチャント 1 3 9 としては、薬液を用いる方が、チャネル領域 1 0 8 i の表面へのダメージを低減できるため好適である。本実施の形態においては、エッチャント 1 3 9 として、リン酸水溶液により、変性層 1 0 9 の一部を除去する。なお、エッチングを行う工程において、チャネル領域 1 0 8 i の一部に凹部が形成される場合がある。

20

【 0 2 0 7 】

以上の工程でトランジスタ 1 0 0 が形成される。

【 0 2 0 8 】

< 酸化物絶縁膜を形成する工程 >

次に、トランジスタ 1 0 0 上に、具体的には酸化物半導体膜 1 0 8 、及び導電膜 1 1 2 a、1 1 2 b 上にトランジスタ 1 0 0 の保護絶縁膜として機能する絶縁膜 1 1 4 、1 1 6 を形成する。絶縁膜 1 1 4 、1 1 6 の形成時、または絶縁膜 1 1 4 、1 1 6 の形成後の熱処理によって、酸化物半導体膜 1 0 8 中の酸素欠損が補填され、チャネル領域 1 0 8 i が形成される（図 1 4 (A) 参照）。

30

【 0 2 0 9 】

なお、絶縁膜 1 1 4 を形成した後、大気に曝すことなく、連続的に絶縁膜 1 1 6 を形成することが好ましい。絶縁膜 1 1 4 を形成後、大気開放せず、原料ガスの流量、圧力、高周波電力及び基板温度の一以上を調整して、絶縁膜 1 1 6 を連続的に形成することで、絶縁膜 1 1 4 と絶縁膜 1 1 6 の界面において大気成分由来の不純物濃度を低減することができるとともに、絶縁膜 1 1 4 、1 1 6 に含まれる酸素を酸化物半導体膜 1 0 8 中のチャネル領域 1 0 8 i に移動させることができとなり、チャネル領域 1 0 8 i の酸素欠損量を低減することが可能となる。

40

【 0 2 1 0 】

例えば、絶縁膜 1 1 4 として、PECVD 法を用いて、酸化窒化シリコン膜を形成することができる。この場合、原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、一酸化二窒素、二酸化窒素等がある。また、上記の堆積性気体の流量に対して酸化性気体の流量を 20 倍より大きく 100 倍未満、好ましくは 40 倍以上 80 倍以下とし、処理室内の圧力を 100 Pa 未満、好ましくは 50 Pa 以下とする PECVD 法を用いることで、絶縁膜 1 1 4 が、窒素を含み、且つ欠陥量の少ない絶縁膜となる。

【 0 2 1 1 】

50

本実施の形態においては、絶縁膜 114 として、基板 102 を保持する温度を 220 とし、流量 50 sccm のシラン及び流量 2000 sccm の一酸化二窒素を原料ガスとし、処理室内の圧力を 20 Pa とし、平行平板電極に供給する高周波電力を 13.56 MHz、100 W (電力密度としては $1.6 \times 10^{-2} \text{ W/cm}^2$) とする PECVD 法を用いて、酸化窒化シリコン膜を形成する。

【0212】

絶縁膜 116 としては、PECVD 装置の真空排気された処理室内に載置された基板を 180 以上 280 以下、さらに好ましくは 200 以上 240 以下に保持し、処理室内に原料ガスを導入して処理室内における圧力を 100 Pa 以上 250 Pa 以下、さらに好ましくは 100 Pa 以上 200 Pa 以下とし、処理室内に設けられる電極に 0.17 W/cm² 以上 0.5 W/cm² 以下、さらに好ましくは 0.25 W/cm² 以上 0.35 W/cm² 以下の高周波電力を供給する条件により、酸化シリコン膜または酸化窒化シリコン膜を形成する。

【0213】

絶縁膜 116 の成膜条件として、上記圧力の反応室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、原料ガスの酸化が進むため、絶縁膜 116 中における酸素含有量が化学量論的組成よりも多くなる。一方、基板温度が、上記温度で形成された膜では、シリコンと酸素の結合力が弱いため、後の工程の加熱処理により膜中の酸素の一部が脱離する。この結果、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化物絶縁膜を形成することができる。

【0214】

なお、絶縁膜 116 の形成工程において、絶縁膜 114 が酸化物半導体膜 108 中のチャネル領域 108i の保護膜となる。したがって、チャネル領域 108i へのダメージを低減しつつ、パワー密度の高い高周波電力を用いて絶縁膜 116 を形成することができる。

【0215】

なお、絶縁膜 116 の成膜条件において、酸化性気体に対するシリコンを含む堆積性気体の流量を増加することで、絶縁膜 116 の欠陥量を低減することができる。代表的には、ESR 測定により、シリコンのダングリングボンドに由来する $g = 2.001$ に現れる信号のスピントラップ濃度が $6 \times 10^{17} \text{ spins/cm}^3$ 未満、好ましくは $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $1.5 \times 10^{17} \text{ spins/cm}^3$ 以下である欠陥量の少ない酸化物絶縁膜を形成することができる。この結果トランジスタの信頼性を高めることができる。

【0216】

絶縁膜 114、116 を形成した後、加熱処理を行ってもよい。該加熱処理により、絶縁膜 114、116 に含まれる窒素酸化物を低減することができる。また、上記加熱処理により、絶縁膜 114、116 に含まれる酸素の一部を酸化物半導体膜 108 中のチャネル領域 108i に移動させ、チャネル領域 108i に含まれる酸素欠損量を低減することができる。

【0217】

絶縁膜 114、116 への加熱処理の温度は、代表的には、150 以上 400 以下、好ましくは 300 以上 400 以下、好ましくは 320 以上 370 以下とする。加熱処理は、窒素、酸素、CDA、または希ガス (アルゴン、ヘリウム等) の雰囲気下で行えばよい。なお、上記窒素、酸素、超乾燥空気、または希ガスに水素、水等が含まれないことが好ましい。該加熱処理には、ガスベーク炉、電気炉、RTA 装置等を用いることができる。

【0218】

本実施の形態では、窒素及び酸素雰囲気で、350 、1 時間の加熱処理を行う。

【0219】

10

20

30

40

50

<酸化物絶縁膜中に酸素を添加する工程>

次に、絶縁膜116上に酸素の放出を抑制する保護膜130を形成する(図14(B)参照)。

【0220】

保護膜130には、インジウムを含む導電膜、またはインジウムを含む半導体膜を用いることが出来る。本実施の形態においては、保護膜130として、スパッタリング装置を用いて、膜厚5nmのITO膜を形成する。なお、保護膜130の厚さは、1nm以上20nm以下、または2nm以上10nm以下とすると好適に酸素を透過し、且つ酸素の放出を抑制できるため好ましい。

【0221】

次に、保護膜130を通過させて絶縁膜114、116に酸素140を添加する(図14(C)参照)。

【0222】

保護膜130を通過させて、絶縁膜114、116に酸素140を添加する方法としては、イオンドーピング法、イオン注入法(Ion Implantation、Plasma Based Ion Implantation、Plasma Immersion Ion Implantation、Plasma Source Ion Implantationなど)、プラズマ処理法などが挙げられる。また、プラズマ処理法として、マイクロ波を用いて、ハロゲン元素及び酸素を励起し、高密度なプラズマを発生させてもよい。

【0223】

また、酸素140を添加する際に、基板側にバイアス電圧を印加することで効果的に酸素140を絶縁膜114、116に添加することができる。上記バイアス電圧としては、例えば、アッシング装置を用い、該アッシング装置の基板側に印加するバイアス電圧の電力密度を0.5W/cm²以上5W/cm²以下とすればよい。また、酸素140を添加する際の基板温度としては、室温以上300以下、好ましくは100以上250以下とすることで、絶縁膜114、116に効率よく酸素を添加することができる。

【0224】

なお、本実施の形態では、アッシング装置を用い、酸素ガスをアッシング装置内に導入し、基板側にバイアスを印加することで、絶縁膜114、116中に酸素140を添加する。

【0225】

絶縁膜116上に保護膜130を設けて酸素を添加することで、保護膜130が絶縁膜116から酸素が放出することを抑制する保護膜として機能する。このため、絶縁膜114、116に多くの酸素を添加することができる。

【0226】

次に、エッチャント142を用いて保護膜130を除去する(図15(A)参照)。

【0227】

エッチャント142としては、保護膜130を除去できればよく、薬液、またはエッチャングガスを用いて除去すればよい。本実施の形態においては、エッチャント142として、シウ酸の濃度が5%のシウ酸水溶液を用いる。なお、エッチャント142としては、上記シウ酸の濃度が5%のシウ酸水溶液を用いた後、さらにフッ酸の濃度が0.5%のフッ化水素酸水溶液を用いてもよい。フッ酸の濃度が0.5%のフッ化水素酸水溶液を用いることで、酸素の放出を抑制する保護膜130を好適に除去することができる。

【0228】

次に、絶縁膜116上に絶縁膜118を形成することで、図1に示すトランジスタ100が形成される(図15(B)参照)。

【0229】

絶縁膜118をPECVD法で形成する場合、基板温度は300以上400以下に、好ましくは320以上370以下にすることで、緻密な膜を形成できるため好まし

10

20

30

40

50

い。

【0230】

例えば、絶縁膜118としてPECVD法により窒化シリコン膜を形成する場合、シリコンを含む堆積性気体、窒素、及びアンモニアを原料ガスとして用いることが好ましい。窒素と比較して少量のアンモニアを用いることで、プラズマ中でアンモニアが解離し、活性種が発生する。該活性種が、シリコンを含む堆積性気体に含まれるシリコン及び水素の結合、及び窒素の三重結合を切断する。この結果、シリコン及び窒素の結合が促進され、シリコン及び水素の結合が少なく、欠陥が少なく、緻密な窒化シリコン膜を形成することができる。一方、窒素に対するアンモニアの量が多いと、シリコンを含む堆積性気体及び窒素の分解が進まず、シリコン及び水素結合が残存してしまい、欠陥が増大した、且つ粗な窒化シリコン膜が形成されてしまう。これらのため、原料ガスにおいて、アンモニアに対する窒素の流量比を好ましくは5以上50以下、さらに好ましくは10以上50以下とすればよい。

【0231】

本実施の形態においては、絶縁膜118として、PECVD装置を用いて、シラン、窒素、及びアンモニアを原料ガスとして用いて、厚さ50nmの窒化シリコン膜を形成する。流量は、シランが50sccm、窒素が5000sccmであり、アンモニアが100sccmである。処理室の圧力を100Pa、基板温度を350とし、27.12MHzの高周波電源を用いて1000Wの高周波電力を平行平板電極に供給する。PECVD装置は電極面積が6000cm²である平行平板型のPECVD装置であり、供給した電力を単位面積あたりの電力(電力密度)に換算すると $1.7 \times 10^{-1} \text{ W/cm}^2$ である。

【0232】

また、絶縁膜118を加熱成膜する場合においては、絶縁膜118の成膜前の予備加熱を無くした方が好適である。例えば、絶縁膜118の成膜前に予備加熱をした場合、絶縁膜114、116中の過剰酸素が外部に放出される場合がある。そこで、絶縁膜118の成膜の際には、予備加熱を行わずに、具体的には、加熱されたチャンバー内に基板を搬入後、好ましくは3分以内、さらに好ましくは1分以内に絶縁膜116上に絶縁膜118が形成される手順とすることで、絶縁膜114、116中の過剰酸素が外部に放出されるのを抑制することが可能となる。

【0233】

なお、絶縁膜118の形成前、または絶縁膜118の形成後に加熱処理を行って、絶縁膜114、116に含まれる過剰酸素を酸化物半導体膜108中のチャネル領域108iに拡散させ、チャネル領域108iの酸素欠損を補填することができる。あるいは、絶縁膜118を加熱成膜とすることで、絶縁膜114、116に含まれる過剰酸素をチャネル領域108i中に拡散させ、チャネル領域108i中の酸素欠損を補填することができる。絶縁膜118の形成前、または絶縁膜118の形成後に行うことができる、加熱処理の温度は、代表的には、150以上400以下、好ましくは300以上400以下、好ましくは320以上370以下とする。

【0234】

以上の工程により、図1に示すトランジスタ100を作製することができる。

【0235】

<半導体装置の作製方法2>

次に、図3に示すトランジスタ170の作製方法について、図18及び図19を用いて説明する。なお、図18(A)(C)及び図19(A)(C)は、作製工程における、トランジスタ170のチャネル長方向の断面図であり、図18(B)(D)及び図19(B)(D)は、作製工程における、トランジスタ170のチャネル幅方向の断面図である。

【0236】

まず、図15(B)に示す工程まで行う(図18(A)(B)参照)。

【0237】

10

20

30

40

50

次に、絶縁膜 118 上にリソグラフィ工程によりマスクを形成し、絶縁膜 114、116、118 の所望の領域に開口部 142c を形成する。また、絶縁膜 118 上にリソグラフィ工程によりマスクを形成し、絶縁膜 106、107、114、116、118 の所望の領域に開口部 142a、142b を形成する。なお、開口部 142c は、導電膜 112b に達するように形成される。また、開口部 142a、142b は、それぞれ導電膜 104 に達するように形成される（図 18（C）（D）参照）。

【0238】

なお、開口部 142a、142b と開口部 142c とは、同時に形成してもよく、異なる工程で形成してもよい。開口部 142a、142b と開口部 142c を同時に形成する場合、例えば、グレートーンマスクまたはハーフトーンマスクを用いて形成することができる。

10

【0239】

次に、開口部 142a、142b、142c を覆うように絶縁膜 118 上に導電膜 120 を形成する（図 19（A）（B）参照）。

【0240】

導電膜 120 としては、例えば、インジウム（In）、亜鉛（Zn）、錫（Sn）の中から選ばれた一種を含む材料を用いることができる。とくに、導電膜 120 としては、酸化タンクス滕を含むインジウム酸化物、酸化タンクス滕を含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを含むインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。また、導電膜 120 を酸素の放出を抑制できる保護膜 130 と同種の材料を用いることで、製造コストを抑制できるため好適である。

20

【0241】

また、導電膜 120 としては、例えば、スパッタリング法を用いて形成することができる。本実施の形態においては、膜厚 110 nm のITO膜をスパッタリング法で形成する。

【0242】

次に、導電膜 120 上にリソグラフィ工程によりマスクを形成し、導電膜 120 を所望の領域に加工し、導電膜 120a、120b を形成する（図 19（C）（D）参照）。

30

【0243】

以上の工程で図 3 に示すトランジスタ 170 を作製することができる。

【0244】

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせて用いることができる。

【0245】

（実施の形態 2）

本実施の形態では、本発明の一態様の半導体装置に含まれる酸化物半導体の詳細について、以下説明する。

40

【0246】

<酸化物半導体の構造>

まず、酸化物半導体の構造について説明する。

【0247】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline Oxide Semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous like Oxide Semiconductor)、非晶質酸化物半導体などがある。

【0248】

50

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、n c - OSなどがある。

【0249】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であつて不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。

【0250】

逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質 (completely amorphous) 酸化物半導体と呼ぶことはできない。また、等方的でない（例えば、微小な領域において周期構造を有する）酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a - like OSは、微小な領域において周期構造を有するものの、鬆（ボイドともいう。）を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。

10

【0251】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

【0252】

CAAC-OSは、c軸配向した複数の結晶部（ペレットともいう。）を有する酸化物半導体の一つである。

20

【0253】

透過型電子顕微鏡（TEM: Transmission Electron Microscope）によって、CAAC-OSの明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0254】

以下では、TEMによって観察したCAAC-OSについて説明する。図20(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正（Spherical Aberration Corrector）機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

30

【0255】

図20(A)の領域(1)を拡大したCs補正高分解能TEM像を図20(B)に示す。図20(B)より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-OSの膜を形成する面（被形成面ともいう。）または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

40

【0256】

図20(B)に示すように、CAAC-OSは特徴的な原子配列を有する。図20(C)は、特徴的な原子配列を、補助線で示したものである。図20(B)および図20(C)より、ペレット一つの大きさは1nm以上3nm以下程度であり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶（nc: nanocrystal）と呼ぶこともできる。また、CAAC-OSを、CANC（C-Axis Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

【0257】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-OSのペレ

50

ット 5100 の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる（図 20 (D) 参照）。図 20 (C) で観察されたペレットとペレットとの間で傾きが生じている箇所は、図 20 (D) に示す領域 5161 に相当する。

【0258】

また、図 21 (A) に、試料面と略垂直な方向から観察した CAAc - OS の平面の Cs 補正高分解能 TEM 像を示す。図 21 (A) の領域 (1)、領域 (2) および領域 (3) を拡大した Cs 補正高分解能 TEM 像を、それぞれ図 21 (B)、図 21 (C) および図 21 (D) に示す。図 21 (B)、図 21 (C) および図 21 (D) より、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

10

【0259】

次に、X 線回折 (XRD : X - Ray Diffraction) によって解析した CAAc - OS について説明する。例えば、InGaZnO₄ の結晶を有する CAAc - OS に対し、out-of-plane 法による構造解析を行うと、図 22 (A) に示すように回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、InGaZnO₄ の結晶の (009) 面に帰属されることから、CAAc - OS の結晶が c 軸配向性を有し、c 軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

【0260】

なお、CAAc - OS の out-of-plane 法による構造解析では、2θ が 31° 近傍のピークの他に、2θ が 36° 近傍にもピークが現れる場合がある。2θ が 36° 近傍のピークは、CAAc - OS 中の一部に、c 軸配向性を有さない結晶が含まれることを示している。より好ましい CAAc - OS は、out-of-plane 法による構造解析では、2θ が 31° 近傍にピークを示し、2θ が 36° 近傍にピークを示さない。

20

【0261】

一方、CAAc - OS に対し、c 軸に略垂直な方向から X 線を入射させる in-plane 法による構造解析を行うと、2θ が 56° 近傍にピークが現れる。このピークは、InGaZnO₄ の結晶の (110) 面に帰属される。CAAc - OS の場合は、2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (c 軸) として試料を回転させながら分析 (スキャン) を行っても、図 22 (B) に示すように明瞭なピークは現れない。これに対し、InGaZnO₄ の単結晶酸化物半導体であれば、2θ を 56° 近傍に固定してスキャンした場合、図 22 (C) に示すように (110) 面と等価な結晶面に帰属されるピークが 6 本観察される。したがって、XRD を用いた構造解析から、CAAc - OS は、a 軸および b 軸の配向が不規則であることが確認できる。

30

【0262】

次に、電子回折によって解析した CAAc - OS について説明する。例えば、InGaZnO₄ の結晶を有する CAAc - OS に対し、試料面に平行にプローブ径が 300 nm の電子線を入射させると、図 23 (A) に示すような回折パターン（制限視野透過電子回折パターンともいう。）が現れる場合がある。この回折パターンには、InGaZnO₄ の結晶の (009) 面に起因するスポットが含まれる。したがって、電子回折によっても、CAAc - OS に含まれるペレットが c 軸配向性を有し、c 軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が 300 nm の電子線を入射させたときの回折パターンを図 23 (B) に示す。図 23 (B) より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAc - OS に含まれるペレットの a 軸および b 軸は配向性を有さないことがわかる。なお、図 23 (B) における第 1 リングは、InGaZnO₄ の結晶の (010) 面および (100) 面などに起因すると考えられる。また、図 23 (B) における第 2 リングは (110) 面などに起因すると考えられる。

40

【0263】

上述したように、CAAc - OS は結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をす

50

ると C A A C - O S は不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

【 0 2 6 4 】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【 0 2 6 5 】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

10

【 0 2 6 6 】

不純物および酸素欠損の少ない C A A C - O S は、キャリア密度の低い酸化物半導体である。具体的には、キャリア密度を $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。C A A C - O S は、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

20

【 0 2 6 7 】

< n c - O S >

次に、n c - O S について説明する。

【 0 2 6 8 】

n c - O S は、高分解能 TEM 像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。n c - O S に含まれる結晶部は、1 nm 以上 10 nm 以下、または 1 nm 以上 3 nm 以下の大きさであることが多い。なお、結晶部の大きさが 10 nm より大きく 100 nm 以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。n c - O S は、例えば、高分解能 TEM 像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、C A A C - O S におけるペレットと起源を同じくする可能性がある。そのため、以下では n c - O S の結晶部をペレットと呼ぶ場合がある。

30

【 0 2 6 9 】

n c - O S は、微小な領域（例えば、1 nm 以上 10 nm 以下の領域、特に 1 nm 以上 3 nm 以下の領域）において原子配列に周期性を有する。また、n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e O S や非晶質酸化物半導体と区別が付かない場合がある。例えば、n c - O S に対し、ペレットよりも大きい径の X 線を用いた場合、o u t - o f - p l a n e 法による解析では、結晶面を示すピークは検出されない。また、n c - O S に対し、ペレットよりも大きいプローブ径（例えば 50 nm 以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S に対し、ペレットの大きさと近いかペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、n c - O S に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

40

【 0 2 7 0 】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、n c - O S を、R A N C (R a n d o m A l i g n e d n a n o c r y s t a l s) を有する酸化物半導体、または N A N C (N o n - A l i g n e d n a n o c r y s t a l

50

s) を有する酸化物半導体と呼ぶこともできる。

【0271】

n c - O S は、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、n c - O S は、a - l i k e O S や非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、n c - O S は、C A A C - O S と比べて欠陥準位密度が高くなる。

【0272】

< a - l i k e O S >

a - l i k e O S は、n c - O S と非晶質酸化物半導体との間の構造を有する酸化物半導体である。

10

【0273】

a - l i k e O S は、高分解能TEM像において鬆が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【0274】

鬆を有するため、a - l i k e O S は、不安定な構造である。以下では、a - l i k e O S が、C A A C - O S およびn c - O S と比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0275】

電子照射を行う試料として、a - l i k e O S (試料Aと表記する。)、n c - O S (試料Bと表記する。)およびC A A C - O S (試料Cと表記する。)を準備する。いずれの試料もIn - Ga - Zn酸化物である。

20

【0276】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0277】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えればよい。例えば、InGaZnO₄の結晶の単位格子は、In - O層を3層有し、またGa - Zn - O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、InGaZnO₄の結晶部と見なすことができる。なお、格子縞は、InGaZnO₄の結晶のa - b面に対応する。

30

【0278】

図24は、各試料の結晶部(22箇所から45箇所)の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図24より、a - l i k e O S は、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図24中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が4.2×10⁸e⁻/nm²においては2.6nm程度の大きさまで成長していることがわかる。一方、n c - O S およびC A A C - O S は、電子照射開始時から電子の累積照射量が4.2×10⁸e⁻/nm²までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図24中の(2)および(3)で示すように、電子の累積照射量によらず、n c - O S およびC A A C - O S の結晶部の大きさは、それぞれ1.4nm程度および2.1nm程度であることがわかる。

40

【0279】

このように、a - l i k e O S は、電子照射によって結晶部の成長が見られる場合がある。一方、n c - O S およびC A A C - O S は、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a - l i k e O S は、n c - O S およびC A A C - O S と比べて、不安定な構造であることがわかる。

50

【0280】

また、鬆を有するため、a-like OSは、nc-OSおよびCAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、nc-OSの密度およびCAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

【0281】

例えば、In:Ga:Zn = 1:1:1 [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶InGaZnO₄の密度は6.357 g / cm³となる。よって、例えば、In:Ga:Zn = 1:1:1 [原子数比] を満たす酸化物半導体において、a-like OSの密度は5.0 g / cm³以上5.9 g / cm³未満となる。また、例えば、In:Ga:Zn = 1:1:1 [原子数比] を満たす酸化物半導体において、nc-OSの密度およびCAC-OSの密度は5.9 g / cm³以上6.3 g / cm³未満となる。

10

【0282】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせて見積もることが好ましい。

20

【0283】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a-like OS、nc-OS、CAC-OSのうち、二種以上を有する積層膜であってもよい。

【0284】

<CAC-OS及びnc-OSの成膜方法>

次に、CAC-OSの成膜方法の一例について説明する。

【0285】

図25(A)は、成膜室内の模式図である。CAC-OSは、スパッタリング法により成膜することができる。

30

【0286】

図25(A)に示すように、基板5220とターゲット5230とは向かい合うように配置している。基板5220とターゲット5230との間にはプラズマ5240がある。また、基板5220の下部には加熱機構5260が設けられている。図示しないが、ターゲット5230は、バッキングプレートに接着されている。バッキングプレートを介してターゲット5230と向かい合う位置には、複数のマグネットが配置される。マグネットの磁場を利用して成膜速度を高めるスパッタリング法は、マグнетロンスパッタリング法と呼ばれる。

【0287】

基板5220とターゲット5230との距離d(ターゲット-基板間距離(T-S間距離)ともいう。)は0.01m以上1m以下、好ましくは0.02m以上0.5m以下とする。成膜室内は、ほとんどが成膜ガス(例えば、酸素、アルゴン、または酸素を5体積%以上の割合で含む混合ガス)で満たされ、0.01Pa以上100Pa以下、好ましくは0.1Pa以上10Pa以下に制御される。ここで、ターゲット5230に一定以上の電圧を印加することで、放電が始まり、プラズマ5240が確認される。なお、ターゲット5230の近傍には磁場によって、高密度プラズマ領域が形成される。高密度プラズマ領域では、成膜ガスがイオン化することで、イオン5201が生じる。イオン5201は、例えば、酸素の陽イオン(O⁺)やアルゴンの陽イオン(Ar⁺)などである。

40

【0288】

ターゲット5230は、複数の結晶粒を有する多結晶構造を有し、いずれかの結晶粒に

50

は劈開面が含まれる。一例として、図26に、ターゲット5230に含まれるInMznO₄（元素Mは、例えばGaまたはSn）の結晶構造を示す。なお、図26は、b軸に平行な方向から観察した場合のInMznO₄の結晶構造である。InMznO₄の結晶では、酸素原子が負の電荷を有することにより、近接する二つのM-Zn-O層の間に斥力が生じている。そのため、InMznO₄の結晶は、近接する二つのM-Zn-O層の間に劈開面を有する。

【0289】

高密度プラズマ領域で生じたイオン5201は、電界によってターゲット5230側に加速され、やがてターゲット5230と衝突する。このとき、劈開面から平板状またはペレット状のスパッタ粒子であるペレット5200が剥離する（図25（A）参照）。 10

【0290】

ペレット5200は、図26に示す二つの劈開面に挟まれた部分である。よって、ペレット5200のみ抜き出すと、その断面は図25（B）のようになり、上面は図25（C）のようになることがわかる。なお、ペレット5200は、イオン5201の衝突の衝撃によって、構造に歪みが生じる場合がある。なお、ペレット5200の剥離に伴い、ターゲット5230から粒子5203も弾き出される。粒子5203は、原子1個または原子数個の集合体を有する。そのため、粒子5203を原子状粒子（atomic particles）と呼ぶこともできる。

【0291】

ペレット5200は、三角形、例えば正三角形の平面を有する平板状またはペレット状のスパッタ粒子である。または、ペレット5200は、六角形、例えば正六角形の平面を有する平板状またはペレット状のスパッタ粒子である。ただし、ペレット5200の形状は、三角形、六角形に限定されない、例えば、三角形が複数個合わさった形状となる場合がある。例えば、三角形（例えば、正三角形）が2個合わさった四角形（例えば、ひし形）となる場合もある。 20

【0292】

ペレット5200は、成膜ガスの種類などに応じて厚さが決定する。例えば、ペレット5200は、厚さを0.4nm以上1nm以下、好ましくは0.6nm以上0.8nm以下とする。また、例えば、ペレット5200は、幅を1nm以上3nm以下、好ましくは1.2nm以上2.5nm以下とする。例えば、In-M-Zn酸化物を有するターゲット5230にイオン5201を衝突させる。そうすると、M-Zn-O層、In-O層およびM-Zn-O層の3層を有するペレット5200が剥離する。なお、ペレット5200の剥離に伴い、ターゲット5230から粒子5203も弾き出される。 30

【0293】

ペレット5200は、プラズマ5240を通過する際に、表面が負または正に帯電する場合がある。例えば、ペレット5200がプラズマ5240中にあるO²⁻から負の電荷を受け取る場合がある。その結果、ペレット5200の表面の酸素原子が負に帯電する場合がある。また、ペレット5200は、プラズマ5240を通過する際に、プラズマ5240中のインジウム、元素M、亜鉛または酸素などと結合することで成長する場合がある。 40

【0294】

プラズマ5240を通過したペレット5200および粒子5203は、基板5220の表面に達する。なお、粒子5203の一部は、質量が小さいため真空ポンプなどによって外部に排出される場合がある。

【0295】

次に、基板5220の表面におけるペレット5200および粒子5203の堆積について図27を用いて説明する。

【0296】

まず、一つ目のペレット5200が基板5220に堆積する。ペレット5200は平板状であるため、平面側を基板5220の表面に向けて堆積する（図27（A）参照）。 50

のとき、ペレット 5200 の基板 5220 側の表面の電荷が、基板 5220 を介して抜け
る。

【0297】

次に、二つ目のペレット 5200 が、基板 5220 に達する。このとき、一つ目のペレ
ット 5200 の表面、および二つ目のペレット 5200 の表面が電荷を帯びているため、
互いに反発し合う力が生じる（図 27（B）参照）。

【0298】

その結果、二つ目のペレット 5200 は、一つ目のペレット 5200 上を避け、基板 5
220 の表面の少し離れた場所に堆積する（図 27（C）参照）。これを繰り返すこと
で、基板 5220 の表面には、無数のペレット 5200 が一層分の厚みだけ堆積する。また
、ペレット 5200 と別のペレット 5200 との間には、ペレット 5200 の堆積してい
ない領域が生じる。

10

【0299】

次に、粒子 5203 が基板 5220 の表面に達する（図 27（D）参照）。

【0300】

粒子 5203 は、ペレット 5200 の表面などの活性な領域には堆積することができ
ない。そのため、ペレット 5200 の堆積していない領域を埋めるように堆積する。そして
、ペレット 5200 間で粒子 5203 が横方向に成長（ラテラル成長ともいう。）するこ
とで、ペレット 5200 間を連結させる。このように、ペレット 5200 の堆積してい
ない領域を埋めるまで粒子 5203 が堆積する。このメカニズムは、ALD 法の堆積メカニ
ズムに類似する。

20

【0301】

なお、ペレット 5200 間で粒子 5203 がラテラル成長するメカニズムは複数の可
能性がある。例えば、図 27（E）に示すように、一層目の M-Zn-O 層の側面から連結
するメカニズムがある。この場合、一層目の M-Zn-O 層が形成された後で、In-O
層、二層目の M-Zn-O 層の順に、一層ずつ連結していく（第 1 のメカニズム）。

【0302】

または、例えば、図 28（A）に示すように、まず一層目の M-Zn-O 層の一側面に
つき粒子 5203 の一つが結合する。次に、図 28（B）に示すように In-O 层の一側面に
つき一つの粒子 5203 が結合する。次に、図 28（C）に示すように二層目の M-
Zn-O 层の一側面につき一つの粒子 5203 が結合することで連結する場合もある（第
2 のメカニズム）。

30

【0303】

なお、図 28（A）、図 28（B）および図 28（C）が同時に起こることで連結する
場合もある（第 3 のメカニズム）。

【0304】

以上に示したように、ペレット 5200 間における粒子 5203 のラテラル成長のメカ
ニズムとしては、上記 3 種類が考えられる。ただし、その他のメカニズムによってペレ
ット 5200 間で粒子 5203 がラテラル成長する可能性もある。

40

【0305】

したがって、複数のペレット 5200 がそれぞれ異なる方向を向いている場合でも、複
数のペレット 5200 間を粒子 5203 がラテラル成長しながら埋めることにより、結晶
粒界の形成が抑制される。また、複数のペレット 5200 間を、粒子 5203 が滑らかに
結びつけるため、単結晶とも多結晶とも異なる結晶構造が形成される。言い換えると、微
小な結晶領域（ペレット 5200）間に歪みを有する結晶構造が形成される。このよう
に、結晶領域間を埋める領域は、歪んだ結晶領域であるため、該領域を指して非晶質構造と
呼ぶのは適切ではないと考えられる。

【0306】

粒子 5203 が、ペレット 5200 間を埋め終わると、ペレット 5200 と同程度の厚
さを有する第 1 の層が形成される。第 1 の層の上には新たな一つ目のペレット 5200 が

50

堆積する。そして、第2の層が形成される。さらに、これが繰り返されることで、積層体を有する薄膜構造が形成される。

【0307】

なお、ペレット5200の堆積の仕方は、基板5220の表面温度などによっても変化する。例えば、基板5220の表面温度が高いと、ペレット5200が基板5220の表面でマイグレーションを起こす。その結果、ペレット5200と別のペレット5200とが、粒子5203を介さずに連結する割合が増加するため、配向性の高いCAC-OSとなる。CAC-OSを成膜する際の基板5220の表面温度は、100以上500未満、好ましくは140以上450未満、さらに好ましくは170以上400未満である。したがって、基板5220として第8世代以上の大面积基板を用いた場合でも、反りなどはほとんど生じないことがわかる。

10

【0308】

一方、基板5220の表面温度が低いと、ペレット5200が基板5220の表面でマイグレーションを起こしにくくなる。その結果、ペレット5200同士が積み重なることで配向性の低いnc-OSとなる(図29参照)。nc-OSでは、ペレット5200が負に帯電していることにより、ペレット5200は一定間隔を開けて堆積する可能性がある。したがって、配向性は低いものの、僅かに規則性を有することにより、非晶質酸化物半導体と比べて緻密な構造となる。

【0309】

また、CAC-OSにおいて、ペレット同士の隙間が極めて小さくなることで、一つの大きなペレットが形成される場合がある。一つの大きなペレットの内部は単結晶構造を有する。例えば、ペレットの大きさが、上面から見て10nm以上200nm以下、15nm以上100nm以下、または20nm以上50nm以下となる場合がある。

20

【0310】

以上のようなモデルにより、ペレット5200が基板5220の表面に堆積していくと考えられる。被形成面が結晶構造を有さない場合においても、CAC-OSの成膜が可能であることから、エピタキシャル成長とは異なる成長機構であることがわかる。また、CAC-OSおよびnc-OSは、大面积のガラス基板などであっても均一な成膜が可能である。例えば、基板5220の表面(被形成面)の構造が非晶質構造(例えば非晶質酸化シリコン)であっても、CAC-OSを成膜することは可能である。

30

【0311】

また、被形成面である基板5220の表面に凹凸がある場合でも、その形状に沿ってペレット5200が配列することがわかる。

【0312】

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせて用いることができる。

【0313】

(実施の形態3)

本実施の形態では、本発明の一態様の半導体装置を有する表示装置について、図30を用いて説明を行う。

40

【0314】

<表示装置に関する説明>

図30(A)に示す表示装置は、表示素子の画素を有する領域(以下、画素部502という)と、画素部502の外側に配置され、画素を駆動するための回路を有する回路部(以下、駆動回路部504という)と、素子の保護機能を有する回路(以下、保護回路506という)と、端子部507と、を有する。なお、保護回路506は、設けない構成としてもよい。

【0315】

駆動回路部504の一部、または全部は、画素部502と同一基板上に形成されていることが望ましい。これにより、部品数や端子数を減らすことが出来る。駆動回路部504

50

の一部、または全部が、画素部 502 と同一基板上に形成されていない場合には、駆動回路部 504 の一部、または全部は、COG や TAB (Tape Automated Bonding) によって、実装することができる。

【0316】

画素部 502 は、X 行 (X は 2 以上の自然数) Y 列 (Y は 2 以上の自然数) に配置された複数の表示素子を駆動するための回路 (以下、画素回路 501 という) を有し、駆動回路部 504 は、画素を選択する信号 (走査信号) を出力する回路 (以下、ゲートドライバ 504a という)、画素の表示素子を駆動するための信号 (データ信号) を供給するための回路 (以下、ソースドライバ 504b) などの駆動回路を有する。

【0317】

ゲートドライバ 504a は、シフトレジスタ等を有する。ゲートドライバ 504a は、端子部 507 を介して、シフトレジスタを駆動するための信号が入力され、信号を出力する。例えば、ゲートドライバ 504a は、スタートパルス信号、クロック信号等が入力され、パルス信号を出力する。ゲートドライバ 504a は、走査信号が与えられる配線 (以下、走査線 GL_1 乃至 GL_X という) の電位を制御する機能を有する。なお、ゲートドライバ 504a を複数設け、複数のゲートドライバ 504a により、走査線 GL_1 乃至 GL_X を分割して制御してもよい。または、ゲートドライバ 504a は、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ゲートドライバ 504a は、別の信号を供給することも可能である。

【0318】

ソースドライバ 504b は、シフトレジスタ等を有する。ソースドライバ 504b は、端子部 507 を介して、シフトレジスタを駆動するための信号の他、データ信号の元となる信号 (画像信号) が入力される。ソースドライバ 504b は、画像信号を元に画素回路 501 に書き込むデータ信号を生成する機能を有する。また、ソースドライバ 504b は、スタートパルス、クロック信号等が入力されて得られるパルス信号に従って、データ信号の出力を制御する機能を有する。また、ソースドライバ 504b は、データ信号が与えられる配線 (以下、データ線 DL_1 乃至 DL_Y という) の電位を制御する機能を有する。または、ソースドライバ 504b は、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ソースドライバ 504b は、別の信号を供給することも可能である。

【0319】

ソースドライバ 504b は、例えば複数のアナログスイッチなどを用いて構成される。ソースドライバ 504b は、複数のアナログスイッチを順次オン状態にすることにより、画像信号を時分割した信号をデータ信号として出力できる。また、シフトレジスタなどを用いてソースドライバ 504b を構成してもよい。

【0320】

複数の画素回路 501 のそれぞれは、走査信号が与えられる複数の走査線 GL の一つを介してパルス信号が入力され、データ信号が与えられる複数のデータ線 DL の一つを介してデータ信号が入力される。また、複数の画素回路 501 のそれぞれは、ゲートドライバ 504a によりデータ信号のデータの書き込み及び保持が制御される。例えば、m 行 n 列目の画素回路 501 は、走査線 GL_m (m は X 以下の自然数) を介してゲートドライバ 504a からパルス信号が入力され、走査線 GL_m の電位に応じてデータ線 DL_n (n は Y 以下の自然数) を介してソースドライバ 504b からデータ信号が入力される。

【0321】

図 30 (A) に示す保護回路 506 は、例えば、ゲートドライバ 504a と画素回路 501 の間の配線である走査線 GL に接続される。または、保護回路 506 は、ソースドライバ 504b と画素回路 501 の間の配線であるデータ線 DL に接続される。または、保護回路 506 は、ゲートドライバ 504a と端子部 507 との間の配線に接続することができる。または、保護回路 506 は、ソースドライバ 504b と端子部 507 との間の配線に接続することができる。なお、端子部 507 は、外部の回路から表示装置に電源及び

10

20

30

40

50

制御信号、及び画像信号を入力するための端子が設けられた部分をいう。

【0322】

保護回路506は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。

【0323】

図30(A)に示すように、画素部502と駆動回路部504にそれぞれ保護回路506を設けることにより、ESD(Electro Static Discharge:静電気放電)などにより発生する過電流に対する表示装置の耐性を高めることができる。ただし、保護回路506の構成はこれに限定されず、例えば、ゲートドライバ504aに保護回路506を接続した構成、またはソースドライバ504bに保護回路506を接続した構成とすることもできる。あるいは、端子部507に保護回路506を接続した構成とすることもできる。

10

【0324】

また、図30(A)においては、ゲートドライバ504aとソースドライバ504bによって駆動回路部504を形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ504aのみを形成し、別途用意されたソースドライバ回路が形成された基板(例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板)を実装する構成としても良い。

20

【0325】

また、図30(A)に示す複数の画素回路501は、例えば、図30(B)に示す構成とすることもできる。

【0326】

図30(B)に示す画素回路501は、液晶素子570と、トランジスタ550と、容量素子560と、を有する。トランジスタ550に先の実施の形態に示すトランジスタを適用することができる。

30

【0327】

液晶素子570の一対の電極の一方の電位は、画素回路501の仕様に応じて適宜設定される。液晶素子570は、書き込まれるデータにより配向状態が設定される。なお、複数の画素回路501のそれぞれが有する液晶素子570の一対の電極の一方に共通の電位(コモン電位)を与えてよい。また、各行の画素回路501の液晶素子570の一対の電極の一方に異なる電位を与えてよい。

40

【0328】

例えば、液晶素子570を有する表示装置の駆動方法としては、TN(Twisted Nematic)モード、STN(Super-Twisted Nematic)モード、VA(Vertical Alignment)モード、MVA(Multi-Domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、ASM(Axially Symmetric Aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モード、またはTBA(Transverse Bend Alignment)モードなどを用いてよい。

40

【0329】

また、表示装置の駆動方法としては、上述した駆動方法の他、ECCB(Electrically Controlled Birefringence)モード、PDLC(Polymer Dispersed Liquid Crystal)モード、PNLC(Polymer Network Liquid Crystal)モード、ゲストホストモードなどがある。ただし、これに限定されず、液晶素子及びその駆動方式として

50

様々なものを用いることができる。

【0330】

m 行 n 列目の画素回路501において、トランジスタ550のソース電極またはドレイン電極の一方は、データ線 DL_n に電気的に接続され、他方は液晶素子570の一対の電極の他方に電気的に接続される。また、トランジスタ550のゲート電極は、走査線 GL_m に電気的に接続される。トランジスタ550は、オン状態またはオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

【0331】

容量素子560の一対の電極の一方は、電位が供給される配線（以下、電位供給線 VL ）に電気的に接続され、他方は、液晶素子570の一対の電極の他方に電気的に接続される。なお、電位供給線 VL の電位の値は、画素回路501の仕様に応じて適宜設定される。容量素子560は、書き込まれたデータを保持する保持容量としての機能を有する。

10

【0332】

例えば、図30（B）の画素回路501を有する表示装置では、例えば、図30（A）に示すゲートドライバ504aにより各行の画素回路501を順次選択し、トランジスタ550をオン状態にしてデータ信号のデータを書き込む。

【0333】

データが書き込まれた画素回路501は、トランジスタ550がオフ状態になることで保持状態になる。これを行毎に順次行うことにより、画像を表示できる。

【0334】

また、図30（A）に示す複数の画素回路501は、例えば、図30（C）に示す構成とすることができます。

20

【0335】

図30（C）に示す画素回路501は、トランジスタ552、554と、容量素子562と、発光素子572と、を有する。トランジスタ552及びトランジスタ554のいずれか一方または双方に先の実施の形態に示すトランジスタを適用することができる。

【0336】

トランジスタ552のソース電極及びドレイン電極の一方は、データ信号が与えられる配線（以下、信号線 DL_n という）に電気的に接続される。さらに、トランジスタ552のゲート電極は、ゲート信号が与えられる配線（以下、走査線 GL_m という）に電気的に接続される。

30

【0337】

トランジスタ552は、オン状態またはオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

【0338】

容量素子562の一対の電極の一方は、電位が与えられる配線（以下、電位供給線 VL_a という）に電気的に接続され、他方は、トランジスタ552のソース電極及びドレイン電極の他方に電気的に接続される。

【0339】

容量素子562は、書き込まれたデータを保持する保持容量としての機能を有する。

40

【0340】

トランジスタ554のソース電極及びドレイン電極の一方は、電位供給線 VL_a に電気的に接続される。さらに、トランジスタ554のゲート電極は、トランジスタ552のソース電極及びドレイン電極の他方に電気的に接続される。

【0341】

発光素子572のアノード及びカソードの一方は、電位供給線 VL_b に電気的に接続され、他方は、トランジスタ554のソース電極及びドレイン電極の他方に電気的に接続される。

【0342】

発光素子572としては、例えば有機エレクトロルミネセンス素子（有機EL素子とも

50

いう)などを用いることができる。ただし、発光素子 572 としては、これに限定されず、無機材料からなる無機 E L 素子を用いても良い。

【 0 3 4 3 】

なお、電位供給線 V L _ a 及び電位供給線 V L _ b の一方には、高電源電位 V D D が与えられ、他方には、低電源電位 V S S が与えられる。

【 0 3 4 4 】

図 30 (C) の画素回路 501 を有する表示装置では、例えば、図 30 (A) に示すゲートドライバ 504 a により各行の画素回路 501 を順次選択し、トランジスタ 552 をオン状態にしてデータ信号のデータを書き込む。

【 0 3 4 5 】

データが書き込まれた画素回路 501 は、トランジスタ 552 がオフ状態になることで保持状態になる。さらに、書き込まれたデータ信号の電位に応じてトランジスタ 554 のソース電極とドレイン電極の間に流れる電流が制御され、発光素子 572 は、流れる電流量に応じた輝度で発光する。これを行毎に順次行うことにより、画像を表示できる。

【 0 3 4 6 】

また、本実施の形態においては、表示装置の表示素子として、液晶素子 570 及び発光素子 572 を有する構成について例示したが、これに限定されず、表示装置は様々な素子を有していてもよい。

【 0 3 4 7 】

上記素子は、例えば、液晶素子、 E L 素子(有機物及び無機物を含む E L 素子、有機 E L 素子、無機 E L 素子)、 L E D (白色 L E D 、赤色 L E D 、緑色 L E D 、青色 L E D など)、トランジスタ(電流に応じて発光するトランジスタ)、電子放出素子、電子インク、電気泳動素子、グレーティングライトバルブ (G L V) 、プラズマディスプレイ (P D P) 、 M E M S (マイクロ・エレクトロ・メカニカル・システム) を用いた表示素子、デジタルマイクロミラーデバイス (D M D) 、 D M S (デジタル・マイクロ・シャッター) 、 M I R A S O L (登録商標) 、 I M O D (インターフェアレンス・モジュレーション) 素子、シャッター方式の M E M S 表示素子、光干渉方式の M E M S 表示素子、エレクトロウェッティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電気的または磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。電子放出素子を用いた表示装置の一例としては、フィールドエミッショニングディスプレイ (F E D) 又は S E D 方式平面型ディスプレイ (S E D : S u r f a c e - c o n d u c t i o n E l e c t r o n - e m i t t e r D i s p l a y) などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)などがある。電子インク又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにはすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにはすればよい。さらに、その場合、反射電極の下に、 S R A M などの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

【 0 3 4 8 】

また、本実施の形態の表示装置の表示方式としては、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、 R G B (R は赤、 G は緑、 B は青を表す) の三色に限定されない。例えば、 R の画素と G の画素と B の画素と W (白) の画素の四画素から構成されてもよい。または、ペンタイル配列のように、 R G B のうちの 2 色分で一つの色要素を構成し、色要素よって、異なる 2 色を選択して構成してもよい。または R G B に、イエロー、シアン、マゼンタ等を一色以上追加してもよい。なお、色要素のドット毎にその表示領域の大きさが異なっていてもよい。ただし、開示する発明はカラー表示の表示装置に限定されるものではなく、モ

10

20

30

40

50

ノクロ表示の表示装置に適用することもできる。

【0349】

また、表示装置のバックライト（有機EL素子、無機EL素子、LED、蛍光灯など）に白色光（W）を設けてもよい。また、表示装置に着色層（カラーフィルタともいう。）を設けてもよい。着色層としては、例えば、レッド（R）、グリーン（G）、ブルー（B）、イエロー（Y）などを適宜組み合わせて用いることができる。着色層を用いることで、着色層を用いない場合と比べて色の再現性を高くすることができる。このとき、着色層を有する領域と、着色層を有さない領域と、を配置することによって、着色層を有さない領域における白色光を直接表示に利用しても構わない。一部に着色層を有さない領域を配置することで、明るい表示の際に、着色層による輝度の低下を少なくでき、消費電力を2割から3割程度低減できる場合がある。ただし、有機EL素子や無機EL素子などの自発光素子を用いてフルカラー表示する場合、R、G、B、Y、ホワイト（W）を、それぞれの発光色を有する素子から発光させても構わない。自発光素子を用いることで、着色層を用いた場合よりも、さらに消費電力を低減できる場合がある。

10

【0350】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0351】

（実施の形態4）

本実施の形態においては、本発明の一態様の半導体装置を有する表示装置、及び該表示装置に入力装置を取り付けた電子機器について、図31乃至図36を用いて説明を行う。

20

【0352】

＜タッチパネルに関する説明＞

なお、本実施の形態において、電子機器の一例として、表示装置と、入力装置とを合わせたタッチパネル2000について説明する。また、入力装置の一例として、タッチセンサを用いる場合について説明する。

【0353】

図31（A）（B）は、タッチパネル2000の斜視図である。なお、図31（A）（B）において、明瞭化のため、タッチパネル2000の代表的な構成要素を示す。

30

【0354】

タッチパネル2000は、表示装置2501とタッチセンサ2595とを有する（図31（B）参照）。また、タッチパネル2000は、基板2510、基板2570、及び基板2590を有する。なお、基板2510、基板2570、及び基板2590はいずれも可撓性を有する。ただし、基板2510、基板2570、及び基板2590のいずれか一つまたは全てが可撓性を有さない構成としてもよい。

【0355】

表示装置2501は、基板2510上に複数の画素及び該画素に信号を供給することができる複数の配線2511を有する。複数の配線2511は、基板2510の外周部にまで引き回され、その一部が端子2519を構成している。端子2519はFPC2509（1）と電気的に接続する。

40

【0356】

基板2590は、タッチセンサ2595と、タッチセンサ2595と電気的に接続する複数の配線2598とを有する。複数の配線2598は、基板2590の外周部に引き回され、その一部は端子を構成する。そして、該端子はFPC2509（2）と電気的に接続される。なお、図31（B）では明瞭化のため、基板2590の裏面側（基板2510と対向する面側）に設けられるタッチセンサ2595の電極や配線等を実線で示している。

【0357】

タッチセンサ2595として、例えば静電容量方式のタッチセンサを適用できる。静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。

50

【0358】

投影型静電容量方式としては、主に駆動方式の違いから自己容量方式、相互容量方式などがある。相互容量方式を用いると同時多点検出が可能となるため好ましい。

【0359】

なお、図31(B)に示すタッチセンサ2595は、投影型静電容量方式のタッチセンサを適用した構成である。

【0360】

なお、タッチセンサ2595には、指等の検知対象の近接または接触を検知することができる、様々なセンサを適用することができる。

【0361】

投影型静電容量方式のタッチセンサ2595は、電極2591と電極2592とを有する。電極2591は、複数の配線2598のいずれかと電気的に接続し、電極2592は複数の配線2598の他のいずれかと電気的に接続する。

【0362】

電極2592は、図31(A)(B)に示すように、一方向に繰り返し配置された複数の四辺形が角部で接続される形状を有する。

【0363】

電極2591は四辺形であり、電極2592が延在する方向と交差する方向に繰り返し配置されている。

【0364】

配線2594は、電極2592を挟む二つの電極2591と電気的に接続する。このとき、電極2592と配線2594の交差部の面積ができるだけ小さくなる形状が好ましい。これにより、電極が設けられていない領域の面積を低減でき、透過率のバラツキを低減できる。その結果、タッチセンサ2595を透過する光の輝度のバラツキを低減することができる。

【0365】

なお、電極2591及び電極2592の形状はこれに限定されず、様々な形状を取りうる。例えば、複数の電極2591をできるだけ隙間が生じないように配置し、絶縁層を介して電極2592を、電極2591と重ならない領域ができるように離間して複数設ける構成としてもよい。このとき、隣接する2つの電極2592の間に、これらとは電気的に絶縁されたダミー電極を設けると、透過率の異なる領域の面積を低減するため好ましい。

【0366】

なお、電極2591、電極2592、配線2598などの導電膜、つまり、タッチパネルを構成する配線や電極に用いることのできる材料として、酸化インジウム、酸化錫、酸化亜鉛等を有する透明導電膜(例えば、ITOなど)が挙げられる。また、タッチパネルを構成する配線や電極に用いることのできる材料として、例えば、抵抗値が低い方が好ましい。一例として、銀、銅、アルミニウム、カーボンナノチューブ、グラフェン、ハロゲン化金属(ハロゲン化銀など)などを用いてもよい。さらに、非常に細くした(例えば、直径が数ナノメートル)複数の導電体を用いて構成されるような金属ナノワイヤを用いてもよい。または、導電体を網目状にした金属メッシュを用いてもよい。一例としては、Agナノワイヤ、Cuナノワイヤ、Alナノワイヤ、Agメッシュ、Cuメッシュ、Alメッシュなどを用いてもよい。例えば、タッチパネルを構成する配線や電極にAgナノワイヤを用いる場合、可視光において透過率を89%以上、シート抵抗値を40 / cm²以上100 / cm²以下とすることができます。また、上述したタッチパネルを構成する配線や電極に用いることのできる材料の一例である、金属ナノワイヤ、金属メッシュ、カーボンナノチューブ、グラフェンなどは、可視光において透過率が高いため、表示素子に用いる電極(例えば、画素電極または共通電極など)として用いてもよい。

【0367】

<表示装置に関する説明>

10

20

30

40

50

次に、図32(A)(B)を用いて、表示装置2501の詳細について説明する。図32(A)(B)は、図31(B)に示す一点鎖線X1-X2間の断面図に相当する。

【0368】

表示装置2501は、マトリクス状に配置された複数の画素を有する。該画素は表示素子と、該表示素子を駆動する画素回路とを有する。

【0369】

(表示素子としてEL素子を用いる構成)

まず、表示素子としてEL素子を用いる構成について、図32(A)を用いて以下説明を行う。なお、以下の説明においては、白色の光を射出するEL素子を適用する場合について説明するが、EL素子はこれに限定されない。例えば、隣接する画素毎に射出する光の色が異なるように、発光色が異なるEL素子を適用してもよい。

10

【0370】

基板2510及び基板2570としては、例えば、水蒸気の透過率が $10^{-5} \text{ g} / (\text{m}^2 \cdot \text{day})$ 以下、好ましくは $10^{-6} \text{ g} / (\text{m}^2 \cdot \text{day})$ 以下である可撓性を有する材料を好適に用いることができる。または、基板2510の熱膨張率と、基板2570の熱膨張率とが、およそ等しい材料を用いると好適である。例えば、線膨張率が $1 \times 10^{-3} / \text{K}$ 以下、好ましくは $5 \times 10^{-5} / \text{K}$ 以下、より好ましくは $1 \times 10^{-5} / \text{K}$ 以下である材料を好適に用いることができる。

【0371】

なお、基板2510は、EL素子への不純物の拡散を防ぐ絶縁層2510aと、可撓性基板2510bと、絶縁層2510a及び可撓性基板2510bを貼り合わせる接着層2510cと、を有する積層体である。また、基板2570は、EL素子への不純物の拡散を防ぐ絶縁層2570aと、可撓性基板2570bと、絶縁層2570a及び可撓性基板2570bを貼り合わせる接着層2570cと、を有する積層体である。

20

【0372】

接着層2510c及び接着層2570cとしては、例えば、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミド等)、ポリイミド、ポリカーボネート、ポリウレタン、アクリル樹脂、エポキシ樹脂、もしくはシロキサン結合を有する樹脂を含む材料を用いることができる。

【0373】

また、基板2510と基板2570との間に封止層2560を有する。封止層2560は、空気より大きい屈折率を有すると好ましい。また、図32(A)に示すように、封止層2560側に光を取り出す場合は、封止層2560は光学素子を兼ねることができる。

30

【0374】

また、封止層2560の外周部にシール材を形成してもよい。当該シール材を用いることにより、基板2510、基板2570、封止層2560、及びシール材で囲まれた領域にEL素子2550を有する構成とすることができる。なお、封止層2560として、不活性気体(窒素やアルゴン等)を充填してもよい。また、当該不活性気体内に、乾燥材を設けて、水分等を吸着させる構成としてもよい。また、上述のシール材としては、例えば、エポキシ系樹脂やガラスフリットを用いるのが好ましい。また、シール材に用いる材料としては、水分や酸素を透過しない材料を用いると好適である。

40

【0375】

また、図32(A)に示す表示装置2501は、画素2505を有する。また、画素2505は、発光モジュール2580と、EL素子2550と、EL素子2550に電力を供給することができるトランジスタ2502tと、を有する。なお、トランジスタ2502tは、画素回路の一部として機能する。

【0376】

また、発光モジュール2580は、EL素子2550と、着色層2567とを有する。また、EL素子2550は、下部電極と、上部電極と、下部電極と上部電極との間にEL層とを有する。

50

【0377】

また、封止層 2560 が光を取り出す側に設けられている場合、封止層 2560 は、EL 素子 2550 と着色層 2567 に接する。

【0378】

着色層 2567 は、EL 素子 2550 と重なる位置にある。これにより、EL 素子 2550 が発する光の一部は着色層 2567 を透過して、図中に示す矢印の方向の発光モジュール 2580 の外部に射出される。

【0379】

また、表示装置 2501 には、光を射出する方向に遮光層 2568 が設けられる。遮光層 2568 は、着色層 2567 を囲むように設けられている。

10

【0380】

着色層 2567 としては、特定の波長帯域の光を透過する機能を有していればよく、例えば、赤色の波長帯域の光を透過するカラーフィルタ、緑色の波長帯域の光を透過するカラーフィルタ、青色の波長帯域の光を透過するカラーフィルタ、黄色の波長帯域の光を透過するカラーフィルタなどを用いることができる。各カラーフィルタは、様々な材料を用いて、印刷法、インクジェット法、フォトリソグラフィ技術を用いたエッチング方法などで形成することができる。

【0381】

また、表示装置 2501 には、絶縁層 2521 が設けられる。絶縁層 2521 はトランジスタ 2502t 等を覆う。なお、絶縁層 2521 は、画素回路に起因する凹凸を平坦化するための機能を有する。また、絶縁層 2521 に不純物の拡散を抑制できる機能を付与してもよい。これにより、不純物の拡散によるトランジスタ 2502t 等の信頼性の低下を抑制できる。

20

【0382】

また、EL 素子 2550 は、絶縁層 2521 の上方に形成される。また、EL 素子 2550 が有する下部電極には、該下部電極の端部に重なる隔壁 2528 が設けられる。なお、基板 2510 と、基板 2570 との間隔を制御するスペーサを、隔壁 2528 上に形成してもよい。

【0383】

また、走査線駆動回路 2504 は、トランジスタ 2503t と、容量素子 2503c とを有する。なお、駆動回路を画素回路と同一の工程で同一基板上に形成することができる。

30

【0384】

また、基板 2510 上には、信号を供給することができる配線 2511 が設けられる。また、配線 2511 上には、端子 2519 が設けられる。また、端子 2519 には、FPC 2509(1) が電気的に接続される。また、FPC 2509(1) は、ビデオ信号、クロック信号、スタート信号、リセット信号等を供給する機能を有する。なお、FPC 2509(1) にはプリント配線基板 (PWB) が取り付けられていても良い。

【0385】

なお、トランジスタ 2502t 及びトランジスタ 2503t のいずれか一方または双方に先の実施の形態に示すトランジスタを適用すればよい。本実施の形態で用いるトランジスタは、高純度化し、酸素欠損の形成を抑制した酸化物半導体膜を有する。該トランジスタは、オフ状態における電流値 (オフ電流値) を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。また、本実施の形態で用いるトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを表示装置 2501 に用いることで、画素回路のスイッチングトランジスタと、駆動回路に使用するドライバトランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウェハ等により形成された半導体装置を用いる

40

50

必要がないため、半導体装置の部品点数を削減することができる。また、画素回路においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供することができる。

【0386】

(表示素子として液晶素子を用いる構成)

次に、表示素子として、液晶素子を用いる構成について、図32(B)を用いて以下説明を行う。なお、以下の説明においては、外光を反射して表示する反射型の液晶表示装置について説明するが、液晶表示装置はこれに限定されない。例えば、光源(バックライト、サイドライト等)を設けて、透過型の液晶表示装置、または反射型と透過型の両方の機能を備える液晶表示装置としてもよい。

10

【0387】

図32(B)に示す表示装置2501は、図32(A)に示す表示装置2501と以下の点が異なる。それ以外の構成については、図32(A)に示す表示装置2501と同様である。

【0388】

図32(B)に示す表示装置2501の画素2505は、液晶素子2551と、液晶素子2551に電力を供給することができるトランジスタ2502tと、を有する。

【0389】

また、液晶素子2551は、下部電極(画素電極ともいう)と、上部電極と、下部電極と上部電極との間に液晶層2529と、を有する。液晶素子2551は、下部電極と上部電極との間に印加される電圧によって、液晶層2529の配向状態を変えることができる。また、液晶層2529中には、スペーサ2530aと、スペーサ2530bと、が設けられる。また、図32(B)において図示しないが、上部電極及び下部電極の液晶層2529と接する側に、それぞれ配向膜を設ける構成としてもよい。

20

【0390】

液晶層2529としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スマートチック相、キュービック相、カイラルネマチック相、等方相等を示す。また、液晶表示装置として、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相を示す液晶を用いる場合、配向膜を設けなくてもよいのでラビング処理が不要となる。ラビング処理が不要となることでの、ラビング処理時に引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。

30

【0391】

スペーサ2530a、2530bは、絶縁膜を選択的にエッチングすることで得られる。スペーサ2530a、2530bとしては、基板2510と基板2570との間の距離(セルギャップ)を制御するために設けられる。なお、スペーサ2530a、2530bは、それぞれ大きさを異なしてもよく、柱状または球状で設けると好ましい。また、図32(B)においては、スペーサ2530a、2530bを、基板2570側に設ける構成について例示したが、これに限定されず、基板2510側に設けてもよい。

40

【0392】

また、液晶素子2551の上部電極は、基板2570側に設けられる。また、該上部電極と、着色層2567及び遮光層2568と、の間には絶縁層2531が設けられる。絶縁層2531は、着色層2567及び遮光層2568に起因する凹凸を平坦化する機能を有する。絶縁層2531としては、例えば、有機樹脂膜を用いればよい。また、液晶素子2551の下部電極は、反射電極としての機能を有する。図32(B)に示す表示装置2501は、外光を利用して下部電極で光を反射して着色層2567を介して表示する、反射型の液晶表示装置である。なお、透過型の液晶表示装置とする場合、下部電極に透明電極として機能を付与すればよい。

【0393】

50

また、図32(B)に示す表示装置2501は、絶縁層2522を有する。絶縁層2522は、トランジスタ2502t等を覆う。なお、絶縁層2522は、画素回路に起因する凹凸を平坦化するための機能と、液晶素子の下部電極に凹凸を形成する機能と、を有する。これにより、下部電極の表面に凹凸を形成することが可能となる。したがって、外光が下部電極に入射した場合において、下部電極の表面で光を乱反射することが可能となり、視認性を向上させることができる。なお、透過型の液晶表示装置の場合、上記凹凸を設けない構成としてもよい。

【0394】

<タッチセンサに関する説明>

次に、図33を用いて、タッチセンサ2595の詳細について説明する。図33は、図31(B)に示す一点鎖線X3-X4間の断面図に相当する。

10

【0395】

タッチセンサ2595は、基板2590上に千鳥状に配置された電極2591及び電極2592と、電極2591及び電極2592を覆う絶縁層2593と、隣り合う電極2591を電気的に接続する配線2594とを有する。

【0396】

電極2591及び電極2592は、透光性を有する導電材料を用いて形成する。透光性を有する導電性材料としては、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛などの導電性酸化物を用いることができる。なお、グラフェンを含む膜を用いることもできる。グラフェンを含む膜は、例えば膜状に形成された酸化グラフェンを含む膜を還元して形成することができる。還元する方法としては、熱を加える方法等を挙げることができる。

20

【0397】

例えば、透光性を有する導電性材料を基板2590上にスパッタリング法により成膜した後、フォトリソグラフィ法等の様々なパターニング技術により、不要な部分を除去して、電極2591及び電極2592を形成することができる。

【0398】

また、絶縁層2593に用いる材料としては、例えば、アクリル、エポキシなどの樹脂、シロキサン結合を有する樹脂の他、酸化シリコン、酸化窒化シリコン、酸化アルミニウムなどの無機絶縁材料を用いることもできる。

30

【0399】

また、電極2591に達する開口が絶縁層2593に設けられ、配線2594が隣接する電極2591と電気的に接続する。透光性の導電性材料は、タッチパネルの開口率を高めることができるために、配線2594に好適に用いることができる。また、電極2591及び電極2592より導電性の高い材料は、電気抵抗を低減するため配線2594に好適に用いることができる。

【0400】

電極2592は、一方向に延在し、複数の電極2592がストライプ状に設けられている。また、配線2594は電極2592と交差して設けられている。

【0401】

一対の電極2591が1つの電極2592を挟んで設けられる。また、配線2594は一対の電極2591を電気的に接続している。

40

【0402】

なお、複数の電極2591は、1つの電極2592と必ずしも直交する方向に配置される必要はなく、0度を超えて90度未満の角度をなすように配置されてもよい。

【0403】

また、配線2598は、電極2591または電極2592と電気的に接続される。また、配線2598の一部は、端子として機能する。配線2598としては、例えば、アルミニウム、金、白金、銀、ニッケル、チタン、タングステン、クロム、モリブデン、鉄、コバルト、銅、またはパラジウム等の金属材料や、該金属材料を含む合金材料を用いること

50

ができる。

【0404】

なお、絶縁層2593及び配線2594を覆う絶縁層を設けて、タッチセンサ2595を保護してもよい。

【0405】

また、接続層2599は、配線2598とFPC2509(2)を電気的に接続する。

【0406】

接続層2599としては、異方性導電フィルム(ACF: Anisotropic Conductive Film)や、異方性導電ペースト(ACP: Anisotropic Conductive Paste)などを用いることができる。

10

【0407】

<タッチパネルに関する説明>

次に、図34(A)を用いて、タッチパネル2000の詳細について説明する。図34(A)は、図31(A)に示す一点鎖線X5-X6間の断面図に相当する。

【0408】

図34(A)に示すタッチパネル2000は、図32(A)で説明した表示装置2501と、図33で説明したタッチセンサ2595と、を貼り合わせた構成である。

20

【0409】

また、図34(A)に示すタッチパネル2000は、図32(A)で説明した構成の他、接着層2597と、反射防止層2569と、を有する。

【0410】

接着層2597は、配線2594と接して設けられる。なお、接着層2597は、タッチセンサ2595が表示装置2501に重なるように、基板2590を基板2570に貼り合わせている。また、接着層2597は、透光性を有すると好ましい。また、接着層2597としては、熱硬化性樹脂、または紫外線硬化樹脂を用いることができる。例えば、アクリル系樹脂、ウレタン系樹脂、エポキシ系樹脂、またはシロキサン系樹脂を用いることができる。

【0411】

反射防止層2569は、画素に重なる位置に設けられる。反射防止層2569として、例えば円偏光板を用いることができる。

30

【0412】

次に、図34(A)に示す構成と異なる構成のタッチパネルについて、図34(B)を用いて説明する。

【0413】

図34(B)は、タッチパネル2001の断面図である。図34(B)に示すタッチパネル2001は、図34(A)に示すタッチパネル2000と、表示装置2501に対するタッチセンサ2595の位置が異なる。ここでは異なる構成について詳細に説明し、同様の構成を用いることができる部分は、タッチパネル2000の説明を援用する。

40

【0414】

着色層2567は、EL素子2550の下方に位置する。また、図34(B)に示すEL素子2550は、トランジスタ2502tが設けられている側に光を射出する。これにより、EL素子2550が発する光の一部は、着色層2567を透過して、図中に示す矢印の方向の発光モジュール2580の外部に射出される。

【0415】

また、タッチセンサ2595は、表示装置2501の基板2510側に設けられている。

【0416】

接着層2597は、基板2510と基板2590の間にあり、表示装置2501とタッチセンサ2595を貼り合わせる。

50

【0417】

図34(A)(B)に示すように、発光素子から射出される光は、基板の上面及び下面のいずれか一方または双方に射出されればよい。

【0418】

<タッチパネルの駆動方法に関する説明>

次に、タッチパネルの駆動方法の一例について、図35を用いて説明を行う。

【0419】

図35(A)は、相互容量方式のタッチセンサの構成を示すブロック図である。図35(A)では、パルス電圧出力回路2601、電流検出回路2602を示している。なお、図35(A)では、パルス電圧が与えられる電極2621をX1-X6として、電流の変化を検知する電極2622をY1-Y6として、それぞれ6本の配線で例示している。また、図35(A)は、電極2621と、電極2622とが重畳することで形成される容量2603を示している。なお、電極2621と電極2622とはその機能を互いに置き換えてよい。

10

【0420】

パルス電圧出力回路2601は、X1-X6の配線に順にパルスを印加するための回路である。X1-X6の配線にパルス電圧が印加されることで、容量2603を形成する電極2621と電極2622との間に電界が生じる。この電極間に生じる電界が遮蔽等により容量2603の相互容量に変化を生じさせることを利用して、被検知体の近接、または接触を検出することができる。

20

【0421】

電流検出回路2602は、容量2603での相互容量の変化による、Y1-Y6の配線での電流の変化を検出するための回路である。Y1-Y6の配線では、被検知体の近接、または接触がないと検出される電流値に変化はないが、検出する被検知体の近接、または接触により相互容量が減少する場合には電流値が減少する変化を検出する。なお電流の検出は、積分回路等を用いて行えばよい。

【0422】

次に、図35(B)には、図35(A)で示す相互容量方式のタッチセンサにおける出入力波形のタイミングチャートを示す。図35(B)では、1フレーム期間で各行列での被検知体の検出を行うものとする。また図35(B)では、被検知体を検出しない場合(非タッチ)と被検知体を検出する場合(タッチ)との2つの場合について示している。なおY1-Y6の配線については、検出される電流値に対応する電圧値とした波形を示している。

30

【0423】

X1-X6の配線には、順にパルス電圧が与えられ、該パルス電圧にしたがってY1-Y6の配線での波形が変化する。被検知体の近接または接触がない場合には、X1-X6の配線の電圧の変化に応じてY1-Y6の波形が一様に変化する。一方、被検知体が近接または接触する箇所では、電流値が減少するため、これに対応する電圧値の波形も変化する。

【0424】

40

このように、相互容量の変化を検出することにより、被検知体の近接または接触を検知することができる。

【0425】

<センサ回路に関する説明>

また、図35(A)ではタッチセンサとして配線の交差部に容量2603のみを設けるパッシブ型のタッチセンサの構成を示したが、トランジスタと容量とを有するアクティブ型のタッチセンサとしてもよい。アクティブ型のタッチセンサに含まれるセンサ回路の一例を図36に示す。

【0426】

図36に示すセンサ回路は、容量2603と、トランジスタ2611と、トランジスタ

50

2612と、トランジスタ2613とを有する。

【0427】

トランジスタ2613はゲートに信号G2が与えられ、ソースまたはドレインの一方に電圧VRESが与えられ、他方が容量2603の一方の電極およびトランジスタ2611のゲートと電気的に接続する。トランジスタ2611は、ソースまたはドレインの一方がトランジスタ2612のソースまたはドレインの一方と電気的に接続し、他方に電圧VSSが与えられる。トランジスタ2612は、ゲートに信号G1が与えられ、ソースまたはドレインの他方が配線MLと電気的に接続する。容量2603の他方の電極には電圧VSSが与えられる。

【0428】

10

次に、図36に示すセンサ回路の動作について説明する。まず、信号G2にトランジスタ2613をオン状態とする電位が与えられることで、トランジスタ2611のゲートが接続されるノードnに電圧VRESに対応した電位が与えられる。次に、信号G2としてトランジスタ2613をオフ状態とする電位が与えられることで、ノードnの電位が保持される。

【0429】

続いて、指等の被検知体の近接または接触により、容量2603の相互容量が変化することに伴い、ノードnの電位がVRESから変化する。

【0430】

20

読み出し動作は、信号G1にトランジスタ2612をオン状態とする電位を与える。ノードnの電位に応じてトランジスタ2611に流れる電流、すなわち配線MLに流れる電流が変化する。この電流を検出することにより、被検知体の近接または接触を検出することができる。

【0431】

トランジスタ2611、トランジスタ2612、及びトランジスタ2613に先の実施の形態に示すトランジスタを適用することができる。とくにトランジスタ2613に先の実施の形態に示すトランジスタを適用することにより、ノードnの電位を長期間に亘って保持することができとなり、ノードnにVRESを供給しなおす動作（リフレッシュ動作）の頻度を減らすことができる。

【0432】

30

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0433】

（実施の形態5）

本実施の形態では、電力が供給されない状況でも記憶内容の保持が可能で、且つ書き込み回数にも制限が無い半導体装置の回路構成の一例について図37を用いて説明する。

【0434】

<回路構成>

図37は、半導体装置の回路構成を説明する図である。図37において、第1の配線（1st Line）と、p型トランジスタ1280aのソース電極またはドレイン電極の一方とは、電気的に接続されている。また、p型トランジスタ1280aのソース電極またはドレイン電極の他方と、n型トランジスタ1280bのソース電極またはドレイン電極の一方とは、電気的に接続されている。また、n型トランジスタ1280bのソース電極またはドレイン電極の他方と、n型トランジスタ1280cのソース電極またはドレイン電極の一方とは、電気的に接続されている。

40

【0435】

また、第2の配線（2nd Line）と、トランジスタ1282のソース電極またはドレイン電極の一方とは、電気的に接続されている。また、トランジスタ1282のソース電極またはドレイン電極の他方と、容量素子1281の電極の一方及びn型トランジスタ1280cのゲート電極とは、電気的に接続されている。

50

【0436】

また、第3の配線(3rd Line)と、p型トランジスタ1280a及びn型トランジスタ1280bのゲート電極とは、電気的に接続されている。また、第4の配線(4th Line)と、トランジスタ1282のゲート電極とは、電気的に接続されている。また、第5の配線(5th Line)と、容量素子1281の電極の他方及びn型トランジスタ1280cのソース電極またはドレイン電極の他方とは、電気的に接続されている。また、第6の配線(6th Line)と、p型トランジスタ1280aのソース電極またはドレイン電極の他方及びn型トランジスタ1280bのソース電極またはドレイン電極の一方とは、電気的に接続されている。

【0437】

なお、トランジスタ1282は、酸化物半導体(OS: Oxide Semiconductor)により形成することができる。したがって、図37において、トランジスタ1282に「OS」の記号を付記してある。なお、トランジスタ1282を酸化物半導体以外の材料により形成してもよい。

【0438】

また、図37において、トランジスタ1282のソース電極またはドレイン電極の他方と、容量素子1281の電極の一方と、n型トランジスタ1280cのゲート電極との接続箇所には、フローティングノード(FN)を付記してある。トランジスタ1282をオフ状態とすることで、フローティングノード、容量素子1281の電極の一方、及びn型トランジスタ1280cのゲート電極に与えられた電位を保持することができる。

【0439】

図37に示す回路構成では、n型トランジスタ1280cのゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0440】

<情報の書き込み及び保持>

まず、情報の書き込み及び保持について説明する。第4の配線の電位を、トランジスタ1282がオン状態となる電位にして、トランジスタ1282をオン状態とする。これにより、第2の配線の電位がn型トランジスタ1280cのゲート電極、及び容量素子1281に与えられる。すなわち、n型トランジスタ1280cのゲート電極には、所定の電荷が与えられる(書き込み)。その後、第4の配線の電位を、トランジスタ1282がオフ状態となる電位にして、トランジスタ1282をオフ状態とする。これにより、n型トランジスタ1280cのゲート電極に与えられた電荷が保持される(保持)。

【0441】

トランジスタ1282のオフ電流は極めて小さいため、n型トランジスタ1280cのゲート電極の電荷は長時間にわたって保持される。

【0442】

<情報の読み出し>

次に、情報の読み出しについて説明する。第3の配線の電位をLowレベル電位とした際、p型トランジスタ1280aがオン状態となり、n型トランジスタ1280bがオフ状態となる。この時、第1の配線の電位は第6の配線に与えられる。一方、第3の配線の電位をHighレベル電位とした際、p型トランジスタ1280aがオフ状態となり、n型トランジスタ1280bがオン状態となる。この時、フローティングノード(FN)に保持された電荷量に応じて、第6の配線は異なる電位をとる。このため、第6の配線の電位をみるとことで、保持されている情報を読み出すことができる(読み出し)。

【0443】

また、トランジスタ1282は、酸化物半導体をチャネル形成領域に用いるため、極めてオフ電流が小さいトランジスタである。酸化物半導体を用いたトランジスタ1282のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下のオフ電流であるため、トランジスタ1282のリークによる、フローティングノード(FN)に

10

20

30

40

50

蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ1282により、電力の供給が無くても情報の保持が可能な不揮発性の記憶回路を実現することが可能である。

【0444】

また、このような回路構成を用いた半導体装置を、レジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、記憶装置全体、もしくは記憶装置を構成する一または複数の論理回路において、待機状態のときに短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

10

【0445】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0446】

(実施の形態6)

本実施の形態では、本発明の一態様の半導体装置に用いることのできる画素回路の構成について、図38(A)を用いて以下説明を行う。

【0447】

<画素回路の構成>

図38(A)は、画素回路の構成を説明する図である。図38(A)に示す回路は、光電変換素子1360、トランジスタ1351、トランジスタ1352、トランジスタ1353、及びトランジスタ1354を有する。

20

【0448】

光電変換素子1360のアノードは配線1316に接続され、カソードはトランジスタ1351のソース電極またはドレイン電極の一方と接続される。トランジスタ1351のソース電極またはドレイン電極の他方は電荷蓄積部(FD)と接続され、ゲート電極は配線1312(TX)と接続される。トランジスタ1352のソース電極またはドレイン電極の一方は配線1314(GND)と接続され、ソース電極またはドレイン電極の他方はトランジスタ1354のソース電極またはドレイン電極の一方と接続され、ゲート電極は電荷蓄積部(FD)と接続される。トランジスタ1353のソース電極またはドレイン電極の一方は電荷蓄積部(FD)と接続され、ソース電極またはドレイン電極の他方は配線1317と接続され、ゲート電極は配線1311(RS)と接続される。トランジスタ1354のソース電極またはドレイン電極の他方は配線1315(OUT)と接続され、ゲート電極は配線1313(SE)に接続される。なお、上記接続は全て電気的な接続とする。

30

【0449】

なお、配線1314には、GND、VSS、VDDなどの電位が供給されていてもよい。ここで、電位や電圧は相対的なものである。そのため、GNDの電位の大きさは、必ずしも、0ボルトであるとは限らないものとする。

40

【0450】

光電変換素子1360は受光素子であり、画素回路に入射した光に応じた電流を生成する機能を有する。トランジスタ1353は、光電変換素子1360による電荷蓄積部(FD)への電荷蓄積を制御する機能を有する。トランジスタ1354は、電荷蓄積部(FD)の電位に応じた信号を出力する機能を有する。トランジスタ1352は、電荷蓄積部(FD)の電位のリセットする機能を有する。トランジスタ1352は、読み出し時に画素回路の選択を制御する機能を有する。

【0451】

なお、電荷蓄積部(FD)は、電荷保持ノードであり、光電変換素子1360が受ける光の量に応じて変化する電荷を保持する。

【0452】

50

なお、トランジスタ1352とトランジスタ1354とは、配線1315と配線1314との間で、直列接続されていればよい。したがって、配線1314、トランジスタ1352、トランジスタ1354、配線1315の順で並んでもよいし、配線1314、トランジスタ1354、トランジスタ1352、配線1315の順で並んでもよい。

【0453】

配線1311(RS)は、トランジスタ1353を制御するための信号線としての機能を有する。配線1312(TX)は、トランジスタ1351を制御するための信号線としての機能を有する。配線1313(SE)は、トランジスタ1354を制御するための信号線としての機能を有する。配線1314(GND)は、基準電位(例えばGND)を設定する信号線としての機能を有する。配線1315(OUT)は、トランジスタ1352から出力される信号を読み出すための信号線としての機能を有する。配線1316は電荷蓄積部(FD)から光電変換素子1360を介して電荷を出力するための信号線としての機能を有し、図38(A)の回路においては低電位線である。また、配線1317は電荷蓄積部(FD)の電位をリセットするための信号線としての機能を有し、図38(A)の回路においては高電位線である。

10

【0454】

次に、図38(A)に示す各素子の構成について説明する。

【0455】

<光電変換素子>

光電変換素子1360には、セレンまたはセレンを含む化合物(以下、セレン系材料とする)を有する素子、あるいはシリコンを有する素子(例えば、pin型の接合が形成された素子)を用いることができる。また、酸化物半導体を用いたトランジスタと、セレン系材料を用いた光電変換素子とを組み合わせることで信頼性を高くすることができるため好ましい。

20

【0456】

<トランジスタ>

トランジスタ1351、トランジスタ1352、トランジスタ1353、およびトランジスタ1354は、非晶質シリコン、微結晶シリコン、多結晶シリコン、単結晶シリコンなどのシリコン半導体を用いて形成することも可能であるが、酸化物半導体を用いたトランジスタで形成することが好ましい。酸化物半導体でチャネル形成領域を形成したトランジスタは、極めてオフ電流が低い特性を示す特徴を有している。また、酸化物半導体でチャネル形成領域を形成したトランジスタとしては、例えば、実施の形態1に示すトランジスタを用いることができる。

30

【0457】

特に、電荷蓄積部(FD)と接続されているトランジスタ1351、及びトランジスタ1353のリーク電流が大きいと、電荷蓄積部(FD)に蓄積された電荷が保持できる時間が十分でなくなる。したがって、少なくとも当該二つのトランジスタに酸化物半導体を用いたトランジスタを使用することで、電荷蓄積部(FD)からの不要な電荷の流出を防止することができる。

40

【0458】

また、トランジスタ1352、及びトランジスタ1354においても、リーク電流が大きいと、配線1314または配線1315に不必要的電荷の出力が起こるため、これらのトランジスタとして、酸化物半導体でチャネル形成領域を形成したトランジスタを用いることが好ましい。

【0459】

また、図38(A)において、ゲート電極が一つの構成のトランジスタについて例示したが、これに限定されず、例えば、複数のゲート電極を有する構成としてもよい。複数のゲート電極を有するトランジスタとしては、例えば、チャネル形成領域が形成される半導体膜重なる、第1のゲート電極と、第2のゲート電極(バックゲート電極ともいう)と、有する構成とすればよい。バックゲート電極としては、例えば、第1のゲート電極と同じ

50

電位、フローティング、または第1のゲート電極と異なる電位を与えるべき。

【0460】

<回路動作のタイミングチャート>

次に、図38(A)に示す回路の回路動作の一例について図38(B)に示すタイミングチャートを用いて説明する。

【0461】

図38(B)では簡易に説明するため、各配線の電位は、二値変化する信号として与える。ただし、各電位はアナログ信号であるため、実際には状況に応じて二値に限らず種々の値を取り得る。なお、図38(B)に示す信号1401は配線1311(RS)の電位、信号1402は配線1312(TX)の電位、信号1403は配線1313(SE)の電位、信号1404は電荷蓄積部(FD)の電位、信号1405は配線1315(OUT)の電位に相当する。なお、配線1316の電位は常時”Low”、配線1317の電位は常時”High”とする。

10

【0462】

時刻Aにおいて、配線1311の電位(信号1401)を”High”、配線1312の電位(信号1402)を”High”とすると、電荷蓄積部(FD)の電位(信号1404)は配線1317の電位(”High”)に初期化され、リセット動作が開始される。なお、配線1315の電位(信号1405)は、”High”にプリチャージしておく。

20

【0463】

時刻Bにおいて、配線1311の電位(信号1401)を”Low”とするとリセット動作が終了し、蓄積動作が開始される。ここで、光電変換素子1360には逆方向バイアスが印加されるため、逆方向電流により、配電荷蓄積部(FD)(信号1404)が低下し始める。光電変換素子1360は、光が照射されると逆方向電流が増大するので、照射される光の量に応じて電荷蓄積部(FD)の電位(信号1404)の低下速度は変化する。すなわち、光電変換素子1360に照射する光の量に応じて、トランジスタ1354のソースとドレイン間のチャネル抵抗が変化する。

【0464】

時刻Cにおいて、配線1312の電位(信号1402)を”Low”とすると蓄積動作が終了し、電荷蓄積部(FD)の電位(信号1404)は一定となる。ここで、当該電位は、蓄積動作中に光電変換素子1360が生成した電荷量により決まる。すなわち、光電変換素子1360に照射されていた光の量に応じて変化する。また、トランジスタ1351およびトランジスタ1353は、酸化膜半導体でチャネル形成領域を形成したオフ電流が極めて低いトランジスタで構成されているため、後の選択動作(読み出し動作)を行うまで、電荷蓄積部(FD)の電位を一定に保つことが可能である。

30

【0465】

なお、配線1312の電位(信号1402)を”Low”とする際に、配線1312と電荷蓄積部(FD)との間ににおける寄生容量により、電荷蓄積部(FD)の電位に変化が生じることがある。当該電位の変化量が大きい場合は、蓄積動作中に光電変換素子1360が生成した電荷量を正確に取得できることになる。当該電位の変化量を低減するには、トランジスタ1351のゲート電極-ソース電極(もしくはゲート電極-ドレイン電極)間容量を低減する、トランジスタ1352のゲート容量を増大する、電荷蓄積部(FD)に保持容量を設ける、などの対策が有効である。なお、本実施の形態では、これらの対策により当該電位の変化を無視できるものとしている。

40

【0466】

時刻Dに、配線1313の電位(信号1403)を”High”にすると、トランジスタ1354が導通して選択動作が開始され、配線1314と配線1315が、トランジスタ1352とトランジスタ1354とを介して導通する。そして、配線1315の電位(信号1405)は、低下していく。なお、配線1315のプリチャージは、時刻D以前に終了しておけばよい。ここで、配線1315の電位(信号1405)が低下する速さは、

50

トランジスタ 1352 のソース電極とドレイン電極間の電流に依存する。すなわち、蓄積動作中に光電変換素子 1360 に照射されている光の量に応じて変化する。

【0467】

時刻 Eにおいて、配線 1313 の電位（信号 1403）を”Low”にすると、トランジスタ 1354 が遮断されて選択動作は終了し、配線 1315 の電位（信号 1405）は、一定値となる。ここで、一定値となる値は、光電変換素子 1360 に照射されていた光の量に応じて変化する。したがって、配線 1315 の電位を取得することで、蓄積動作中に光電変換素子 1360 に照射されていた光の量を知ることができる。

【0468】

より具体的には、光電変換素子 1360 に照射されている光が強いと、電荷蓄積部（FD）の電位、すなわちトランジスタ 1352 のゲート電圧は低下する。そのため、トランジスタ 1352 のソース電極 - ドレイン電極間に流れる電流は小さくなり、配線 1315 の電位（信号 1405）はゆっくりと低下する。したがって、配線 1315 からは比較的高い電位を読み出すことができる。

【0469】

逆に、光電変換素子 1360 に照射されている光が弱いと、電荷蓄積部（FD）の電位、すなわち、トランジスタ 1352 のゲート電圧は高くなる。そのため、トランジスタ 1352 のソース電極 - ドレイン電極間に流れる電流は大きくなり、配線 1315 の電位（信号 1405）は速く低下する。したがって、配線 1315 からは比較的低い電位を読み出すことができる。

【0470】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0471】

（実施の形態 7）

本実施の形態では、本発明の一態様の半導体装置を有する表示モジュール及び電子機器について、図 39 及び図 40 を用いて説明を行う。

【0472】

<表示モジュールに関する説明>

図 39 に示す表示モジュール 8000 は、上部カバー 8001 と下部カバー 8002 との間に、FPC 8003 に接続されたタッチパネル 8004、FPC 8005 に接続された表示パネル 8006、バックライト 8007、フレーム 8009、プリント基板 8010、バッテリ 8011 を有する。

【0473】

本発明の一態様の半導体装置は、例えば、表示パネル 8006 に用いることができる。

【0474】

上部カバー 8001 及び下部カバー 8002 は、タッチパネル 8004 及び表示パネル 8006 のサイズに合わせて、形状や寸法を適宜変更することができる。

【0475】

タッチパネル 8004 は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル 8006 に重畳して用いることができる。また、表示パネル 8006 の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。また、表示パネル 8006 の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。

【0476】

バックライト 8007 は、光源 8008 を有する。なお、図 39 において、バックライト 8007 上に光源 8008 を配置する構成について例示したが、これに限定さない。例えば、バックライト 8007 の端部に光源 8008 を配置し、さらに光拡散板を用いる構成としてもよい。なお、有機EL素子等の自発光型の発光素子を用いる場合、または反射型パネル等の場合においては、バックライト 8007 を設けない構成としてもよい。

【0477】

10

20

30

40

50

フレーム 8009 は、表示パネル 8006 の保護機能の他、プリント基板 8010 の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム 8009 は、放熱板としての機能を有していてもよい。

【0478】

プリント基板 8010 は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリ 8011 による電源であってもよい。バッテリ 8011 は、商用電源を用いる場合には、省略可能である。

【0479】

また、表示モジュール 8000 は、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

10

【0480】

<電子機器に関する説明>

図 40 (A) 乃至図 40 (G) は、電子機器を示す図である。これらの電子機器は、筐体 9000、表示部 9001、スピーカ 9003、操作キー 9005 (電源スイッチ、又は操作スイッチを含む)、接続端子 9006、センサ 9007 (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン 9008、等を有することができる。

【0481】

図 40 (A) 乃至図 40 (G) に示す電子機器は、様々な機能を有することができる。例えば、様々な情報 (静止画、動画、テキスト画像など) を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信または受信を行う機能、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能、等を有することができる。なお、図 40 (A) 乃至図 40 (G) に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。また、図 40 (A) 乃至図 40 (G) には図示していないが、電子機器には、複数の表示部を有する構成としてもよい。また、該電子機器にカメラ等を設け、静止画を撮影する機能、動画を撮影する機能、撮影した画像を記録媒体 (外部またはカメラに内蔵) に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

20

【0482】

図 40 (A) 乃至図 40 (G) に示す電子機器の詳細について、以下説明を行う。

【0483】

図 40 (A) は、携帯情報端末 9100 を示す斜視図である。携帯情報端末 9100 が有する表示部 9001 は、可撓性を有する。そのため、湾曲した筐体 9000 の湾曲面に沿って表示部 9001 を組み込むことが可能である。また、表示部 9001 はタッチセンサを備え、指やスタイルスなどで画面に触れることで操作することができる。例えば、表示部 9001 に表示されたアイコンに触ることで、アプリケーションを起動することができる。

30

【0484】

図 40 (B) は、携帯情報端末 9101 を示す斜視図である。携帯情報端末 9101 は、例えば電話機、手帳又は情報閲覧装置等から選ばれた一つ又は複数の機能を有する。具体的には、スマートフォンとして用いることができる。なお、携帯情報端末 9101 は、スピーカ 9003、接続端子 9006、センサ 9007 等を省略して図示しているが、図 40 (A) に示す携帯情報端末 9100 と同様の位置に設けることができる。また、携帯情報端末 9101 は、文字や画像情報をその複数の面に表示することができる。例えば、3 つの操作ボタン 9050 (操作アイコンまたは単にアイコンともいう) を表示部 9001 の一の面に表示することができる。また、破線の矩形で示す情報 9051 を表示部 9001 の一の面に表示することができる。

40

50

01の他の面に表示することができる。なお、情報9051の一例としては、電子メールやSNS（ソーシャル・ネットワーキング・サービス）や電話などの着信を知らせる表示、電子メールやSNSなどの題名、電子メールやSNSなどの送信者名、日時、時刻、バッテリの残量、アンテナ受信の強度などがある。または、情報9051が表示されている位置に、情報9051の代わりに、操作ボタン9050などを表示してもよい。

【0485】

図40（C）は、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、情報9054がそれぞれ異なる面に表示されている例を示す。例えば、携帯情報端末9102の使用者は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、その表示（ここでは情報9053）を確認することができる。具体的には、着信した電話の発信者の電話番号又は氏名等を、携帯情報端末9102の上方から観察できる位置に表示する。使用者は、携帯情報端末9102をポケットから取り出すことなく、表示を確認し、電話を受けるか否かを判断できる。

【0486】

図40（D）は、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、通信規格された近距離無線通信を実行することができる。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006を有し、他の情報端末とコネクターを介して直接データのやりとりを行うことができる。また接続端子9006を介して充電を行うこともできる。なお、充電動作は接続端子9006を介さずに無線給電により行ってもよい。

【0487】

図40（E）（F）（G）は、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図40（E）が携帯情報端末9201を展開した状態の斜視図であり、図40（F）が携帯情報端末9201を展開した状態または折り畳んだ状態の一方から他方に変化する途中の状態の斜視図であり、図40（G）が携帯情報端末9201を折り畳んだ状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開した状態では、継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9000に支持されている。ヒンジ9055を介して2つの筐体9000間を屈曲させることにより、携帯情報端末9201を展開した状態から折りたたんだ状態に可逆的に変形させることができる。例えば、携帯情報端末9201は、曲率半径1mm以上150mm以下で曲げることができる。

【0488】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有する。ただし、本発明の一態様の半導体装置は、表示部を有さない電子機器にも適用することができる。また、本実施の形態において述べた電子機器の表示部においては、可撓性を有し、湾曲した表示面に沿って表示を行うことができる構成、または折り畳み可能な表示部の構成について例示したが、これに限定されず、可撓性を有さず、平面部に表示を行う構成としてもよい。

【0489】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0490】

（実施の形態8）

本実施の形態では、本発明の一態様の表示モジュールの作製に用いることができる成膜

10

20

30

40

50

装置について、図41を用いて説明する。

【0491】

図41は本発明の一態様の表示モジュールの作製に用いることができる成膜装置300を説明する図である。なお、成膜装置300は、バッチ式のALD装置の一例である。

【0492】

<成膜装置の構成例>

本実施の形態で説明する成膜装置300は、成膜室3180と、成膜室3180に接続される制御部3182と、を有する(図41参照)。

【0493】

制御部3182は、制御信号を供給する制御装置(図示せず)ならびに制御信号を供給される流量制御器3182a、流量制御器3182b、及び流量制御器3182cを有する。例えば、高速バルブを流量制御器に用いることができる。具体的にはALD用バルブ等を用いることにより、精密に流量を制御することができる。また、流量制御器、及び配管の温度を制御する加熱機構3182hを有する。

【0494】

流量制御器3182aは、制御信号ならびに第1の原料、及び不活性ガスを供給され、制御信号に基づいて第1の原料または不活性ガスを供給する機能を有する。

【0495】

流量制御器3182bは、制御信号ならびに第2の原料、及び不活性ガスを供給され、制御信号に基づいて第2の原料または不活性ガスを供給する機能を有する。

【0496】

流量制御器3182cは、制御信号を供給され、制御信号に基づいて排気装置3185に接続する機能を有する。

【0497】

<原料供給部>

なお、原料供給部3181aは、第1の原料を供給する機能を有し、流量制御器3182aに接続されている。

【0498】

原料供給部3181bは、第2の原料を供給する機能を有し、流量制御器3182bに接続されている。

【0499】

気化器または加熱手段等を原料供給部に用いることができる。これにより、固体の原料や液体の原料から気体の原料を生成することができる。

【0500】

なお、原料供給部は2つに限定されず、3つ以上の原料供給部を有することができる。

【0501】

<原料>

さまざまな物質を第1の原料に用いることができる。例えば、有機金属化合物、金属アルコキシド等を第1の原料に用いることができる。第1の原料と反応をするさまざまな物質を第2の原料に用いることができる。例えば、酸化反応に寄与する物質、還元反応に寄与する物質、付加反応に寄与する物質、分解反応に寄与する物質または加水分解反応に寄与する物質などを第2の原料に用いることができる。

【0502】

また、ラジカル等を用いることができる。例えば、原料をプラズマ源に供給し、プラズマ等を用いることができる。具体的には酸素ラジカル、窒素ラジカル等を用いることができる。

【0503】

ところで、第1の原料と組み合わせて用いる第2の原料は、室温に近い温度で反応する原料が好ましい。例えば、反応温度が室温以上200以下好ましくは50以上150

10

20

30

40

50

以下である原料が好ましい。

【0504】

<排気装置>

排気装置3185は、排気する機能を有し、流量制御器3182cに接続されている。なお、排出される原料を捕捉するトラップを排出口3184と流量制御器3182cの間に有してもよい。ところで、除害設備を用いて排気されたガス等を除害する。

【0505】

<制御部>

制御部3182は、流量制御器を制御する制御信号または加熱機構を制御する制御信号等を供給する。例えば、第1のステップにおいて、第1の原料を加工部材の表面に供給する。そして、第2のステップにおいて、第1の原料と反応する第2の原料を供給する。これにより第1の原料は第2の原料と反応し、反応生成物が加工部材3010の表面に堆積することができる。

10

【0506】

なお、加工部材3010の表面に堆積させる反応生成物の量は、第1のステップと第2のステップを繰り返すことにより、制御することができる。

【0507】

なお、加工部材3010に供給される第1の原料の量は、加工部材3010の表面が吸着することができる量により制限される。例えば、第1の原料の単分子層が加工部材3010の表面に形成される条件を選択し、形成された第1の原料の単分子層に第2の原料を反応させることにより、極めて均一な第1の原料と第2の原料の反応生成物を含む層を形成することができる。

20

【0508】

その結果、入り組んだ構造を表面に有する加工部材3010の表面に、さまざまな材料を成膜することができる。例えば3nm以上200nm以下の厚さを有する膜を、加工部材3010に形成することができる。

【0509】

例えば、加工部材3010の表面にピンホールと呼ばれる小さい穴等が形成されている場合、ピンホールの内部に回り込んで成膜材料を成膜し、ピンホールを埋めることができます。

30

【0510】

また、余剰の第1の原料または第2の原料を、排気装置3185を用いて成膜室3180から排出する。例えば、アルゴンまたは窒素などの不活性ガスを導入しながら排気してもよい。

【0511】

<成膜室>

成膜室3180は、第1の原料、第2の原料および不活性ガスを供給される導入口3183と、第1の原料、第2の原料および不活性ガスを排出する排出口3184とを有する。

【0512】

成膜室3180は、単数または複数の加工部材3010を支持する機能を有する支持部3186と、加工部材を加熱する機能を有する加熱機構3187と、加工部材3010の搬入および搬出をする領域を開閉する機能を有する扉3188と、を有する。

40

【0513】

例えば、抵抗加熱器または赤外線ランプ等を加熱機構3187に用いることができる。また、加熱機構3187は、例えば80以上、100以上または150以上に加熱する機能を有する。ところで、加熱機構3187は、例えば室温以上200以下好ましくは50以上150以下の温度になるように加工部材3010を加熱する。

【0514】

また、成膜室3180は、圧力調整器および圧力検知器を有していてもよい。

50

【0515】

<支持部>

支持部 3186 は、単数または複数の加工部材 3010 を支持する。これにより、一回の処理ごとに単数または複数の加工部材 3010 に例えれば絶縁膜を形成できる。

【0516】

<膜の一例>

本実施の形態で説明する成膜装置 3000 を用いて、作製することができる膜の一例について説明する。

【0517】

例えば、酸化物、窒化物、フッ化物、硫化物、三元化合物、金属またはポリマーを含む膜を形成することができる。

10

【0518】

例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムシリケート、ハフニウムシリケート、酸化ランタン、酸化珪素、チタン酸ストロンチウム、酸化タンタル、酸化チタン、酸化亜鉛、酸化ニオブ、酸化ジルコニウム、酸化スズ、酸化イットリウム、酸化セリウム、酸化スカンジウム、酸化エルビウム、酸化バナジウムまたは酸化インジウム等を含む材料を成膜することができる。

【0519】

例えば、窒化アルミニウム、窒化ハフニウム、窒化珪素、窒化タンタル、窒化チタン、窒化ニオブ、窒化モリブデン、窒化ジルコニウムまたは窒化ガリウム等を含む材料を成膜することができる。

20

【0520】

例えば、銅、白金、ルテニウム、タンゲステン、イリジウム、パラジウム、鉄、コバルトまたはニッケル等を含む材料を成膜することができる。

【0521】

例えば、硫化亜鉛、硫化ストロンチウム、硫化カルシウム、硫化鉛、フッ化カルシウム、フッ化ストロンチウムまたはフッ化亜鉛等を含む材料を成膜することができる。

30

【0522】

例えば、チタンおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む酸化物、アルミニウムおよび亜鉛を含む酸化物、マンガンおよび亜鉛を含む硫化物、セリウムおよびストロンチウムを含む硫化物、エルビウムおよびアルミニウムを含む酸化物、イットリウムおよびジルコニウムを含む酸化物等を含む材料を成膜することができる。

【0523】

なお、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【実施例 1】

【0524】

本実施例では、酸化物半導体膜上に形成される導電膜の成膜電力により、酸化物半導体膜中に形成される低抵抗領域について評価を行った。なお、低抵抗領域の評価としては、シート抵抗測定、及びスピンドル密度測定とした。

40

【0525】

シート抵抗測定及びスピンドル密度測定のサンプルとしては、図 42 (D) に示す試料 400 を作製した。なお、図 42 (D) に示す試料 400 は、シート抵抗測定及びスピンドル密度測定用の試料 400 の断面模式図であり、図 42 (A) 乃至 (C) は、シート抵抗測定及びスピンドル密度測定用の試料 400 の作製方法を説明する断面模式図である。まず、シート抵抗測定について説明し、その後スピンドル密度測定について説明する。

【0526】

<1-1. シート抵抗測定の試料>

シート抵抗測定用の試料 400 として、酸化物半導体膜上の導電膜の成膜電力が異なる 2 つの試料を作製した。導電膜の成膜電力が 20 kW の条件を試料 A1、導電膜の成膜電

50

力が 60 kW の条件を試料 A 2 とした。シート抵抗測定試料の作製方法の詳細を以下に示す。

【 0 5 2 7 】

< 1 - 2 . シート抵抗測定用の試料の作製方法 >

基板 402 上に、酸化物半導体膜 408 を形成した。基板 402 としては、ガラス基板を用いた。また、酸化物半導体膜 408 としては、厚さ 100 nm の I G Z O 膜を形成した。I G Z O 膜の形成条件としては、スパッタリングターゲットを In : Ga : Zn = 1 : 1 : 1 . 2 [原子数比] のターゲットとし、流量 100 sccm のアルゴンガスと、流量 100 sccm の酸素ガス (酸素割合 50 %) とを、スパッタリング装置の処理室内に供給し、処理室内の圧力を 0.6 Pa に制御し、2.5 kW の交流電力を供給して形成した。なお、酸化物半導体膜 408 を形成する際の基板温度を 170 とした。(図 42 (A) 参照)。

【 0 5 2 8 】

次に、酸化物半導体膜 408 を熱処理した。当該熱処理の条件としては、窒素雰囲気で 450 1 時間の処理後、続けて窒素と酸素の混合ガス雰囲気で、450 1 時間の処理を行った。

【 0 5 2 9 】

次に、酸化物半導体膜 408 上に導電膜 412 を形成した。導電膜 412 としては、厚さ 100 nm のタンゲステン (W) 膜を形成した (図 42 (B) 参照)。

【 0 5 3 0 】

なお、タンゲステン膜の形成条件は、試料 A 1 と、試料 A 2 とで異なる。試料 A 1 のタンゲステン膜の形成条件としては、流量 100 sccm のアルゴンガスを、スパッタリング装置の処理室内に供給し、処理室内の圧力を 2 Pa に制御し、タンゲステンのスパッタリングターゲットに 20 kW の直流電力 (電力密度 = 2.70 W / cm²) を供給して形成した。なお、タンゲステン膜を形成する際の基板温度を 100 とした。試料 A 2 のタンゲステン膜の形成条件としては、流量 100 sccm のアルゴンガスを、スパッタリング装置の処理室内に供給し、処理室内の圧力を 2 Pa に制御し、タンゲステンのスパッタリングターゲットに 60 kW の直流電力 (電力密度 = 8.09 W / cm²) を供給して形成した。なお、タンゲステン膜を形成する際の基板温度を 100 とした。

【 0 5 3 1 】

次に、エッティングガス 431 を用いて、導電膜 412 を除去した。エッティング条件としては、流量 900 sccm の SF₆ ガスと、流量 100 sccm の酸素ガスとを、処理室内に供給し、処理室内の圧力を 2 Pa に制御し、ICP / Bias = 2000 W / 200 W の電力を供給して行った (図 42 (C) 参照)。

【 0 5 3 2 】

以上の工程で試料 A 1 、 A 2 を作製した。

【 0 5 3 3 】

< 1 - 3 . シート抵抗測定 >

次に、試料 A 1 及び試料 A 2 についてシート抵抗測定を行った。図 43 (A) にシート抵抗測定結果を示す。また、シート抵抗測定としては四探針法を用いた。なお、シート抵抗測定器の測定上限としては、5 M / である。

【 0 5 3 4 】

また、シート抵抗測定としては、I G Z O 膜の表面 (図 43 (A) における I G Z O 膜減り量 = 0 nm) のシート抵抗を測定した後、I G Z O 膜の表面から薬液 (過酸化水素水 : アンモニア水溶液 : 水 = 5 : 1 : 5 [体積比] となるように混合した混合水溶液) を塗布し、I G Z O 膜の膜減り量を測定した後に、さらにシート抵抗を測定した。なお、I G Z O の膜減り量としては、光学式の膜厚測定器を用いた。また、I G Z O の膜のシート抵抗が測定上限になるまで、薬液塗布、膜減り量測定、シート抵抗測定を複数回繰り返した。

【 0 5 3 5 】

10

20

30

40

50

図43(A)に示すように、試料A2においては、IGZOの膜減り量が概ね10nmで測定上限(5M /)となった。すなわち、W成膜電力が60kW(電力密度=8.09W/cm²)の条件においては、IGZOの膜中の深さ10nm程度まで低抵抗領域が形成されていると示唆される。一方で、試料A1においては、IGZOの膜減り量が概ね5nmで測定上限(5M /)となった。すなわち、W成膜電力が20kW(電力密度=2.70W/cm²)の条件においては、IGZOの膜中の深さ5nm程度まで低抵抗領域が形成されていると示唆される。

【0536】

このように、酸化物半導体膜上に形成する導電膜の成膜電力を変えることで、酸化物半導体膜中に形成される低抵抗領域の深さ方向の膜厚を制御できることが確認できた。また、酸化物半導体膜上から薬液を塗布することで、導電膜の成膜時に酸化物半導体膜の表面近傍に形成される低抵抗領域を除去できることが確認された。

10

【0537】

<1-4. ESR測定の試料>

ESR測定用の試料400として、酸化物半導体膜上の導電膜の成膜電力が異なる2つの試料を作製した。導電膜の成膜電力が20kWの条件を試料B1、導電膜の成膜電力が60kWの条件を試料B2とした。ESR測定用の試料400の作製方法の詳細を以下に示す。

20

【0538】

<1-5. ESR測定用の試料の作製方法>

基板402上に、酸化物半導体膜408を形成した。基板402としては、石英基板を用いた。また、酸化物半導体膜408としては、厚さ35nmのIGZO膜を形成した。IGZO膜の形成条件としては、スパッタリングターゲットをIn:Ga:Zn=1:1:1.2[原子数比]のターゲットとし、流量100sccmのアルゴンガスと、流量100sccmの酸素ガス(酸素割合50%)とを、スパッタリング装置の処理室内に供給し、処理室内の圧力を0.6Paに制御し、2.5kWの交流電力を供給して形成した。なお、酸化物半導体膜408を形成する際の基板温度を170とした。(図42(A)参照)。

【0539】

次に、酸化物半導体膜408を熱処理した。当該熱処理の条件としては、窒素雰囲気で450 1時間の処理後、続けて窒素と酸素の混合ガス雰囲気で、450 1時間の処理を行った。

30

【0540】

次に、酸化物半導体膜408上に導電膜412を形成した。導電膜412としては、厚さ100nmのタンクスチタン(W)膜を形成した(図42(B)参照)。

【0541】

なお、タンクスチタン膜の形成条件は、試料B1と、試料B2とで異なる。試料B1のタンクスチタン膜の形成条件としては、先に示す試料A1と同じとした。試料B2のタンクスチタン膜の形成条件としては、先に示す試料A2と同じとした。

40

【0542】

次に、エッティングガス431を用いて、導電膜412を除去した。エッティング条件としては、流量900sccmのSF₆ガスと、流量100sccmの酸素ガスとを、処理室内に供給し、処理室内の圧力を2Paに制御し、ICP/Bias=2000W/200Wの電力を供給して行った(図42(C)参照)。

【0543】

以上の工程で試料B1、B2を作製した。

【0544】

<1-6. ESR測定>

次に、試料B1及び試料B2についてESR測定を行った。ESR測定は、所定の温度で、マイクロ波の吸収の起こる磁場の値(H₀)から、式g=h / H₀、を用いてg

50

値というパラメータが得られる。なお、 ν はマイクロ波の周波数である。 \hbar はプランク定数であり、 μ はボア磁子であり、どちらも定数である。

【0545】

本実施例においては、下記の条件で ESR 測定を行った。

【0546】

測定温度を室温(25°C)とし、8.9 GHz の高周波電力(マイクロ波パワー)を20 mWとし、磁場の向きは作製した試料の膜表面と平行とした。また、IGZO 膜に含まれる V_{2p} に起因する g (g 値) = 1.89 以上 1.96 以下に現れるシグナルのスピン面密度の検出下限は $3.7 \times 10^{11} \text{ spins/cm}^2$ である。

【0547】

なお、 V_{2p} は、酸化物半導体膜に含まれる欠損の一つである酸素欠損 V_{2p} と、 V_{2p} 中に位置する H 原子と、が結合したものである。 V_{2p} は、酸化物半導体膜中でドナーとなり、酸化物半導体膜中で V_{2p} の密度が高くなると、酸化物半導体膜は n 型となる。

【0548】

図 43 (B) に ESR 測定により得られた試料 B1 及び試料 B2 のスピン面密度を示す。なお、図 43 (B) において、ESR 測定により得られた、 V_{2p} に起因する g (g 値) = 1.93 に現れるシグナルをスピン面密度としてプロットしている。

【0549】

また、ESR 測定としては、膜減りなし(図 43 (B) における IGZO 膜減り量 = 0 nm) の IGZO の ESR 測定を行った後、IGZO 膜の表面から薬液(過酸化水素水: アンモニア水溶液: 水 = 5:1:5 [体積比])となるように混合した混合水溶液)を塗布し、IGZO 膜の膜減り量を測定した後に、さらに ESR 測定を行った。なお、IGZO の膜減り量としては、光学式の膜厚測定器を用いた。また、IGZO 膜の ESR 測定のスピン面密度が検出下限になるまで、薬液塗布、膜減り量測定、ESR 測定を複数回繰り返した。

【0550】

図 43 (B) に示すように、試料 B1 において、 V_{2p} に起因する g (g 値) = 1.93 に現れるシグナルは、IGZO の膜減り量が概略 6 nm まで検出された。また、試料 B2 においては、 V_{2p} に起因する g (g 値) = 1.93 に現れるシグナルは、IGZO の膜減り量が概略 17 nm まで検出された。

【0551】

このように、酸化物半導体膜上に形成する導電膜の成膜電力を変えることで、酸化物半導体膜中に形成される V_{2p} が出来る位置(深さ)を制御できることが確認できた。また、酸化物半導体膜上から薬液を塗布することで、導電膜の成膜時に酸化物半導体膜の表面近傍に形成される V_{2p} を除去できることが確認された。また、図 43 (A) 及び図 43 (B) に示す結果より、酸化物半導体膜の表面近傍に形成される低抵抗領域は、 V_{2p} に起因すると示唆された。

【0552】

本実施例に示す構成は、他の実施の形態または他の実施例に示す構成と適宜組み合わせて用いることができる。

【実施例 2】

【0553】

本実施例においては、図 44 に示すトランジスタ 600 に相当するトランジスタを作製し電気特性及び信頼性試験を行った。

【0554】

<2-1.トランジスタの構造>

まず、図 44 に示すトランジスタ 600 について説明する。なお、図 44 (A) は、トランジスタ 600 の上面図であり、図 44 (B) は、図 44 (A) に示す一点鎖線 X3-X4 間における切断面の断面図に相当し、図 44 (C) は、図 44 (A) に示す一点鎖線 Y3-Y4 間における切断面の断面図に相当する。

10

20

30

40

50

【0555】

トランジスタ600は、基板602上の第1のゲート電極として機能する導電膜604と、基板602及び導電膜604上の絶縁膜606と、絶縁膜606上の絶縁膜607と、絶縁膜607上の酸化物半導体膜608と、酸化物半導体膜608に電気的に接続されるソース電極として機能する導電膜612aと、酸化物半導体膜608に電気的に接続されるドレイン電極として機能する導電膜612bと、を有する。

【0556】

また、トランジスタ600上、より詳しくは、導電膜612a、612b及び酸化物半導体膜608上には絶縁膜614、616、618が設けられる。また、絶縁膜618上には導電膜620が設けられる。また、絶縁膜606、607には、導電膜604に達する開口部642aが設けられ、開口部642aを覆うように、導電膜612cが形成される。また、絶縁膜614、616、618には、導電膜612cに達する開口部642bが設けられる。また、導電膜620は、開口部642bを介して導電膜612cと接続される。すなわち、導電膜604と導電膜620とは電気的に接続される。また、導電膜620上には平坦化絶縁膜626が設けられる。なお、導電膜620は、トランジスタ600の第2のゲート電極(バックゲート電極ともいう)として機能する。

10

【0557】

本実施例においては、図44に示すトランジスタ600に相当するトランジスタとして、以下に示す試料C1及び試料C2を作製し評価を行った。なお、試料C1及び試料C2ともに、チャネル長Lが3μm、チャネル幅Wが5μmのトランジスタとした。

20

【0558】

<2-2.トランジスタの作製方法>

まず、基板602上に導電膜604を形成した。基板602としては、ガラス基板を用いた。また、導電膜604としては、厚さ100nmのタンゲステン膜を、スパッタリング装置を用いて形成した。

【0559】

次に、基板602及び導電膜604上に絶縁膜606、607を形成した。絶縁膜606としては、厚さ400nmの窒化シリコン膜を、PECVD装置を用いて形成した。また、絶縁膜607としては、厚さ50nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。

30

【0560】

次に、絶縁膜607上に酸化物半導体膜608を形成した。酸化物半導体膜608としては、厚さ35nmのIGZO膜を、スパッタリング装置を用いて形成した。なお、IGZO膜の成膜条件としては、基板温度を170°Cとし、流量100sccmのアルゴンガスと、流量100sccmの酸素ガスとをチャンバー内に導入し、圧力を0.6Paとし、金属酸化物スパッタリングターゲット(Indium:Gallium:Zinc=1:1:1.2[原子数比])に2500WのAC電力を投入して成膜した。

【0561】

次に、第1の熱処理を行った。該第1の熱処理としては、窒素雰囲気下で450°C 1時間の熱処理を行い、続けて窒素と酸素の混合ガス雰囲気下で450°C 1時間の熱処理とした。

40

【0562】

次に、絶縁膜607及び酸化物半導体膜608上にレジストマスクを形成し、所望の領域をエッチングすることで、導電膜604に達する開口部642aを形成した。開口部642aの形成方法としては、ドライエッチング装置を用いた。なお、開口部642aの形成後レジストマスクを除去した。

【0563】

次に、絶縁膜607、酸化物半導体膜608、及び開口部642a上に導電膜を形成し、該導電膜上にレジストマスクを形成し、所望の領域をエッチングすることで、導電膜612a、612b、612cを形成した。導電膜612a、612b、612cとしては

50

、厚さ 50 nm のタンゲステン膜と、厚さ 400 nm のアルミニウム膜と、厚さ 100 nm のチタン膜とを、スパッタリング装置を用いて真空中で連続して形成した。なお、導電膜 612a、612b、612c の形成後レジストマスクを除去した。

【 0564 】

また、試料 C1 と試料 C2 とでは、タンゲステン膜の形成条件が異なる。具体的には、試料 C1 のタンゲステン膜の形成条件としては、流量 100 sccm のアルゴンガスを、スパッタリング装置の処理室内に供給し、処理室内の圧力を 2 Pa に制御し、タンゲステンのスパッタリングターゲットに 20 kW の直流電力（電力密度が 2.70 W/cm²）を供給した。また、試料 C2 のタンゲステン膜の形成条件としては、流量 100 sccm のアルゴンガスを、スパッタリング装置の処理室内に供給し、処理室内の圧力を 2 Pa に制御し、タンゲステンのスパッタリングターゲットに 60 kW の直流電力（電力密度が 8.09 W/cm²）を供給した。

10

【 0565 】

次に、絶縁膜 607、酸化物半導体膜 608、及び導電膜 612a、612b 上から、リン酸水溶液（リン酸の濃度が 85 % の水溶液を、さらに純水で 100 倍に希釀した水溶液）を塗布し、導電膜 612a、612b から露出した酸化物半導体膜 608 の表面の一部を除去した。

【 0566 】

次に、絶縁膜 607、酸化物半導体膜 608、及び導電膜 612a、612b 上に絶縁膜 614 及び絶縁膜 616 を形成した。絶縁膜 614 としては、厚さ 50 nm の酸化窒化シリコン膜を、PECVD 装置を用いて形成した。また、絶縁膜 616 としては、厚さ 400 nm の酸化窒化シリコン膜を、PECVD 装置を用いて形成した。なお、絶縁膜 614 及び絶縁膜 616 としては、PECVD 装置により真空中で連続して形成した。

20

【 0567 】

絶縁膜 614 の成膜条件としては、基板温度を 220 とし、流量 50 sccm のシランガスと、流量 2000 sccm の一酸化二窒素ガスをチャンバー内に導入し、圧力を 20 Pa とし、PECVD 装置内に設置された平行平板の電極間に 100 W の RF 電力を供給して成膜した。また、絶縁膜 616 の成膜条件としては、基板温度を 220 とし、流量 160 sccm のシランガスと、流量 4000 sccm の一酸化二窒素ガスをチャンバー内に導入し、圧力を 200 Pa とし、PECVD 装置内に設置された平行平板の電極間に 1500 W の RF 電力を供給して成膜した。

30

【 0568 】

次に、第 2 の熱処理を行った。該第 2 の熱処理としては、窒素雰囲気下で 350 1 時間とした。

【 0569 】

次に、絶縁膜 616 上に保護膜を形成した。当該保護膜としては、厚さ 5 nm の ITO 膜を、スパッタリング装置を用いて形成した。該 ITO 膜の成膜条件としては、基板温度を室温とし、流量 72 sccm のアルゴンガスと、流量 5 sccm の酸素ガスをチャンバー内に導入し、圧力を 0.15 Pa とし、スパッタリング装置内に設置された金属酸化物ターゲット (In₂O₃ : SnO₂ : SiO₂ = 85 : 10 : 5 [重量 %]) に 1000 W の DC 電力を供給した。

40

【 0570 】

次に、上記保護膜を通過して、絶縁膜 614、616 に酸素添加処理を行った。酸素添加処理条件としては、アッシング装置を用い、基板温度を 40 とし、流量 250 sccm の酸素ガスをチャンバー内に導入し、圧力を 15 Pa とし、基板側にバイアスが印加されるように、アッシング装置内に設置された平行平板の電極間に 4500 W の RF 電力を 120 sec 供給して行った。

【 0571 】

次に、保護膜を除去し、絶縁膜 616 の表面を露出させた。保護膜の除去方法としては、シュウ酸の濃度が 5 % のシュウ酸水溶液にて 300 sec の処理を行った後、フッ酸の

50

濃度が 0.5 % のフッ化水素酸水溶液にて 15 sec の処理を行った。

【 0 5 7 2 】

次に、絶縁膜 616 上に絶縁膜 618 を形成した。絶縁膜 618 としては、厚さ 100 nm の窒化シリコン膜を、PECVD 装置を用いて形成した。絶縁膜 618 の成膜条件としては、基板温度を 350 とし、流量 50 sccm のシランガスと、流量 5000 sccm の窒素ガスと、流量 100 sccm のアンモニアガスをチャンバー内に導入し、圧力を 100 Pa とし、PECVD 装置内に設置された平行平板の電極間に 1000 W の RF 電力を供給して成膜した。なお、絶縁膜 618 の形成前には、基板の予備加熱を行っていない。

【 0 5 7 3 】

次に、絶縁膜 618 上にレジストマスクを形成し、所望の領域をエッチングすることで、導電膜 612c に達する開口部 642b を形成した。開口部 642b の形成方法としては、ドライエッチング装置を用いた。なお、開口部 642b の形成後レジストマスクを除去した。

【 0 5 7 4 】

次に、開口部 642b を覆うように絶縁膜 618 上に導電膜を形成し、該導電膜を加工することで導電膜 620 を形成した。導電膜 620 としては、厚さ 100 nm のITO 膜を、スパッタリング装置を用いて形成した。該 ITO 膜の成膜条件としては、基板温度を室温とし、流量 72 sccm のアルゴンガスと、流量 5 sccm の酸素ガスをチャンバー内に導入し、圧力を 0.15 Pa とし、スパッタリング装置内に設置された金属酸化物ターゲットに 3200 W の DC 電力を供給した。なお、ITO 膜に用いた金属酸化物ターゲットの組成は、先に記載の保護膜に用いた金属酸化物ターゲットと同じである。

【 0 5 7 5 】

次に、第 3 の熱処理を行った。該第 3 の熱処理としては、窒素雰囲気下で 250 1 時間とした。

【 0 5 7 6 】

以上の工程で試料 C1 及び試料 C2 を作製した。

【 0 5 7 7 】

< 2 - 3 . 信頼性試験 >

次に、上記作製した試料 C1 及び C2 の信頼性試験を行った。

【 0 5 7 8 】

信頼性試験は、ダークマイナスストレス (以下、NBTS : Negative Bias Temperature Stress) 試験とした。なお、NBTS 試験は加速試験の一種であり、長期間の使用によって起こるトランジスタの特性変化を、短時間で評価することができる。特に、NBTS 試験前後におけるトランジスタのしきい値電圧の変化量 (Vth) は、信頼性を調べるための重要な指標となる。NBTS 試験前後において、しきい値電圧の変化量 (Vth) が小さいほど信頼性が高い。

【 0 5 7 9 】

本実施例での NBTS 試験条件としては、ゲート電圧 (Vg) とバックゲート電圧 (Vbg) とを -30 V とし、ドレイン電圧 (Vd) とソース電圧 (Vs) を 0 V (COMMON) とし、ストレス温度を 60 とし、ストレス印加時間を 0 sec, 100 sec, 500 sec, 1500 sec, 2000 sec, 及び 3600 sec の 6 条件とし、測定環境をダーク環境で行った。すなわち、トランジスタのソース電極とドレイン電極を同電位とし、ゲート電極にはソース電極及びドレイン電極とは異なる電位を一定時間 (ここでは上記 6 条件) 印加した。また、ゲート電極に与える電位は、ソース電極及びドレイン電極の電位よりも低い。

【 0 5 8 0 】

試料 C1 及び C2 の信頼性試験結果を、図 45 (A) (B) に示す。

【 0 5 8 1 】

なお、図 45 (A) が試料 C1 の信頼性試験結果であり、図 45 (B) が試料 C2 の信

10

20

30

40

50

頼性試験結果である。また、図45(A)(B)において、第1縦軸がドレイン電流 I_d (A)を、第2の縦軸が移動度 μF_E (cm²/V s)を、横軸がゲート電圧 V_g (V)を、それぞれ表す。また、ソース電極とドレイン電極間の電圧 (V_d)を10Vとし、-15Vから15Vまで0.25V間隔で V_g を印加した結果である。また、図45(A)(B)において、ストレス印加時間 (0 sec, 100 sec, 500 sec, 1500 sec, 2000 sec, 及び 3600 sec) の結果を重ねて示している。また、図45(A)(B)において、実線が initial (ストレス印加時間が0 sec) の結果であり、破線がストレス印加後 (ストレス印加時間が100 sec, 500 sec, 1500 sec, 2000 sec, 及び 3600 sec) の結果である。

【0582】

10

図45(A)(B)に示す結果より、試料C1は、NBTS試験前後での、しきい値電圧の変動量が少ない。一方で試料C2は、NBTS試験後で、しきい値電圧がマイナスシフトしている。

【0583】

<2-4. 断面観察1>

次に、試料C1及び試料C2のNBTS試験前後において、しきい値電圧の変動量に差が確認されたため、試料C1及び試料C2の断面観察を行った。

【0584】

20

断面観察としては、透過型電子顕微鏡(TEM)により行った。また、断面観察方向としては、トランジスタのL長方向とした。

【0585】

試料C1の断面観察結果を図46(A)(B)に、試料C2の断面観察結果を図47(A)(B)に、それぞれ示す。

【0586】

なお、図46(B)及び図47(B)の断面は、酸化物半導体膜608近傍を拡大した断面である。

【0587】

30

図46(B)に示す結果より、試料C1の導電膜612aが形成された領域の酸化物半導体膜608の膜厚は、33.5 nmであり、導電膜612aが形成されていない領域の酸化物半導体膜608の膜厚は、28.8 nmであった。すなわち、導電膜612aが形成されている領域の酸化物半導体膜608と、導電膜612aが形成されていない領域の酸化物半導体膜608との差分は、4.7 nmであった。

【0588】

また、図47(B)に示す結果より、試料C2の導電膜612aが形成された領域の酸化物半導体膜608の膜厚は、31.2 nmであり、導電膜612aが形成されていない領域の酸化物半導体膜608の膜厚は、24.9 nmであった。すなわち、導電膜612aが形成されている領域の酸化物半導体膜608と、導電膜612aが形成されていない領域の酸化物半導体膜608との差分は、6.3 nmであった。

【0589】

40

試料C1と、試料C2との違いとしては、導電膜612aである、タンゲステン膜の形成条件が異なり、試料C1の成膜電力が20 kWであり、試料C2の成膜電力が60 kWである。実施例1に記載のように、成膜電力20 kWで形成した場合においては、酸化物半導体膜中に、概ね厚さが5 nmの低抵抗領域及び概ね厚さが6 nmのV_{th}Hを含む領域が形成される。一方で、成膜電力60 kWで形成した場合においては、酸化物半導体膜中に、概ね厚さが10 nmの低抵抗領域及び概ね厚さが17 nmのV_{th}Hを含む領域が形成される。

【0590】

試料C1においては、導電膜612aが形成されていない領域、すなわちチャネル領域においては、上述の低抵抗領域及びV_{th}Hを含む領域が概ね除去された構造であるため、高い信頼性を有している。一方で、試料C2においては、導電膜612aが形成されてい

50

ない領域、すなわちチャネル領域においては、上述の低抵抗領域及びV_{th}を含む領域が多く残る構造であるため、信頼性が低い結果であったと示唆される。

【0591】

<2-5. 断面観察2>

次に、<2-4. 断面観察1>と異なる箇所の試料C1及び試料C2の断面観察を行った。

【0592】

断面観察としては、透過型電子顕微鏡(TEM)により行った。また、断面観察箇所としては、図48に示す一点鎖線M1-N1、一点鎖線M2-N2、及び一点鎖線M3-N3とした。なお、図48は、図44(A)に示すトランジスタ600のゲート電極として機能する導電膜604、酸化物半導体膜608、及びソース電極として機能する導電膜612a近傍の拡大図である。

10

【0593】

図49に試料C1の断面観察結果を、図50に試料C2の断面観察結果を、それぞれ示す。なお、図49及び図50は、図48に示す、一点鎖線M1-N1、一点鎖線M2-N2、及び一点鎖線M3-N3の断面TEM像を並べ、当該断面TEM像に補助線等を付した結果である。

【0594】

図49及び図50に示す結果より、試料C1及び試料C2ともに、導電膜612a下の酸化物半導体膜608は、側端部の形状が鋭角である領域を有する。一方で、導電膜612aが覆われていない領域、すなわちチャネル領域の酸化物半導体膜608は、側端部の形状が円弧状である領域を有する。また、試料C1及び試料C2ともに、チャネル領域の酸化物半導体膜608は、導電膜612a下の酸化物半導体膜608よりも、8nmから15nm程度、チャネル幅が縮小されている。チャネル領域の酸化物半導体膜608の側端部の形状としては、導電膜612a、612bの形成後に行った、リン酸水溶液(リン酸の濃度が85%の水溶液を、さらに純水で100倍に希釈した水溶液)による処理により、酸化物半導体膜608の一部が除去されたためだと示唆される。

20

【0595】

以上のように、酸化物半導体膜上に導電膜を形成する場合、酸化物半導体膜の表面近傍に低抵抗領域を形成する場合がある。また、酸化物半導体膜の表面近傍に形成された低抵抗領域を除去することで、信頼性の高いトランジスタを実現することができた。

30

【0596】

以上、本実施例に示す構成は、他の実施の形態、または実施例と適宜組み合わせて用いることができる。

【実施例3】

【0597】

本実施例においては、実施例2に示す試料C1及び試料C2と異なる構成のトランジスタを作製し、トランジスタの面内ばらつき及び信頼性試験を行った。なお、本実施例で作製したトランジスタ構造としては、実施例2に示すトランジスタ600と同様の構造とした。

40

【0598】

また、本実施例においては、トランジスタ600に相当するトランジスタとして、以下に示す試料D1及び試料D2を作製した。なお、試料D1及び試料D2は、チャネル長Lが6μm、チャネル幅Wが50μmのトランジスタが、それぞれ40個形成された試料である。なお、試料D1及び試料D2のトランジスタはともに、本発明の一態様のトランジスタである。

【0599】

<3-1. 試料D1及び試料D2の作製方法>

まず、基板602上に導電膜604を形成した。基板602としては、ガラス基板を用いた。また、導電膜604としては、厚さ100nmのタンゲステン膜を、スパッタリン

50

グ装置を用いて形成した。

【0600】

次に、基板602及び導電膜604上に絶縁膜606、607を形成した。絶縁膜606としては、厚さ400nmの窒化シリコン膜を、PECVD装置を用いて形成した。また、絶縁膜607としては、厚さ50nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。

【0601】

次に、絶縁膜607上に酸化物半導体膜608を形成した。

【0602】

なお、試料D1と試料D2とでは、酸化物半導体膜608の形成条件が異なる。

10

【0603】

試料D1の酸化物半導体膜608としては、厚さ35nmのIGZO膜を、スパッタリング装置を用いて形成した。なお、IGZO膜の成膜条件としては、基板温度を170とし、流量100sccmのアルゴンガスと、流量100sccmの酸素ガスとをチャンバー内に導入し、圧力を0.6Paとし、金属酸化物スパッタリングターゲット(Ing:Ga:Zn=1:1:1.2[原子数比])に2500WのAC電力を投入して成膜した。

【0604】

試料D2の酸化物半導体膜608としては、厚さ10nmのIGZO-1膜と、厚さ15nmのIGZO-2膜とをスパッタリング装置を用いて形成した。なお、IGZO-1膜の成膜条件としては、基板温度を170とし、流量100sccmのアルゴンガスと、流量100sccmの酸素ガスとをチャンバー内に導入し、圧力を0.6Paとし、金属酸化物スパッタリングターゲット(Ing:Ga:Zn=1:1:1.2[原子数比])に2500WのAC電力を投入して成膜した。また、IGZO-2膜の成膜条件としては、基板温度を170とし、流量140sccmのアルゴンガスと、流量60sccmの酸素ガスとをチャンバー内に導入し、圧力を0.6Paとし、金属酸化物スパッタリングターゲット(Ing:Ga:Zn=4:2:4.1[原子数比])に2500WのAC電力を投入して成膜した。

20

【0605】

次に、第1の熱処理を行った。該第1の熱処理としては、窒素雰囲気下で450時間の熱処理を行い、続けて窒素と酸素の混合ガス雰囲気下で4501時間の熱処理とした。

30

【0606】

次に、絶縁膜607及び酸化物半導体膜608上にレジストマスクを形成し、所望の領域をエッチングすることで、導電膜604に達する開口部642aを形成した。開口部642aの形成方法としては、ドライエッチング装置を用いた。なお、開口部642aの形成後レジストマスクを除去した。

【0607】

次に、絶縁膜607、酸化物半導体膜608、及び開口部642a上に導電膜を形成し、該導電膜上にレジストマスクを形成し、所望の領域をエッチングすることで、導電膜612a、612b、612cを形成した。導電膜612a、612b、612cとしては、厚さ50nmのタンゲステン膜と、厚さ400nmのアルミニウム膜と、厚さ100nmのチタン膜とを、スパッタリング装置を用いて真空中で連続して形成した。なお、導電膜612a、612b、612cの形成後レジストマスクを除去した。

40

【0608】

また、試料D1と試料D2共に、タンゲステン膜の形成条件としては、流量100sccmのアルゴンガスを、スパッタリング装置の処理室内に供給し、処理室内の圧力を2Paに制御し、タンゲステンのスパッタリングターゲットに20kWの直流電力(電力密度が2.70W/cm²)を供給した。

【0609】

50

次に、絶縁膜 607、酸化物半導体膜 608、及び導電膜 612a、612b 上から、リン酸水溶液（リン酸の濃度が 85% の水溶液を、さらに純水で 100 倍に希釈した水溶液）を塗布し、導電膜 612a、612b から露出した酸化物半導体膜 608 の表面の一部を除去し、導電膜 612a、612b が重畠していない領域の酸化物半導体膜 608 を薄くした。

【0610】

次に、絶縁膜 607、酸化物半導体膜 608、及び導電膜 612a、612b 上に絶縁膜 614 及び絶縁膜 616 を形成した。絶縁膜 614 としては、厚さ 50 nm の酸化窒化シリコン膜を、PECVD 装置を用いて形成した。また、絶縁膜 616 としては、厚さ 400 nm の酸化窒化シリコン膜を、PECVD 装置を用いて形成した。なお、絶縁膜 614 及び絶縁膜 616 としては、PECVD 装置により真空中で連続して形成した。

10

【0611】

絶縁膜 614 の成膜条件としては、基板温度を 220 とし、流量 50 sccm のシランガスと、流量 2000 sccm の一酸化二窒素ガスをチャンバー内に導入し、圧力を 20 Pa とし、PECVD 装置内に設置された平行平板の電極間に 100 W の RF 電力を供給して成膜した。また、絶縁膜 616 の成膜条件としては、基板温度を 220 とし、流量 160 sccm のシランガスと、流量 4000 sccm の一酸化二窒素ガスをチャンバー内に導入し、圧力を 200 Pa とし、PECVD 装置内に設置された平行平板の電極間に 1500 W の RF 電力を供給して成膜した。

【0612】

次に、第 2 の熱処理を行った。該第 2 の熱処理としては、窒素雰囲気下で 350 1 時間とした。

20

【0613】

次に、絶縁膜 616 上に保護膜を形成した。当該保護膜としては、厚さ 5 nm の ITO 膜を、スパッタリング装置を用いて形成した。該 ITO 膜の成膜条件としては、基板温度を室温とし、流量 72 sccm のアルゴンガスと、流量 5 sccm の酸素ガスをチャンバー内に導入し、圧力を 0.15 Pa とし、スパッタリング装置内に設置された金属酸化物ターゲット (In₂O₃ : SnO₂ : SiO₂ = 85 : 10 : 5 [重量%]) に 1000 W の DC 電力を供給した。

【0614】

次に、上記保護膜を通過して、絶縁膜 614、616 に酸素添加処理を行った。酸素添加処理条件としては、アッシング装置を用い、基板温度を 40 とし、流量 250 sccm の酸素ガスをチャンバー内に導入し、圧力を 15 Pa とし、基板側にバイアスが印加されるように、アッシング装置内に設置された平行平板の電極間に 4500 W の RF 電力を 120 sec 供給して行った。

30

【0615】

次に、保護膜を除去し、絶縁膜 616 の表面を露出させた。保護膜の除去方法としては、シュウ酸の濃度が 5% のシュウ酸水溶液にて 300 sec の処理を行った後、フッ酸の濃度が 0.5% のフッ化水素酸水溶液にて 15 sec の処理を行った。

【0616】

次に、絶縁膜 616 上に絶縁膜 618 を形成した。絶縁膜 618 としては、厚さ 100 nm の窒化シリコン膜を、PECVD 装置を用いて形成した。絶縁膜 618 の成膜条件としては、基板温度を 350 とし、流量 50 sccm のシランガスと、流量 5000 sccm の窒素ガスと、流量 100 sccm のアンモニアガスをチャンバー内に導入し、圧力を 100 Pa とし、PECVD 装置内に設置された平行平板の電極間に 1000 W の RF 電力を供給して成膜した。なお、絶縁膜 618 の形成前には、基板の予備加熱を行っていない。

40

【0617】

次に、絶縁膜 618 上にレジストマスクを形成し、所望の領域をエッチングすることで、導電膜 612c に達する開口部 642b を形成した。開口部 642b の形成方法として

50

は、ドライエッティング装置を用いた。なお、開口部 642b の形成後レジストマスクを除去した。

【0618】

次に、開口部 642b を覆うように絶縁膜 618 上に導電膜を形成し、該導電膜を加工することで導電膜 620 を形成した。導電膜 620 としては、厚さ 100 nm の ITO 膜を、スパッタリング装置を用いて形成した。該 ITO 膜の成膜条件としては、基板温度を室温とし、流量 72 sccm のアルゴンガスと、流量 5 sccm の酸素ガスをチャンバー内に導入し、圧力を 0.15 Pa とし、スパッタリング装置内に設置された金属酸化物ターゲットに 3200 W の DC 電力を供給した。なお、ITO 膜に用いた金属酸化物ターゲットの組成は、先に記載の保護膜に用いた金属酸化物ターゲットと同じである。

10

【0619】

次に、第 3 の熱処理を行った。該第 3 の熱処理としては、窒素雰囲気下で 250 1 時間とした。

【0620】

以上の工程で試料 D1 及び試料 D2 を作製した。

【0621】

<3-2.トランジスタの面内ばらつき評価>

次に、上記作製した試料 D1 及び試料 D2 のトランジスタの面内ばらつきを評価した。なお、トランジスタの面内ばらつきの評価としては、オン電流 (Ion)、及びしきい値電圧 (Vth) とした。

20

【0622】

試料 D1 及び試料 D2 のトランジスタの面内ばらつきの結果を図 51 (A) (B) に示す。なお、図 51 (A) は、試料 D1 及び試料 D2 のオン電流 (Ion) の確率分布を、図 51 (B) は、試料 D1 及び試料 D2 のしきい値電圧 (Vth) の確率分布を、それぞれ表す。

【0623】

試料 D2 は、試料 D1 と比較し、酸化物半導体膜 608 の構造が異なるため、高いオン電流 (Ion) を有し、且つ面内ばらつきが小さい結果が得られた。また、試料 D2 は、試料 D1 と比較し、しきい値電圧 (Vth) の面内ばらつきが小さい結果が得られた。このように、試料 D1 及び試料 D2 ともに、本発明の一態様のトランジスタであるが、試料 D2 のように、酸化物半導体膜 608 を積層構造とした方が、電気特性は良好な結果が得られた。

30

【0624】

<3-3.信頼性試験>

次に、試料 D1 及び試料 D2 の信頼性試験を行った。信頼性評価としては、GBT 試験とした。

【0625】

本実施例でのGBT 試験条件としては、ゲート電圧 (VG) を ± 30 V、とし、ドレイン電圧 (VD) とソース電圧 (VS) を 0 V (COMMON) とし、ストレス温度を 60 とし、ストレス印加時間を 1 時間とし、測定環境をダーク環境及び光照射環境 (白色 LED にて約 100001x の光を照射) の 2 つの環境で、それぞれ行った。すなわち、トランジスタのソース電極とドレイン電極を同電位とし、ゲート電極にはソース電極及びドレイン電極とは異なる電位を一定時間 (ここでは 1 時間) 印加した。また、ゲート電極に与える電位がソース電極及びドレイン電極の電位よりも高い場合をポジティブバイアスとし、ゲート電極に与える電位がソース電極及びドレイン電極の電位よりも低い場合をネガティブバイアスとした。したがって、測定環境と合わせて、PBTS (Positive Bias Temperature Stress)、NBTS (Negative Bias Temperature Stress)、PBITS (Positive Bias Illuminations Temperature Stress)、及びNBITS (Negative Bias Illuminations Temperature Stress) とした。

40

50

ature Stress) の 4 条件とした。

【0626】

また、GBT 試験としては、試料 D1 及び試料 D2 に形成された 40 個のトランジスタの内、任意のトランジスタを 1 つ選択して行った。

【0627】

試料 D1 及び試料 D2 の GBT 試験結果を図 52 に示す。図 52 において、縦軸がトランジスタのしきい値電圧の変化量 (Vth) を、横軸が各試料を、それぞれ示す。

【0628】

図 52 に示す結果から、本発明の一態様である試料 D1 及び試料 D2 ともに、しきい値電圧の変化量 (Vth) がプラスマイナス 2V 以下の変動であった。特に、試料 D2 のしきい値電圧の変化量 (Vth) は、プラスマイナス 1V 以下であった。

10

【0629】

以上、本実施例に示す構成は、他の実施の形態、または実施例と適宜組み合わせて用いることができる。

【実施例 4】

【0630】

本実施例においては、実施例 3 に示す試料 D1 及び試料 D2 と異なる構成のトランジスタを作製し、トランジスタの定電流ストレス試験を行った。

【0631】

本実施例では試料 D3 及び試料 D4 を作製した。なお、試料 D3 及び試料 D4 ともに、本発明の一態様のトランジスタである。

20

【0632】

また、試料 D3 は、実施例 3 に示す試料 D1 のトランジスタとサイズのみ異なり、構造及び作製工程は同じとした。なお、試料 D3 は、チャネル長が 3 μm、チャネル幅が 6 μm のサイズとした。

【0633】

また、試料 D4 は、実施例 3 に示す試料 D2 のトランジスタとサイズのみ異なり、構造及び作製工程は同じとした。なお、試料 D4 は、チャネル長が 3 μm、チャネル幅が 5 μm のサイズとした。

【0634】

30

<4. 定電流ストレス試験>

次に、上記作製した試料 D3 及び試料 D4 に対し、定電流ストレス試験を行った。なお、定電流ストレス試験の条件としては、大気雰囲気下、暗状態 (dark)、及び試験温度を 60 とし、ストレス電流を 100 nA / μm となるように、ドレイン電圧とゲート電圧とを調整した。

【0635】

図 53 に試料 D3 及び試料 D4 の定電流ストレス試験の結果を示す。なお、図 53 において、縦軸がトランジスタのオン電流 (Ion) の劣化率を、横軸がストレス時間を、それぞれ示す。

【0636】

40

図 53 に示すように、試料 D3 及び試料 D4 ともに、高い信頼性を有する。特に、試料 D4 においては、40 時間経過後のオン電流 (Ion) の劣化率が極めて小さい。以上のことから、本発明の一態様のトランジスタは、高い信頼性を有することが示された。

【0637】

以上、本実施例に示す構成は、他の実施の形態または他の実施例に示す構成と適宜組み合わせることができる。

【符号の説明】

【0638】

100 トランジスタ

100A トランジスタ

50

1 0 0 B	トランジスタ	
1 0 2	基板	
1 0 4	導電膜	
1 0 6	絶縁膜	
1 0 7	絶縁膜	
1 0 8	酸化物半導体膜	
1 0 8 a	酸化物半導体膜	
1 0 8 a_i	高純度領域	
1 0 8 a_n	n型領域	
1 0 8 b	酸化物半導体膜	10
1 0 8 b_i	チャネル領域	
1 0 8 b_n	n型領域	
1 0 8 c	酸化物半導体膜	
1 0 8 c_i	高純度領域	
1 0 8 c_n	n型領域	
1 0 8 i	チャネル領域	
1 0 8 n	n型領域	
1 0 9	変性層	
1 1 2	導電膜	
1 1 2 a	導電膜	20
1 1 2 b	導電膜	
1 1 4	絶縁膜	
1 1 6	絶縁膜	
1 1 8	絶縁膜	
1 2 0	導電膜	
1 2 0 a	導電膜	
1 2 0 b	導電膜	
1 3 0	保護膜	
1 3 9	エッチャント	
1 4 0	酸素	30
1 4 2	エッチャント	
1 4 2 a	開口部	
1 4 2 b	開口部	
1 4 2 c	開口部	
1 7 0	トランジスタ	
4 0 0	試料	
4 0 2	基板	
4 0 8	酸化物半導体膜	
4 1 2	導電膜	
4 3 1	エッティングガス	40
5 0 1	画素回路	
5 0 2	画素部	
5 0 4	駆動回路部	
5 0 4 a	ゲートドライバ	
5 0 4 b	ソースドライバ	
5 0 6	保護回路	
5 0 7	端子部	
5 5 0	トランジスタ	
5 5 2	トランジスタ	
5 5 4	トランジスタ	50

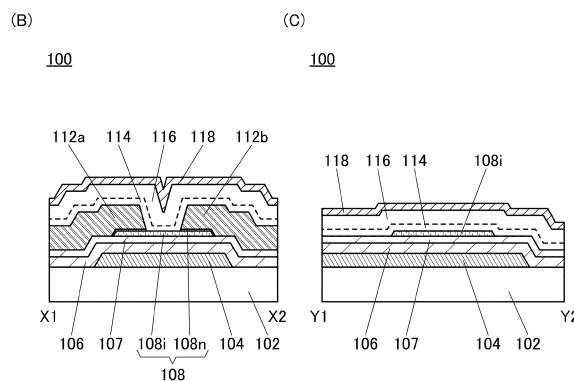
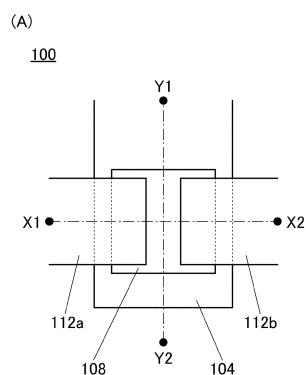
5 6 0	容量素子	
5 6 2	容量素子	
5 7 0	液晶素子	
5 7 2	発光素子	
6 0 0	トランジスタ	
6 0 2	基板	
6 0 4	導電膜	
6 0 6	絶縁膜	
6 0 7	絶縁膜	
6 0 8	酸化物半導体膜	10
6 1 2 a	導電膜	
6 1 2 b	導電膜	
6 1 2 c	導電膜	
6 1 4	絶縁膜	
6 1 6	絶縁膜	
6 1 8	絶縁膜	
6 2 0	導電膜	
6 2 6	平坦化絶縁膜	
6 4 2 a	開口部	
6 4 2 b	開口部	20
1 2 8 0 a	p型トランジスタ	
1 2 8 0 b	n型トランジスタ	
1 2 8 0 c	n型トランジスタ	
1 2 8 1	容量素子	
1 2 8 2	トランジスタ	
1 3 1 1	配線	
1 3 1 2	配線	
1 3 1 3	配線	
1 3 1 4	配線	
1 3 1 5	配線	30
1 3 1 6	配線	
1 3 1 7	配線	
1 3 5 1	トランジスタ	
1 3 5 2	トランジスタ	
1 3 5 3	トランジスタ	
1 3 5 4	トランジスタ	
1 3 6 0	光電変換素子	
1 4 0 1	信号	
1 4 0 2	信号	
1 4 0 3	信号	40
1 4 0 4	信号	
1 4 0 5	信号	
2 0 0 0	タッチパネル	
2 0 0 1	タッチパネル	
2 5 0 1	表示装置	
2 5 0 2 t	トランジスタ	
2 5 0 3 c	容量素子	
2 5 0 3 t	トランジスタ	
2 5 0 4	走査線駆動回路	
2 5 0 5	画素	50

2 5 0 9	F P C	
2 5 1 0	基板	
2 5 1 0 a	絶縁層	
2 5 1 0 b	可撓性基板	
2 5 1 0 c	接着層	
2 5 1 1	配線	
2 5 1 9	端子	
2 5 2 1	絶縁層	10
2 5 2 2	絶縁層	
2 5 2 8	隔壁	
2 5 2 9	液晶層	
2 5 3 0 a	スペーサ	
2 5 3 0 b	スペーサ	
2 5 3 1	絶縁層	
2 5 5 0	E L 素子	
2 5 5 1	液晶素子	
2 5 6 0	封止層	
2 5 6 7	着色層	
2 5 6 8	遮光層	
2 5 6 9	反射防止層	20
2 5 7 0	基板	
2 5 7 0 a	絶縁層	
2 5 7 0 b	可撓性基板	
2 5 7 0 c	接着層	
2 5 8 0	発光モジュール	
2 5 9 0	基板	
2 5 9 1	電極	
2 5 9 2	電極	
2 5 9 3	絶縁層	
2 5 9 4	配線	30
2 5 9 5	タッチセンサ	
2 5 9 7	接着層	
2 5 9 8	配線	
2 5 9 9	接続層	
2 6 0 1	パルス電圧出力回路	
2 6 0 2	電流検出回路	
2 6 0 3	容量	
2 6 1 1	トランジスタ	
2 6 1 2	トランジスタ	
2 6 1 3	トランジスタ	40
2 6 2 1	電極	
2 6 2 2	電極	
3 0 0 0	成膜装置	
3 0 1 0	加工部材	
3 1 8 0	成膜室	
3 1 8 1 a	原料供給部	
3 1 8 1 b	原料供給部	
3 1 8 2	制御部	
3 1 8 2 a	流量制御器	
3 1 8 2 b	流量制御器	50

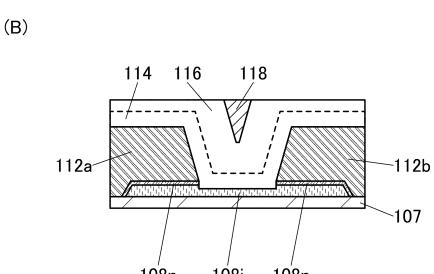
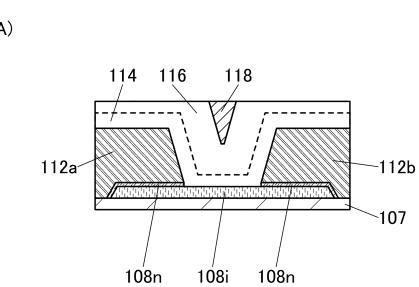
3 1 8 2 c	流量制御器	
3 1 8 2 h	加熱機構	
3 1 8 3	導入口	
3 1 8 4	排出口	
3 1 8 5	排気装置	
3 1 8 6	支持部	
3 1 8 7	加熱機構	
3 1 8 8	扉	
5 1 0 0	ペレット	10
5 1 2 0	基板	
5 1 6 1	領域	
5 2 0 0	ペレット	
5 2 0 1	イオン	
5 2 0 3	粒子	
5 2 2 0	基板	
5 2 3 0	ターゲット	
5 2 4 0	プラズマ	
5 2 6 0	加熱機構	
8 0 0 0	表示モジュール	
8 0 0 1	上部カバー	20
8 0 0 2	下部カバー	
8 0 0 3	FPC	
8 0 0 4	タッチパネル	
8 0 0 5	FPC	
8 0 0 6	表示パネル	
8 0 0 7	バックライト	
8 0 0 8	光源	
8 0 0 9	フレーム	
8 0 1 0	プリント基板	
8 0 1 1	バッテリ	30
9 0 0 0	筐体	
9 0 0 1	表示部	
9 0 0 3	スピーカ	
9 0 0 5	操作キー	
9 0 0 6	接続端子	
9 0 0 7	センサ	
9 0 0 8	マイクロフォン	
9 0 5 0	操作ボタン	
9 0 5 1	情報	
9 0 5 2	情報	40
9 0 5 3	情報	
9 0 5 4	情報	
9 0 5 5	ヒンジ	
9 1 0 0	携帯情報端末	
9 1 0 1	携帯情報端末	
9 1 0 2	携帯情報端末	
9 2 0 0	携帯情報端末	
9 2 0 1	携帯情報端末	

【図面】

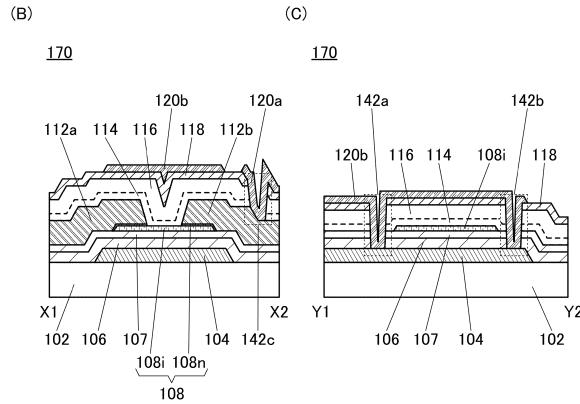
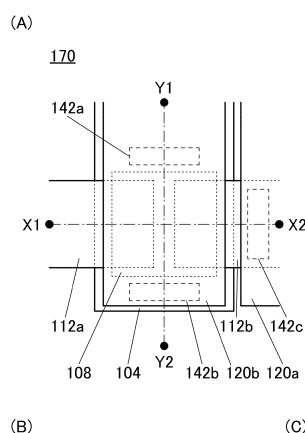
【図1】



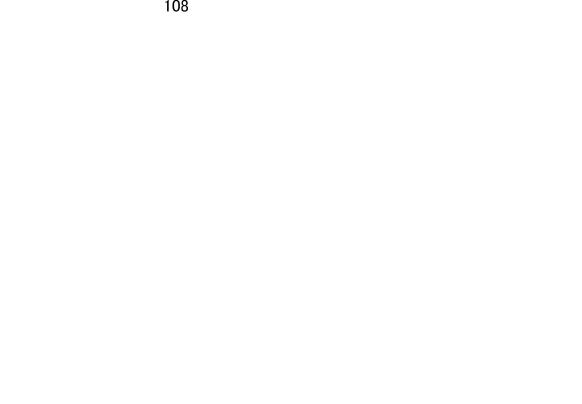
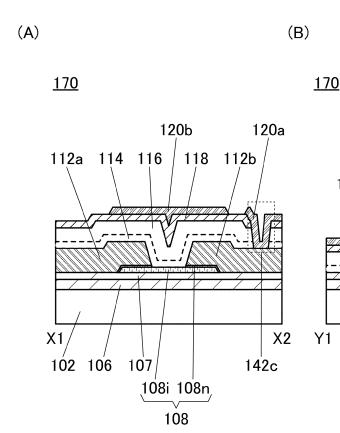
【図2】



【図3】



【図4】



10

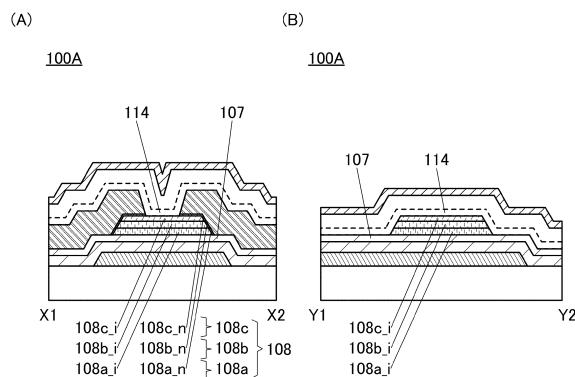
20

30

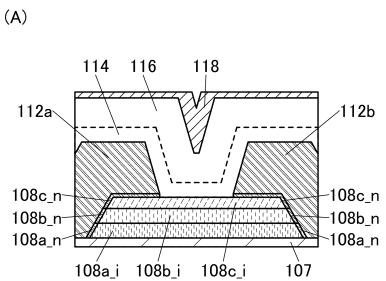
40

50

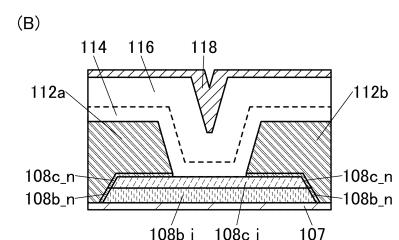
【図5】



【図6】

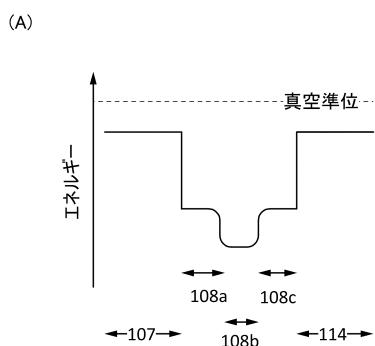


10

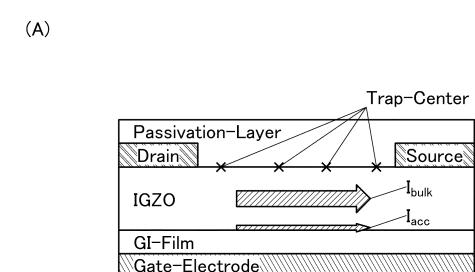


20

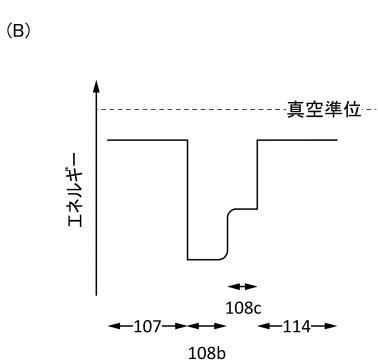
【図7】



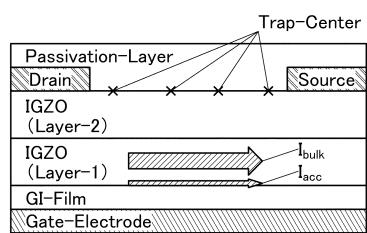
【図8】



30



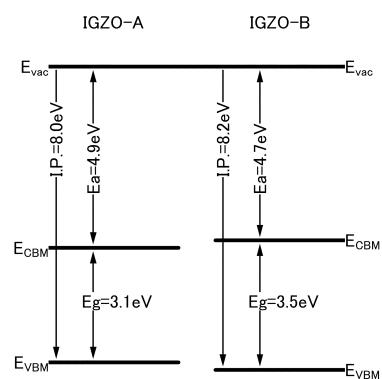
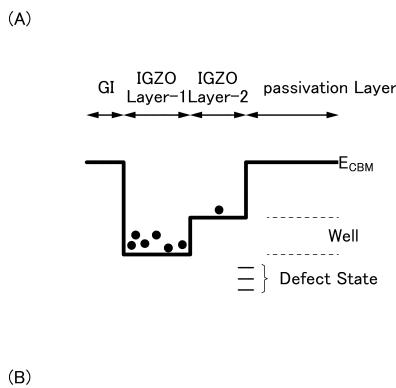
(B)



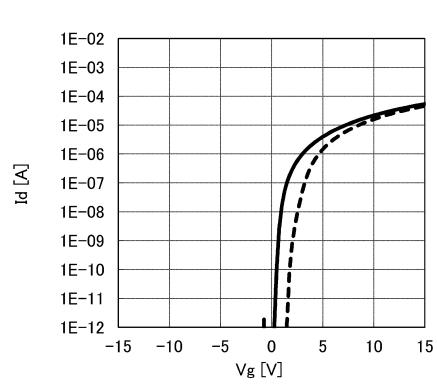
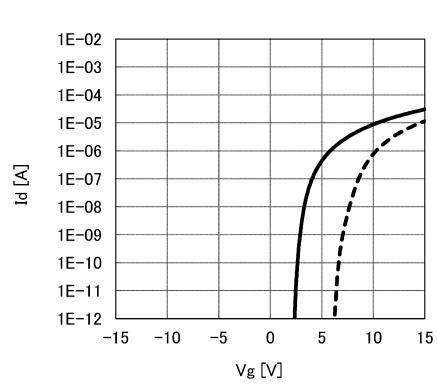
40

50

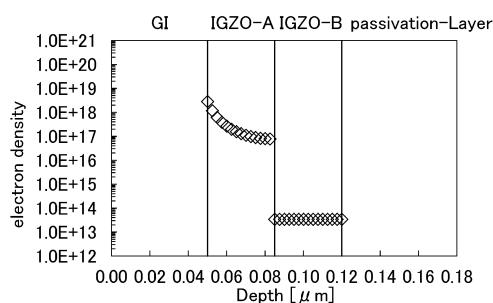
【図 9】



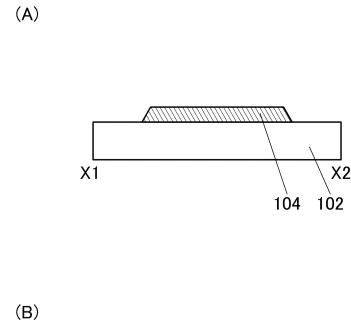
【図 10】



【図 11】



【図 12】



10

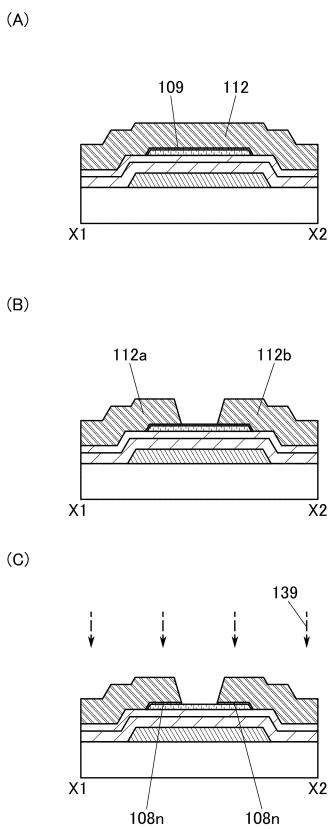
20

30

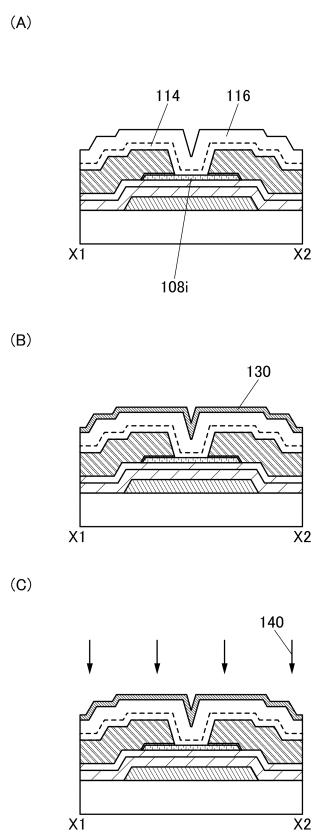
40

50

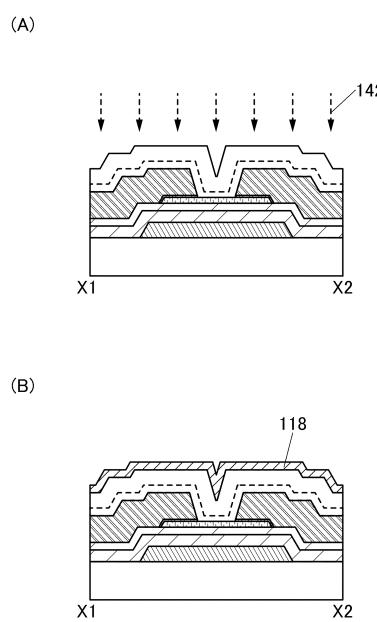
【図 1 3】



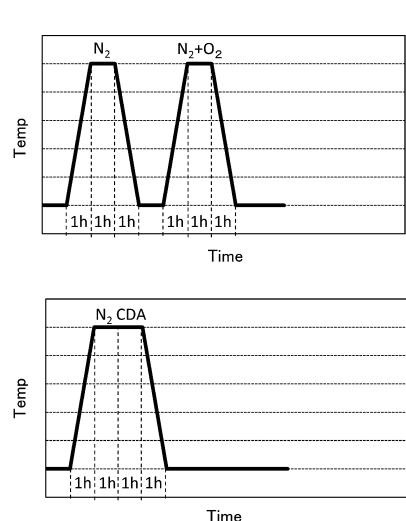
【図 1 4】



【図 1 5】



【図 1 6】



10

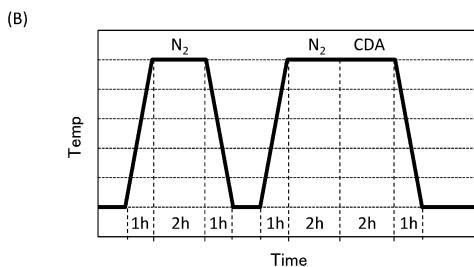
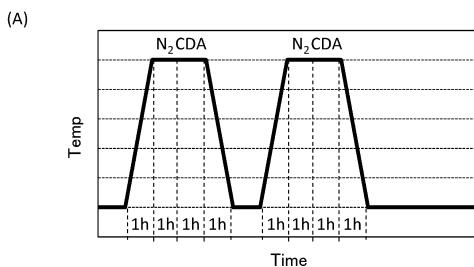
20

30

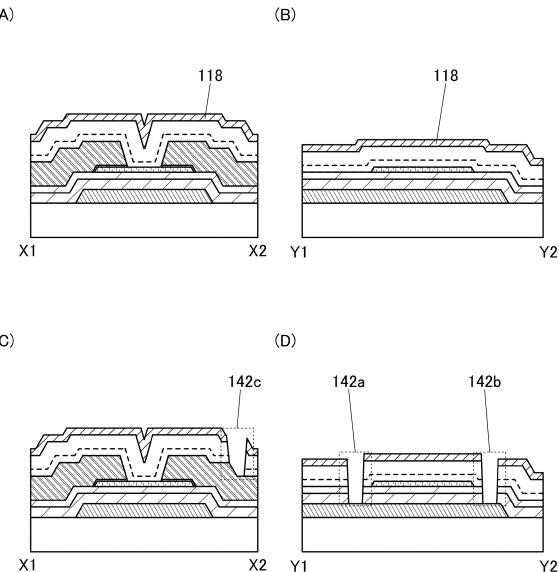
40

50

【図17】

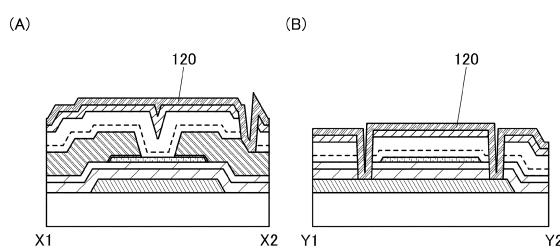


【図18】

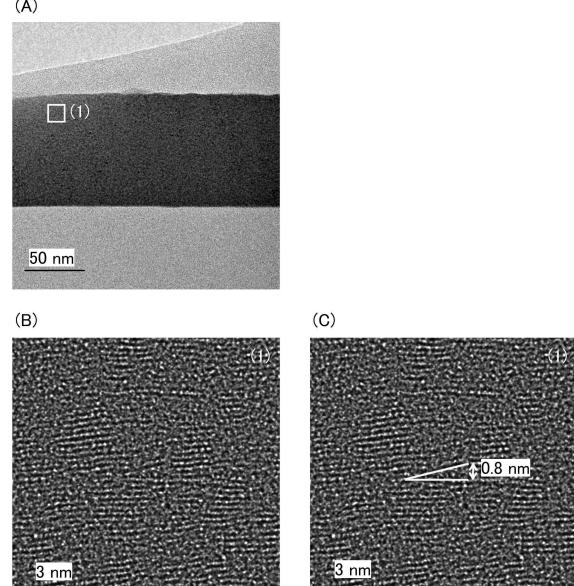


10

【図19】



【図20】



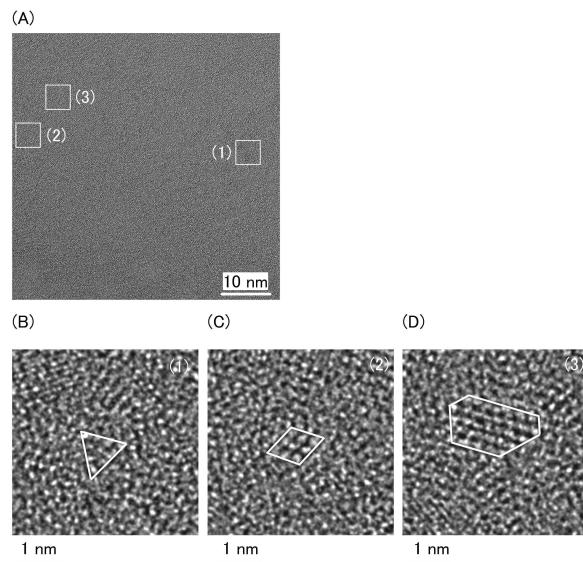
20

30

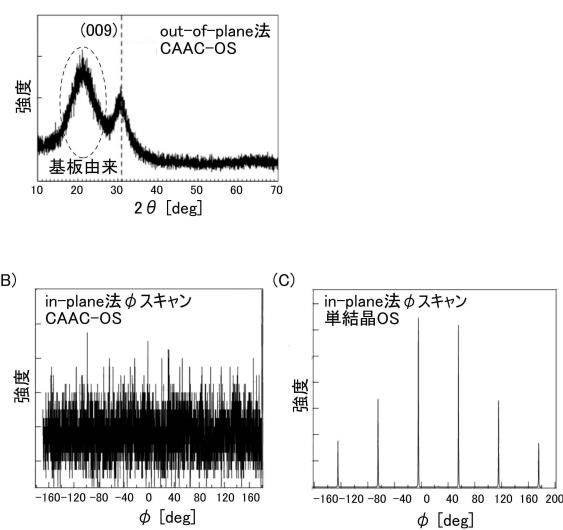
40

50

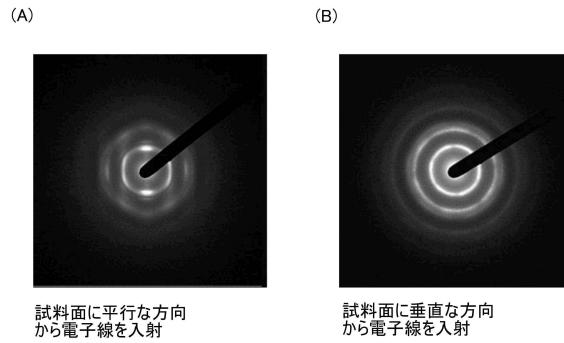
【図 2 1】



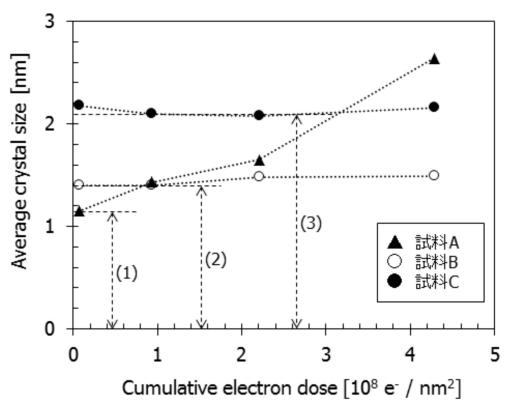
【図 2 2】



【図 2 3】



【図 2 4】



10

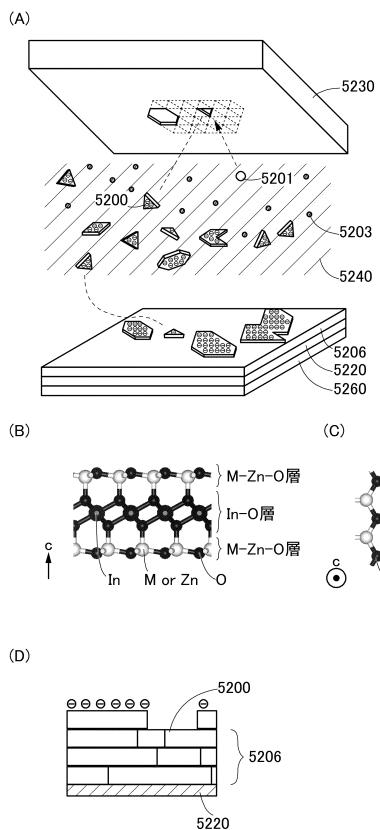
20

30

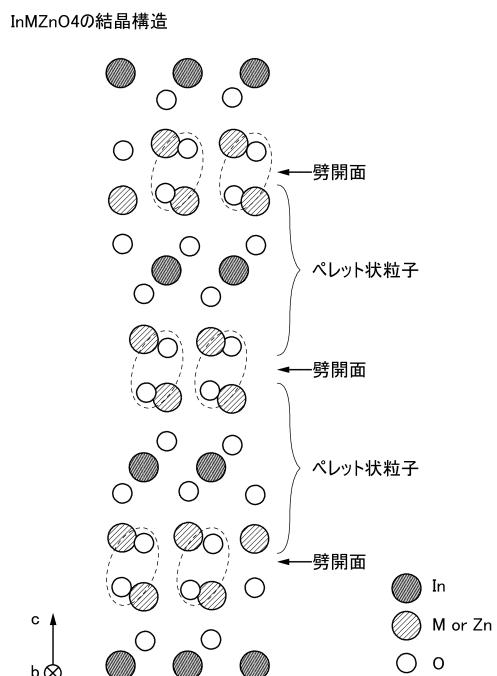
40

50

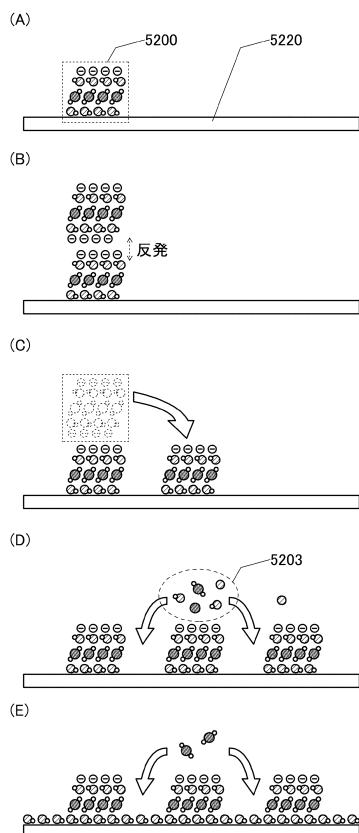
【図 2 5】



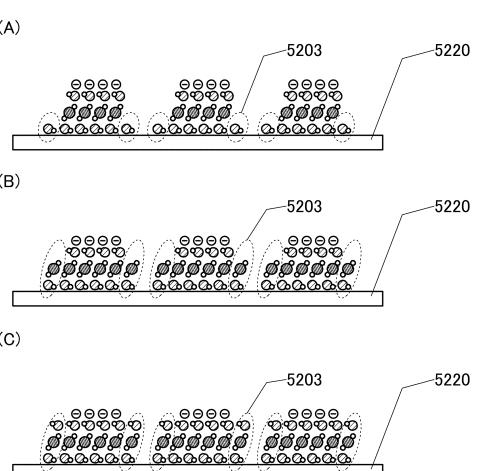
【図 2 6】



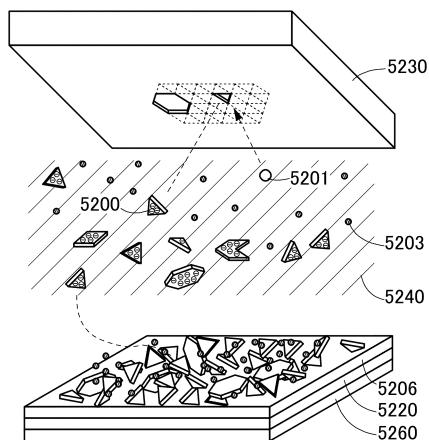
【図 2 7】



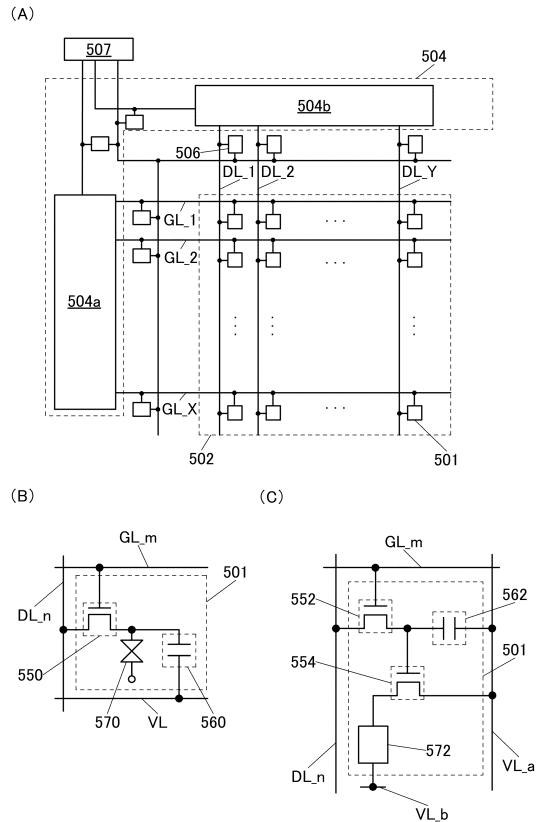
【図 2 8】



【図29】



【図30】



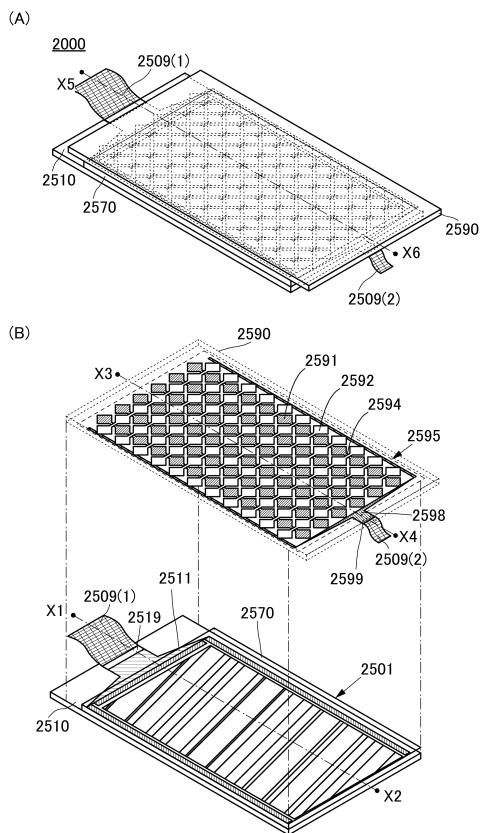
10

20

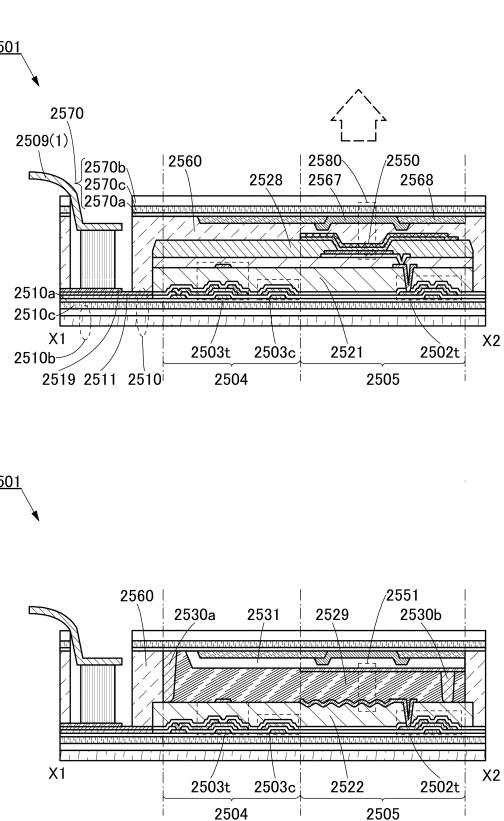
30

40

【図31】

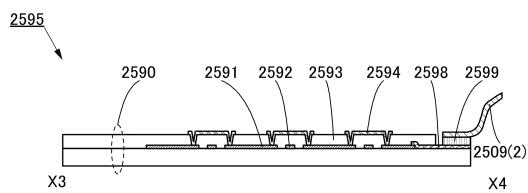


【図32】

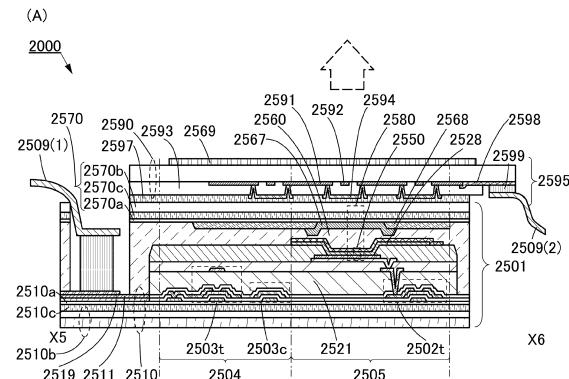


50

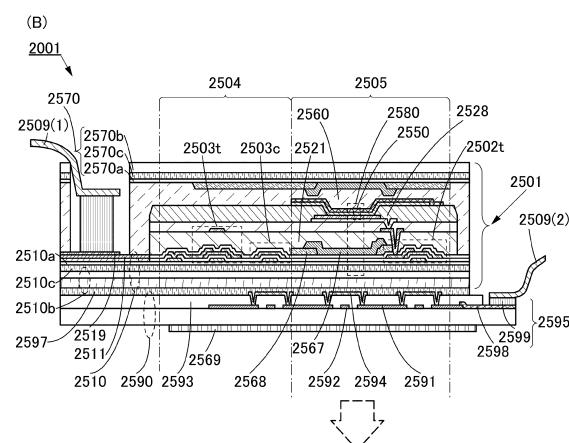
【図33】



【図34】

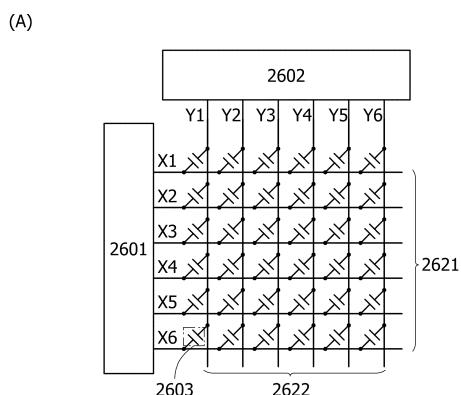


10

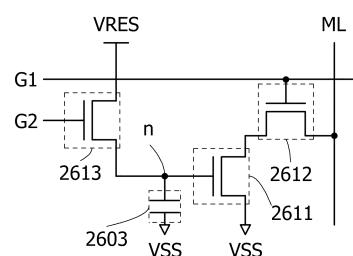


20

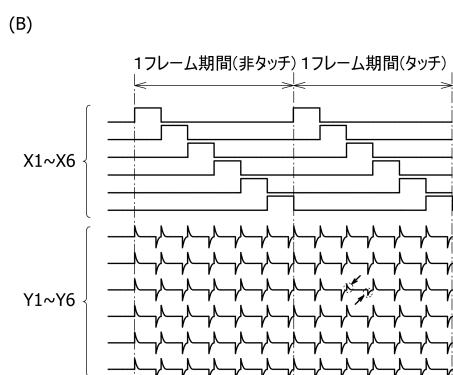
【図35】



【図36】



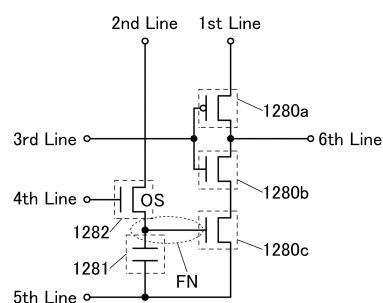
30



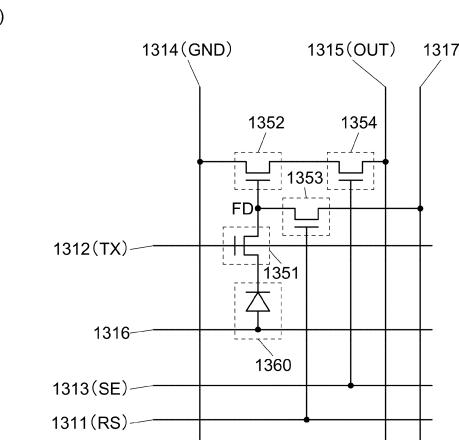
40

50

【図37】

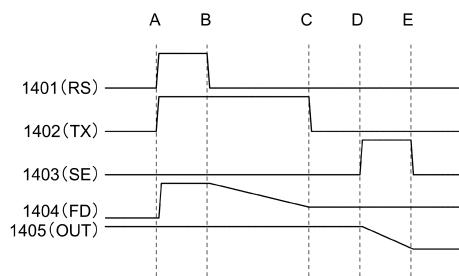


【図38】



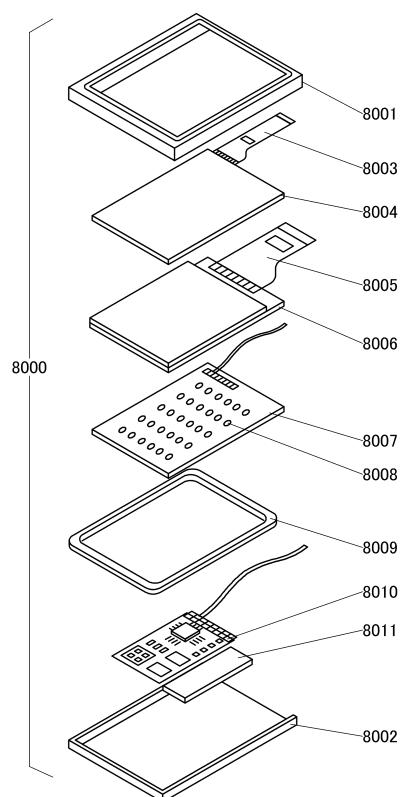
10

(B)

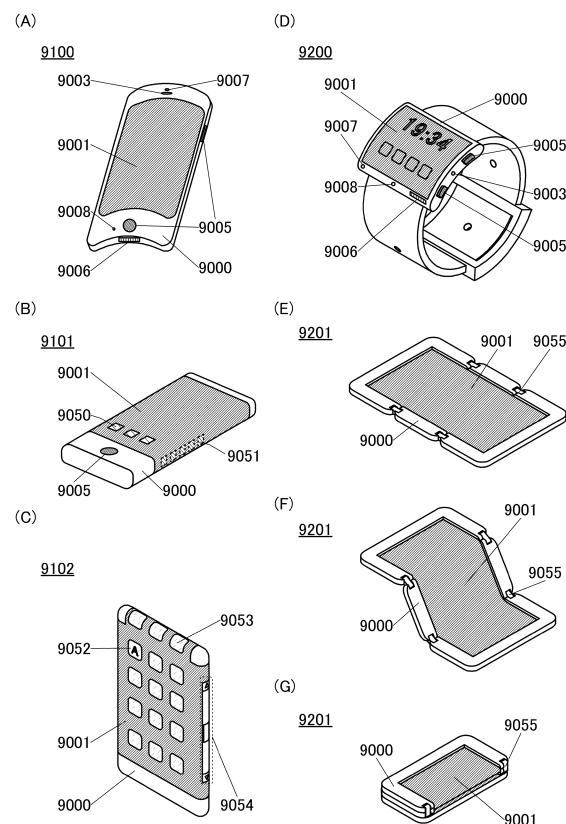


20

【図39】



【図40】

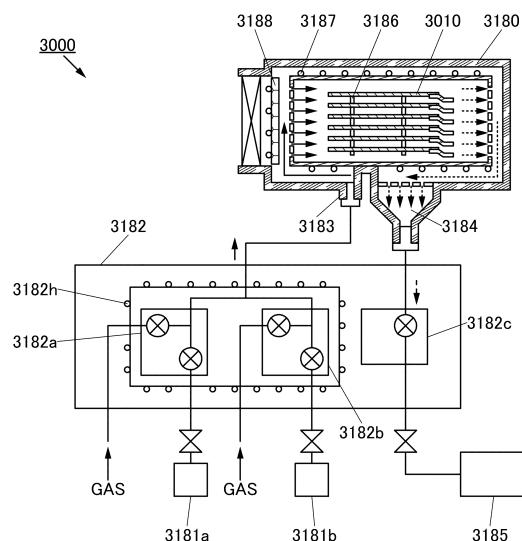


30

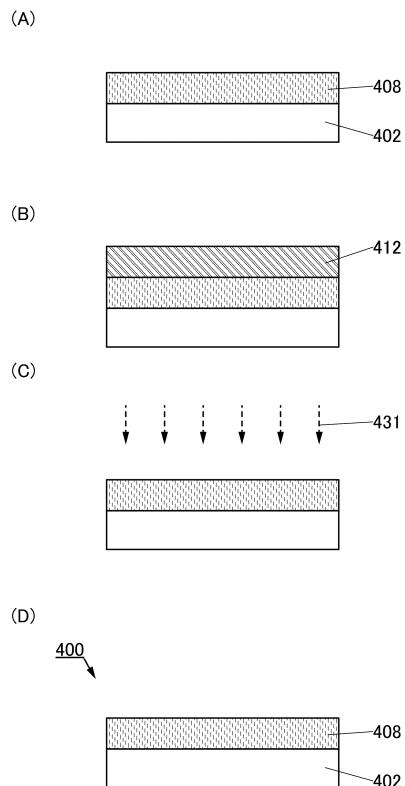
40

50

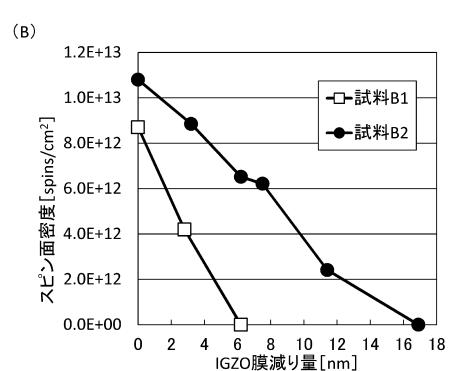
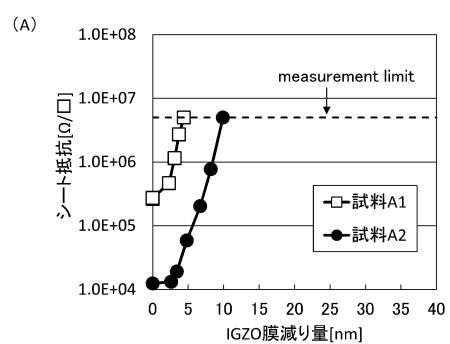
【図41】



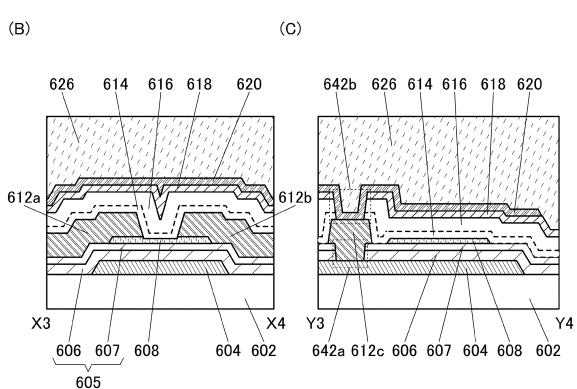
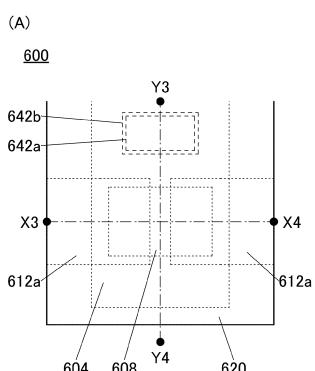
【図42】



【図43】



【図44】



10

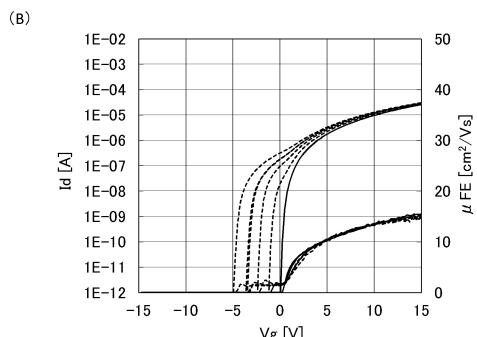
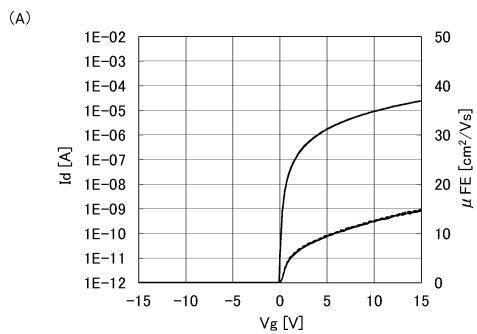
20

30

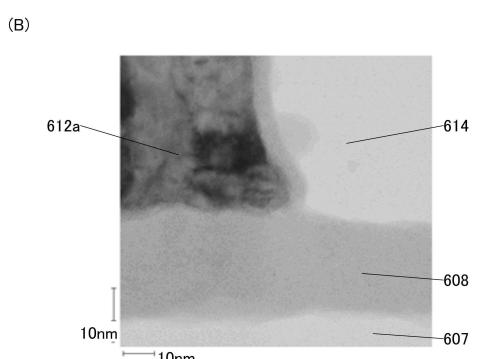
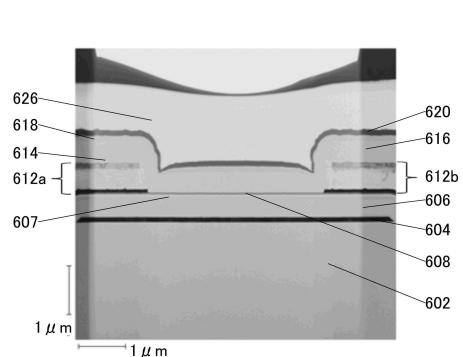
40

50

【図4 5】



【図4 6】



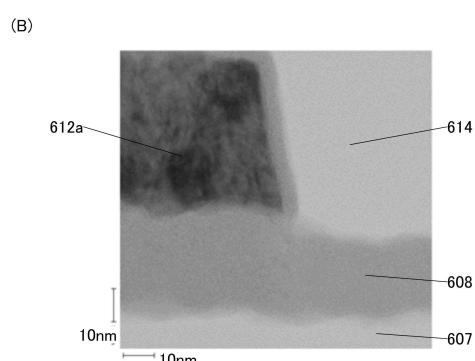
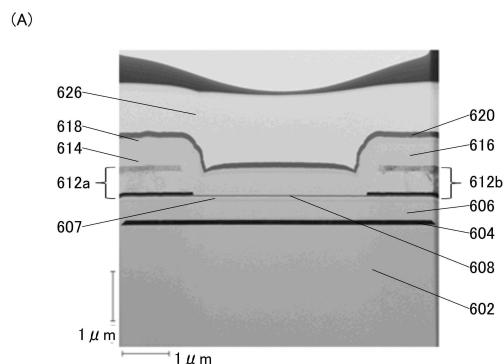
10

20

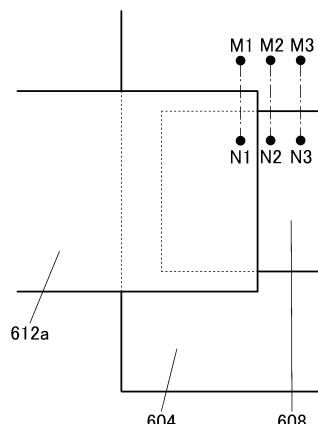
30

40

【図4 7】

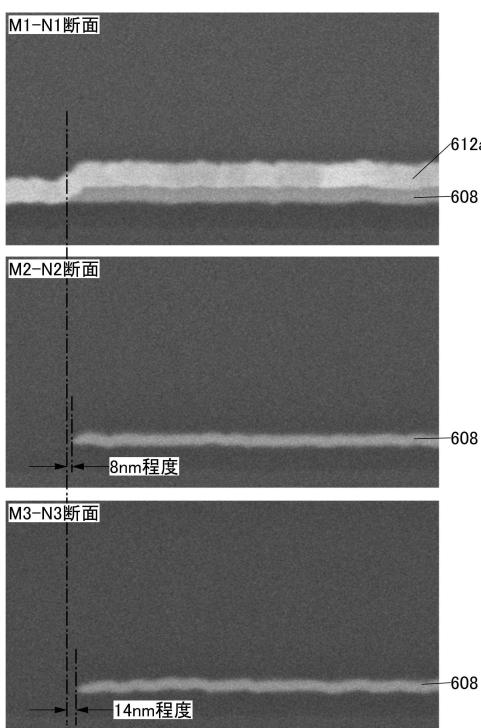


【図4 8】

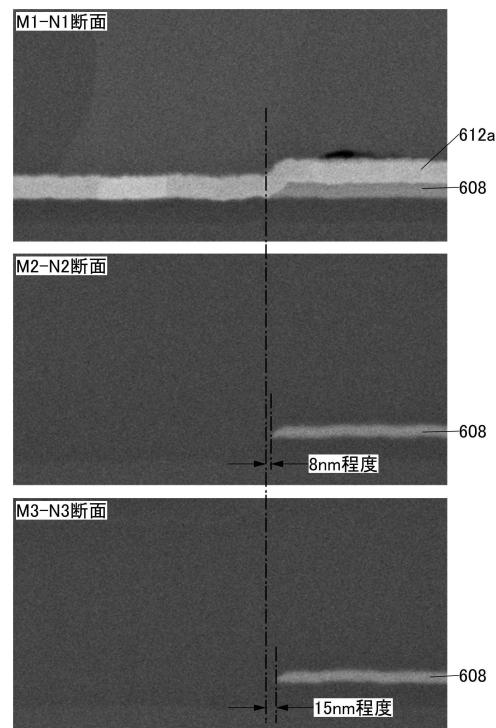


50

【図 4 9】



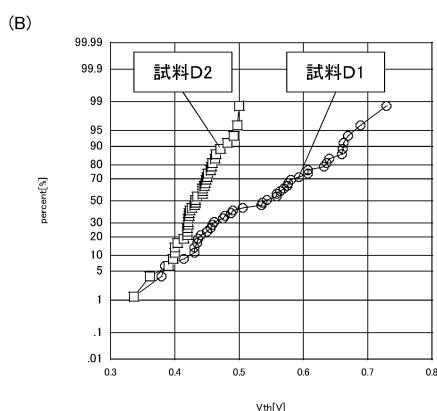
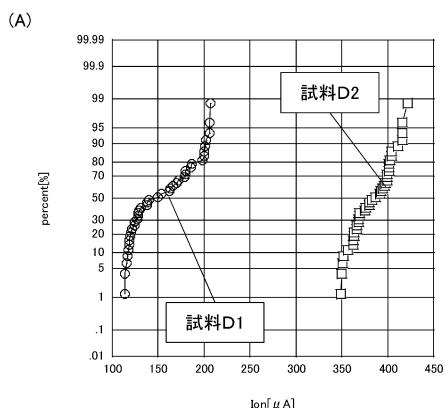
【図 5 0】



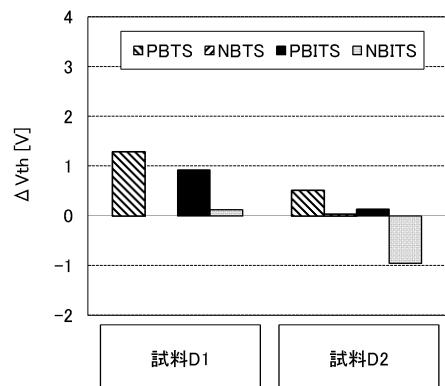
10

20

【図 5 1】



【図 5 2】

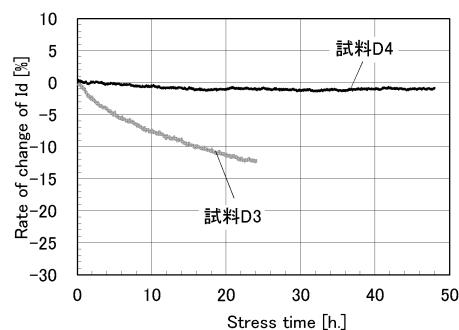


30

40

50

【図 5 3】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

	F I		
H 1 0 K 50/00 (2023.01)	H 0 1 L 29/78	6 2 7 Z	
H 0 5 B 33/14 (2006.01)	H 0 5 B 33/14	A	
H 1 0 K 59/12 (2023.01)	H 0 5 B 33/14	Z	
	H 1 0 K 59/12		

日本国(JP)

(72)発明者 中澤 安孝

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 生内 俊光

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 島 行徳

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 黒崎 大輔

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 岩本 勉

(56)参考文献 特開2013-153156 (JP, A)

米国特許出願公開第2013/0161610 (US, A1)

特開2014-179625 (JP, A)

特開2013-175713 (JP, A)

米国特許出願公開第2013/0187153 (US, A1)

特開2013-138189 (JP, A)

米国特許出願公開第2013/0137232 (US, A1)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8 6

H 0 1 L 2 7 / 1 4 6

H 1 0 K 5 0 / 0 0

H 0 5 B 3 3 / 1 4

H 1 0 K 5 9 / 0 0

G 0 2 F 1 / 1 3 6 8

G 0 9 F 9 / 3 0