

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2023-102966
(P2023-102966A)

(43)公開日 令和5年7月26日(2023.7.26)

(51)国際特許分類
H 0 4 N 25/772 (2023.01)

F I
H 0 4 N 5/3745 5 0 0

テーマコード (参考)
5 C 0 2 4

審査請求		未請求	請求項の数	20	O L	(全34頁)
(21)出願番号	特願2022-3751(P2022-3751)	(71)出願人	000001007	最終頁に続く		
(22)出願日	令和4年1月13日(2022.1.13)		キヤノン株式会社			
			東京都大田区下丸子3丁目30番2号			
		(74)代理人	100094112			
			弁理士 岡部 譲			
		(74)代理人	100101498			
			弁理士 越智 隆夫			
		(74)代理人	100106183			
			弁理士 吉澤 弘司			
		(74)代理人	100136799			
			弁理士 本田 亜希			
		(72)発明者	彦坂 慎吾	最終頁に続く		
			東京都大田区下丸子3丁目30番2号			
			キヤノン株式会社内			
		Fターム (参考)	5C024 CX37 CX43 GX02 GY39			

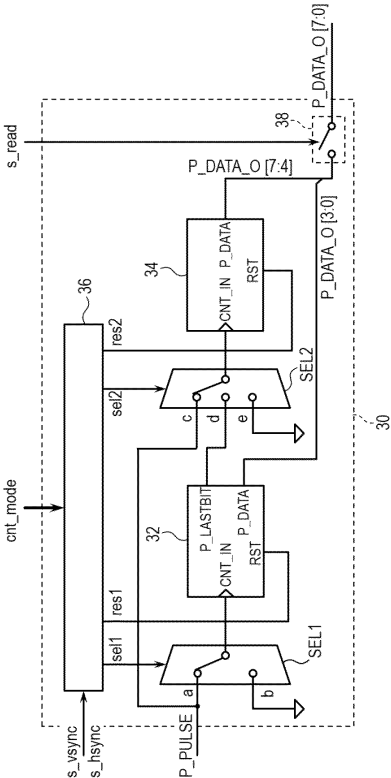
(54)【発明の名称】 光電変換装置

(57)【要約】

【課題】画素の回路規模を小さく抑えつつ、複数フレームのデータや、単一又は複数フレームのデータを処理した結果を画素から出力可能な、高機能な光電変換装置を提供する。

【解決手段】光電変換装置は、光子の入射に応じてパルスを出力する光電変換部と、光電変換部から出力されるパルスを計数するパルス計数部と、を有する画素を有する。パルス計数部は、第1カウンタと、第2カウンタと、第1カウンタ及び第2カウンタの各々に入力される信号を選択する選択回路と、選択回路を制御する制御部と、を有する。制御部は、選択回路を制御することにより、第1カウンタ及び第2カウンタにより第1ビット数のカウンタを構成する第1接続モードと、第1カウンタ及び第2カウンタのうちの少なくとも一方により第1ビット数よりも少ない第2ビット数のカウンタを構成する第2接続モードと、実行するように構成されている。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

光子の入射に応じてパルスを出力する光電変換部と、前記光電変換部から出力されるパルスを計数するパルス計数部と、を有する画素を有し、

前記パルス計数部は、第 1 カウンタと、第 2 カウンタと、前記第 1 カウンタ及び前記第 2 カウンタの各々に入力される信号を選択する選択回路と、前記選択回路を制御する制御部と、を有し、

前記制御部は、前記選択回路を制御することにより、前記第 1 カウンタ及び前記第 2 カウンタにより第 1 ビット数のカウンタを構成する第 1 接続モードと、前記第 1 カウンタ及び前記第 2 カウンタのうちの少なくとも一方により前記第 1 ビット数よりも少ない第 2 ビット数のカウンタを構成する第 2 接続モードと、実行するように構成されている

ことを特徴とする光電変換装置。

【請求項 2】

前記第 2 接続モードは、前記第 1 カウンタにより前記パルスを計数し、前記第 2 カウンタでは前記パルスを計数しない第 3 接続モードと、前記第 1 カウンタと前記第 2 カウンタとにより並列して前記パルスを計数する第 4 接続モードと、を含む

ことを特徴とする請求項 1 記載の光電変換装置。

【請求項 3】

前記第 3 接続モードにおいて、前記第 1 カウンタが前記パルスを計数している間、前記第 2 カウンタはそれまでのカウント値を保持する

ことを特徴とする請求項 2 記載の光電変換装置。

【請求項 4】

第 1 フレームにおいて、前記第 2 カウンタは前記パルスを計数し、

前記第 1 フレームの次の第 2 フレームにおいて、前記第 1 カウンタは前記パルスを計数し、前記第 2 カウンタは前記第 1 フレームにおけるカウント値を保持する

ことを特徴とする請求項 3 記載の光電変換装置。

【請求項 5】

前記画素は、前記パルス計数部から出力される信号を処理する信号処理部を更に有し、

前記パルス計数部は、前記第 2 カウンタが保持する前記第 1 フレームにおけるカウント値と、前記第 1 カウンタが保持する前記第 2 フレームにおけるカウント値とを、前記信号処理部に同時に出力する

ことを特徴とする請求項 4 記載の光電変換装置。

【請求項 6】

一のフレームの間に、前記第 3 接続モードと前記第 4 接続モードとが実行される

ことを特徴とする請求項 2 又は 3 記載の光電変換装置。

【請求項 7】

前記第 1 カウンタは M ビットのカウンタであり、前記第 2 カウンタは N ビットのカウンタであり、

前記第 1 ビット数は $(M + N)$ ビットであり、

前記第 2 ビット数は M ビット又は N ビットである

ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の光電変換装置。

【請求項 8】

前記画素は、前記パルス計数部から出力される信号を処理する信号処理部を更に有することを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の光電変換装置。

【請求項 9】

前記信号処理部は、前記第 1 カウンタのカウント値と前記第 2 カウンタのカウント値との間の演算処理を実行する

ことを特徴とする請求項 8 記載の光電変換装置。

【請求項 10】

前記制御部は、前記光電変換装置の外部から受信する信号に基づいて前記選択回路の接

10

20

30

40

50

続モードを制御する

ことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の光電変換装置。

【請求項 1 1】

前記画素は、前記パルス計数部の出力信号のレベルを判定する画素レベル判定部を更に有し、

前記制御部は、前記画素レベル判定部から受信する信号に基づいて前記選択回路の接続モードを制御する

ことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の光電変換装置。

【請求項 1 2】

前記画素レベル判定部は、前記パルス計数部の前記出力信号のレベルが所定値以上であるかどうかを判定し、

前記制御部は、前記出力信号が前記所定値以上の場合は前記選択回路を前記第 1 接続モードに設定し、前記出力信号が前記所定値未満の場合は前記選択回路を前記第 2 接続モードに設定する

ことを特徴とする請求項 1 1 記載の光電変換装置。

【請求項 1 3】

前記制御部は、前記選択回路が前記第 2 接続モードで動作している場合に、前記パルス計数部の前記出力信号のレベルが前記所定値以上である状態が所定のフレーム数続いた場合に、前記選択回路を前記第 1 接続モードに切り替える

ことを特徴とする請求項 1 2 記載の光電変換装置。

【請求項 1 4】

前記制御部は、前記選択回路が前記第 1 接続モードで動作している場合に、前記パルス計数部の前記出力信号のレベルが前記所定値未満である状態が所定のフレーム数続いた場合に、前記選択回路を前記第 2 接続モードに切り替える

ことを特徴とする請求項 1 2 記載の光電変換装置。

【請求項 1 5】

複数の行及び複数の列をなすように配された複数の前記画素を有する

ことを特徴とする請求項 1 乃至 1 4 のいずれか 1 項に記載の光電変換装置。

【請求項 1 6】

前記光電変換部は、入射光を光電変換し、生じた電荷をアバランシェ増倍により増倍するアバランシェフォトダイオードと、前記アバランシェフォトダイオードのアバランシェ増倍を抑制するクエンチ素子と、前記アバランシェフォトダイオードの出力信号をパルスに変換する波形整形部と、を有する

ことを特徴とする請求項 1 乃至 1 5 のいずれか 1 項に記載の光電変換装置。

【請求項 1 7】

前記アバランシェフォトダイオードが設けられた第 1 基板と、

前記パルス計数部が設けられた第 2 基板と

を有することを特徴とする請求項 1 6 記載の光電変換装置。

【請求項 1 8】

請求項 1 乃至 1 7 のいずれか 1 項に記載の光電変換装置と、

前記光電変換装置から出力される信号を処理する信号処理装置と

を有することを特徴とする光検出システム。

【請求項 1 9】

前記信号処理装置は、前記信号に基づいて対象物までの距離情報を表す距離画像を生成する

ことを特徴とする請求項 1 8 記載の光検出システム。

【請求項 2 0】

移動体であって、

請求項 1 乃至 1 7 のいずれか 1 項に記載の光電変換装置と、

前記光電変換装置から出力される信号に基づく視差画像から、対象物までの距離情報を

10

20

30

40

50

取得する距離情報取得手段と、

前記距離情報に基づいて前記移動体を制御する制御手段と
を有することを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置に関する。

【背景技術】

【0002】

光電変換素子として、光子の入射により発生する電荷をアバランシェ降伏により増倍するAPD (Avalanche Photo Diode) やSPAD (Single Photon Avalanche Diode) が知られている。これら光電変換素子は、検知した光子の数を計数する機能を備えた光電変換装置などに利用されている。特許文献1には、画素内にデータ保持用のメモリを設けることにより、複数フレームのデータの処理を含む種々の信号処理を可能にした光電変換装置が記載されている。この手法によれば、複数フレームのデータを処理した信号を含む種々の信号を画素から出力可能である。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2021-044636号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1の光電変換装置では、単一或いは複数フレーム分のデータを蓄積するメモリを画素ごとに備える必要があり、画素回路の面積の増大を避けられなかった。

【0005】

本発明の目的は、画素の回路規模を小さく抑えつつ、複数フレームのデータや、単一又は複数フレームのデータを処理した結果を画素から出力可能な、高機能な光電変換装置を提供することにある。

30

【課題を解決するための手段】

【0006】

本明細書の一開示によれば、光子の入射に応じてパルスを出力する光電変換部と、前記光電変換部から出力されるパルスを計数するパルス計数部と、を有する画素を有し、前記パルス計数部は、第1カウンタと、第2カウンタと、前記第1カウンタ及び前記第2カウンタの各々に入力される信号を選択する選択回路と、前記選択回路を制御する制御部と、を有し、前記制御部は、前記選択回路を制御することにより、前記第1カウンタ及び前記第2カウンタにより第1ビット数のカウンタを構成する第1接続モードと、前記第1カウンタ及び前記第2カウンタのうちの少なくとも一方により前記第1ビット数よりも少ない第2ビット数のカウンタを構成する第2接続モードと、実行するように構成されている光電変換装置が提供される。

40

【発明の効果】

【0007】

本発明によれば、画素の回路規模を小さく抑えつつ、複数フレームのデータや、単一又は複数フレームのデータを処理した結果を画素から出力することが可能となる。

【図面の簡単な説明】

【0008】

【図1】本発明の第1実施形態による光電変換装置の概略構成を示すブロック図である。

【図2】本発明の第1実施形態による光電変換装置における画素の構成例を示すブロック図である。

50

【図 3】本発明の第 1 実施形態による光電変換装置における光電変換素子の基本動作を説明する図である。

【図 4】本発明の第 1 実施形態による光電変換装置におけるパルス計数部の構成例を示すブロック図である。

【図 5】本発明の第 1 実施形態による光電変換装置におけるサブカウンタの構成例を示すブロック図である。

【図 6】本発明の第 1 実施形態による光電変換装置の構成例を示す斜視図である。

【図 7】本発明の第 1 実施形態による光電変換装置の駆動例を示すタイミング図（その 1）である。

【図 8】本発明の第 1 実施形態による光電変換装置の駆動例を示すタイミング図（その 2）である。

【図 9】2 フレーム分の画像データの平均化処理手順を説明する図（その 1）である。

【図 10】2 フレーム分の画像データの平均化処理手順を説明する図（その 2）である。

【図 11】本発明の第 1 実施形態による光電変換装置の駆動例を示すタイミング図（その 3）である。

【図 12】本発明の第 2 実施形態による光電変換装置における画素の構成例を示すブロック図である。

【図 13】本発明の第 2 実施形態による光電変換装置における信号処理部の構成例を示すブロック図である。

【図 14】本発明の第 3 実施形態による光電変換装置における画素の構成例を示すブロック図である。

【図 15】本発明の第 3 実施形態による光電変換装置の駆動例を示すタイミング図である。

【図 16】本発明の第 4 実施形態による光検出システムの概略構成を示すブロック図である。

【図 17】本発明の第 5 実施形態による距離画像センサの概略構成を示すブロック図である。

【図 18】本発明の第 6 実施形態による内視鏡手術システムの構成例を示す概略図である。

【図 19】本発明の第 7 実施形態による移動体の構成例を示す概略図である。

【図 20】本発明の第 7 実施形態による光検出システムの概略構成を示すブロック図である。

【図 21】本発明の第 7 実施形態による光検出システムの動作を示すフロー図である。

【図 22】本発明の第 8 実施形態による光検出システムの概略構成を示す概略図である。

【発明を実施するための形態】

【0009】

〔第 1 実施形態〕

本発明の第 1 実施形態による光電変換装置の概略構成について、図 1 乃至図 6 を用いて説明する。図 1 は、本実施形態による光電変換装置の概略構成を示すブロック図である。図 2 は、本実施形態による光電変換装置における画素の構成例を示すブロック図である。図 3 は、本実施形態による光電変換装置における光電変換素子の基本動作を説明する図である。図 4 は、本実施形態による光電変換装置におけるパルス計数部の構成例を示すブロック図である。図 5 は、本実施形態による光電変換装置におけるサブカウンタの構成例を示すブロック図である。図 6 は、本実施形態による光電変換装置の構成例を示す斜視図である。

【0010】

本実施形態による光電変換装置 100 は、図 1 に示すように、画素領域 10 と、垂直選択回路 40 と、水平選択回路 50 と、レジスタブロック 60 と、信号処理回路 70 と、出力回路 80 と、駆動制御回路 90 と、を有する。

【0011】

画素領域 10 には、複数の行及び複数の列をなすようにアレイ状に配された複数の画素 12 が設けられている。画素領域 10 を構成する画素 12 の数は、特に限定されるものではない。例えば、一般的なデジタルカメラのように数千行×数千列のアレイ状に配された複数の画素 12 により画素領域 10 を構成することができる。或いは、1 行又は 1 列に並べた複数の画素 12 により画素領域 10 を構成してもよい。或いは、1 つの画素 12 により画素領域 10 を構成してもよい。

【0012】

画素領域 10 の画素アレイの各行には、第 1 の方向（図 1 において横方向）に延在して、制御線 14 が配されている。制御線 14 は、第 1 の方向に並ぶ画素 12 にそれぞれ接続され、これら画素 12 に共通の信号線をなしている。制御線 14 の延在する第 1 の方向は、行方向或いは水平方向と表記することがある。制御線 14 の各々は、複数種類の制御信号を画素 12 に供給するための複数の信号線を含み得る。各行の制御線 14 は、垂直選択回路 40 に接続されている。

10

【0013】

また、画素領域 10 の画素アレイの各列には、第 1 の方向と交差する第 2 の方向（図 1 において縦方向）に延在して、制御線 16 が配されている。制御線 16 は、第 2 の方向に並ぶ画素 12 にそれぞれ接続され、これら画素 12 に共通の信号線をなしている。制御線 16 の延在する第 2 の方向は、列方向或いは垂直方向と表記することがある。制御線 16 の各々は、複数種類の制御信号を画素 12 に供給するための複数の信号線を含み得る。各列の制御線 16 は、水平選択回路 50 に接続されている。

20

【0014】

また、画素領域 10 に配された複数の画素 12 の各々には、設定信号線 18 が接続されている。設定信号線 18 は、複数種類の信号を画素 12 に供給するための複数の信号線を含み得る。設定信号線 18 は、レジスタブロック 60 に接続されている。また、画素領域 10 に配された複数の画素 12 の各々には、画素信号出力線 20 が接続されている。画素信号出力線 20 は、画素 12 から出力される複数ビットのデジタル信号をビット毎に転送するための複数の信号線を含み得る。画素信号出力線 20 は、画素領域 10 の画素アレイの各列に配された複数の信号線により構成されてもよいし、画素領域 10 の画素アレイの各行に配された複数の信号線により構成されてもよい。画素信号出力線 20 は、信号処理回路 70 に接続されている。

30

【0015】

垂直選択回路 40 は、駆動制御回路 90 から出力される制御信号を受け、画素 12 を駆動するための制御信号を生成し、制御線 14 を介して画素 12 に供給する機能を備える制御回路である。垂直選択回路 40 には、シフトレジスタやアドレスデコーダといった論理回路が用いられ得る。垂直選択回路 40 は、画素領域 10 の画素 12 に行単位で順次制御信号を供給し、画素領域 10 の画素 12 を行単位で順次駆動する。

【0016】

水平選択回路 50 は、駆動制御回路 90 から出力される制御信号を受け、画素 12 を駆動するための制御信号を生成し、制御線 16 を介して画素 12 に供給する機能を備える制御回路である。水平選択回路 50 には、シフトレジスタやアドレスデコーダといった論理回路が用いられ得る。水平選択回路 50 は、画素領域 10 内の画素 12 を列単位で順次走査し、各画素 12 が保持する画素信号を、画素信号出力線 20 を介して信号処理回路 70 へと出力する。

40

【0017】

レジスタブロック 60 は、ISP (Image Signal Processor) , ASIC (Application Specific Integrated Circuit) , FPGA (Field Programmable Gate Array) 等、光電変換装置 100 の後段に配されるシステムからのデータを受信する。そして、レジスタブロック 60 は、受信したこれらデータを、光電変換装置 100 の各種動作の設定値として値を保持する役割を有する。後段システムとレジスタブロック 60 との間のデータ通信手段は特に限定されるものではなく、例えば、I2C (Inter-Integr

50

ated Circuit) や S P I (Serial Peripheral Interface) 等のシリアル通信手段を適用可能である。レジスタブロック 60 は、光電変換装置 100 の動作のタイミング設定、画素駆動の条件、アナログ駆動の部分におけるドライブ能力の設定など、あらゆる設定を格納し、設定信号線 18 を介して各回路に分配する。なお、図 1 では簡単のためレジスタブロック 60 と画素 12 とを接続する設定信号線 18 のみを示している。

【0018】

信号処理回路 70 は、画素信号出力線 20 を介して入力された画素信号に対して、オフセット処理やデジタルゲイン処理などのデジタル演算処理を行う処理回路である。なお、信号処理回路 70 が行うデジタル演算処理は特に限定されるものではなく、他の様々なデジタル演算処理を適用可能である。

【0019】

出力回路 80 は、パラレルデータをシリアルデータに変換するシリアルライザや外部インターフェース回路を有し、信号処理回路 70 におけるデジタル演算処理後の画素信号を、I S P、A S I C、F P G A 等の後段システムに送信するための回路である。外部インターフェース回路としては、例えば、L V D S (Low Voltage Differential Signaling) 回路、S L V S (Scalable Low Voltage Signaling) 回路等の S e r D e s (S E R i a l i z e r / D E S e r i a l i z e r) 送信回路を適用可能である。なお、出力回路 80 の構成はこれに限定されるものではなく、例えばパラレル出力など他の構成であってもよい。

【0020】

駆動制御回路 90 は、垂直選択回路 40 や水平選択回路 50 などの動作やそのタイミングを制御する制御信号を生成し、各回路ブロックに供給するための制御回路である。図 1 では簡略化のために記載を省略しているが、垂直選択回路 40 及び水平選択回路 50 以外のその他の回路ブロックを制御する制御信号も同時に供給し、光電変換装置 100 の全体の動作を制御する役割を備える。駆動制御回路 90 は、外部から入力されるクロック信号によって駆動されてもよいし、光電変換装置 100 の内部に設けられた P L L 回路等のクロック信号を用いて駆動されてもよい。

【0021】

各々の画素 12 は、図 2 に示すように、光電変換素子 P D と、クエンチ素子 22 と、波形整形部 24 と、パルス計数部 30 と、を有する。

【0022】

光電変換素子 P D は、アバランシェフォトダイオード（以下、「A P D」と表記する）であり得る。光電変換素子 P D を構成する A P D のアノードは、電圧 V S S が供給されるノードに接続されている。光電変換素子 P D を構成する A P D のカソードは、クエンチ素子 22 の一方の端子に接続されている。クエンチ素子 22 の他方の端子は、電圧 V S S よりも高い電圧 V D D が供給されるノードに接続されている。電圧 V S S 及び電圧 V D D は、A P D がアバランシェ増倍動作をするに十分な逆バイアス電圧が印加されるように設定されている。一例では、電圧 V S S として負の高電圧が与えられ、電圧 V D D として電源電圧程度の正電圧が与えられる。例えば、電圧 V S S は -30 V であり、電圧 V D D は 1 V である。

【0023】

光電変換素子 P D は、前述のように A P D により構成され得る。アバランシェ増倍動作をするに十分な逆バイアス電圧を A P D に供給した状態とすることで、A P D への光入射によって生じた電荷がアバランシェ増倍を起こし、アバランシェ電流が発生する。A P D に逆バイアス電圧を供給した状態における動作モードには、ガイガーモードとリニアモードとがある。ガイガーモードは、アノードとカソードとの間に印加する電圧を A P D の降伏電圧よりも大きい逆バイアス電圧とする動作モードである。リニアモードは、アノードとカソードとの間に印加する電圧を A P D の降伏電圧近傍又はそれ以下の逆バイアス電圧とする動作モードである。ガイガーモードで動作させる A P D は、S P A D (Single Photon Avalanche Diode) と呼ばれる。光電変換素子 P D を構成する A P D は、リニアモードで動作するようにしてもよいし、ガイガーモードで動作するようにしてもよい。

10

20

30

40

50

【0024】

クエンチ素子22は、光電変換素子PDで生じたアバランシェ電流の変化を電圧信号に変換する機能を備える。また、クエンチ素子22は、アバランシェ増倍による信号増倍時に負荷回路（クエンチ回路）として機能し、光電変換素子PDに印加される電圧を低減してアバランシェ増倍を抑制する機能を備える。クエンチ素子22がアバランシェ増倍を抑制する動作は、クエンチ動作と呼ばれる。また、クエンチ素子22は、クエンチ動作によって電圧降下した分の電流を流すことにより、光電変換素子PDに供給する電圧を電圧VDDへと戻す機能を備える。クエンチ素子22が光電変換素子PDに供給する電圧を電圧VDDへと戻す動作は、リチャージ動作と呼ばれる。クエンチ素子22は、1つ以上のMOSTランジスタや拡散抵抗などの抵抗素子により構成され得る。

10

【0025】

波形整形部24は、光電変換素子PDとクエンチ素子22との間の接続ノードに接続された入力ノードと、出力ノードと、を有する。波形整形部24は、光電変換素子PDから供給されるアナログ信号をパルス信号（信号P__PULSE）に変換する機能を備える。波形整形部24は、NOT回路（インバータ回路）、NOR回路、NAND回路等を含む論理回路により構成され得る。波形整形部24の出力ノードは、パルス計数部30に接続されている。

【0026】

パルス計数部30には、波形整形部24から信号P__PULSEが供給され、レジスタブロック60から設定信号線18を介して動作モード設定信号cnt__modeが供給される。また、パルス計数部30には、垂直選択回路40から制御線14を介して垂直同期信号s__vsync及び水平同期信号s__hsync等の制御信号が供給され、水平選択回路50から制御線16を介して制御信号s__readが供給される。パルス計数部30は、これら信号に応じて信号P__DATA__Oを出力する。

20

【0027】

図3は、光電変換素子PD、クエンチ素子22及び波形整形部24からなる光電変換部の基本動作を説明する図である。図3（a）は光電変換部の回路図であり、図3（b）は波形整形部24の入力ノード（ノードA）における信号の波形を示し、図3（c）は波形整形部24の出力ノード（ノードB）における信号の波形を示している。なお、ここでは説明の簡略化のため、波形整形部24がインバータ回路により構成されている場合を想定している。

30

【0028】

時刻t0において、光電変換素子PDには（VDD-VSS）に相当する電位差の逆バイアス電圧が印加されている。光電変換素子PDを構成するAPDのアノードとカソードとの間にはアバランシェ増倍を生じるに十分な逆バイアス電圧が印加されているが、光電変換素子PDに光子が入射していない状態ではアバランシェ増倍の種となるキャリアが存在しない。そのため、光電変換素子PDにおいてアバランシェ増倍は起こらず、光電変換素子PDに電流は流れない。

【0029】

続く時刻t1において、光電変換素子PDに光子（フォトン）が入射したものとする。光電変換素子PDに光子が入射すると、光電変換によって電子-正孔対が生成され、これらキャリアを種としてアバランシェ増倍が生じ、光電変換素子PDにアバランシェ増倍電流が流れる。このアバランシェ増倍電流がクエンチ素子22を流れることによりクエンチ素子22による電圧降下が生じ、ノードAの電圧が降下し始める。ノードAの電圧降下量が大きくなり、時刻t3においてアバランシェ増倍が停止すると、ノードAの電圧レベルはそれ以上降下しなくなる。

40

【0030】

光電変換素子PDにおけるアバランシェ増倍が停止すると、電圧VSSが供給されるノードから光電変換素子PDを介してノードAに電圧降下分を補う電流が流れ、ノードAの電圧は徐々に増加する。その後、時刻t5においてノードAは元の電圧レベルに静定する

50

。

【0031】

波形整形部24は、ノードAから入力される信号を所定の判定閾値に応じて二値化し、ノードBから出力する。具体的には、波形整形部24は、ノードAの電圧レベルが判定閾値を超えているときはノードBからLowレベルの信号を出力し、ノードAの電圧レベルが判定閾値以下のときはノードBからHighレベルの信号を出力する。例えば、図3(b)に示すように、時刻t2から時刻t4の期間においてノードAの電圧が判定閾値以下であるとする。この場合、図3(c)に示すように、ノードBにおける信号レベルは、時刻t0から時刻t2の期間及び時刻t4から時刻t5の期間においてLowレベルとなり、時刻t2から時刻t4の期間においてHighレベルとなる。

10

【0032】

こうして、ノードAから入力されたアナログ信号は、波形整形部24によってデジタル信号へと波形整形される。光電変換素子PDへの光子の入射に応じて波形整形部24から出力されるパルス信号が、光子検知パルス信号である。

【0033】

パルス計数部30は、図4に示すように、選択回路SEL1、SEL2と、サブカウンタ32、34と、接続モード切替回路36と、出力スイッチ38と、を有する。

【0034】

接続モード切替回路36は、選択回路SEL1、SEL2及びサブカウンタ32、34を制御する制御部である。接続モード切替回路36は、動作モード設定信号cnt_mode、垂直同期信号s_vsync及び水平同期信号s_hsyncに応じて、選択信号sel1、sel2及びカウンタリセット信号res1、res2を動的に生成する。

20

【0035】

選択回路SEL1は、2つの入力ノード（ノードa及びノードb）と1つの出力ノードとを有する。選択回路SEL1の制御ノードには、接続モード切替回路36から選択信号sel1が入力される。ノードaには信号P_PULSEが入力される。ノードbには基準信号（Lowレベル）が入力される。選択回路SEL1の出力ノードはサブカウンタ32の入力ノードCNT_INに接続されている。選択回路SEL1は、選択信号sel1に応じて、信号P_PULSE及び基準信号のうちのいずれか一方を選択し、選択した信号をサブカウンタ32の入力ノードCNT_INに入力する。

30

【0036】

サブカウンタ32は、2つの入力ノード（入力ノードCNT_IN、入力ノードRST）と、2つの出力ノード（出力ノードP_LASTBIT、出力ノードP_DATA）と、を有する。入力ノードCNT_INは、選択回路SEL1の出力ノードに接続されている。入力ノードRSTには、接続モード切替回路36からカウンタリセット信号res1が入力される。出力ノードP_LASTBITは、選択回路SEL2のノードdに接続されている。出力ノードP_DATAは、出力スイッチ38に接続されている。サブカウンタ32は、選択回路SEL1の出力信号及びカウンタリセット信号res1を受け、信号P_DATA_O[3:0]及び信号P_LASTBITを出力する。

【0037】

サブカウンタ32は、図5(a)に示すように、直列に接続された4つのT型フリップフロップTFF0、TFF1、TFF2、TFF3により構成され得る。サブカウンタ32の入力ノードCNT_INは、1段目のT型フリップフロップTFF0の入力ノードに接続されている。サブカウンタ32の入力ノードRSTは、T型フリップフロップTFF0、TFF1、TFF2、TFF3の各々のリセットノードに接続されている。信号P_DATA[3:0]は、T型フリップフロップTFF0の出力Qを最下位ビット、T型フリップフロップTFF3の出力Qを最上位ビットとする4ビットのデジタル信号である。信号P_LASTBITは、T型フリップフロップTFF3の出力Qに対応する1ビットのデジタル信号である。

40

【0038】

50

選択回路SEL2は、3つの入力ノード（ノードc、ノードd及びノードe）と1つの出力ノードとを有する。選択回路SEL2の制御ノードには、接続モード切替回路36から選択信号sel2が入力される。ノードcには信号P_PULSEが入力される。ノードdには信号P_LASTBITが入力される。ノードeには基準信号（Lowレベル）が入力される。選択回路SEL2の出力ノードはサブカウンタ34の入力ノードCNT_INに接続されている。選択回路SEL2は、選択信号sel2に応じて、信号P_PULSE、信号P_LASTBIT及び基準信号のうちのいずれか1つを選択し、選択した信号をサブカウンタ34の入力ノードCNT_INに入力する。

【0039】

サブカウンタ34は、2つの入力ノード（入力ノードCNT_IN、入力ノードRST）と、1つの出力ノード（出力ノードP_DATA）と、を有する。入力ノードCNT_INは、選択回路SEL2の出力ノードに接続されている。入力ノードRSTには、接続モード切替回路36からカウンタリセット信号res2が入力される。出力ノードP_DATAは、出力スイッチ38に接続されている。サブカウンタ34は、選択回路SEL2の出力信号及びカウンタリセット信号res2を受け、信号P_DATA_O[7:4]を出力する。

【0040】

サブカウンタ34は、図5（b）に示すように、直列に接続された4つのT型フリップフロップTFF4、TFF5、TFF6、TFF7により構成され得る。サブカウンタ34の入力ノードCNT_INは、1段目のT型フリップフロップTFF4の入力ノードに接続されている。サブカウンタ34の入力ノードRSTは、T型フリップフロップTFF4、TFF5、TFF6、TFF7の各々のリセットノードに接続されている。信号P_DATA[7:4]は、T型フリップフロップTFF4の出力Qを最下位ビット、T型フリップフロップTFF7の出力Qを最上位ビットとする4ビットのデジタル信号である。

【0041】

出力スイッチ38は、サブカウンタ32から出力される信号P_DATA_O[3:0]を下位4ビット、サブカウンタ34から出力される信号P_DATA_O[7:4]を上位4ビットとする信号P_DATA_O[7:0]の出力を制御するスイッチである。出力スイッチ38は、水平選択回路50から供給される制御信号s_readのレベルに応じて接続状態が切り替わるスイッチである。例えば、出力スイッチ38は、制御信号s_readがHighレベルのときにオン（接続状態）となり、制御信号s_readがLowレベルのときにオフ（非接続状態）となる。

【0042】

なお、本実施形態では、サブカウンタ32、34をT型フリップフロップにより構成しているが、同様の機能を満たすことができればサブカウンタ32、34の構成はこれに限定されるものではない。また、本実施形態ではサブカウンタ32、34のビット数を4ビットとしているが、サブカウンタ32、34のビット数はこの限りではなく、例えば、2ビットでもよいし、8ビットでもよい。

【0043】

また、本実施形態ではサブカウンタ32の出力データを下位4ビット、サブカウンタ34の出力データを上位4ビットにアサインして信号P_DATA_O[7:0]を生成しているが、信号P_DATA_O[7:0]の構成はこれに限定されるものではない。例えば、サブカウンタ32の出力データを上位4ビット、サブカウンタ34の出力データを下位4ビットにアサインして信号P_DATA_O[7:0]を生成してもよい。

【0044】

本実施形態の光電変換装置100は、1枚の基板に形成してもよいし、複数の基板を積層した積層型の光電変換装置として構成してもよい。後者の場合、例えば図6に示すように、センサ基板110と回路基板120とを積層して電氣的に接続した積層型の光電変換装置として構成可能である。センサ基板110には、画素12の構成要素のうち少なくとも光電変換素子PDを配置することができる。また、回路基板120には、画素12の構

10

20

30

40

50

成要素のうち、クエンチ素子 22 と、波形整形部 24 と、パルス計数部 30 とを配置することができる。光電変換素子 PD とクエンチ素子 22、波形整形部 24 及びパルス計数部 30 とは、画素 12 毎に設けられた接続配線を介して電氣的に接続される。また、回路基板 120 には、垂直選択回路 40、水平選択回路 50、レジスタブロック 60、信号処理回路 70、出力回路 80、駆動制御回路 90 等を更に配置することができる。

【0045】

各画素 12 の光電変換素子 PD とクエンチ素子 22、波形整形部 24 及びパルス計数部 30 とは、平面視において重なるようにセンサ基板 110 と回路基板 120 とに設けられ得る。垂直選択回路 40、水平選択回路 50、レジスタブロック 60、信号処理回路 70、出力回路 80、駆動制御回路 90 は、複数の画素 12 により構成される画素領域 10 の周囲に配置することができる。なお、ここでの「平面視」とは、センサ基板 110 の面に対して垂直な方向から視ることを指す。

10

【0046】

積層型の光電変換装置 100 を構成することにより、素子の集積度を上げ、高機能化を図ることができる。特に、光電変換素子 PD とクエンチ素子 22、波形整形部 24 及びパルス計数部 30 とを別々の基板に配置することで、光電変換素子 PD の受光面積を犠牲にすることなく光電変換素子 PD を高密度で配置することができ、光子検知効率を向上することができる。

【0047】

なお、光電変換装置 100 を構成する基板の数は 2 枚に限定されるものではなく、3 枚以上の基板を積層して光電変換装置 100 を構成するようにしてもよい。

20

【0048】

また、図 6 ではセンサ基板 110 及び回路基板 120 としてダイシングされたチップを想定しているが、センサ基板 110 及び回路基板 120 はチップに限定されるものではない。例えば、センサ基板 110 及び回路基板 120 の各々はウェーハであってもよい。また、センサ基板 110 及び回路基板 120 は、ウェーハ状態で積層した後にダイシングしてもよいし、各々をチップ化した後に積層・接合してもよい。

【0049】

本実施形態による光電変換装置の上記構成によれば、カウンタの接続モードの切り替えによって種々の計数結果を得ることが可能である。以下、本実施形態の回路構成によって実現可能なカウンタの接続モードについて、第 1 乃至第 4 のカウンタ接続モードを例に挙げて説明する。

30

【0050】

まず、第 1 のカウンタ接続モードについて説明する。第 1 のカウンタ接続モードは、選択信号 sel1 をノード a に設定し、選択信号 sel2 をノード d に設定することで、2 つの 4 ビットサブカウンタ 32、34 を直列に接続し、通常の 8 ビットのカウントとして動作するモードである。この接続モードは、8 ビット分のパルス計数が可能な動作モードであり、例えばダイナミックレンジが必要な高照度のシーンにおいて有効である。

【0051】

次に、第 2 のカウンタ接続モードについて説明する。第 2 のカウンタ接続モードは、選択信号 sel1 をノード a に設定し、選択信号 sel2 を e に設定することで、サブカウンタ 32 の入力を波形整形部 24 に接続し、サブカウンタ 34 の入力を Low レベルに接続するモードである。この接続モードでは、サブカウンタ 32 で波形整形部 24 の出力パルスをカウントし、サブカウンタ 34 はそれまでのカウント値を保持する。すなわち、サブカウンタ 32 から出力される下位 4 ビットの信号 P_DATA_O [3:0] は、選択信号 sel1、sel2 を変更した後のカウント値を示す。また、サブカウンタ 34 から出力される上位 4 ビットの信号 P_DATA_O [7:4] は、選択信号 sel1、sel2 を変更する前のカウント値を示す。

40

【0052】

次に、第 3 のカウンタ接続モードについて説明する。第 3 のカウンタ接続モードは、選

50

択信号 $sel1$ をノード b に設定し、選択信号 $sel2$ をノード c に設定することで、サブカウンタ 34 の入力を波形整形部 24 に接続し、サブカウンタ 32 の入力を Low レベルに接続するモードである。この接続モードでは、サブカウンタ 34 で波形整形部 24 の出力パルスをカウントし、サブカウンタ 32 はそれまでのカウント値を保持する。すなわち、サブカウンタ 34 から出力される上位 4 ビットの信号 $P_DATA_O[7:4]$ は、選択信号 $sel1$, $sel2$ を変更した後のカウント値を示す。また、サブカウンタ 32 から出力される下位 4 ビットの信号 $P_DATA_O[3:0]$ は、選択信号 $sel1$, $sel2$ を変更する前のカウント値を示す。

【0053】

次に、第 4 のカウンタ接続モードについて説明する。第 4 のカウンタ接続モードは、選択信号 $sel1$ をノード a に設定し、選択信号 $sel2$ をノード c に設定することで、サブカウンタ 32 , 34 の入力を共に波形整形部 24 に接続するモードである。この接続モードでは、サブカウンタ 32 , 34 は並列して波形整形部 24 の出力パルスをカウントする。サブカウンタ 32 から出力される下位 4 ビットの信号 $P_DATA_O[3:0]$ 及びサブカウンタ 34 から出力される上位 4 ビットの信号 $P_DATA_O[7:4]$ は、同じカウント値を出力することになる。

【0054】

第 1 乃至第 4 のカウンタ接続モードは、動的にモードを切り替えることで様々な効果を実現することが可能となる。以下、カウンタ接続モードの動的切り替えを使用した光電変換装置 100 の動作モードについて、第 1 乃至第 3 の動作モードを例に挙げて説明する。

【0055】

まず、本実施形態による光電変換装置の第 1 の動作モードについて、図 7 を用いて説明する。図 7 は、本実施形態による光電変換装置の第 1 の動作モードを示すタイミング図である。第 1 の動作モードは、一般的なフotonカウンティングと同様の動作を意図している。図 7 には、垂直同期信号 s_vsync 、制御信号 s_read 及びカウンタリセット信号 $res1$, $res2$ の波形、選択信号 $sel1$, $sel2$ の値及び信号 $P_DATA_O[7:0]$ の値を示している。垂直同期信号 s_vsync は、1 フレームの動作に同期した内部同期信号である。ここでは、垂直同期信号 s_vsync が $High$ レベルから Low レベルに遷移するタイミングが、前のフレームの終了タイミングであり、次のフレームの開始タイミングを示すものとする。

【0056】

時刻 t_0 において、垂直同期信号 s_vsync が $High$ レベルから Low レベルに遷移し、第 n フレームの動作が開始される。パルス計数部 30 の接続モード切替回路 36 は、垂直同期信号 s_vsync 及び第 1 の動作モードを示す動作モード設定信号 cnt_mode に応じて、選択信号 $sel1$, $sel2$ をノード a , d にそれぞれ設定する（第 1 のカウンタ接続モード）。これにより、サブカウンタ 32 , 34 は直列に接続され、1 つの 8 ビットカウンタとして動作する。

【0057】

時刻 t_0 から時刻 t_1 までの期間は、第 n フレームにおける光電変換素子 PD の露光期間（パルスカウント期間）である。露光期間の間、波形整形部 24 は、光電変換素子 PD への光子の入射に応じた光子検知パルス信号（信号 P_PULSE ）を出力する。サブカウンタ 32 , 34 は、信号 P_PULSE に重畳するパルスの数をカウントする。

【0058】

時刻 t_1 において、水平選択回路 50 から制御線 16 を介してパルス計数部 30 の出力スイッチ 38 に供給される制御信号 s_read が Low レベルから $High$ レベルに遷移する。これにより、出力スイッチ 38 がオンになり、画素信号出力線 20 に、サブカウンタ 32 の出力を下位 4 ビット、サブカウンタ 34 の出力を上位 4 ビットとする 8 ビットのカウント値を示す信号 $P_DATA_O[7:0]$ が出力される。

【0059】

信号 $P_DATA_O[7:0]$ を信号処理回路 70 に出力した後の時刻 t_2 において

10

20

30

40

50

、接続モード切替回路 36 からサブカウンタ 32, 34 に供給されるカウンタリセット信号 $res1$, $res2$ が Low レベルから $High$ レベルに遷移する。これにより、サブカウンタ 32, 34 のカウント値がリセットされ、信号 $P_DATA_O[7:0]$ の値が 0 になる。

【0060】

この後、垂直同期信号 s_vsync が $High$ レベルから Low レベルに遷移し、第 n フレームの動作が終了し、第 $(n+1)$ フレームの動作が開始される。以後、光電変換装置 100 の動作モードが切り替わるまで同様の処理を繰り返す。

【0061】

次に、本実施形態による光電変換装置の第 2 の動作モードについて、図 8 を用いて説明する。図 8 は、本実施形態による光電変換装置の第 2 の動作モードを示すタイミング図である。図 8 には、垂直同期信号 s_vsync 、制御信号 s_read 及びカウンタリセット信号 $res1$, $res2$ の波形、選択信号 $sel1$, $sel2$ の値及び信号 $P_DATA_O[3:0]$, $P_DATA_O[7:4]$ の値を示している。垂直同期信号 s_vsync は、1 フレームの動作に同期した内部同期信号である。

【0062】

時刻 t_0 において、垂直同期信号 s_vsync が $High$ レベルから Low レベルに遷移し、第 n フレームの動作が開始される。パルス計数部 30 の接続モード切替回路 36 は、垂直同期信号 s_vsync 及び第 2 の動作モードを示す動作モード設定信号 cnt_mode に応じて、選択信号 $sel1$, $sel2$ をノード a , e にそれぞれ設定する（第 2 のカウンタ接続モード）。これにより、サブカウンタ 32 は信号 P_PULSE に重畳するパルスの数をカウントする 4 ビットカウンタとして動作し、サブカウンタ 34 は次にカウンタリセット信号 $res2$ が $High$ レベルになるまで第 $(n-1)$ フレームの値を保持する。

【0063】

続く時刻 t_1 において、接続モード切替回路 36 からサブカウンタ 32 に供給されるカウンタリセット信号 $res1$ が Low レベルから $High$ レベルに遷移する。これにより、サブカウンタ 32 のカウント値がリセットされ、信号 $P_DATA_O[3:0]$ の値が 0 になる。時刻 t_1 から、次に制御信号 s_read が $High$ レベルになる時刻 t_2 までの期間が、第 n フレームにおける光電変換素子 PD の露光期間（パルスカウント期間）である。このとき、カウンタリセット信号 $res2$ は Low レベルのままであり、信号 $P_DATA_O[7:4]$ の値は第 $(n-1)$ フレームの値のままである。

【0064】

続く時刻 t_2 において、水平選択回路 50 から制御線 16 を介してパルス計数部 30 の出力スイッチ 38 に供給される制御信号 s_read が Low レベルから $High$ レベルに遷移する。これにより、出力スイッチ 38 がオンになり、画素信号出力線 20 に、サブカウンタ 32 の出力を下位 4 ビット、サブカウンタ 34 の出力を上位 4 ビットとする信号 $P_DATA_O[7:0]$ が出力される。この信号 $P_DATA_O[7:0]$ は、下位 4 ビットの値が第 n フレームのカウント値で構成され、上位 4 ビットの値が第 $(n-1)$ フレームのカウント値で構成される。つまり、2 フレーム分のデータを同時に得ることができる。

【0065】

同じく時刻 t_2 において、垂直同期信号 s_vsync が $High$ レベルから Low レベルに遷移し、第 $(n+1)$ フレームの動作が開始される。パルス計数部 30 の接続モード切替回路 36 は、垂直同期信号 s_vsync 及び第 2 の動作モードを示す動作モード設定信号 cnt_mode に応じて、選択信号 $sel1$, $sel2$ をノード b , c にそれぞれ設定する（第 3 のカウンタ接続モード）。これにより、サブカウンタ 34 は信号 P_PULSE に重畳するパルスの数をカウントする 4 ビットカウンタとして動作し、サブカウンタ 32 は次にカウンタリセット信号 $res1$ が $High$ レベルになるまで第 n フレームの値を保持する。

10

20

30

40

50

【0066】

続く時刻 t_3 において、接続モード切替回路 36 からサブカウンタ 34 に供給されるカウンタリセット信号 res_2 が Low レベルから High レベルに遷移する。これにより、サブカウンタ 34 のカウント値がリセットされ、信号 $P_DATA_O[7:4]$ の値が 0 になる。時刻 t_3 から、次に制御信号 s_read が High レベルになる時刻 t_4 までの期間が、第 $(n+1)$ フレームにおける光電変換素子 PD の露光期間（パルスカウント期間）である。このとき、カウンタリセット信号 res_1 は Low レベルのままであり、信号 $P_DATA_O[3:0]$ の値は第 n フレームの値のままである。

【0067】

続く時刻 t_4 において、水平選択回路 50 から制御線 16 を介してパルス計数部 30 の出力スイッチ 38 に供給される制御信号 s_read が Low レベルから High レベルに遷移する。これにより、出力スイッチ 38 がオンになり、画素信号出力線 20 に、サブカウンタ 32 の出力を下位 4 ビット、サブカウンタ 34 の出力を上位 4 ビットとする信号 $P_DATA_O[7:0]$ が出力される。この信号 $P_DATA_O[7:0]$ は、下位 4 ビットの値が第 n フレームのカウント値で構成され、上位 4 ビットの値が第 $(n+1)$ フレームのカウント値で構成される。つまり、2 フレーム分のデータを同時に得ることができる。

【0068】

同じく時刻 t_4 において、垂直同期信号 s_vsync が High レベルから Low レベルに遷移し、第 $(n+2)$ フレームの動作が開始される。パルス計数部 30 の接続モード切替回路 36 は、垂直同期信号 s_vsync 及び第 2 の動作モードを示す動作モード設定信号 cnt_mode に応じて、選択信号 sel_1 , sel_2 をノード a, e にそれぞれ設定する（第 2 のカウンタ接続モード）。これにより、サブカウンタ 32 は信号 P_PULSE に重畳するパルスの数をカウントする 4 ビットカウンタとして動作し、サブカウンタ 34 は次にカウンタリセット信号 res_1 が High レベルになるまで第 $(n+1)$ フレームの値を保持する。

【0069】

続く時刻 t_5 において、接続モード切替回路 36 からサブカウンタ 32 に供給されるカウンタリセット信号 res_1 が Low レベルから High レベルに遷移する。これにより、サブカウンタ 32 のカウント値がリセットされ、信号 $P_DATA_O[3:0]$ の値が 0 になる。時刻 t_5 から、次に制御信号 s_read が High レベルになる時刻 t_6 までの期間が、第 $(n+2)$ フレームにおける光電変換素子 PD の露光期間（パルスカウント期間）である。このとき、カウンタリセット信号 res_2 は Low レベルのままであり、信号 $P_DATA_O[7:4]$ の値は第 $(n+1)$ フレームの値のままである。

【0070】

続く時刻 t_6 において、水平選択回路 50 から制御線 16 を介してパルス計数部 30 の出力スイッチ 38 に供給される制御信号 s_read が Low レベルから High レベルに遷移する。これにより、出力スイッチ 38 がオンになり、画素信号出力線 20 に、サブカウンタ 32 の出力を下位 4 ビット、サブカウンタ 34 の出力を上位 4 ビットとする信号 $P_DATA_O[7:0]$ が出力される。この信号 $P_DATA_O[7:0]$ は、下位 4 ビットの値が第 $(n+2)$ フレームのカウント値で構成され、上位 4 ビットの値が第 $(n+1)$ フレームのカウント値で構成される。つまり、2 フレーム分のデータを同時に得ることができる。

【0071】

第 2 の動作モードは、第 1 の動作モードの場合と比較してカウンタの上限カウント値が少なくなるため、例えば低照度撮影など、フォトンカウントが少ないシーンへの適用が想定されるが、2 フレーム分の画像データを同時に出力できるというメリットがある。なお、上記説明では 2 つのサブカウンタ 32, 34 を用いた構成例を示したが、サブカウンタの数は 3 つ以上であってもよい。複数のサブカウンタを設けることで、サブカウンタの数に対応した複数フレーム分の画像データを 1 フレームごとに同時に出力することが可能と

10

20

30

40

50

なる。

【0072】

複数フレーム分の画像データを1フレームごとに同時に出力できるように光電変換装置を構成することは、システム全体の物理的規模の縮小や消費電力の低減を図るうえで有用である。以下に、複数フレーム分の画像データを1フレームごとに同時に出力することのメリットについて、図9及び図10を用いて説明する。図9及び図10は、2フレーム分の画像データの平均化処理手順を説明する図である。

【0073】

図9は、1フレームごとに1フレーム分の画像データを出力する通常の光電変換装置を使用したシステムにおける処理手順を示す図である。光電変換装置からは、1フレームにつき、対応する1フレーム分の画像データが出力される。第nフレームの画像データと、次の第(n+1)フレームの画像データとの平均化処理をする場合、第nフレームの画像データを一旦外部のフレームメモリへ格納し、第(n+1)フレームの動作の際にフレームメモリから画像データを取り出す。そして、フレームメモリから読み出した第nフレームの画像データと、光電変換装置から出力される第(n+1)フレームの画像データとの平均化処理を行い、2フレーム分のフレーム平均を実行する。なお、フレーム平均は、例えばノイズリダクションの処理を行うときに適用され得る。近年は光電変換装置の高画素化、すなわち高データ容量化が進み、ISPやASIC内のハードウェアリソースによってフレーム画像のデータを保持することが困難になっている。そのため、リアルタイム画像処理を行うシステムでは外部のフレームメモリとして使用するDRAM等の追加素子が必要となる。

【0074】

図10は、1フレームごとに2フレーム分の画像データを出力する本実施形態の光電変換装置を使用したシステムにおける処理手順を示す図である。本実施形態による光電変換装置の第2の動作モードでは、1フレームの画像出力期間に2フレーム分の画像データを出力することができる。1フレームの画像出力期間において出力される各々の画素12の8ビットの画素データには、上位4ビットに第nフレームの画素データが、下位4ビットに第(n-1)フレームの画素データが格納されている。光電変換装置の後段に配されたISPやASIC等の処理装置は、この2フレーム分の画像データを同時に受け取ることが可能であるため、前フレームのデータを蓄積するための外部素子を必要としない。これにより、システム全体の物理的な規模や消費電力を抑え、よりコンパクトなシステムを構築することが可能である。

【0075】

上述の第1の動作モード及び第2の動作モードは、後段のISP、ASIC、FPGAなどの処理装置からの要求に応じて、撮影シーンに合わせて動的に設定することが可能である。例えば、カウント値が多くダイナミックレンジの必要な高照度のシーンでは第1の動作モードで駆動し、低照度のシーンになった際には後段システムでこれを検出し、第2の動作モードに移行するという動作が可能である。

【0076】

次に、本実施形態による光電変換装置の第3の動作モードについて、図11を用いて説明する。図11は、本実施形態による光電変換装置の第3の動作モードを示すタイミング図である。図11には、垂直同期信号s_vsync、水平同期信号s_hsync、制御信号s_read及びカウンタリセット信号res1, res2の波形を示している。また、図11には、選択信号sel1, sel2の値及び信号P_DATA_O[3:0], P_DATA_O[7:4]の値を示している。

【0077】

第1の動作モード及び第2の動作モードではフレーム単位で動作モードを切り替えているが、動作モードは1フレームの中で切り替えてもよい。第3の動作モードでは、水平同期信号s_hsyncをもとにカウンタ接続モードを制御する。

【0078】

時刻 t_0 において、垂直同期信号 s_vsync が High レベルから Low レベルに遷移し、第 n フレームの動作が開始される。接続モード切替回路 36 は、垂直同期信号 s_vsync 、水平同期信号 s_hsync 及び第 3 の動作モードを示す動作モード設定信号 cnt_mode に応じて、選択信号 $sel1$, $sel2$ をノード a , c にそれぞれ設定する（第 4 のカウンタ接続モード）。これにより、サブカウンタ 32 及びサブカウンタ 34 の各々は、信号 P_PULSE に重畳するパルス数をカウントする 4 ビットカウンタとして動作する。

【0079】

続く時刻 t_1 において、接続モード切替回路 36 からサブカウンタ 32 に供給されるカウンタリセット信号 $res1$, $res2$ が Low レベルから High レベルに遷移する。これにより、サブカウンタ 32, 34 のカウント値がリセットされ、信号 $P_DATA_O[3:0]$, $P_DATA_O[7:4]$ の値が 0 になる。時刻 t_1 から、次に選択信号 $sel2$ の設定がノード e に切り替わる時刻 t_2 までの期間が、第 n フレームにおける光電変換素子 PD の第 1 露光期間（パルスカウント期間）である。第 1 露光期間におけるパルスの計数はサブカウンタ 34 により行われる。時刻 t_1 から、次に制御信号 s_read が High レベルになる時刻 t_3 までの期間が、第 n フレームにおける光電変換素子 PD の第 2 露光期間（パルスカウント期間）である。第 1 露光期間におけるパルスの計数はサブカウンタ 32 により行われる。

【0080】

続く時刻 t_2 において、接続モード切替回路 36 は、垂直同期信号 s_vsync 、水平同期信号 s_hsync 及び第 3 の動作モードを示す動作モード設定信号 cnt_mode に応じて、選択信号 $sel2$ をノード e に設定する（第 2 のカウンタ接続モード）。これにより、サブカウンタ 34 は、次にカウンタリセット信号 $res2$ が High レベルになるまで、時刻 t_2 までのカウント値を保持する。このとき、選択信号 $sel1$ の設定はノード a のままであり、サブカウンタ 32 は引き続きカウントを継続する。選択信号 $sel2$ を切り替えるタイミング（時刻 t_2 ）は、1 フレーム内の任意の時点に設定することができる。選択信号 $sel2$ の切り替えは、通常、水平同期信号 s_hsync に同期して行われる。例えば、選択信号 $sel2$ を切り替えるタイミングは、フレームの開始後、水平同期信号 s_hsync が n 回目に High レベルから Low レベルに遷移するタイミングとして設定することができる（ n は 1 以上の整数）。

【0081】

続く時刻 t_3 において、水平選択回路 50 から制御線 16 を介してパルス計数部 30 の出力スイッチ 38 に供給される制御信号 s_read が Low レベルから High レベルに遷移する。これにより、出力スイッチ 38 がオンになり、画素信号出力線 20 に、サブカウンタ 32 の出力を下位 4 ビット、サブカウンタ 34 の出力を上位 4 ビットとする信号 $P_DATA_O[7:0]$ が出力される。この信号 $P_DATA_O[7:0]$ は、下位 4 ビットの値が時刻 t_1 から時刻 t_3 の間のカウント値で構成され、上位 4 ビットの値が時刻 t_1 から時刻 t_2 の間のカウント値で構成される。つまり、2 フレーム分のデータを同時に得ることができる。

【0082】

同じく時刻 t_3 において、垂直同期信号 s_vsync が High レベルから Low レベルに遷移し、第 $(n+1)$ フレームの動作が開始される。パルス計数部 30 の接続モード切替回路 36 は、垂直同期信号 s_vsync 、水平同期信号 s_hsync 及び第 2 の動作モードを示す動作モード設定信号 cnt_mode に応じて、選択信号 $sel2$ をノード c に設定する（第 4 のカウンタ接続モード）。これにより、サブカウンタ 32 及びサブカウンタ 34 の各々は、信号 P_PULSE に重畳するパルス数をカウントする 4 ビットカウンタとして動作する。

【0083】

続く時刻 t_4 において、接続モード切替回路 36 からサブカウンタ 32 に供給されるカウンタリセット信号 $res1$, $res2$ が Low レベルから High レベルに遷移する。

これにより、サブカウンタ32, 34のカウンタ値がリセットされ、信号P__DATA__O[3:0], P__DATA__O[7:4]の値が0になる。時刻t4から、次に選択信号sel2の設定がノードeに切り替わる時刻t5までの期間が、第(n+1)フレームにおける光電変換素子PDの第1露光期間(パルスカウンタ期間)である。第1露光期間におけるパルスの計数はサブカウンタ34により行われる。時刻t4から、次に制御信号s__readがHighレベルになる時刻t6までの期間が、第(n+1)フレームにおける光電変換素子PDの第2露光期間(パルスカウンタ期間)である。第1露光期間におけるパルスの計数はサブカウンタ32により行われる。

【0084】

続く時刻t6から開始する第(n+2)フレーム以降の各フレームの動作も、第nフレーム及び第(n+1)フレームと同様である。

【0085】

このように、第3の動作モードでは、信号P__DATA__O[7:0]の上位4ビットには短いパルスカウンタ期間(第1露光期間)のデータが格納され、下位4ビットには長いパルスカウンタ期間(第2露光期間)のデータが格納される。このように、1フレームの間に第2のカウント接続モードと第4のカウント接続モードとを切り替えることで、パルスカウンタ期間の異なる2種類の画像データを出力することが可能である。

【0086】

第3の動作モードによれば、例えば後段システムにパルスカウンタ期間の異なる2種類の画像データを同時に出力し、例えば飽和していないデータを選択するなど、画像処理に適した条件のデータを選別することが可能である。なお、本実施形態ではサブカウンタ32, 34を同じビット数で構成しているが、例えば一方は4ビットでもう一方は8ビットなど、サブカウンタ32, 34を異なるビット数で構成してもよい。

【0087】

このように、本実施形態によれば、画素の回路規模を小さく抑えつつ、複数フレームのデータや、単一又は複数フレームのデータを処理した結果を画素から出力することが可能となる。

【0088】

〔第2実施形態〕

本発明の第2実施形態による光電変換装置について、図12及び図13を用いて説明する。図12は、本実施形態による光電変換装置における画素の構成例を示すブロック図である。図13は、本実施形態による光電変換装置における信号処理部の構成例を示すブロック図である。本実施形態では、本実施形態の光電変換装置が第1実施形態の光電変換装置と異なる部分を中心に説明し、第1実施形態の光電変換装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。

【0089】

本実施形態による光電変換装置は、画素12の構成が異なるほかは第1実施形態による光電変換装置と同様である。すなわち、本実施形態の画素12は、図12に示すように、信号処理部26を更に有している。信号処理部26は、パルス計数部30と画素信号出力線20との間に接続されている。信号処理部26は、パルス計数部30から出力される信号P__DATA__Oに対し、加算処理や減算処理等の演算処理やビット分割等の信号処理を行い、処理後の信号P__DATA__PROC__Oを画素信号出力線20に出力する。画素12内で加算処理等の信号処理を行うことで、光電変換装置からフレーム平均などの処理を施した信号の出力が可能となり、ISP、ASIC、FPGA等の後段システムにおける負荷を軽減することが可能である。

【0090】

図13(a)は、信号処理部26において2フレームの画像データを加算する処理を行う場合の信号処理部26の構成例を示している。信号処理部26は、信号P__DATA__O[7:0]の下位4ビットの信号P__DATA__O[3:0]と上位4ビットの信号P__DATA__O[7:4]とを加算した信号P__DATA__PROC__O[4:0]を出

10

20

30

40

50

力することができる。信号 $P_DATA_O[3:0]$, $P_DATA_O[7:4]$ に対して重み付けを行ったうえで加算処理を行ってもよい。

【0091】

図13(b)は、信号処理部26において画像データの減算処理を行う場合の信号処理部26の構成例を示している。信号処理部26は、信号 $P_DATA_O[7:0]$ の下位4ビットの信号 $P_DATA_O[3:0]$ から上位4ビットの信号 $P_DATA_O[7:4]$ を減算した信号 $P_DATA_PROC_O[4:0]$ を出力することができる。信号 $P_DATA_O[3:0]$, $P_DATA_O[7:4]$ に対して重み付けを行ったうえで減算処理を行ってもよい。画素12に減算回路を搭載することで、フレーム間の微分計算を行うことが可能となり、例えば動体検出などに役立てることが可能である。

10

【0092】

なお、上記の信号処理は一例であり、信号処理部26がその他の信号処理回路を備えていてもよい。また、画素12は、画像データの値に応じて信号処理の実施、非実施を切り替える回路を更に備えていてもよい。

【0093】

このように、本実施形態によれば、画素の回路規模を小さく抑えつつ、複数フレームのデータや、単一又は複数フレームのデータを処理した結果を画素から出力することが可能となる。

【0094】

20

〔第3実施形態〕

本発明の第3実施形態による光電変換装置について、図14及び図15を用いて説明する。図14は、本実施形態による光電変換装置における画素の構成例を示すブロック図である。図15は、本実施形態による光電変換装置の駆動例を示すタイミング図である。本実施形態では、本実施形態の光電変換装置が第1実施形態の光電変換装置と異なる部分を中心に説明し、第1実施形態の光電変換装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。

【0095】

本実施形態による光電変換装置は、画素12の構成が異なるほかは第1実施形態による光電変換装置と同様である。すなわち、本実施形態の画素12は、図14に示すように、画素レベル判定部28を更に有している。画素レベル判定部28は、パルス計数部30から受信した信号 P_DATA_O に基づいて動作モード設定信号 cnt_mode を生成し、生成した動作モード設定信号 cnt_mode をパルス計数部30に出力する。すなわち、パルス計数部30（接続モード切替回路36）に供給される動作モード設定信号 cnt_mode は、レジスタブロック60からではなく、画素レベル判定部28から出力される。すなわち、第1実施形態では動作モードの切り替えを後段システムで判断・指示していたのに対し、本実施形態では動作モードの切り替えを画素12内で判断・指示する。このように画素12を構成することで、後段システムの命令を受けずに動作モードの切り替えが可能である。

30

【0096】

40

画素レベル判定部28は、パルス計数部30の出力を画素12内でモニタし、フレーム毎にカウント値を確認する。そして、フレーム毎のカウント値に応じて光電変換装置の動作モードを切り替える。例えば、フレーム毎のカウント値が低い場合には、前述の第2の動作モードに切り替える。第2の動作モードは、カウント数の少ない低照度時に有効なモードである。また、フレーム毎のカウント値が高い場合には、前述の第1の動作モードに切り替える。第1の動作モードは、高照度時に有効な動作モードである。

【0097】

次に、本実施形態による光電変換装置の動作例について、図15を用いて説明する。図15には、垂直同期信号 s_vsync の波形、動作モード、信号 $P_DATA_O[7:0]$, $P_DATA_O[3:0]$ 及びカウント値 $comp_count$ の値を示して

50

いる。動作モードは、接続モード切替回路 36 に入力される動作モード設定信号 `cnt_mode` を表しており、「1」が第 1 の動作モードの設定信号に対応し、「2」が第 2 の動作モードの設定信号に対応している。カウント値 `comp_count` は、画素レベル判定部 28 内のコンパレータの出力が 1 になったフレームのカウント値を表している。

【0098】

時刻 t_0 において、光電変換装置は第 1 の動作モードで動作しているものとする。第 1 の動作モードで動作しているとき、画素レベル判定部 28 は、信号 `P_DATA_O` [7:0] をモニタし、信号 `P_DATA_OUT` [7:0] の値が所定値未満、例えば 16 未満であるかどうかを判定する。あるフレームで信号 `P_DATA_O` [7:0] の値が 16 未満であったとき、画素レベル判定部 28 内のコンパレータは 1 を出力し、それを 1 カウントとしてカウント値 `comp_count` をカウントアップする。この状態が所定の期間、例えば 4 フレーム続いたことを検出したとき、現在は低照度のシーンを撮影していると判断し、動作モードを第 2 の動作モードに切り替える。例えば図 15 の例では、時刻 t_0 から時刻 t_2 までの期間は低照度であり、信号 `P_DATA_O` [7:0] の値は 16 を下回っている。信号 `P_DATA_O` [7:0] の値が 16 未満であるフレームが 4 フレーム続いた時刻 t_1 において、画素レベル判定部 28 は動作モードを第 1 のモードから第 2 のモードに切り替える。

【0099】

第 2 の動作モードで動作しているとき、画素レベル判定部 28 は、パルス計数部 30 の出力の下位 4 ビットの信号 `P_DATA_O` [3:0] の値をモニタし、信号 `P_DATA_O` [3:0] の値が飽和、すなわち所定値以上であるかどうかを判定する。あるフレームで信号 `P_DATA_O` [3:0] の値が飽和しているとき、画素レベル判定部 28 内のコンパレータは 1 を出力し、それを 1 カウントとしてカウント値 `comp_count` をカウントアップする。この状態が所定の期間、例えば 4 フレーム続いたことを検出したとき、現在は高照度のシーンを撮影していると判断し、動作モードを第 1 の動作モードに切り替える。例えば図 15 の例では、時刻 t_2 以降の期間は高照度であり、信号 `P_DATA_O` [3:0] の値が飽和している。信号 `P_DATA_O` [3:0] の値が飽和しているフレームが 4 フレーム続いた時刻 t_3 において、画素レベル判定部 28 は動作モードを第 2 のモードから、広いダイナミックレンジで撮影可能な第 1 のモードに切り替える。

【0100】

このように、本実施形態によれば、画素 12 内の画素レベル判定部 28 において画素データの値を判定して動作モードを切り替えるので、後段処理系の負荷を下げつつ、画素毎に最適な動作モード設定をすることが可能である。

【0101】

なお、本実施形態では第 1 実施形態の光電変換装置に画素レベル判定部 28 を組み合わせた構成を説明したが、第 2 実施形態の光電変換装置に画素レベル判定部 28 を組み合わせてもよい。また、本実施形態では、低照度又は高照度の状態が 4 フレーム続いたことを動作モードの切り替えの条件としたが、動作モードの切り替えの条件は適宜変更が可能である。例えば、低照度又は高照度の状態が 5 フレーム以上の所定のフレーム数続いたことを動作モードの切り替えの条件としてもよい。

【0102】

〔第 4 実施形態〕

本発明の第 4 実施形態による光検出システムについて、図 16 を用いて説明する。図 16 は、本実施形態による光検出システムの概略構成を示すブロック図である。本実施形態では、第 1 乃至第 3 実施形態のいずれかに記載の光電変換装置 100 を適用した光検出センサについて説明する。

【0103】

上記第 1 乃至第 3 実施形態で述べた光電変換装置 100 は、種々の光検出システムに適用可能である。適用可能な光検出システムの例としては、デジタルスチルカメラ、デジタ

10

20

30

40

50

ルカムコーダ、監視カメラ、複写機、ファックス、携帯電話、車載カメラ、観測衛星などの撮像システムが挙げられる。また、レンズなどの光学系と撮像装置とを備えるカメラモジュールも、光検出システムに含まれる。図 16 には、これらのうちの一例として、デジタルスチルカメラのブロック図を例示している。

【0104】

図 16 に例示した光検出システム 200 は、光電変換装置 201、被写体の光学像を光電変換装置 201 に結像させるレンズ 202、レンズ 202 を通過する光量を可変にするための絞り 204、レンズ 202 の保護のためのバリア 206 を有する。レンズ 202 及び絞り 204 は、光電変換装置 201 に光を集光する光学系である。光電変換装置 201 は、第 1 乃至第 3 実施形態のいずれかで説明した光電変換装置 100 であって、レンズ 202 により結像された光学像を画像データに変換する。

10

【0105】

光検出システム 200 は、また、光電変換装置 201 より出力される出力信号の処理を行う信号処理部 208 を有する。信号処理部 208 は、光電変換装置 201 が出力するデジタル信号から画像データの生成を行う。また、信号処理部 208 は必要に応じて各種の補正、圧縮を行って画像データを出力する動作を行う。光電変換装置 201 は、信号処理部 208 で処理されるデジタル信号を生成する A/D 変換部を備え得る。A/D 変換部は、光電変換装置 201 の光子検知素子が形成された半導体層（半導体基板）に形成されていてもよいし、光電変換装置 201 の光子検知素子が形成された半導体層とは別の半導体基板に形成されていてもよい。また、信号処理部 208 が光電変換装置 201 と同一の半導体

20

【0106】

光検出システム 200 は、更に、画像データを一時的に記憶するためのバッファメモリ部 210、外部コンピュータ等と通信するための外部インターフェース部（外部 I/F 部）212 を有する。更に光検出システム 200 は、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体 214、記録媒体 214 に記録又は読み出しを行うための記録媒体制御インターフェース部（記録媒体制御 I/F 部）216 を有する。なお、記録媒体 214 は、光検出システム 200 に内蔵されていてもよく、着脱可能であってもよい。また、記録媒体制御 I/F 部 216 と記録媒体 214 との間の通信や外部 I/F 部 212 からの通信は無線によってなされてもよい。

30

【0107】

更に光検出システム 200 は、各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部 218、光電変換装置 201 と信号処理部 208 に各種タイミング信号を出力するタイミング発生部 220 を有する。ここで、タイミング信号などは外部から入力されてもよく、光検出システム 200 は少なくとも光電変換装置 201 と、光電変換装置 201 から出力された出力信号を処理する信号処理部 208 とを有すればよい。タイミング発生部 220 は、光電変換装置 201 に搭載されていてもよい。また、全体制御・演算部 218 及びタイミング発生部 220 は、光電変換装置 201 の制御機能の一部又は全部を実施するように構成されていてもよい。

【0108】

光電変換装置 201 は、撮像信号を信号処理部 208 に出力する。信号処理部 208 は、光電変換装置 201 から出力される撮像信号に対して所定の信号処理を実施し、画像データを出力する。信号処理部 208 は、撮像信号を用いて、画像を生成する。信号処理部 208 は、光電変換装置 201 から出力される信号に対して測距演算を行うように構成されていてもよい。

40

【0109】

このように、本実施形態によれば、第 1 乃至第 3 実施形態の光電変換装置を用いて光検出システムを構成することにより、より良質の画像が取得可能な光検出システムを実現することができる。

【0110】

50

〔第 5 実施形態〕

本発明の第 5 実施形態による距離画像センサについて、図 17 を用いて説明する。図 17 は、本実施形態による距離画像センサの概略構成を示すブロック図である。本実施形態では、第 1 乃至第 3 実施形態のいずれかに記載の光電変換装置 100 を適用した光検出システムの一例として距離画像センサを説明する。

〔0111〕

本実施形態による距離画像センサ 300 は、図 17 に示すように、光学系 302 と、光電変換装置 304 と、画像処理回路 306 と、モニタ 308 と、メモリ 310 と、を含んで構成され得る。この距離画像センサ 300 は、光源装置 320 から被写体 330 に向かって照射され被写体 330 の表面で反射された光（変調光やパルス光）を受光し、被写体 330 までの距離に応じた距離画像を取得するものである。

10

〔0112〕

光学系 302 は、1 枚又は複数枚のレンズにより構成され、被写体 330 からの像光（入射光）を光電変換装置 304 の受光面（センサ部）に結像させる役割を有する。

〔0113〕

光電変換装置 304 は、第 1 乃至第 3 実施形態のいずれかで説明した光電変換装置 100 であって、被写体 330 からの像光に基づいて被写体 330 までの距離を示す距離信号を生成し、生成した距離信号を画像処理回路 306 へと供給する機能を備える。

〔0114〕

画像処理回路 306 は、光電変換装置 304 から供給された距離信号に基づいて距離画像を構築する画像処理を行う機能を備える。

20

〔0115〕

モニタ 308 は、画像処理回路 306 における画像処理によって得られた距離画像（画像データ）を表示する機能を備える。また、メモリ 310 は、画像処理回路 306 における画像処理によって得られた距離画像（画像データ）を記憶（記録）する機能を備える。

〔0116〕

このように、本実施形態によれば、第 1 乃至第 3 実施形態の光電変換装置を用いて距離画像センサを構成することにより、画素 12 の特性向上に相俟って、より正確な距離情報を含む距離画像を取得可能な距離画像センサを実現することができる。

〔0117〕

30

〔第 6 実施形態〕

本発明の第 6 実施形態による内視鏡手術システムについて、図 18 を用いて説明する。図 18 は、本実施形態による内視鏡手術システムの構成例を示す概略図である。本実施形態では、第 1 乃至第 3 実施形態のいずれかで説明した光電変換装置 100 を適用した光検出システムの一例として内視鏡手術システムを説明する。

〔0118〕

図 18 には、術者（医師）460 が、内視鏡手術システム 400 を用いて、患者ベッド 470 上の患者 472 に手術を行っている様子が図示されている。

〔0119〕

本実施形態の内視鏡手術システム 400 は、図 18 に示すように、内視鏡 410 と、術具 420 と、内視鏡下手術のための各種の装置が搭載されたカート 430 と、を含んで構成され得る。カート 430 には、CCU（カメラコントロールユニット：Camera Control Unit）432、光源装置 434、入力装置 436、処置具制御装置 438、表示装置 440 などが搭載され得る。

40

〔0120〕

内視鏡 410 は、先端から所定の長さの領域が患者 472 の体腔内に挿入される鏡筒 412 と、鏡筒 412 の基端に接続されるカメラヘッド 414 と、を含んで構成される。図 18 には、硬性の鏡筒 412 を有するいわゆる硬性鏡として構成される内視鏡 410 を図示しているが、内視鏡 410 は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。内視鏡 410 は、アーム 416 により移動可能な状態で保持されている。

50

【0121】

鏡筒412の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡410には光源装置434が接続されており、光源装置434によって生成された光が、鏡筒412の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者472の体腔内の観察対象に向かって照射される。なお、内視鏡410は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

【0122】

カメラヘッド414の内部には図示しない光学系及び光電変換装置が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該光電変換装置に集光される。当該光電変換装置は、観察光を光電変換し、観察光に対応する電気信号、すなわち観察像に対応する画像信号を生成する。当該光電変換装置としては、第1乃至第3実施形態のいずれかで説明した光電変換装置100を用いることができる。当該画像信号は、RAWデータとしてCCU432に送信される。

10

【0123】

CCU432は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡410及び表示装置440の動作を統括的に制御する。更に、CCU432は、カメラヘッド414から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

【0124】

表示装置440は、CCU432からの制御により、当該CCU432によって画像処理が施された画像信号に基づく画像を表示する。

20

【0125】

光源装置434は、例えばLED（Light Emitting Diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡410に供給する。

【0126】

入力装置436は、内視鏡手術システム400に対する入力インターフェースである。ユーザは、入力装置436を介して、内視鏡手術システム400に対して各種の情報の入力や指示入力を行うことができる。

【0127】

処置具制御装置438は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具450の駆動を制御する。

30

【0128】

内視鏡410に術部を撮影する際の照射光を供給する光源装置434は、例えばLED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置434において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド414の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

40

【0129】

また、光源装置434は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド414の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

【0130】

また、光源装置434は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用す

50

る。具体的には、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置４３４は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

【０１３１】

このように、本実施形態によれば、第１乃至第３実施形態の光電変換装置を用いて内視鏡手術システムを構成することにより、より良質の画像が取得可能な内視鏡手術システムを実現することができる。

【０１３２】

〔第７実施形態〕

本発明の第７実施形態による光検出システム及び移動体について、図１９乃至図２１を用いて説明する。図１９は、本実施形態による移動体の構成例を示す概略図である。図２０は、本実施形態による光検出システムの概略構成を示すブロック図である。図２１は、本実施形態による光検出システムの動作を示すフロー図である。本実施形態では、第１乃至第３実施形態のいずれかで説明した光電変換装置１００を適用した光検出システムとして、車載カメラへの適用例を示す。

【０１３３】

図１９は、本実施形態による移動体（車両システム）の構成例を示す模式図である。図１９には、第１乃至第３実施形態のいずれかで説明した光電変換装置を適用した光検出システムが組み込まれた車両システムの一例として、車両５００（自動車）の構成を示している。図１９（ａ）は車両５００の正面模式図であり、図１９（ｂ）は車両５００の平面模式図であり、図１９（ｃ）は車両５００の背面模式図である。車両５００は、正面に一对の光電変換装置５０２を備えている。ここで、光電変換装置５０２は、第１乃至第３実施形態のいずれかで説明した光電変換装置１００である。また、車両５００は、集積回路５０３、警報装置５１２及び主制御部５１３を備える。

【０１３４】

図２０は、車両５００に搭載された光検出システム５０１の構成例を示すブロック図である。光検出システム５０１は、光電変換装置５０２と、画像前処理部５１５と、集積回路５０３と、光学系５１４と、を含む。光電変換装置５０２は、第１乃至第３実施形態のいずれかで説明した光電変換装置１００である。光学系５１４は、光電変換装置５０２に被写体の光学像を結像する。光電変換装置５０２は、光学系５１４により結像された被写体の光学像を電気信号に変換する。画像前処理部５１５は、光電変換装置５０２から出力された信号に対して所定の信号処理を行う。画像前処理部５１５の機能は、光電変換装置５０２内に組み込まれていてもよい。光検出システム５０１には、光学系５１４、光電変換装置５０２及び画像前処理部５１５の組が、少なくとも２組設けられており、各組の画像前処理部５１５からの出力が集積回路５０３に入力されるようになっている。

【０１３５】

集積回路５０３は、撮像システム用途向けの集積回路であり、画像処理部５０４、光学測距部５０６、視差演算部５０７、物体認知部５０８、異常検出部５０９を含む。画像処理部５０４は、画像前処理部５１５から出力された画像信号を処理する。例えば、画像処理部５０４は、画像前処理部５１５の出力信号に対して、現像処理や欠陥補正等の画像処理を行う。画像処理部５０４は、画像信号を一時的に保持するメモリ５０５を備える。メモリ５０５には、例えば光電変換装置５０２内の既知の欠陥画素の位置が記憶され得る。

【０１３６】

光学測距部５０６は、被写体の合焦や測距を行う。視差演算部５０７は、複数の光電変換装置５０２により取得された複数の画像データ（視差画像）から測距情報（距離情報）

10

20

30

40

50

の算出を行う。光電変換装置 502 の各々が、距離情報などの各種情報を取得可能な構成を備えていてもよい。物体認知部 508 は、車、道、標識、人等の被写体の認知を行う。異常検出部 509 は、光電変換装置 502 の異常を検出すると、主制御部 513 に異常を通知する。

【0137】

集積回路 503 は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよいし、これらの組合せによって実現されてもよい。また、FPGA (Field Programmable Gate Array) やASIC (Application Specific Integrated Circuit) 等によって実現されてもよいし、これらの組合せによって実現されてもよい。

10

【0138】

主制御部 513 は、光検出システム 501、車両センサ 510、制御ユニット 520 等の動作を統括・制御する。なお、車両 500 が主制御部 513 を備えていなくてもよい。この場合、光電変換装置 502、車両センサ 510、制御ユニット 520 が通信ネットワークを介して制御信号の送受を行う。この制御信号の送受には、例えばCAN規格が適用され得る。

【0139】

集積回路 503 は、主制御部 513 からの制御信号を受け或いは自身の制御部によって、光電変換装置 502 へ制御信号や設定値を送信する機能を有する。

【0140】

20

光検出システム 501 は、車両センサ 510 に接続されており、車速、ヨーレート、舵角などの自車両走行状態及び自車外環境や他車・障害物の状態を検出することができる。車両センサ 510 は、対象物までの距離情報を取得する距離情報取得手段でもある。また、光検出システム 501 は、自動操舵、自動巡行、衝突防止機能等の種々の運転支援を行う運転支援制御部 511 に接続されている。特に、衝突判定機能に関しては、光検出システム 501 や車両センサ 510 の検出結果を基に他車・障害物との衝突推定・衝突有無を判定する。これにより、衝突が推定される場合の回避制御、衝突時の安全装置起動を行う。

【0141】

また、光検出システム 501 は、衝突判定部での判定結果に基づいて、ドライバーに警報を発する警報装置 512 にも接続されている。例えば、衝突判定部の判定結果として衝突可能性が高い場合、主制御部 513 は、ブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして、衝突を回避、被害を軽減する車両制御を行う。警報装置 512 は、音等の警報を鳴らす、カーナビゲーションシステムやメーターパネルなどの表示部画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

30

【0142】

本実施形態では、車両の周囲、例えば前方又は後方を光検出システム 501 で撮影する。図 19 (b) に、車両前方を光検出システム 501 で撮像する場合の光検出システム 501 の配置例を示す。

40

【0143】

光電変換装置 502 は、前述のように、車両 500 の前方に配される。具体的には、車両 500 の進退方位又は外形 (例えば車幅) に対する中心線を対称軸に見立て、その対称軸に対して 2 つの光電変換装置 502 が線対称に配されると、車両 500 と被写対象物との間の距離情報の取得や衝突可能性の判定を行う上で好ましい。また、光電変換装置 502 は、運転者が運転席から車両 500 の外の状況を視認する際に運転者の視野を妨げない配置が好ましい。警報装置 512 は、運転者の視野に入りやすい配置が好ましい。

【0144】

次に、光検出システム 501 における光電変換装置 502 の故障検出動作について、図 21 を用いて説明する。光電変換装置 502 の故障検出動作は、図 19 に示すステップ S

50

110～S180に従って実施され得る。

【0145】

ステップS110は、光電変換装置502のスタートアップ時の設定を行うステップである。すなわち、光検出システム501の外部（例えば主制御部513）又は光検出システム501の内部から、光電変換装置502の動作のための設定を送信し、光電変換装置502の撮像動作及び故障検出動作を開始する。

【0146】

次いで、ステップS120において、有効画素から画素信号を取得する。また、ステップS130において、故障検出用に設けた故障検出画素からの出力値を取得する。この故障検出画素は、有効画素と同じく光電変換素子を備える。この光電変換素子には、所定の電圧が書き込まれる。故障検出画素は、この光電変換素子に書き込まれた電圧に対応する信号を出力する。なお、ステップS120とステップS130とは逆でもよい。

【0147】

次いで、ステップS140において、故障検出画素の出力期待値と、実際の故障検出画素からの出力値との該非判定を行う。ステップS140における該非判定の結果、出力期待値と実際の出力値とが一致している場合は、ステップS150に移行し、撮像動作が正常に行われていると判定し、処理ステップがステップS160へと移行する。ステップS160では、走査行の画素信号をメモリ505に送信して一次保存する。そののち、ステップS120に戻り、故障検出動作を継続する。一方、ステップS140における該非判定の結果、出力期待値と実際の出力値とが一致していない場合は、処理ステップはステップS170に移行する。ステップS170において、撮像動作に異常があると判定し、主制御部513又は警報装置512に警報を通知する。警報装置512は、表示部に異常が検出されたことを表示させる。その後、ステップS180において光電変換装置502を停止し、光検出システム501の動作を終了する。

【0148】

なお、本実施形態では、1行毎にフローチャートをループさせる例を例示したが、複数行毎にフローチャートをループさせてもよいし、1フレーム毎に故障検出動作を行ってもよい。ステップS170の警報の発報は、無線ネットワークを介して、車両の外部に通知するようにしてもよい。

【0149】

また、本実施形態では、他の車両と衝突しない制御を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。更に、光検出システム501は、自車両等の車両に限らず、例えば、船舶、航空機或いは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用することができる。

【0150】

〔第8実施形態〕

本発明の第8実施形態による光検出システムについて、図22を用いて説明する。図22は、本実施形態による光検出システムの構成例を示す概略図である。本実施形態では、第1乃至第3実施形態のいずれかで説明した光電変換装置100を適用した光検出システムとして、眼鏡（スマートグラス）への適用例を説明する。

【0151】

図22（a）は、1つの適用例に係る眼鏡600（スマートグラス）を示している。眼鏡600は、レンズ601と、光電変換装置602と、制御装置603と、を有する。

【0152】

光電変換装置602は、第1乃至第3実施形態のいずれかで説明した光電変換装置100であって、レンズ601に設けられている。光電変換装置602は1つでもよいし、複数でもよい。また、複数の光電変換装置602を用いる場合にあっては、複数種類の光電変換装置602を組み合わせて用いてもよい。光電変換装置602の配置位置は図20（

a) に限定されるものではない。レンズ 601 の裏面側には、O L E D や L E D 等の発光装置を含む表示装置（図示せず）が設けられていてもよい。

【0153】

制御装置 603 は、光電変換装置 602 と上記の表示装置に電力を供給する電源として機能する。また、制御装置 603 は、光電変換装置 602 及び表示装置の動作を制御する機能を備える。レンズ 601 には、光電変換装置 602 に光を集光するための光学系が設けられている。

【0154】

図 22 (b) は、他の 1 つの適用例に係る眼鏡 610 (スマートグラス) を示している。眼鏡 610 は、レンズ 611 と、制御装置 612 と、を有する。制御装置 612 には、光電変換装置 602 に相当する不図示の光電変換装置と表示装置とが搭載され得る。

【0155】

レンズ 611 には、制御装置 612 内の光電変換装置と、表示装置からの光を投影するための光学系とが設けられており、画像が投影される。制御装置 612 は、光電変換装置及び表示装置に電力を供給する電源として機能するとともに、光電変換装置及び表示装置の動作を制御する機能を備える。

【0156】

制御装置 612 は、装着者の視線を検知する視線検知部を更に有してもよい。この場合、制御装置 612 に赤外発光部を設け、赤外発光部から発せられた赤外線を検知に用いることができる。具体的には、赤外発光部は、表示画像を注視しているユーザの眼球に対して、赤外光を発する。発せられた赤外光の眼球からの反射光を、受光素子を有する撮像部が検出することで眼球の撮像画像が得られる。平面視における赤外発光部から表示部への光を低減する低減手段を有することで、画像品位の低下を低減することができる。

【0157】

表示画像に対するユーザの視線は、赤外光の撮像により得られた眼球の撮像画像から検出することができる。眼球の撮像画像を用いた視線検出には任意の公知の手法が適用できる。一例として、角膜での照射光の反射によるプルキニエ像に基づく視線検出方法を用いることができる。より具体的には、瞳孔角膜反射法に基づく視線検出処理が行われる。瞳孔角膜反射法を用いて、眼球の撮像画像に含まれる瞳孔の像とプルキニエ像とに基づいて、眼球の向き（回転角度）を表す視線ベクトルが算出されることにより、ユーザの視線が検出される。

【0158】

本実施形態の表示装置は、受光素子を有する光電変換装置を備え、光電変換装置からのユーザの視線情報に基づいて表示画像を制御するように構成されてもよい。具体的には、表示装置は、視線情報に基づいて、ユーザが注視する第 1 の視界領域と、第 1 の視界領域以外の第 2 の視界領域とを決定する。第 1 の視界領域及び第 2 の視界領域は、表示装置の制御装置が決定してもよいし、外部の制御装置が決定してもよい。外部の制御装置が決定する場合は、通信を介して表示装置に伝えられる。表示装置の表示領域において、第 1 の視界領域の表示解像度は、第 2 の視界領域の表示解像度よりも高くなるように制御してもよい。つまり、第 2 の視界領域の解像度は、第 1 の視界領域の解像度よりも低くしてもよい。

【0159】

また、表示領域は、第 1 の表示領域、第 1 の表示領域とは異なる第 2 の表示領域とを有し、視線情報に基づいて、第 1 の表示領域及び第 2 の表示領域から優先度が高い領域を決定するように構成されてもよい。第 1 の表示領域及び第 2 の表示領域は、表示装置の制御装置が決定してもよいし、外部の制御装置が決定してもよい。外部の制御装置が決定する場合は、通信を介して表示装置に伝えられる。優先度の高い領域の解像度は、優先度が高い領域以外の領域の解像度よりも高くなるように制御してもよい。つまり、優先度が相対的に低い領域の解像度は低くしてもよい。

【0160】

10

20

30

40

50

なお、第1の視界領域や優先度が高い領域の決定には、AIを用いてもよい。AIは、眼球の画像と当該画像の眼球が実際に視ていた方向とを教師データとして、眼球の画像から視線の角度、視線の先の目的物までの距離を推定するよう構成されたモデルであってよい。AIプログラムは、表示装置が有しても、光電変換装置が有しても、外部装置が有してもよい。外部装置が有する場合は、通信を介して表示装置に伝えられる。

【0161】

視認検知に基づいて表示制御する場合、外部を撮像する光電変換装置を更に有するスマートグラスに好ましく適用できる。スマートグラスは、撮像した外部情報をリアルタイムで表示することができる。

【0162】

〔変形実施形態〕

本発明は、上記実施形態に限らず種々の変形が可能である。

例えば、いずれかの実施形態の一部の構成を他の実施形態に追加した例や、他の実施形態の一部の構成と置換した例も、本発明の実施形態である。

【0163】

また、上記実施形態では、サブカウンタ32, 34を4ビットのカウンタで構成したが、サブカウンタ32, 34を構成するカウンタのビット数は4ビットに限定されるものではない。また、サブカウンタ32, 34のビット数は必ずしも同じである必要はない。例えば、サブカウンタ32をMビットのカウンタで構成し、サブカウンタ34をNビットのカウンタで構成することができる。この場合、パルス計数部30は、第1のカウンタ接続モードでは(M+N)ビットのカウンタとして動作する。

【0164】

また、画素12の回路構成は上記実施形態に限定されるものではない。例えば、光電変換素子PDとクエンチ素子22との間や光電変換素子PDと波形整形部24との間にトランジスタ等のスイッチを設け、これらの間の電氣的な接続状態を制御するようにしてもよい。また、電圧VDDが供給されるノードとクエンチ素子22との間及び／又は電圧VSSが供給されるノードと光電変換素子PDとの間にトランジスタ等のスイッチを設け、これらの間の電氣的な接続状態を制御するようにしてもよい。

【0165】

本発明は、上述の実施形態の1以上の機能を実現するプログラムを、ネットワーク又は記憶媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける1つ以上のプロセッサがプログラムを読み出し実行する処理でも実現可能である。また、1以上の機能を実現する回路（例えば、ASIC）によっても実現可能である。

【0166】

なお、上記実施形態は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【符号の説明】

【0167】

12…画素
14, 16…制御線
18…設定信号線
20…画素信号出力線
26…信号処理部
28…画素レベル判定部
30…パルス計数部
32, 34…サブカウンタ
36…接続モード切替回路
40…垂直選択回路

10

20

30

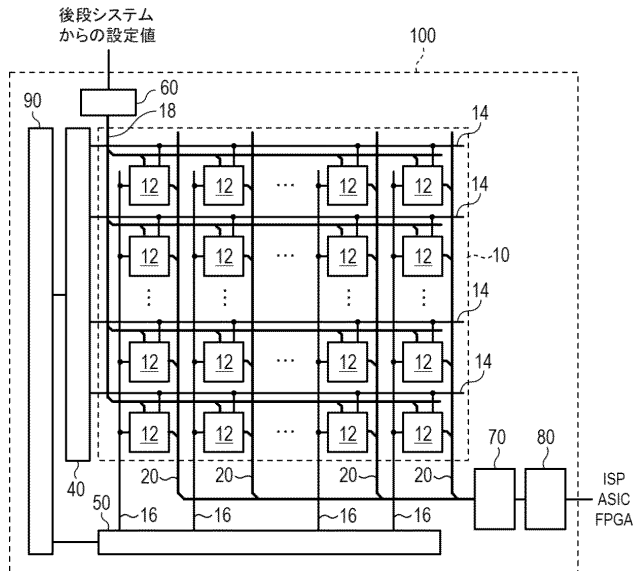
40

50

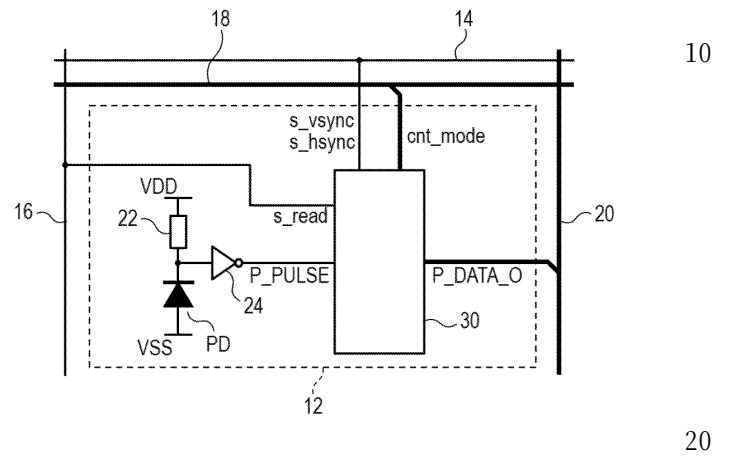
5 0 … 水平選択回路
6 0 … レジスタブロック
7 0 … 信号処理回路
8 0 … 出力回路
9 0 … 駆動制御回路
1 0 0 … 光電変換装置

【図面】

【図 1】



【図 2】

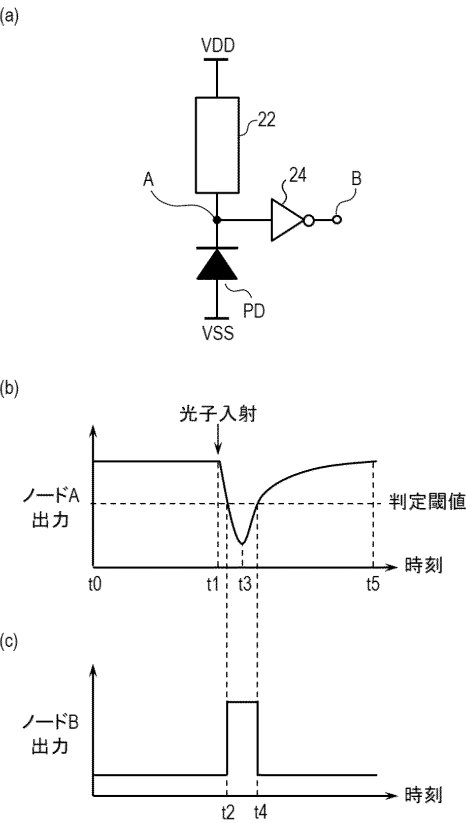


30

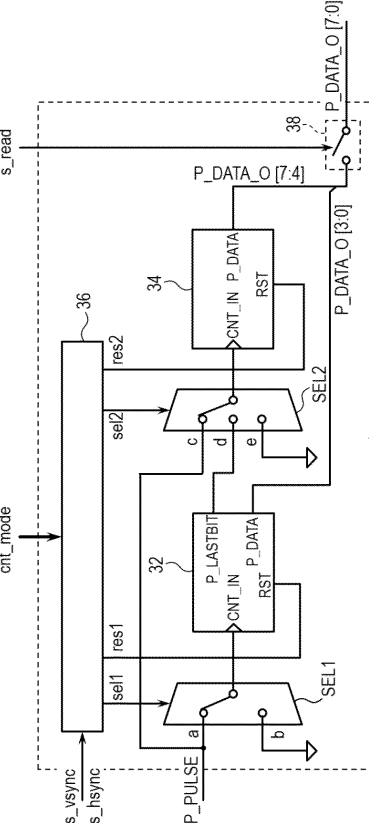
40

50

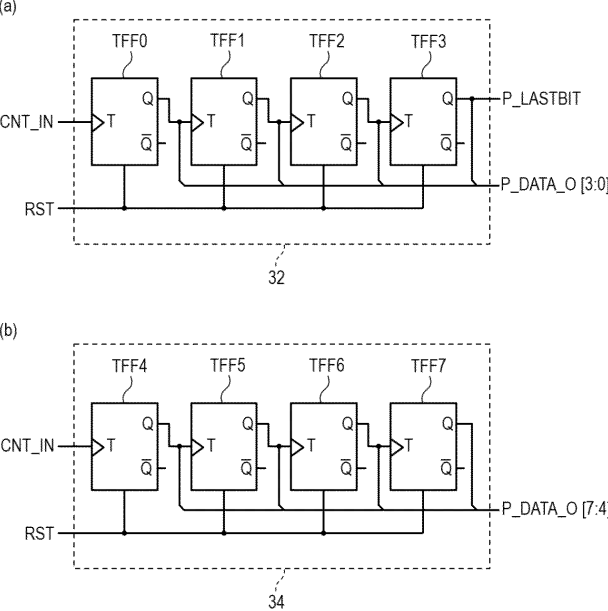
【図 3】



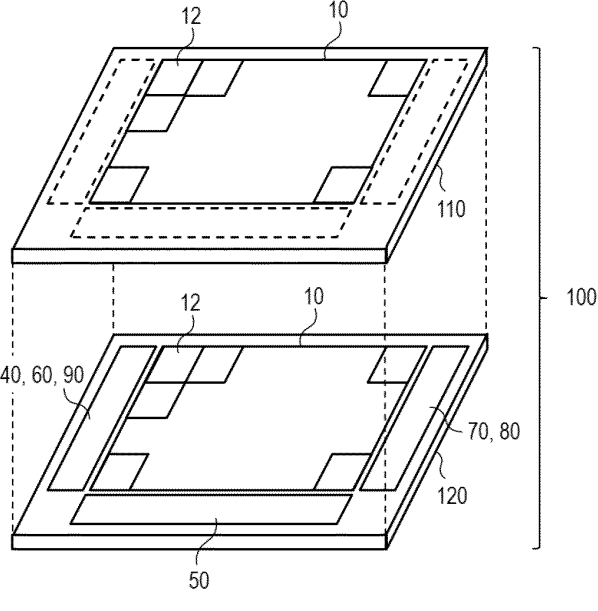
【図 4】



【図 5】



【図 6】



10

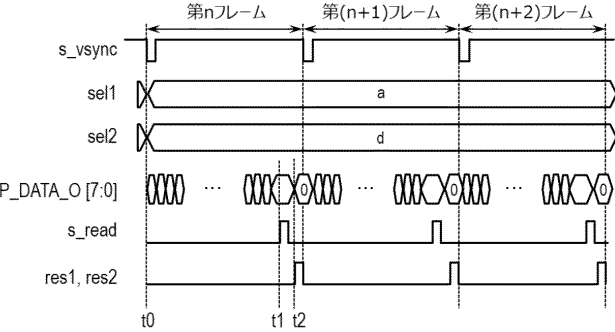
20

30

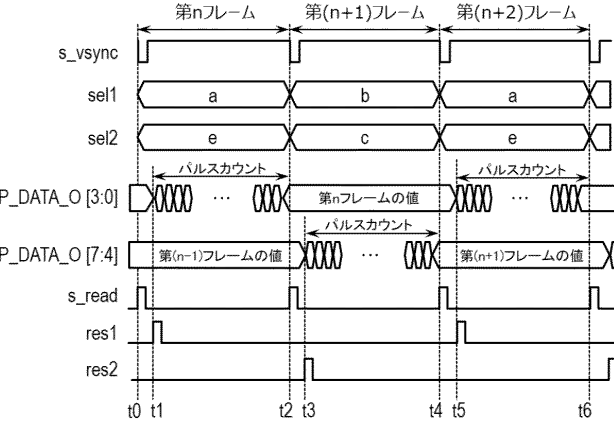
40

50

【図 7】

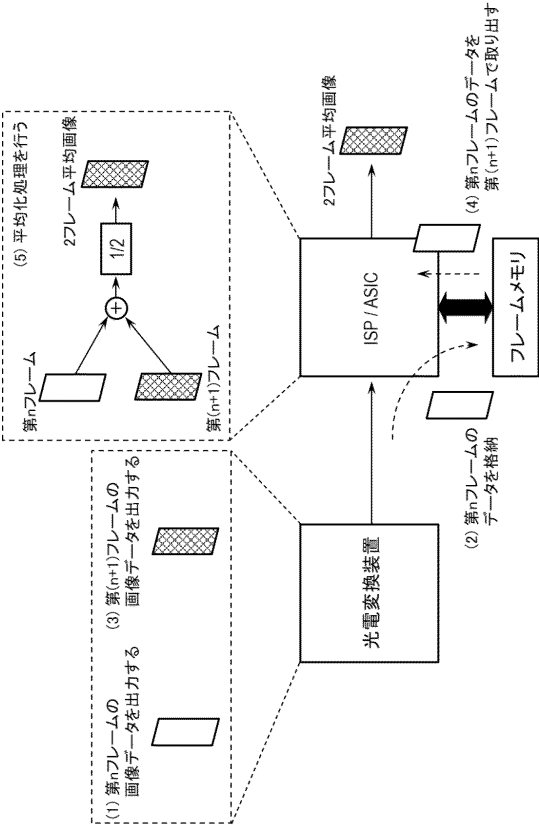


【図 8】

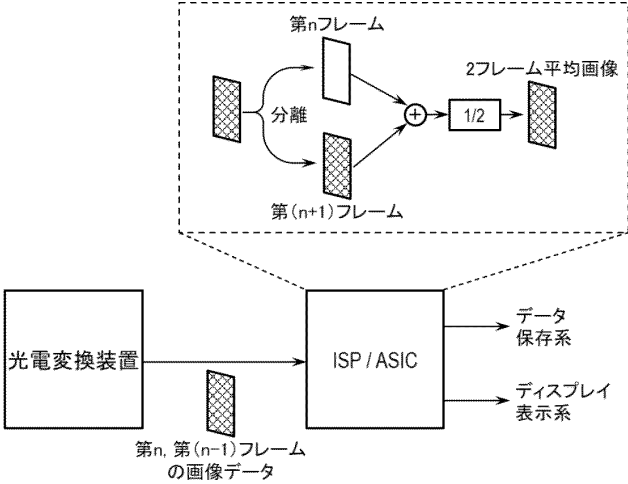


10

【図 9】



【図 10】



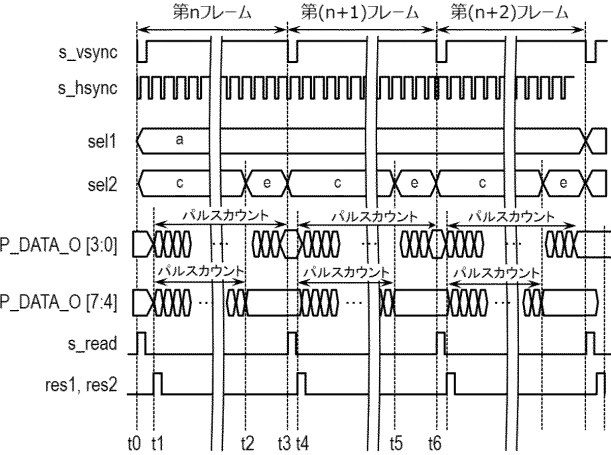
20

30

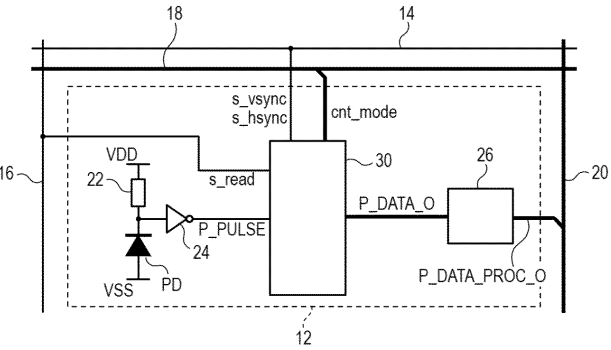
40

50

【図 1 1】

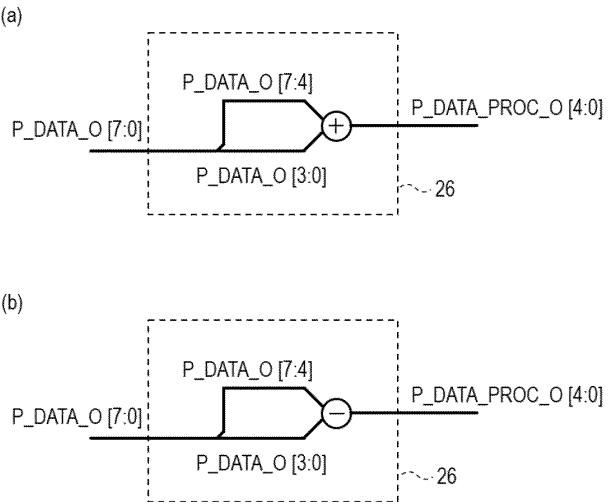


【図 1 2】

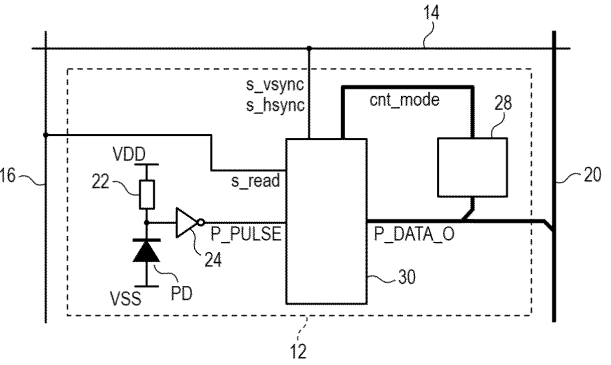


10

【図 1 3】



【図 1 4】



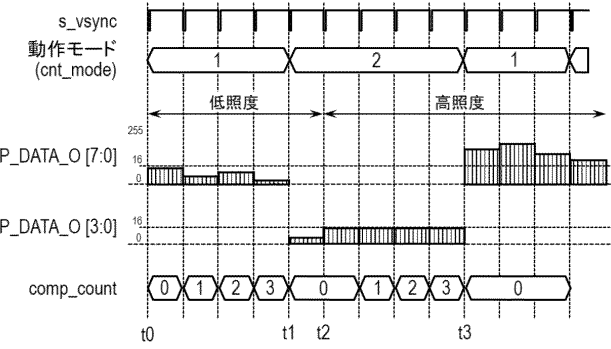
20

30

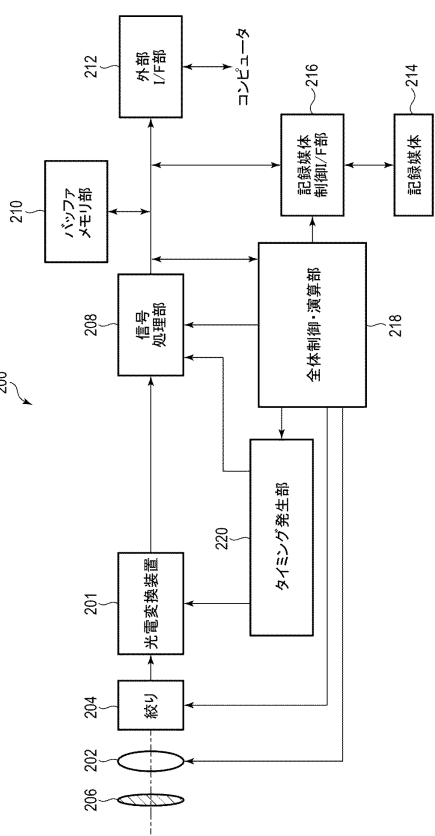
40

50

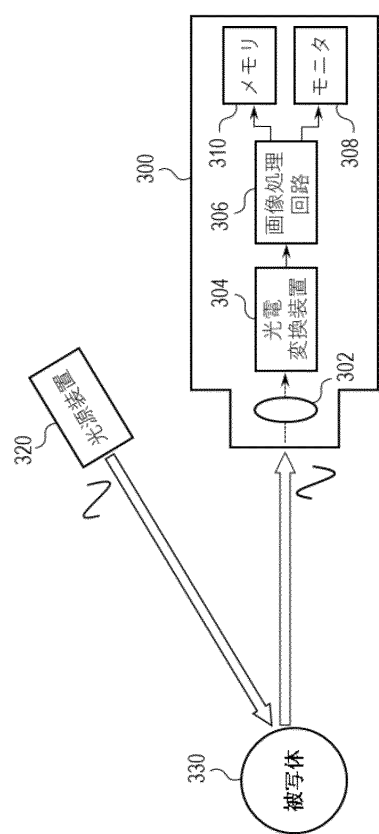
【図 15】



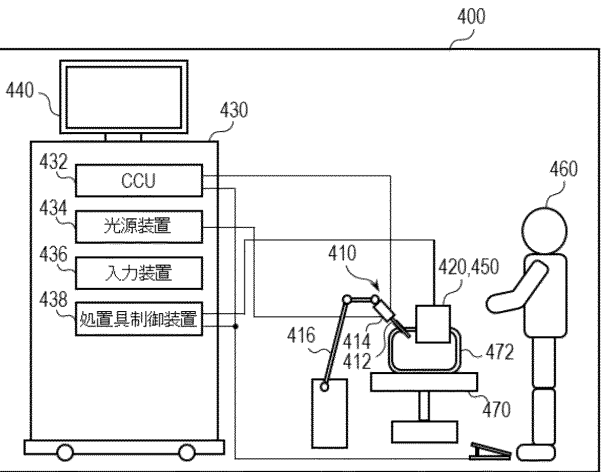
【図 16】



【図 17】



【図 18】



10

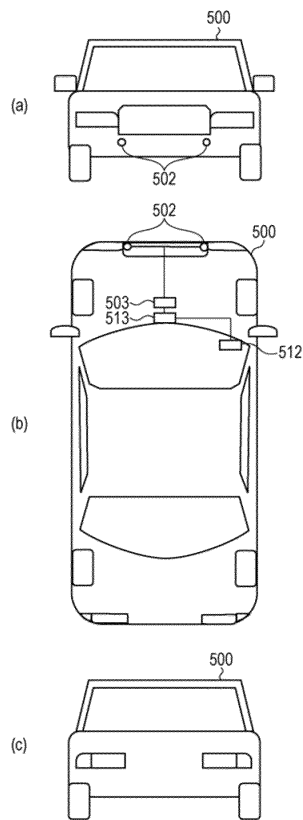
20

30

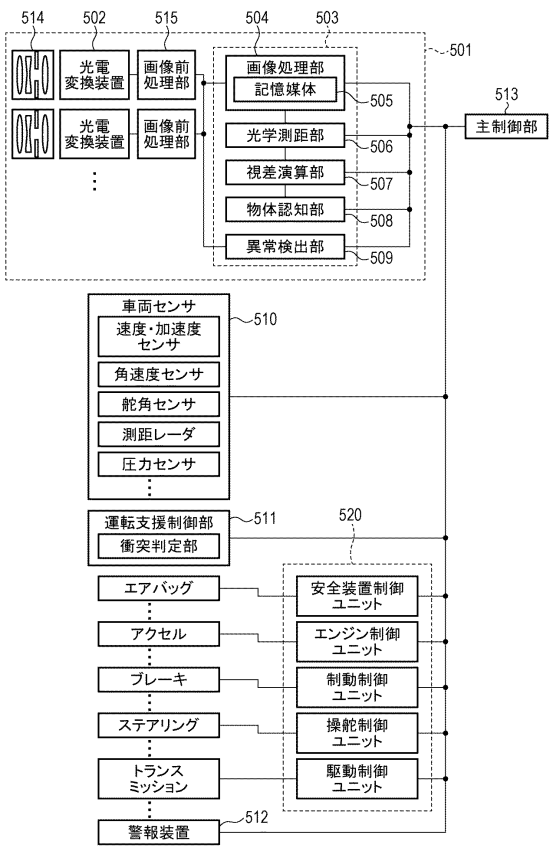
40

50

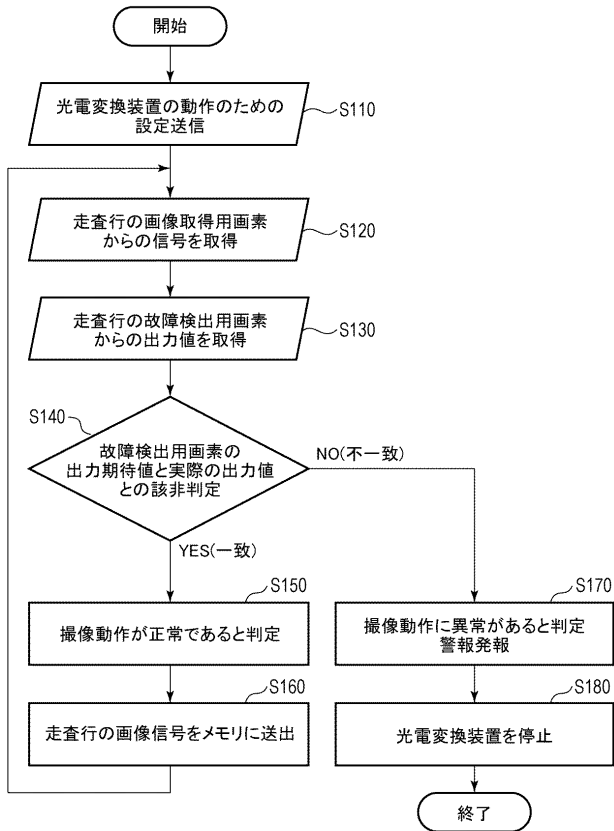
【図 19】



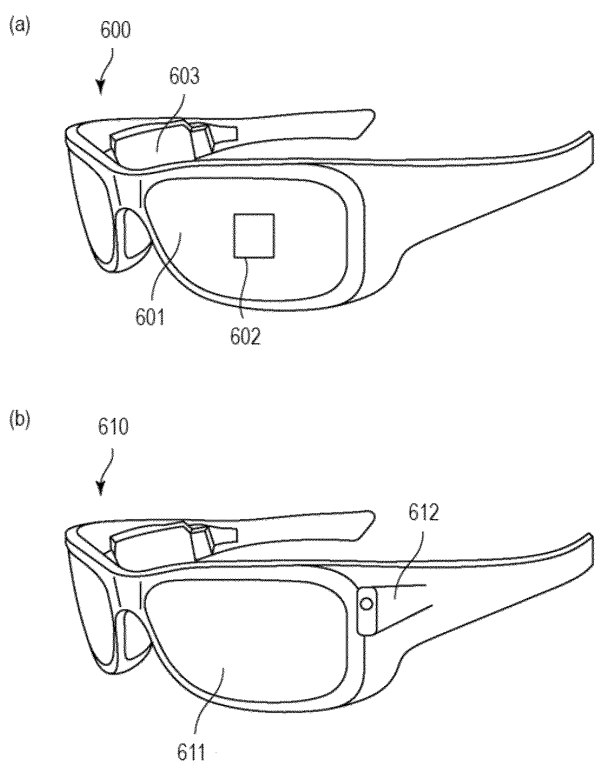
【図 20】



【図 21】



【図 22】



10

20

30

40

50

フロントページの続き

Fターム (参考) GY45 HX32 HX50