

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-506806
(P2006-506806A)

(43) 公表日 平成18年2月23日(2006.2.23)

(51) Int.C1.	F 1	テーマコード (参考)
H01L 21/768 (2006.01)	H01L 21/90	A 5FO33
H01L 21/312 (2006.01)	H01L 21/312	M 5FO58
H01L 21/316 (2006.01)	H01L 21/316	M

審査請求 未請求 予備審査請求 有 (全 27 頁)

(21) 出願番号	特願2004-550790 (P2004-550790)	(71) 出願人	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504 ニューヨーク 州 アーモンク ニュー オーチャード ロード
(86) (22) 出願日	平成15年11月7日 (2003.11.7)	(74) 代理人	100086243 弁理士 坂口 博
(85) 翻訳文提出日	平成17年7月13日 (2005.7.13)	(74) 代理人	100091568 弁理士 市位 嘉宏
(86) 國際出願番号	PCT/GB2003/004814	(74) 代理人	100108501 弁理士 上野 剛史
(87) 國際公開番号	W02004/044978		
(87) 國際公開日	平成16年5月27日 (2004.5.27)		
(31) 優先権主張番号	10/294,139		
(32) 優先日	平成14年11月14日 (2002.11.14)		
(33) 優先権主張国	米国(US)		

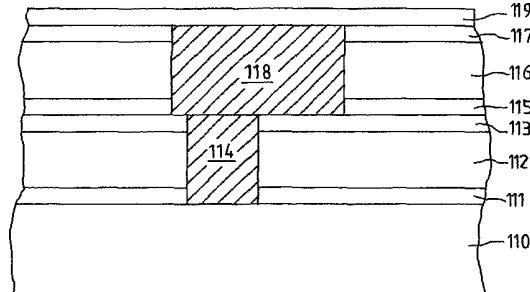
最終頁に続く

(54) 【発明の名称】ハイブリッド誘電体を備えた高信頼低誘電率相互接続構造

(57) 【要約】

【課題】ハイブリッド誘電体を有する拡張型パック・エンド・オブ・ライン(BEOL)相互接続構造を提供すること。

【解決手段】ビア・レベルでの層間誘電体(ILD)は、ライン・レベルでのILDとは異なることが好ましい。好ましい実施形態では、ビア・レベルのILDを低k SiCOH材料で形成し、ライン・レベルのILDを低kポリマー熱硬化性材料で形成する。



【特許請求の範囲】**【請求項 1】**

基板上に重なる第1の誘電体層と、
前記第1の誘電体層上に在りかつ上面を有する第1のハードマスク層と、
前記第1の誘電体層および前記第1のハードマスク層に埋設された少なくとも1つの導体ピアと、
前記第1のハードマスク層上のピア・レベル・キャップ層と、
前記ピア・レベル・キャップ層上に在る第2の誘電体層であって、前記第1の誘電体層とは異なる材料で形成された第2の誘電体層と、
前記第2の誘電体層上に在りかつ上面を有する第2のハードマスク層と、
前記ピア・レベル・キャップ層、前記第2の誘電体層、および前記第2のハードマスク層に埋設され、かつ前記第2のハードマスク層の上面と同一平面に在る上面を有している、少なくとも1つの導体ラインと
を含む、基板上に形成された相互接続構造。

【請求項 2】

前記第1の誘電体層がSiCOHで形成され、前記第2の誘電体層がポリマー熱硬化性材料で形成される、請求項1に記載の相互接続構造。

【請求項 3】

前記第1の誘電体層が約50 ppm/未満の熱膨張率を有する、請求項1または2に記載の相互接続構造。

【請求項 4】

前記第1および第2の誘電体層のそれぞれが、約1.8から約3.5、好ましくは約2.5から約2.9の誘電率を有する、請求項1、2、または3に記載の相互接続構造。

【請求項 5】

前記第1のハードマスク層がSiCHまたはSiNCHで形成される、請求項1ないし4のいずれかに記載の相互接続構造。

【請求項 6】

前記ピア・レベルのキャップ層がSiNCH、SiN、SiCH、またはSiONで形成される、請求項1ないし5のいずれか一項に記載の相互接続構造。

【請求項 7】

前記第2のハードマスク層が、SiCOHまたはSiCHで形成されかつ約3.5未満の誘電率を有する、請求項1ないし6のいずれか一項に記載の相互接続構造。

【請求項 8】

前記ピア・レベルのキャップ層と前記第2の誘電体層との間に配置された接着促進剤層をさらに含む、請求項1ないし7のいずれか一項に記載の相互接続構造。

【請求項 9】

前記第2のハードマスク層および前記導体ライン上に最終のキャップ層をさらに含む、請求項1ないし8のいずれか一項に記載の相互接続構造。

【請求項 10】

基板上に重なる第1の誘電体層と、
前記第1の誘電体層上のエッティング・ストッパ層と、
前記エッティング・ストッパ層上の接着促進剤層と、
前記接着促進剤層上の第2の誘電体層であって、前記第1の誘電体層とは異なる材料で形成された第2の誘電体層と、
前記第2の誘電体層上に在りかつ上面を有するハードマスク層と、
前記第1の誘電体層および前記エッティング・ストッパ層に埋設された少なくとも1つの導体ピアと、
前記接着促進剤層、前記第2の誘電体層、および前記ハードマスク層に埋設され、かつ前記ハードマスク層の上面と同一平面に在る上面を有する少なくとも1つの導体ラインと
を含む、基板上に形成された相互接続構造。

10

20

30

40

50

【請求項 1 1】

前記第1の誘電体層がSiCOHで形成され、前記第2の誘電体層がポリマー熱硬化性材料で形成される、請求項10に記載の相互接続構造。

【請求項 1 2】

前記第1の誘電体層が約50 ppm/未満の熱膨張率を有する、請求項10または11に記載の相互接続構造。

【請求項 1 3】

前記第1および第2の誘電体層のそれぞれが、約1.8から約3.5、好ましくは約2.5から約2.9の誘電率を有する、請求項10、11、または12に記載の相互接続構造。

【請求項 1 4】

前記エッチング・ストップ層がSiCHまたはSiNCHで形成される、請求項10ないし13のいずれか一項に記載の相互接続構造。

【請求項 1 5】

前記接着促進剤層がSiCOHで形成される、請求項10ないし14のいずれか一項に記載の相互接続構造。

【請求項 1 6】

前記ハードマスク層が、SiCOHまたはSiCHで形成されかつ約3.5未満の誘電率を有する、請求項10ないし15のいずれか一項に記載の相互接続構造。

【請求項 1 7】

前記ハードマスク層および前記導体ライン上に最終のキャップ層をさらに含む、請求項10ないし16のいずれか一項に記載の相互接続構造。

【請求項 1 8】

基板上に第1の誘電体層を堆積するステップと、
前記第1の誘電体層上に、上面を有する第1のハードマスク層を堆積するステップと、
前記第1の誘電体層および前記第1のハードマスク層に少なくとも1つのビア開口を形成するステップと、

前記ビア開口に導体材料を充填するステップであって、それによって前記第1の誘電体層および前記第1のハードマスク層に埋設された少なくとも1個の導体ビアを形成するステップと、

前記第1のハードマスク層上にビア・レベルのキャップ層を堆積するステップと、
前記ビア・レベルのキャップ層上に第2の誘電体層を堆積するステップであって、前記第2の誘電体層が前記第1の誘電体層とは異なる材料で形成されたものであるステップと、

前記第2の誘電体層上に、上面を有する第2のハードマスク層を堆積するステップと、
前記ビア・レベルのキャップ層、前記第2の誘電体層、および前記ハードマスク層に少なくとも1つのトレンチ開口を形成するステップであって、前記トレンチ開口が前記第1の導体ビア上に重なるものであるステップと、

前記トレンチ開口に導体材料を充填するステップであって、それによって、前記ビア・レベルのキャップ層、前記第2の誘電体層、および前記第2のハードマスク層に埋設された少なくとも1つの導体ラインを形成し、前記導体ラインが、前記第2のハードマスク層の上面と同一平面に在る上面を有するものであるステップと

を含む、基板上に相互接続構造を形成する方法。

【請求項 1 9】

前記第1の誘電体層をSiCOHで形成し、前記第2の誘電体層をポリマー熱硬化性材料で形成する、請求項18に記載の方法。

【請求項 2 0】

前記第1の誘電体層が約50 ppm/未満の熱膨張率を有する、請求項18または19に記載の方法。

【請求項 2 1】

10

20

30

40

50

前記第1のハードマスク層が約7未満の誘電率を有する、請求項18、19、または20に記載の方法。

【請求項22】

前記第1のハードマスク層をSiCHまたはSiNCHで形成する、請求項18ないし21のいずれか一項に記載の方法。

【請求項23】

前記ビア・レベルのキャップ層をSiCNHで形成する、請求項18ないし22のいずれか一項に記載の方法。

【請求項24】

前記ビア・レベルのキャップ層が約5未満の誘電率を有する、請求項18ないし23のいずれか一項に記載の方法。 10

【請求項25】

前記第2のハードマスク層および前記導体ライン上に最終のキャップ層を堆積するステップをさらに含む、請求項18ないし24のいずれか一項に記載の方法。

【請求項26】

前記第2の誘電体層を堆積する前に、前記ビア・レベルのキャップ層上に接着促進剤層を堆積するステップをさらに含む、請求項18ないし25のいずれか一項に記載の方法。

【請求項27】

基板上に第1の誘電体層を堆積するステップと、

前記第1の誘電体層上に、上面を有するエッチング・ストッパ層を堆積するステップと 20

、前記エッチング・ストッパ層上に接着促進剤層を堆積するステップと、

前記接着促進剤層上に第2の誘電体層を堆積するステップであって、前記第2の誘電体層が前記第1の誘電体層とは異なる材料で形成されるものであるステップと、

前記第2の誘電体層上に、上面を有するハードマスク層を堆積するステップと、

前記ハードマスク層、前記第2の誘電体層、前記接着促進剤層、前記第1の誘電体層、および前記エッチング・ストッパ層に、少なくとも1つのビア開口を形成するステップと 30

、前記ハードマスク層、前記第2の誘電体層、および前記接着促進剤層に少なくとも1つのトレンチ開口を形成するステップであって、前記トレンチ開口が前記ビア開口上に重なるものであるステップと、

前記ビアおよびトレンチ開口に導体材料を充填するステップであって、それによって、前記第1の誘電体層、前記エッチング・ストッパ層、前記接着促進剤層、前記第2の誘電体層、および前記ハードマスク層に埋設された少なくとも1つのビア伝導体および少なくとも1個のライン伝導体を形成し、前記ライン伝導体が、前記ハードマスク層の上面と同一平面に在る上面を有するものであるステップとを含む、基板上に相互接続構造を形成する方法。

【請求項28】

前記第1の誘電体層をSiCOHで形成し、前記第2の誘電体層をポリマー熱硬化性材料で形成する、請求項27に記載の方法。 40

【請求項29】

前記第1の誘電体層が約50ppm/未満の熱膨張率を有する、請求項27または28に記載の方法。

【請求項30】

前記エッチング・ストッパ層をSiCHまたはSiNCHで形成する、請求項27、28、または29に記載の方法。

【請求項31】

前記接着促進剤層をSiCOHで形成する、請求項27ないし31のいずれか一項に記載の方法。

【請求項32】

50

前記第2のハードマスク層および前記導体ライン上に最終のキャップ層を堆積するステップをさらに含む、請求項27ないし31のいずれか一項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、高速半導体マイクロプロセッサ、特定用途向け集積回路(ASIC)、およびその他の高速集積回路デバイスの製造に関する。より詳細には、本発明は、低誘電率(k)誘電体材料を使用する半導体デバイス用の拡張型(advanced)バック・エンド・オブ・ライン(BEOL)メタライゼーション構造に関する。本発明は特に、誘電率の低いハイブリッド誘電体を有する拡張型BEOL相互接続構造を対象とする。

10

【背景技術】

【0002】

超大規模集積回路(VLSI)または超々大規模集積回路(ULSI)における金属相互接続は、典型的な場合、金属配線のパターン層を含む相互接続構造からなる。典型的な集積回路(IC)デバイスは、3~15層の金属配線を含む。フィーチャ・サイズが縮小しつつデバイスの面密度が高まるにつれて、相互接続層の数が増すことが予想される。

【0003】

このような相互接続構造の材料およびレイアウトは、信号の伝搬遅延が最小限に抑えられるように、したがって全体的な回路速度が最大になるように選択することが好ましい。相互接続構造内の信号伝搬遅延は、各金属配線層ごとのRC時定数で示されるが、ここでRは配線の抵抗であり、Cは、多層相互接続構造において選択された信号線(すなわち伝導体)とその周囲の伝導体との間の実効キャパシタンスである。RC時定数は、配線材料の抵抗を下げることによって、低下させることができる。したがって銅は、その抵抗が比較的低いので、IC相互接続に好ましい材料である。RC時定数は、低誘電率 k の誘電体材料を使用することによって下げるこどもできる。

20

【0004】

相互接続の遅延は現在では全体的な回路速度を制限しているので、高速論理チップはより速い相互接続を必要とする。より小さい寸法に縮小した場合、相互接続の遅延は、全体的な回路性能が制限されるかなりの要因になる。半導体産業全体を通じ、低 k 絶縁体内で銅の伝導体を使用する相互接続構造が、相互接続の遅延を低下させるために導入されつつある。相互接続遅延の1つの尺度は、相互接続構造の実効誘電率 k_{eff} である。低 k_{eff} を得るには、したがって遅延を低下させるには、低 k 誘電体($k < 4$)と低 k 障壁(例えは窒化シリコンでは $k < 7$ である)の両方を使用しなければならない。

30

【0005】

低 k 誘電体材料および銅相互接続を含む現況技術のデュアル・ダマシン相互接続構造が、アール・ディー・ゴールドブラット(R. D. Goldblatt)他による「低 k 誘電体を用いた高性能0.13μm銅BEOL技術(A High Performance 0.13 μm Copper BEOL Technology with Low-k Dielectric)」、IEEE 2000国際相互接続技術会議会報(Proceedings of the IEEE 2000 International Interconnect Technology Conference)、第261~263頁に記載されている。低 k 誘電体材料および銅相互接続を使用する典型的な相互接続構造を図1に示す。相互接続構造は、トランジスタなどの論理回路要素を含むことのできる下部基板10を含む。下部基板10上にはキャップ層11を堆積することができる。この基板10および任意選択のキャップ層11の上には、層間誘電体(ILD)として一般に知られる誘電体層12が存在する。拡張型相互接続構造では、ILD層12が、好ましくはSiLK(商標)などの低 k ポリマー熱硬化性材料である(ダウ・ケミカル・カンパニー(DowChemical Company)から入手可能な芳香族炭化水素熱硬化性ポリマー)。ILD層12には、少なくとも1つの伝導体14、18が埋め込まれている。伝導体14、18は、典型的な場合、拡張型相互接続構造では銅であるが、代わりにアルミニウムまたはその他の導体材料でもよい。ILD層12と伝導体14、18との間には、拡散障壁ライナ(図示せず)を堆積することができる。そのような拡散障壁ライナは、タンタル、

40

50

チタン、タングステン、またはこれら金属の窒化物からなるものでよい。例えば窒化シリコンのキャップ層17をILD層12上に堆積することができる。伝導体18の上面は、通常は化学機械研磨(CMP)ステップによって、窒化シリコン層17の上面と同一平面になるようになされている。同様に例えば窒化シリコンの最終キャップ層19を、この全構造上に堆積することができる。

【0006】

伝導体14、18は、従来のデュアル・ダマシン・プロセスによって形成することができる。例えば図示される相互接続レベルの形成は、キャップ層11上にILD材料12を堆積することから開始する。ILD材料がSiLK(商標)などの低kポリマー熱硬化性材料である場合、ILD材料は典型的な場合、スピンドル塗布され、塗布後ホット・ペークにかけて溶媒を除去し、高温で硬化する。次に窒化シリコン層17をILD層12上に堆積する。次いで従来のフォトリソグラフィおよびエッチング・プロセスを使用して、窒化シリコン層17、ILD層12、およびキャップ層11をパターニングし、それによって少なくとも1つのトレンチ18およびビア14を形成する。トレンチおよびビアには、拡散障壁ライナを施すことができる。次いで従来のデュアル・ダマシン・プロセスで、トレンチおよびビアに銅などの金属を充填して、伝導体14、18を形成する。過剰な金属は、化学機械研磨(CMP)ステップによって除去する。最後に窒化シリコン・キャップ層19を、銅伝導体18および窒化シリコン層17上に堆積する。

【0007】

拡張型相互接続構造では、好ましい低k誘電体材料が、SiLK(商標)などのポリマー熱硬化性材料である(ダウ・ケミカル・カンパニー(Dow Chemical Company)から入手可能な芳香族炭化水素熱硬化性ポリマー)。この材料の誘電率は約2.65である。しかし、ILDなどの低k材料を使用する銅相互接続構造では、低k誘電体材料の熱膨張によって引き起こされる機械的障害も含めた信頼性の問題が生ずる可能性がある。SiLK(商標)誘電体のモジュラス(modulus)は2.7Gpaであり、一方、二酸化シリコンのモジュラスは78Gpaである。この差は、そのような信頼性問題の大きな一因であることが示されている。

【0008】

したがって当技術分野では、ポリマー低k誘電体材料の熱膨張によって引き起こされる信頼性問題が生じることのない、低k(eff)を有する拡張型相互接続構造が求められている。

【0009】

アンディデ(Andideh)他の米国特許第6362091号は、多層低kILDを有する相互接続構造について述べている。アンディデ(Andideh)他は、ポリマー低k誘電体材料の熱膨張によって引き起こされる信頼性問題ではなく、比較的脆弱な低k炭素ドープ型シリコン膜の亀裂の問題を解決することを試みた。この問題を解決するために、炭素をドープしたシリコンなどの低k誘電体と、二酸化シリコンなど韌性の高い第2の絶縁材料とを交互に重ねた層を含む多層ILDを提案した。低k誘電体材料は低kポリマーを含んでよいことが開示されているが、この開示からは、SiLK(商標)などのポリマー低k誘電体のモジュラスと二酸化シリコンのモジュラスとの差に関する上記論じた問題を、アンディデ(Andideh)他が認識していなかったことが明らかである。さらに、この文献で提案された第2の絶縁材料(高韌性を有する)(SiO₂、SiN、SiON、SiOF、およびSiC)は、そのすべてが、多層ILDのk(eff)を比較的高くするような比較的高い誘電率を有している。最後に、この構造の製造は、中間キャップ層またはエッチング・ストップ層を用いずにビア・レベルとライン・レベルとで同じ多層ILDを使用することにより、非常に難しくなっている。

【特許文献1】米国特許第6362091号

【特許文献2】米国特許出願第09/550943号

【非特許文献1】アール・ディー・ゴールドブラット(R. D. Goldblatt)他、「低k誘電体を用いた高性能0.13μm銅B E O L技術(A High Performance 0.13 μm Copper

BEOL Technology with Low-k Dielectric)」、IEEE 2000 国際相互接続技術会議会報 (Proceedings of the IEEE 2000 International Interconnect Technology Conference)、第 261 ~ 263 頁

【発明の開示】

【発明が解決しようとする課題】

【0010】

このように当技術分野では、ポリマー低 k 誘電体材料の熱膨張によって引き起こされる信頼性の問題が生じることのない、低 k (eff) を有する拡張型相互接続構造が依然として求められている。

【課題を解決するための手段】

【0011】

上述の問題は、基板上に形成された相互接続構造を対象とする本発明の使用によって対処する。本発明の一態様によれば、基板上に重なる第 1 の誘電体層と；この第 1 の誘電体層上に在り上面を有する第 1 のハードマスク層と；これら第 1 の誘電体層および第 1 のハードマスク層に埋設された少なくとも 1 個の導体ビアと；第 1 のハードマスク層上に在るビア・レベル・キャップ層と；このビア・レベル・キャップ層上に在る第 2 の誘電体層であって、第 1 の誘電体層とは異なる材料で形成された第 2 の誘電体層と；第 2 の誘電体層上に在りかつ上面を有する第 2 のハードマスク層と；これらのビア・レベル・キャップ層、第 2 の誘電体層、および第 2 のハードマスク層に埋設され、かつ第 2 のハードマスク層の上面と同一平面に在る上面を有する少なくとも 1 つの導体ラインとを含む構造が提供される。

【0012】

別の態様では、この構造は、基板上に重なる第 1 の誘電体層と；この第 1 の誘電体層上に在るエッティング・ストップ層と；エッティング・ストップ層上に在る接着促進剤層と；この接着促進剤層上に在る第 2 の誘電体層であって、第 1 の誘電体層とは異なる材料で形成された第 2 の誘電体層と；第 2 の誘電体層上に在りかつ上面を有するハードマスク層と；これら第 1 の誘電体層およびエッティング・ストップ層に埋設された少なくとも 1 個の導体ビアと；これらの接着促進剤層、第 2 の誘電体層、およびハードマスク層に埋設され、かつハードマスク層の上面と同一平面に在る上面を有する少なくとも 1 つの導体ラインとを含む。

【0013】

本発明の第 3 の態様によれば、基板上に相互接続構造を形成する方法が提供される。一実施形態では、この方法は、基板上に第 1 の誘電体層を堆積するステップと；この第 1 の誘電体層上に、上面を有する第 1 のハードマスク層を堆積するステップと；これら第 1 の誘電体層および第 1 のハードマスク層に少なくとも 1 個のビア開口を形成するステップと；このビア開口に導体材料を充填するステップであって、それによって第 1 の誘電体層および第 1 のハードマスク層に埋設された少なくとも 1 個の導体ビアを形成するステップと；第 1 のハードマスク層上にビア・レベル・キャップ層を堆積するステップと；ビア・レベル・キャップ層上に第 2 の誘電体層を堆積するステップであって、この第 2 の誘電体層が第 1 の誘電体層とは異なる材料で形成されたものであるステップと；第 2 の誘電体層上に、上面を有する第 2 のハードマスク層を堆積するステップと；これらのビア・レベル・キャップ層、第 2 の誘電体層、およびハードマスク層に少なくとも 1 個のトレンチ開口を形成するステップであって、第 2 の開口が第 1 の導体ビア上に重なるものであるステップと；このトレンチ開口に導体材料を充填するステップであって、それによって、これらのビア・レベル・キャップ層、第 2 の誘電体層、および第 2 のハードマスク層に埋設された少なくとも 1 個の導体ラインを形成し、この導体ラインが、第 2 のハードマスク層の上面と同一平面に在る上面を有するものであるステップとを含む。

【0014】

本発明の第 4 の態様によれば、基板上に第 1 の誘電体層を堆積するステップと；この第 1 の誘電体層上に、上面を有するエッティング・ストップ層を堆積するステップと；この工

10

20

30

40

50

ツチング・ストッパ層上に接着促進剤層を堆積するステップと；接着促進剤層上に第2の誘電体層を堆積するステップであって、この第2の誘電体層が第1の誘電体層とは異なる材料で形成されるものであるステップと；この第2の誘電体層上に、上面を有するハードマスク層を堆積するステップと；これらのハードマスク層、第2の誘電体層、接着促進剤層、第1の誘電体層、およびエッチング・ストッパ層に、少なくとも1個のビア開口を形成するステップと；これらのハードマスク層、第2の誘電体層、および接着促進剤層に少なくとも1個のトレンチ開口を形成するステップであって、このトレンチ開口がビア開口上に重なるものであるステップと；このビア開口およびトレンチ開口に導体材料を充填するステップであって、それによって、これらの第1の誘電体層、エッチング・ストッパ層、接着促進剤層、第2の誘電体層、およびハードマスク層に埋設された少なくとも1個のビア伝導体および少なくとも1個のライン伝導体を形成し、このライン伝導体が、ハードマスク層の上面と同一平面に在る上面を有するものであるステップとを含む方法が提供される。
10

【0015】

新規であると考えられる本発明の特徴と本発明の特性を示す要素については、上述の特許請求の範囲で詳細に述べる。図面は単なる例示を目的としたもので、縮尺を合わせて描いたものではない。さらに、これらの図面において同様の符号は同様の機構を表す。しかし本発明そのものは、その編成と動作方法の両方に關し、添付図面と併せて後に続く詳細な記述を参照することによって最も良く理解することができる。

【発明を実施するための最良の形態】
20

【0016】

次に本発明について、添付する図を参考しながら述べる。これらの図には、様々な構造態様が示されており、本発明をより明確に記述しあつて例示するために簡略化して概略的に表されている。例えばこれらの図は、縮尺を合わせて示そうとするものではない。さらに、構造の様々な態様の縦断面を、その形状が長方形であるとして示す。しかし当業者なら、実際の構造ではこれらの態様が、より先細りになった形状をほとんどの場合に組み込むことができる事が理解されよう。さらに本発明は、いかなる特定形状の構造にも限定するものではない。

【0017】

本発明のある特定の態様を、銅を含む構造について記述するが、本発明はそのようなものに限定されない。銅は好ましい導体材料であるが、本発明の構造は、アルミニウムなどの任意の適切な導体材料を含んでよい。
30

【0018】

図6を参考すると、本発明の相互接続構造の好ましい実施形態は、トランジスタなどの論理回路要素を含むことができ、かつ以下に論じる伝導体およびキャップ層と同じかまたは異なる材料で形成されるシングル・ダマシン配線レベルまたはキャップ層あるいはその両方で終端させることのできる下部基板110を含む。例えば基板110は、タンゲステンを含む配線レベルで終端させることができ、一方、以下に論じる伝導体114および118は、銅で形成することができる。

【0019】
40

キャップ層111は、下部基板110上に堆積することができる。一般に層間誘電体(ILD)と呼ばれる誘電体層112は、キャップ層111上に重なっている。ビア・レベルのハードマスク層113は、ILD層112上に堆積する事が好ましい。少なくとも1つのビア伝導体114は、ILD層112、キャップ層111、およびビア・ハードマスク層113に埋設されている。拡散障壁ライナ(図示せず)は、ILD層112とビア伝導体114との間に堆積することができる。ビア伝導体114の上面は、通常は化学機械研磨(CMP)ステップによって、ビア・ハードマスク層113の上面と同一平面になるよう作製されている。

【0020】

第1の相互接続レベルは、図6に示す相互接続構造のキャップ層111、ILD層11
50

2、ハードマスク層113、およびビア伝導体114によって画定される。図2の第1の相互接続レベル上に示される第2の相互接続レベルは、ビア・キャップ層115、ILD層116、ライン・ハードマスク層117、およびライン伝導体118を含む。接着促進剤層(図示せず)は、ビア・キャップ層115とILD層116との間に堆積することができる。最終のキャップ層119は、ライン伝導体118およびライン・ハードマスク層117上に重なっている。

【0021】

本発明の相互接続構造の別の好ましい実施形態を、図10に示す。この実施形態は、トランジスタなどの論理要素を含むことのできる下部基板210を含む。下部基板210上には、キャップ層211を堆積することができる。キャップ層211上にはILD層212が重なっている。ILD層212上にはエッティング・ストッパ層213が堆積される。エッティング・ストッパ層213上には接着促進剤層215が堆積される。接着促進剤層215上にはILD層216が堆積され、ILD層216上にはハードマスク層217が重なっている。少なくとも1つのビア伝導体214とライン伝導体218は、図示されるように、層211、212、213、215、216、および217に埋設されている。ライン伝導体218の上面は、ハードマスク層217の上面と同一平面になるように作製される。最終のキャップ層219は、ライン伝導体218およびハードマスク層217上に重なる。

【0022】

図6のILD層112、116、212、および216は、任意の適切な誘電体材料で作製することができるが、低k誘電体材料が好ましい。適切な誘電体材料には、炭素をドープした二酸化シリコン材料；フッ素化ケイ酸塩ガラス(FSG)；有機ポリマー熱硬化性材料、シリコンオキシカーバイド；SiCOH誘電体；フッ素をドープした酸化シリコン；スピノン・オン・ガラス(spin-on glass)；水素シルセスキオキサン(HSQ)、メチルシルセスキオキサン(MSQ)、HSQとMSQの混合物またはコポリマーを含めたシルセスキオキサン；ベンゾシクロブテン(BCB)をベースにしたポリマー誘電体、および任意のシリコン含有低k誘電体が含まれる。シルセスキオキサンの化学的性質を使用したSiCOHタイプの組成を有するスピノン・オン低k膜の例には、HOSP(商標)(ハネウェル(Honeywell)から入手可能)、JSR 5109および5108(日本合成ゴムから入手可能)、Zirkon(商標)(シップレイ・マイクロエレクトロニクス(ShipleyMicroelectronics)、ローム・アンド・ハース事業部(a division of Rohm and Haas)から入手可能)、および多孔質低k(ELK)材料(アプライド・マテリアル(AppliedMaterials)から入手可能)が含まれる。炭素をドープした二酸化シリコン材料またはオルガノシランの例には、Black Diamond(商標)(アプライド・マテリアル(AppliedMaterials)から入手可能)およびCoral(商標)(ノベラス(Novellus)から入手可能)が含まれる。HSQ材料の例は、FOX(商標)(ダウ・コーニング(DowCorning)から入手可能)である。好ましい誘電体材料には、本質的に炭素、酸素、および水素からなる有機ポリマー熱硬化性材料が含まれ、SiLK(商標)(ダウ・ケミカル・カンパニー(DowChemical Company)から入手可能)として知られる低kポリアリレンエーテルポリマー材料およびFЛАRE(商標)(ハネウェル(Honeywell)から入手可能)として知られる低kポリマー材料が含まれる。

【0023】

好ましい実施形態では、信頼性を向上させるため、ビア・レベルのILD層112および212がSiCOHや酸化物誘電体材料などの熱膨張率(CTE: coefficient of thermal expansion)の低い材料で形成され、ライン・レベルのILD層116および216は、SiLK(商標)などの低kを有するポリマー熱硬化性材料で形成される。ビア・レベルのILD層112および212は、約50ppm/未満のCTEを有する誘電体材料で形成され、好ましくは伝導体114および214のCTEと一致するように形成されることが、特に好ましい。

【0024】

10

20

30

40

50

特に好ましい実施形態では、ビア・レベルのILD層112および212がSiCOHで形成され、ライン・レベルのILD層116および216がSiLK(商標)で形成される。別の実施形態では、ビア・レベルのILD層112および212をSiCOHで形成することができ、ライン・レベルのILD層116および216を多孔質SiLK(商標)で形成することができる。さらに別の実施形態では、ビア・レベルのILD層112および212を多孔質SiCOHで形成することができ、ライン・レベルのILD層116および216をSiLK(商標)で形成することができる。さらに別の実施形態では、ビア・レベルのILD層112および212を多孔質SiCOHで形成することができ、ライン・レベルのILD層116および216を多孔質SiLK(商標)で形成することができる。さらに別の実施形態では、ビア・レベルのILD層112および212を多孔質SiCOHで形成することができ、ライン・レベルのILD層116および216をSiCOHで形成することができる。さらに別の実施形態では、ビア・レベルのILD層112および212を多孔質SiCOHで形成することができ、ライン・レベルのILD層116および216を多孔質SiLK(商標)で形成することができる。さらに別の実施形態では、ビア・レベルのILD層112および212を多孔質SiCOHで形成することができ、ライン・レベルのILD層116および216をSiCOHで形成することができる。さらに別の実施形態では、ビア・レベルのILD層112および212を多孔質SiCOHで形成することができ、ライン・レベルのILD層116および216を多孔質SiCOHで形成することができる。

10

20

30

40

50

【0025】

ILD層112、116、212、および216は、それぞれ厚さを約10nmから約1000nmにすることができるが、これらの層は、それぞれ約120nmの厚さであることが好ましい。ILD層112、116、212、および216に関する誘電率は、好ましくは約1.8から約3.5であり、最も好ましくは約2.5から約2.9である。ライン・レベルとビア・レベルの両方のILDに多孔質材料を使用した実施形態では、ILD層112、116、212、および216に関する材料が多孔質材料であり、それによって、これらの層の誘電率を約1.8から2.5の範囲までさらに低下させることができる。

【0026】

ハードマスク層113およびエッチング・ストッパ層213は、任意の適切な誘電体材料で形成することができる。層113および213は、以下の特徴を有すること、すなわち(1)誘電率が低く(好ましくは約7未満)；(2)ライナに比べてCMP速度が低く(好ましくは約1:5)、したがってCMPストッパ層として働き；(3)効果的なCMP後のクリーニングで水分を吸収し易く；(4)下に在る誘電体に拡散する銅の障壁として働き；(5)レジスト剥離操作中に使用される酸素プラズマに対して抵抗性があることが好ましい。層113および213に好ましい材料には、Blok(商標)(アプライド・マテリアル・インコーポレイテッド(Applied Materials, Inc.)から入手可能)などのSiCHおよびSiNCHが含まれ、約5未満の誘電率、好ましくは約4.9の誘電率を有する。具体的にこれらの層は、約20～34原子%のシリコンと、約12～34原子%の炭素と、約5～30原子%の窒素と、約20～50原子%の水素とからなることが好ましい。この材料は、好ましくは組成 $\text{Si}_x\text{C}_y\text{N}_w\text{H}_z$ を有し、ただし x は約0.2から約0.34であり、 y は約0.12から約0.34であり、 w は約0.05から約0.3であり、 z は約0.2から約0.5である。SiNCH材料に特に好ましい組成は、シリコンが約22～30原子%、炭素が約15～30原子%、窒素が約10～22原子%、および水素が約30～45原子%である。この特に好ましい組成は、 $\text{Si}_x\text{C}_y\text{N}_w\text{H}_z$ 、ただし x が約2.2から約3であり、 y が約1.5から約3であり、 w が約1から約2であり、 z が約3から約4.5であるもので表される。最も好ましい実施形態は、複数のビア・ハードマスク層を利用し、その中で底部層が最も低い誘電率を有しつつ最高のCMP選択性を有する。

【0027】

ビア・キャップ層115は、任意の適切な誘電体材料で形成することができる。ビア・キャップ層115は、以下の特徴を有すること、すなわち(1)誘電率が低く；(2)レジスト剥離操作中に使用される酸素プラズマに対して抵抗性があり；(3)銅障壁として働き；(4)エッチング選択性を有し、したがってエッチング・ストッパ層として働くことが好ましい。ビア・キャップ層115に特に好ましい材料は、誘電率が約5未満であり

、かつシリコン、炭素、窒素、および水素を含んだ非晶質窒素化水素化シリコンカーバイド(SiCNH)である。その他の適切な材料には、SiN、SiCH、およびSiONが含まれる。

【0028】

接着促進剤層215は、以下の特徴を有すること、すなわち(1)誘電率が低く；(2)水分相互作用が低く；(3)耐酸化性が増大し；(4)ILD層216とビア・ハードマスク層213に対してRIEの化学的選択性を有することが好ましい。接着促進剤層215に特に好ましい材料には、シロキサンまたはSiCOHが含まれ、最も好ましくはHOSP Best(商標)(ハネウェル(Honeywell)から入手可能)である。

【0029】

ハードマスク層117および217は、任意の適切な誘電体材料で形成することができるが、誘電率が約5未満の誘電体材料で形成することが好ましい。ハードマスク層117および217に好ましい材料は、SiCOHおよびSiCHである。最も好ましい実施形態では、これらのハードマスク層は約3.5未満の誘電率を有する。

【0030】

最終のキャップ層119および219は、任意の適切な誘電体材料で形成することができるが、SiNCHまたはSiNで形成することが好ましい。最終のキャップ層をSiNCHで形成する場合、この層は、約20～34原子%のシリコンと、約12～34原子%の炭素と、約5～30原子%の窒素と、約20～50原子%の水素とからなることが好ましい。この材料は、好ましくは組成 $Si_xC_yN_wH_z$ を有し、ただし x は約0.2から約0.34であり、 y は約0.12から約0.34であり、 w は約0.05から約0.3であり、 z は約0.2から約0.5である。 $SiNCH$ 材料に特に好ましい組成は、シリコンが約22～30原子%、炭素が約15～30原子%、窒素が約10～22原子%、水素が約30～45原子%である。この特に好ましい組成は、 $Si_xC_yN_wH_z$ 、ただし x が約2.2から約3であり、 y が約1.5から約3であり、 w が約1から約2であり、 z が約3から約4.5であるもので表すことができる。

【0031】

図6の相互接続構造は、図2～6に示すプロセスなどのシングル・ダマシン・プロセスによって形成することができる。このプロセスは、図2に示すように、任意選択で基板110上にキャップ層111を堆積することから始まり、その後、キャップ層111上にILD層112を堆積する。キャップ層111およびILD層112は、任意の適切な方法によって堆積することができる。例えばILD層112にSiLK(商標)を使用する場合は、樹脂をスピン・コーティング・プロセスによって塗布し、その後、ペーク・ステップにかけて溶媒を除去し、次いで熱硬化ステップにかけることができる。

【0032】

次いで図2に示すように、ビア・レベルのハードマスク層113をILD層112上に堆積する。ハードマスク層113は任意の適切な方法によって堆積することができるが、ハードマスク層113がSiNCHである場合には、化学気相成長法(CVD)によってILD層112上に直接堆積することが好ましい。あるいは、ビア・レベルのハードマスク層113にはスピン・オン・ガラスを使用することができる。好ましいCVD材料の例はSiCHであり、好ましいスピン・オン材料の例はHOSP Best(商標)である。

【0033】

ハードマスク層113を堆積した後、追加の犠牲ハードマスク層(図示せず)を堆積することができる。例えば、2000年4月14日に出願された「相互接続構造を生成するための保護ハードマスク(Protective Hardmask for Producing Interconnect Structures)」という名称の同時係属の米国特許出願第09/550943号であって、その開示を参照により本明細書に援用するものに記載されるハードマスク層のような、一連のハードマスク層を堆積することができる。

【0034】

キャップ層 111、ILD 層 112、およびハードマスク層 113 を堆積した後、リソグラフィ・パターニング・プロセスを使用して、少なくとも 1 つのビア 114a を形成する。ビア 114a は、フォトレジストによって保護されていない領域で、例えば反応性イオン・エッ칭 (RIE) によってハードマスク層 113 および ILD 層 112 の一部を除去することによって形成する。ハードマスク層 113 は、このエッチング・ステップを、以下のように補助することができる。ハードマスク層 113 は、まずそのフォトレジストで覆われていない領域をエッチングし、次いでそのフォトレジストを除去し、フォトレジスト・パターンに一致するパターニングされたハードマスク層 113 を残すことができる。ILD 層 112 およびキャップ層 111 は、ハードマスク層 113 で覆われていない領域をエッチングすることができる。

10

【0035】

ビア 114a を形成した後、このビアに拡散障壁ライナを施し (図示せず)、次いで図 3 に示すように導体材料をビア 114a 内に堆積して伝導体 114 を形成する。拡散障壁ライナは、物理気相成長法 (PVD) や化学気相成長法 (CVD)、原子層堆積法 (ALD)、イオン化物理気相成長法 (I-PVD) などの任意の適切な方法によって堆積することができる。拡散障壁ライナは、薄膜複合体として数種の高融点金属 (refractory metal) を堆積することによって構成された多層ライナでよい。導体材料 114 は、めっき技術などの任意の適切な方法によってビア 114a に堆積することができる。過剰なライナ材料および過剰な導体材料 114 は、CMP プロセスで除去することができる。その場合、伝導体 114 の上面は、ハードマスク層 113 と同一平面に在るように作製される。ハードマスク層 113 は、この CMP ステップ中に研磨ストップ層として働き、それによって ILD 層 112 が研磨中に損傷を受けないようにする。犠牲ハードマスク層 (図示せず) は、この CMP ステップ中に除去してもよい。

20

【0036】

図 2 ~ 3 は、キャップ層 111、ILD 層 112、ハードマスク層 113、およびビア伝導体 115 を含む第 1 の相互接続レベルの形成を示す。図 4 では、第 2 の相互接続レベルの形成が、ビア・キャップ層 115、ILD 層 116、およびハードマスク層 117 の堆積から始まる。追加の犠牲ハードマスク層 (図示せず) を主要なハードマスク層 117 上に堆積することができる。

30

【0037】

好ましい実施形態では、キャップ層 115 は、CVD によって堆積した窒化シリコン膜である。特に好ましい実施形態では、キャップ層 115 は、CVD によって堆積した SiCNH である。

【0038】

ILD 層 116 は、ILD 層 112 の材料とは異なる材料で形成することが好ましい。ILD 層 112 が SiCOH 材料で形成される場合 (好ましくは CVD によって堆積した)、ILD 層 116 は、SiLK (商標) などのポリマー熱硬化性材料で形成することが好ましい。ILD 層 116 が SiLK (商標) などの低 k ポリマー材料である場合、典型的な場合にはその ILD 材料をスピニ塗布し、塗布後ホット・ベークにかけて溶媒を除去し、高温で硬化する。

40

【0039】

ライン・ハードマスク層 117 は、SiCOH や SiCH などの低 k 誘電体材料で形成することが好ましく、CVD またはスピニ塗布法によって堆積することができる。好ましい CVD 材料の例は SiCH であり、好ましいスピニ・オン材料の例は HOSP BES t (商標) である。

【0040】

ビア・キャップ層 115、ILD 層 116、およびライン・ハードマスク層 117 の堆積後、リソグラフィ・パターニングおよび反応性イオン・エッチング (RIE) を含めてよいエッチング・プロセスを使用して、図 4 に示すように少なくとも 1 つのトレチ 118 を形成する。トレチ 118 には拡散障壁ライナ (図示せず) を施すことができ、次い

50

で図5に示すように導体材料をトレンチ2118a内に堆積して、伝導体2118を形成する。拡散障壁ライナは、物理気相成長法(PVD)や化学気相成長法(CVD)、原子層堆積法(ALD)、イオン化物理気相成長法(I-PVD)などによる任意の適切な方法で堆積することができる。拡散障壁ライナは、薄膜複合体として数種の高融点金属を堆積することにより構成された多層ライナでよい。導体材料2118は、典型的な場合、導体ビア2114で使用したものと同じ材料であり、めっき技術などによる任意の適切な方法でトレンチ2118a内に堆積することができる。過剰なライナ材料および過剰な導体材料2118は、CMPプロセスで除去することができ、その場合、伝導体2118の上面はライン・ハードマスク層2117と同一平面になるよう作製される。

【0041】

伝導体2114および2118を形成した後は、図6に示すように最終のキャップ層2119を堆積することができる。最終のキャップ層2119は、任意の適切な誘電体材料で形成することができるが、好ましくはCVDによって堆積したSiCNHまたはSiNで形成される。

【0042】

上述のかつ図2～6に示したシングル・ダマシン法の代替例として、本発明の相互接続構造は、図7～10に示される方法などのデュアル・ダマシン法を使用して形成することができる。この代替プロセスは、任意選択で基板210上にキャップ層211を堆積することから始まり、その後、キャップ層211上にILD層212を堆積する。

【0043】

次いでILD層212上に、まずエッティング・ストッパ層213を堆積し、次いでエッティング・ストッパ層213上に連続して接着促進剤層215を堆積することによって、2層エッティング・ストッパを構成する。層213は、CVDによって堆積するが最も好ましく、SiNCHが最も好ましい。接着促進剤層215は、好ましくはスピニ塗布法によって堆積され、好ましくはSiCOH材料であり、最も好ましくはHOSP BEST(商標)である。

【0044】

接着剤促進剤層215を堆積した後に、ILD層216およびハードマスク層217を堆積する。次いで従来のリソグラフィ・プロセスを使用して、図8に示すように、トレンチ2118aおよびビア214aを形成する。デュアル・ダマシン・エッティング・プロセスでは、犠牲ハードマスクを利用する。ライン・レベルのリソグラフィを実施した後、エッティング・プロセスによって、ライン・レベルのパターンは非犠牲層217以外のハードマスク・レベルに転写される。次いでリソグラフィを実施して、ビア・レベルをパターンニングする。エッティング・プロセスでは、全ハードマスク・スタック(層217を含む)およびILD層216を除去し、層215上で選択的に停止することによって、ビア214aのパターンを転写する。次に、残されているライン・レベルのハードマスク層(層217を含む)をエッティングする。エッティング・プロセスは、ビア・パターンを層215、213、および212にエッティングすることによって継続し、層211上で選択的に停止させる。ILD層212は、ラインがさらに画定されるようエッティングする。最後に、キャップ層211をエッティングしてビアを完成させる。この最終のエッティング・ステップでは、ライン・パターン内の層215を除去してトレンチ2118aも完成させる。

【0045】

次いでビア214aおよびトレンチ2118aには、デュアル・ダマシン・プロセスで導体材料を充填して、図9に示すように伝導体214、218を形成する。過剰な導体材料は、上述のようにCMPプロセスで除去することができる。

【0046】

伝導体214、218を形成した後、最終のキャップ層219を図10に示すように堆積することができる。最終のキャップ層219は、任意の適切な誘電体材料で形成することができるが、CVDによってSiCNHまたはSiNで形成することが好ましい。

【0047】

10

20

30

40

50

図7～10に示すデュアル・ダマシン法の代替例として、本発明の相互接続構造は、以下の単純化したデュアル・ダマシン法を使用して形成することができる。この代替のデュアル・ダマシン法では、ILD層212の性質を、RIEパターニング・ステップでの選択性に合わせて調節することができ、このRIEステップでの化学的作用は、例えば層216と層212とを異なる材料にし、それによって埋設された層213および215を構造から省略することによって、調節することができる。例えば、CF₄を使用してSiCOH材料をエッチングすることができ、N₂/H₂を使用して、SiLKなどのポリマー材料をエッチングすることができる。

【0048】

本発明について、特定の好ましい実施形態およびその他の代替の実施形態と併せて詳細に述べてきたが、前述の内容に照らして非常に数多くの代替例、修正例、および変形例が当業者に明らかになることが明白である。したがって上述の特許請求の範囲は、そのような代替例、修正例、および変形例のすべてが本発明の真の範囲および精神に含まれるとして解釈されるものである。

【図面の簡単な説明】

【0049】

【図1】従来技術の相互接続構造を示す、一部製作した集積回路デバイスの概略断面図である。

【図2】本発明の好ましい実施形態による相互接続構造を形成する方法を示す、一部製作した集積回路デバイスの概略断面図である。

【図3】本発明の好ましい実施形態による相互接続構造を形成する方法を示す、一部製作した集積回路デバイスの概略断面図である。

【図4】本発明の好ましい実施形態による相互接続構造を形成する方法を示す、一部製作した集積回路デバイスの概略断面図である。

【図5】本発明の好ましい実施形態による相互接続構造を形成する方法を示す、一部製作した集積回路デバイスの概略断面図である。

【図6】本発明の好ましい実施形態による相互接続構造を形成する方法を示す、一部製作した集積回路デバイスの概略断面図である。

【図7】本発明の別の好ましい実施形態による相互接続構造を形成する方法を示す、一部製作した集積回路デバイスの概略断面図である。

【図8】本発明の別の好ましい実施形態による相互接続構造を形成する方法を示す、一部製作した集積回路デバイスの概略断面図である。

【図9】本発明の別の好ましい実施形態による相互接続構造を形成する方法を示す、一部製作した集積回路デバイスの概略断面図である。

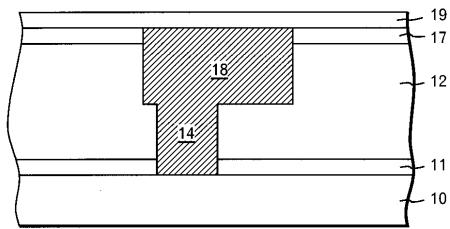
【図10】本発明の別の好ましい実施形態による相互接続構造を形成する方法を示す、一部製作した集積回路デバイスの概略断面図である。

10

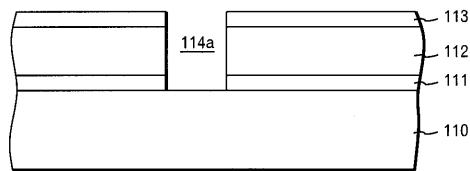
20

30

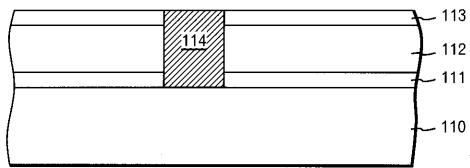
【図1】



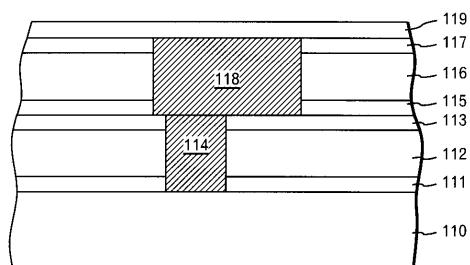
【図2】



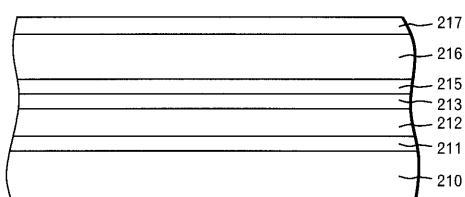
【図3】



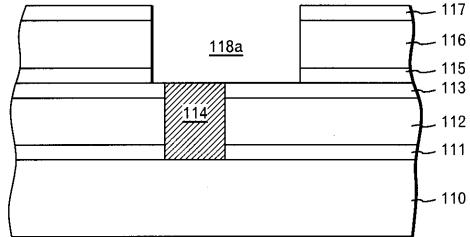
【図6】



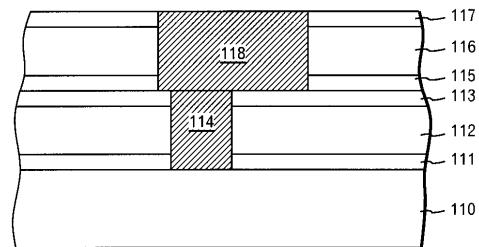
【図7】



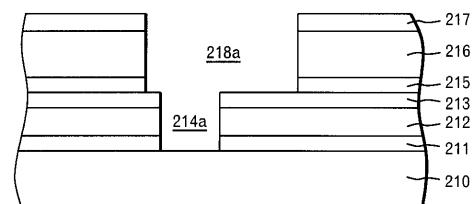
【図4】



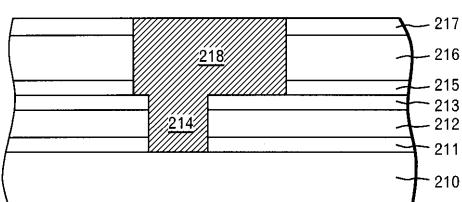
【図5】



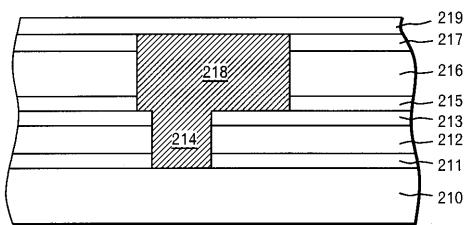
【図8】



【図9】



【図10】



【手続補正書】

【提出日】平成17年1月13日(2005.1.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】**【特許請求の範囲】****【請求項1】**

基板上に形成されたSiCOHからなる第1の誘電体層と、

前記第1の誘電体層上に在りかつ上面を有する第1のハードマスク層と、

前記第1の誘電体層および前記第1のハードマスク層に埋設された少なくとも1つの導体ピアと、

前記第1のハードマスク層上のピア・レベル・キャップ層と、

前記ピア・レベル・キャップ層上に形成されたポリマー熱硬化性材料からなる第2の誘電体層と、

前記第2の誘電体層上に在りかつ上面を有する第2のハードマスク層と、

前記ピア・レベル・キャップ層、前記第2の誘電体層、および前記第2のハードマスク層に埋設され、かつ前記第2のハードマスク層の上面と同一平面に在る上面を有している、少なくとも1つの導体ラインと

を備える、基板上に形成された相互接続構造。

【請求項2】

前記第1の誘電体層が50ppm/未満の熱膨張率を有する、請求項1に記載の相互接続構造。

【請求項3】

前記第1および第2の誘電体層のそれぞれが、1.8から3.5の誘電率を有する、請求項1または2に記載の相互接続構造。

【請求項4】

前記第1のハードマスク層がSiCHまたはSiNCHからなる、請求項1ないし3のいずれか一項に記載の相互接続構造。

【請求項5】

前記ピア・レベルのキャップ層がSiNCH、SiN、SiCH、またはSiONからなる、請求項1ないし4のいずれか一項に記載の相互接続構造。

【請求項6】

前記第2のハードマスク層が、SiCOHまたはSiCHからなりかつ3.5未満の誘電率を有する、請求項1ないし5のいずれか一項に記載の相互接続構造。

【請求項7】

前記ピア・レベルのキャップ層と前記第2の誘電体層との間に配置された接着促進剤層をさらに含む、請求項1ないし6のいずれか一項に記載の相互接続構造。

【請求項8】

前記第2のハードマスク層および前記導体ライン上にキャップ層をさらに含む、請求項1ないし7のいずれか一項に記載の相互接続構造。

【請求項9】

基板上に形成された、SiCOHからなる第1の誘電体層と、

前記第1の誘電体層上のエッティング・ストップ層と、

前記エッティング・ストップ層上の接着促進剤層と、

前記接着促進剤層上の第2の誘電体層であって、ポリマー熱硬化性材料からなる第2の誘電体層と、

前記第2の誘電体層上に在りかつ上面を有するハードマスク層と、

前記第1の誘電体層および前記エッティング・ストップ層に埋設された少なくとも1つの

導体ピアと、

前記接着促進剤層、前記第2の誘電体層、および前記ハードマスク層に埋設され、かつ前記ハードマスク層の上面と同一平面に在る上面を有する少なくとも1つの導体ラインとを備える、基板上に形成された相互接続構造。

【請求項10】

前記第1の誘電体層が50ppm/未満の熱膨張率を有する、請求項9に記載の相互接続構造。

【請求項11】

前記第1および第2の誘電体層のそれぞれが、1.8から3.5の誘電率を有する、請求項9または10に記載の相互接続構造。

【請求項12】

前記エッチング・ストップ層がSiCHまたはSiNCHからなる、請求項9ないし11のいずれか一項に記載の相互接続構造。

【請求項13】

前記接着促進剤層がSiCOHからなる、請求項9ないし12のいずれか一項に記載の相互接続構造。

【請求項14】

前記ハードマスク層が、SiCOHまたはSiCHからなりかつ3.5未満の誘電率を有する、請求項9ないし13のいずれか一項に記載の相互接続構造。

【請求項15】

前記ハードマスク層および前記導体ライン上にキャップ層をさらに含む、請求項9ないし14のいずれか一項に記載の相互接続構造。

【請求項16】

基板上に第1の誘電体層を堆積するステップと、

前記第1の誘電体層上に第1のハードマスク層を堆積するステップと、

前記第1の誘電体層および前記第1のハードマスク層に少なくとも1つのビア開口を形成するステップと、

前記ビア開口に導体材料を充填するステップであって、それによって前記第1の誘電体層および前記第1のハードマスク層に埋設された少なくとも1個の導体ピアを形成するステップと、

前記第1のハードマスク層上にピア・レベルのキャップ層を堆積するステップと、

前記ビア・レベルのキャップ層上に第2の誘電体層を堆積するステップであって、前記第2の誘電体層が前記第1の誘電体層とは異なる材料で形成されたものであるステップと、

前記第2の誘電体層上に、上面を有する第2のハードマスク層を堆積するステップと、前記ビア・レベルのキャップ層、前記第2の誘電体層、および前記ハードマスク層に少なくとも1つのトレーナー開口を形成するステップであって、前記トレーナー開口が前記第1の導体ピア上に重なるものであるステップと、

前記トレーナー開口に導体材料を充填するステップであって、それによって、前記ビア・レベルのキャップ層、前記第2の誘電体層、および前記第2のハードマスク層に埋設された少なくとも1つの導体ラインを形成し、前記導体ラインが、前記第2のハードマスク層の上面と同一平面に在る上面を有するものであるステップと

を備える、基板上に相互接続構造を形成する方法。

【請求項17】

前記第1の誘電体層をSiCOHで形成し、前記第2の誘電体層をポリマー熱硬化性材料で形成する、請求項16に記載の方法。

【請求項18】

前記第1の誘電体層が50ppm/未満の熱膨張率を有する、請求項16または17に記載の方法。

【請求項19】

前記第1のハードマスク層が7未満の誘電率を有する、請求項1_6ないし1_8のいずれか一項に記載の方法。

【請求項20】

前記第1のハードマスク層をSiCHまたはSiNCHで形成する、請求項1_6ないし1_9のいずれか一項に記載の方法。

【請求項21】

前記ビア・レベルのキャップ層をSiCNHで形成する、請求項1_6ないし2_0のいずれか一項に記載の方法。

【請求項22】

前記ビア・レベルのキャップ層が5未満の誘電率を有する、請求項1_6ないし2_1のいずれか一項に記載の方法。

【請求項23】

前記第2のハードマスク層および前記導体ライン上にキャップ層を堆積するステップをさらに含む、請求項1_6ないし2_2のいずれか一項に記載の方法。

【請求項24】

前記第2の誘電体層を堆積する前に、前記ビア・レベルのキャップ層上に接着促進剤層を堆積するステップをさらに含む、請求項1_6ないし2_3のいずれか一項に記載の方法。

【請求項25】

基板上に第1の誘電体層を堆積するステップと、
前記第1の誘電体層上にエッチング・ストッパ層を堆積するステップと、
前記エッチング・ストッパ層上に接着促進剤層を堆積するステップと、
前記接着促進剤層上に第2の誘電体層を堆積するステップであって、前記第2の誘電体層が前記第1の誘電体層とは異なる材料で形成されるものであるステップと、
前記第2の誘電体層上に、上面を有するハードマスク層を堆積するステップと、
前記ハードマスク層、前記第2の誘電体層、前記接着促進剤層、前記第1の誘電体層、
および前記エッチング・ストッパ層に、少なくとも1つのビア開口を形成するステップと、
前記ハードマスク層、前記第2の誘電体層、および前記接着促進剤層に少なくとも1つのトレンチ開口を形成するステップであって、前記トレンチ開口が前記ビア開口上に重なるものであるステップと、
前記ビアおよびトレンチ開口に導体材料を充填するステップであって、それによって、前記第1の誘電体層、前記エッチング・ストッパ層、前記接着促進剤層、前記第2の誘電体層、および前記ハードマスク層に埋設された少なくとも1つのビア伝導体および少なくとも1個のライン伝導体を形成し、前記ライン伝導体が、前記ハードマスク層の上面と同一平面に在る上面を有するものであるステップとを含む、基板上に相互接続構造を形成する方法。

【請求項26】

前記第1の誘電体層をSiCOHで形成し、前記第2の誘電体層をポリマー熱硬化性材料で形成する、請求項2_5に記載の方法。

【請求項27】

前記第1の誘電体層が50ppm/未満の熱膨張率を有する、請求項2_5または2_6に記載の方法。

【請求項28】

前記エッチング・ストッパ層をSiCHまたはSiNCHで形成する、請求項2_5ないし2_7のいずれか一項に記載の方法。

【請求項29】

前記接着促進剤層をSiCOHで形成する、請求項2_5ないし2_8のいずれか一項に記載の方法。

【請求項30】

前記第2のハードマスク層および前記導体ライン上に最終のキャップ層を堆積するステ

ップをさらに含む、請求項 25ないし29のいずれか一項に記載の方法。

【請求項 31】

基板上に形成された SiCOH からなる第 1 の誘電体層と、
前記第 1 の誘電体層上に形成されたポリマー熱硬化性材料からなる第 2 の誘電体層と、
前記第 2 の誘電体層上に在りかつ上面を有するハードマスク層と、
前記第 1 の誘電体層に埋設された少なくとも 1 つの導体ビアと、
前記第 2 の誘電体層および前記ハードマスク層に埋設され、かつ前記ハードマスク層の
上面と同一平面に在る上面を有している、少なくとも 1 つの導体ラインと
を含む、基板上に形成された相互接続構造。

【請求項 32】

前記ハードマスク層が、SiCOH または SiCH からなりかつ 3.5 未満の誘電率を
有する、請求項 31 に記載の相互接続構造。

【請求項 33】

前記ハードマスク層および前記導体ライン上にキャップ層をさらに含む、請求項 31 ま
たは請求項 32 に記載の相互接続構造。

【請求項 34】

前記第 2 の誘電体層が多孔質ポリマー熱硬化性材料からなる、請求項 31 ないし 33 の
いずれか一項に記載の相互接続構造。

【請求項 35】

前記第 1 の誘電体層が多孔質 SiCOH からなる、請求項 31 ないし 34 のいずれか一
項に記載の相互接続構造。

【請求項 36】

前記第 1 の誘電体層が多孔質 SiCOH からなり、前記第 2 の誘電体層が多孔質ポリマ
ー熱硬化性材料からなる、請求項 31 ないし 35 のいずれか一項に記載の相互接続構造。

【請求項 37】

基板上に形成された SiCOH からなる第 1 の誘電体層と、
前記第 1 の誘電体層上の SiCOH からなる第 2 の誘電体層を備え、前記 2 つの誘電体
層の一方が多孔質であり前記誘電体層の他方が多孔質ではなく、さらに、
前記第 2 の誘電体層上に在りかつ上面を有するハードマスク層と、
前記第 1 の誘電体層に埋設された少なくとも 1 つの導体ビアと、
前記第 2 の誘電体層および前記ハードマスク層に埋設され、かつ前記ハードマスク層の
上面と同一平面に在る上面を有している、少なくとも 1 つの導体ラインと
を備える、基板上に形成された相互接続構造。

【請求項 38】

前記第 1 の誘電体層が多孔質 SiCOH からなり、前記第 2 の誘電体層が SiCOH か
らなる、請求項 37 に記載の相互接続構造。

【請求項 39】

前記第 1 の誘電体層が SiCOH からなり、前記第 2 の誘電体層が多孔質 SiCOH か
らなる、請求項 37 または 38 に記載の相互接続構造。

【請求項 40】

前記第 2 の誘電体層が多孔質ポリマー熱硬化性材料からなる、請求項 1 ないし 8 のい
ずれか一項に記載の相互接続構造。

【請求項 41】

前記第 1 の誘電体層が多孔質 SiCOH からなる、請求項 1 ないし 8 または 40 のい
ずれか一項に記載の相互接続構造。

【請求項 42】

基板上に形成された SiCOH からなる第 1 の誘電体層と、
前記第 1 の誘電体層上に在りかつ上面を有する第 1 のハードマスク層と、
前記第 1 の誘電体層および前記第 1 のハードマスク層に埋設された少なくとも 1 つの導
体ビアと、

前記第1のハードマスク層上のビア・レベル・キャップ層と、

前記ビア・レベル・キャップ層上のSiCOHからなる第2の誘電体層とを備え、前記2つの誘電体層の一方が多孔質であり前記誘電体層の他方が多孔質ではなく、さらに、

前記第2の誘電体層上に在りかつ上面を有する第2のハードマスク層と、

前記ビア・レベル・キャップ層、前記第2の誘電体層、および前記第2のハードマスク層に埋設され、かつ前記第2のハードマスク層の上面と同一平面に在る上面を有している、少なくとも1つの導体ラインと

を備える、基板上に形成された相互接続構造。

【請求項43】

前記第1の誘電体層が多孔質SiCOHからなり、前記第2の誘電体層がSiCOHからなる、請求項42に記載の相互接続構造。

【請求項44】

前記第1の誘電体層がSiCOHからなり、前記第2の誘電体層が多孔質SiCOHからなる、請求項42または請求項43に記載の相互接続構造。

【請求項45】

前記第2の誘電体層が多孔質ポリマー熱硬化性材料からなる、請求項9ないし15のいずれか一項に記載の相互接続構造。

【請求項46】

前記第1の誘電体層が多孔質SiCOHからなる、請求項9ないし15または45のいずれか一項に記載の相互接続構造。

【請求項47】

基板上に形成されたSiCOHからなる第1の誘電体層と、

前記第1の誘電体層上のエッティング・ストップ層と、

前記エッティング・ストップ層上の接着促進剤層と、

前記接着促進剤層上のSiCOHからなる第2の誘電体層を備え、前記2つの誘電体層の一方が多孔質であり前記誘電体層の他方が多孔質ではなく、さらに、

前記第2の誘電体層上に在りかつ上面を有するハードマスク層と、

前記第1の誘電体層および前記エッティング・ストップ層に埋設された少なくとも1つの導体ビアと、

前記接着促進剤層、前記第2の誘電体層、および前記ハードマスク層に埋設され、かつ前記ハードマスク層の上面と同一平面に在る上面を有している、少なくとも1つの導体ラインと

を備える、基板上に形成された相互接続構造。

【請求項48】

前記第1の誘電体層が多孔質SiCOHからなり、前記第2の誘電体層がSiCOHからなる、請求項47に記載の相互接続構造。

【請求項49】

前記第1の誘電体層がSiCOHからなり、前記第2の誘電体層が多孔質SiCOHからなる、請求項47に記載の相互接続構造。

【請求項50】

基板上に、SiCOHからなる第1の誘電体層を堆積するステップと、

前記第1の誘電体層に少なくとも1つのビア開口を形成するステップと、

前記ビア開口に導体材料を充填し、それによって、前記第1の誘電体層に埋設された少なくとも1つの導体ビアを形成するステップと、

前記第1の誘電体層および前記導体ビア上に、ポリマー熱硬化性材料からなる第2の誘電体層を堆積するステップと、

前記第2の誘電体層上に、上面を有するハードマスク層を堆積するステップと、

前記第2の誘電体層および前記ハードマスク層に少なくとも1つのトレンチ開口を形成するステップであって、前記トレンチ開口が前記導体ビア上に重なるものであるステップと、

前記トレンチ開口に導体材料を充填し、それによって、前記第2の誘電体層および前記ハードマスク層に埋設されかつ前記ハードマスク層の上面と同一平面に在る上面を有している少なくとも1つの導体ラインを形成するステップと
を備える、基板上に相互接続構造を形成する方法。

【請求項51】

前記ハードマスク層が、SiCOHまたはSiCHで形成されかつ3.5未満の誘電率を有する、請求項50に記載の方法。

【請求項52】

前記ハードマスク層および前記導体ライン上にキャップ層を堆積するステップをさらに含む、請求項50に記載の方法。

【請求項53】

第2の誘電体層を多孔質ポリマー熱硬化性材料で形成する、請求項50に記載の方法。

【請求項54】

前記第1の誘電体層を多孔質SiCOHで形成する、請求項50に記載の方法。

【請求項55】

前記第1の誘電体層を多孔質SiCOHで形成し、前記第2の誘電体層を多孔質ポリマー熱硬化性材料で形成する、請求項50に記載の方法。

【請求項56】

基板上に、SiCOHからなる第1の誘電体層を堆積するステップと、

前記第1の誘電体層に少なくとも1つのビア開口を形成するステップと、

前記ビア開口に導体材料を充填し、それによって、前記第1の誘電体層に埋設された少なくとも1つの導体ビアを形成するステップと、

前記第1の誘電体層および前記導体ビア上に、ポリマー熱硬化性材料からなる第2の誘電体層を堆積するステップとを備え、前記2つの誘電体層の一方が多孔質であり、前記誘電体層の他方は多孔質ではなく、さらには、

前記第2の誘電体層上に、上面を有するハードマスク層を堆積するステップと、

前記第2の誘電体層および前記ハードマスク層に少なくとも1つのトレンチ開口を形成するステップであって、前記トレンチ開口が前記導体ビア上に重なるものであるステップと、

前記トレンチ開口に導体材料を充填し、それによって、前記第2の誘電体層および前記ハードマスク層に埋設されかつ前記ハードマスク層の上面と同一平面に在る上面を有している少なくとも1つの導体ラインを形成するステップと

を備える、基板上に相互接続構造を形成する方法。

【請求項57】

前記第1の誘電体層を多孔質SiCOHで形成し、前記第2の誘電体層をSiCOHで形成する、請求項56に記載の方法。

【請求項58】

前記第1の誘電体層をSiCOHで形成し、前記第2の誘電体層を多孔質SiCOHで形成する、請求項56に記載の方法。

【請求項59】

前記第2の誘電体層を多孔質ポリマー熱硬化性材料で形成する、請求項17に記載の方法。

【請求項60】

前記第1の誘電体層を多孔質SiCOHで形成する、請求項17に記載の方法。

【請求項61】

前記第1の誘電体層を多孔質SiCOHで形成し、前記第2の誘電体層を多孔質ポリマー熱硬化性材料で形成する、請求項17に記載の方法。

【請求項62】

基板上に、SiCOHからなる第1の誘電体層を堆積するステップと、

前記第1の誘電体層上に第1のハードマスク層を堆積するステップと、

前記第1の誘電体層および前記第1のハードマスク層に少なくとも1つのピア開口を形成するステップと、

前記ピア開口に導体材料を充填し、それによって、前記第1の誘電体層および前記第1のハードマスク層に埋設された少なくとも1つの導体ピアを形成するステップと、

前記第1のハードマスク層上にピア・レベル・キャップ層を堆積するステップと、

前記ピア・レベル・キャップ層上に、SiCOHからなる第2の誘電体層を堆積するステップとを備え、前記2つの誘電体層の一方が多孔質であり、前記誘電体層の他方は多孔質ではなく、さらに、

前記第2の誘電体層上に、上面を有する第2のハードマスク層を堆積するステップと、

前記ピア・レベル・キャップ層、前記第2の誘電体層、および前記ハードマスク層に少なくとも1つのトレーナー開口を形成するステップであって、前記トレーナー開口が前記第1の導体ピア上にあるステップと、

前記トレーナー開口に導体材料を充填し、それによって、前記ピア・レベル・キャップ層、前記第2の誘電体層、および前記第2のハードマスク層に埋設されかつ前記第2のハードマスク層の上面と同一平面に在る上面を有している少なくとも1つの導体ラインを形成するステップと

を備える、基板上に相互接続構造を形成する方法。

【請求項63】

前記第1の誘電体層を多孔質SiCOHで形成し、前記第2の誘電体層をSiCOHで形成する、請求項62に記載の方法。

【請求項64】

前記第1の誘電体層をSiCOHで形成し、前記第2の誘電体層を多孔質SiCOHで形成する、請求項62に記載の方法。

【請求項65】

前記第2の誘電体層を多孔質ポリマー熱硬化性材料で形成する、請求項26に記載の方法。

【請求項66】

前記第1の誘電体層を多孔質SiCOHで形成する、請求項26に記載の方法。

【請求項67】

前記第1の誘電体層を多孔質SiCOHで形成し、前記第2の誘電体層を多孔質ポリマー熱硬化性材料で形成する、請求項26に記載の方法。

【請求項68】

基板上に、SiCOHからなる第1の誘電体層を堆積するステップと、

前記第1の誘電体層上にエッティング・ストップ層を堆積するステップと、

前記第1の誘電体層および前記第1のエッティング・ストップ層に少なくとも1つのピア開口を形成するステップと、

前記ピア開口に導体材料を充填し、それによって、前記第1の誘電体層および前記第1のエッティング・ストップ層に埋設された少なくとも1つの導体ピアを形成するステップと、

前記エッティング・ストップ層および前記導体ピア上に接着促進剤層を堆積するステップと、

前記接着促進剤層上に、SiCOHからなる第2の誘電体層を堆積するステップとを備え、前記2つの誘電体層の一方が多孔質であり前記誘電体層の他方が多孔質ではなく、さらに、

前記第2の誘電体層上に、上面を有するハードマスク層を堆積するステップと、

前記接着促進剤層、第2の誘電体層、および前記ハードマスク層に少なくとも1つのトレーナー開口を形成するステップであって、前記トレーナー開口が前記第1の導体ピア上にあるステップと、

前記トレーナー開口に導体材料を充填し、それによって、前記接着促進剤層、前記第2の誘電体層、および前記ハードマスク層に埋設されかつ前記ハードマスク層の上面と同一平

面に在る上面を有している少なくとも1つの導体ラインを形成するステップと
を含む、基板上に相互接続構造を形成する方法。

【請求項 69】

前記第1の誘電体層を多孔質SiCOHで形成し、前記第2の誘電体層をSiCOHで
形成する、請求項68に記載の方法。

【請求項 70】

前記第1の誘電体層をSiCOHで形成し、前記第2の誘電体層を多孔質SiCOHで
形成する、請求項68に記載の方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/GB 03/04814
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L21/768 H01L23/532		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 02 083327 A (HONEYWELL INT INC ;APEN PAUL (US); DANIELS BRIAN (US); IWAMOTO NAN) 24 October 2002 (2002-10-24) page 4, paragraph 3 page 3, paragraph 3 page 12, paragraph 5 page 13, paragraph 1	1,4,8, 10,13,27
X	EP 1 120 822 A (TOKYO ELECTRON LTD) 1 August 2001 (2001-08-01) the whole document	1,4,10, 13
Y	US 6 380 091 B1 (CHENG JERRY ET AL) 30 April 2002 (2002-04-30) the whole document	10,27
		-/-
<input checked="" type="checkbox"/>	Further documents are listed in the continuation of box C.	<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance		
E earlier document but published on or after the international filing date		
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		
O document referring to an oral disclosure, use, exhibition or other means		
P document published prior to the international filing date but later than the priority date claimed		
T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention		
X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone		
Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.		
& document member of the same patent family		
Date of the actual completion of the international search	Date of mailing of the international search report	
1 March 2004	15/03/2004	
Name and mailing address of the ISA European Patent Office, P.O. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Ploner, G	

INTERNATIONAL SEARCH REPORT		International Application No PCT/GB 03/04814
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2002/164889 A1 (CHEN ANSEIME ET AL) 7 November 2002 (2002-11-07) the whole document ____	10,27
A	US 2002/117754 A1 (GATES STEPHEN MCCONNELL ET AL) 29 August 2002 (2002-08-29) the whole document ____	1-32
A	DE 101 06 161 A (IBM) 13 September 2001 (2001-09-13) the whole document ____	1-32
A	US 2002/130416 A1 (LIN JAMES ET AL) 19 September 2002 (2002-09-19) the whole document ____	1-32
A	US 2002/164865 A1 (KUMIHASHI TAKAO ET AL) 7 November 2002 (2002-11-07) the whole document ____	1-32
A	M. TADA ET AL.: "Cu Dual Damascene Interconnects in Porous Organosilica Film with Organic Hard-mask and Etch-stop Layers for 70nm-node ULSIs" PROC. IEEE INT. INTERCONNECT CONF. 2002, BURLINGAME USA, 3 - 5 May 2002, pages 12-14, XP002271987 the whole document ____	1-32
A	HASEGAWA T ET AL: "COPPER DUAL DAMASCENE INTERCONNECTS WITH LOW-K (KOFF < 3.0) DIELECTRICS USING FLARETM AND AN ORGANO-SILICATE HARD MASK" INTERNATIONAL ELECTRON DEVICES MEETING 1999. IEDM. TECHNICAL DIGEST. WASHINGTON, DC, DEC. 5 - 8, 1999, NEW YORK, NY: IEEE, US, 1 August 2000 (2000-08-01), pages 623-626, XP000933258 ISBN: 0-7803-5411-7 the whole document ____	1-32
A	T. USAMI ET AL.: "Stopper-less Hybrid Low-k/Cu DD Structure Fabrication Combined with Low-k CMP" PROC. IEEE INT. INTERCONNECT CONF. 2002, BURLINGAME USA, 3 - 5 May 2002, pages 250-252, XP002271988 the whole document ____	1-32
P,A	US 2003/001273 A1 (GIBSON GERALD ET AL) 2 January 2003 (2003-01-02) the whole document ____	1-32

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/GB 03/04814

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
WO 02083327	A	24-10-2002	CA EP WO US US US	2442030 A1 1379340 A1 02083327 A1 2003151031 A1 2003114598 A1 2003130423 A1	24-10-2002 14-01-2004 24-10-2002 14-08-2003 19-06-2003 10-07-2003
EP 1120822	A	01-08-2001	JP EP WO TW	2000150516 A 1120822 A1 0014786 A1 464952 B	30-05-2000 01-08-2001 16-03-2000 21-11-2001
US 6380091	B1	30-04-2002	NONE		
US 2002164889	A1	07-11-2002	NONE		
US 2002117754	A1	29-08-2002	EP TW WO	1371090 A1 533544 B 02071468 A1	17-12-2003 21-05-2003 12-09-2002
DE 10106161	A	13-09-2001	US CN DE JP TW	6486557 B1 1311530 A 10106161 A1 2001284454 A 477028 B	26-11-2002 05-09-2001 13-09-2001 12-10-2001 21-02-2002
US 2002130416	A1	19-09-2002	AU EP JP TW WO US	5869800 A 1186038 A1 2003501836 T 531827 B 0075988 A1 6287955 B1	28-12-2000 13-03-2002 14-01-2003 11-05-2003 14-12-2000 11-09-2001
US 2002164865	A1	07-11-2002	JP TW US	2001338978 A 494494 B 2001046783 A1	07-12-2001 11-07-2002 29-11-2001
US 2003001273	A1	02-01-2003	CN DE GB JP US	1430274 A 10300331 A1 2386755 A 2004006627 A 2003003765 A1	16-07-2003 17-07-2003 24-09-2003 08-01-2004 02-01-2003

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 フツツシモンズ、ジョン
アメリカ合衆国12603 ニューヨーク州ポーキープシー スカイビュー・ドライブ 51

(72)発明者 グレコ、ステファン
アメリカ合衆国12540 ニューヨーク州ラグランジェビル ハーデン・ドライブ 77

(72)発明者 リー、ジア
アメリカ合衆国12508 ニューヨーク州ビーコン バン・ホーン・サークル 5D

(72)発明者 ゲイツ、ステファン
アメリカ合衆国10562 ニューヨーク州オッショニング イニングウッド・ロード 22

(72)発明者 スプーナー、テリー
アメリカ合衆国06812 コネチカット州ニュー・フェアフィールド ローレルウッド・ドライブ 2

(72)発明者 アングヤル、マシュー
アメリカ合衆国12582 ニューヨーク州ストームビル ハニーサックル・コート 33

(72)発明者 ヒクリ、ハビブ
アメリカ合衆国12590 ニューヨーク州ワッピンガーズ・フォールズ カンタベリー・レーン 3E

(72)発明者 スタンダート、セオドラス
アメリカ合衆国12590 ニューヨーク州ワッピンガーズ・フォールズ タウン・ビュー・ドライブ 338

(72)発明者 ビリー、グレン
アメリカ合衆国12580 ニューヨーク州スターツバーグ ホリー・ロード 534

F ターム(参考) 5F033 KK01 KK19 MM01 MM02 NN06 NN07 PP06 PP14 PP20 PP27
PP28 QQ25 QQ28 QQ35 QQ48 QQ49 RR01 RR06 RR08 RR09
RR11 RR21 RR24 RR25 RR29 SS11 SS22 TT01 WW00 WW09
XX12 XX24 XX28
5F058 AA10 AC03 AC10 AD05 AD09 AD10 AD11 AD12 AF04 AG01
AH02 BA20 BC02 BC05 BC08 BC11 BD02 BD04 BD07 BD10
BD15 BF46 BH01 BJ02