

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-101874

(P2010-101874A)

(43) 公開日 平成22年5月6日(2010.5.6)

(51) Int.Cl.
G 0 1 R 31/26 (2006.01)F I
G 0 1 R 31/26テーマコード (参考)
2 G 0 0 3

審査請求 有 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2008-316963 (P2008-316963)
 (22) 出願日 平成20年12月12日 (2008.12.12)
 (31) 優先権主張番号 097141249
 (32) 優先日 平成20年10月27日 (2008.10.27)
 (33) 優先権主張国 台湾 (TW)

(71) 出願人 505277495
 京元電子股▲ふん▼有限公司
 台湾新竹市公道五路二段81號
 (74) 代理人 100082304
 弁理士 竹本 松司
 (74) 代理人 100088351
 弁理士 杉山 秀雄
 (74) 代理人 100093425
 弁理士 湯田 浩一
 (74) 代理人 100102495
 弁理士 魚住 高博
 (74) 代理人 100112302
 弁理士 手島 直彦
 (74) 代理人 100152124
 弁理士 白石 光男

最終頁に続く

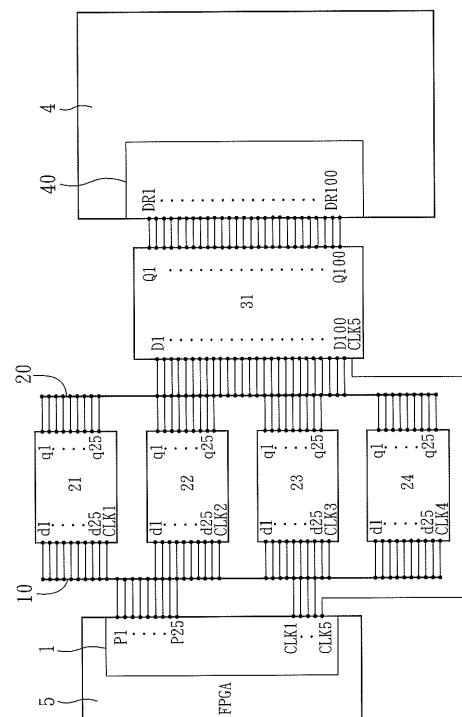
(54) 【発明の名称】 制御信号数を拡充可能なチップバーンイン装置

(57) 【要約】

【課題】制御信号数を拡充可能なチップバーンイン装置の提供。

【解決手段】コントローラーが第1時間に順に入力インタフェースの四つの第1クロックピンをイネーブルし、入力インタフェース内のデータをバッチごとに四つの第1レジスタの対応入力ピンに出力し並びに暫時保存し、並びに同期して第2レジスタに入力ピンより入力し暫時保存し、コントローラーは更に次の時間に入力インタフェースの第2クロックピンをイネーブルし、第2レジスタ内に保存された全てのデータ信号を出力インタフェースに一次伝送する。こうして入力インタフェース拡充の機能を達成し、既存のハードウェア設備を改修せずにメモリバーンイン装置構造でチップバーンインを可能とし、コストを節約し、快速で、便利な長所を具備するようにした。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

制御信号数量を拡充可能なチップバーンイン装置において、

第 1 バスと、

第 2 バスと、

少なくとも二つの第 1 レジスタであって、各該第 1 レジスタは N 個の入力ピン、一つのクロックピン、及び N 個の出力ピンを有し、そのうち、N は 1 以上の正の整数を指し、該 N 個の入力ピン及び該クロックピンはそれぞれ該第 1 バスに電氣的に接続され、該 N 個の出力ピンはそれぞれ該第 2 バスに電氣的に接続される、該少なくとも二つの第 1 レジスタと、

10

第 2 レジスタであって、M 個の入力ピン、一つのクロックピン、及び M 個の出力ピンを有し、そのうち、M は N より大きい正の整数を指し、該 M 個の入力ピンはそれぞれ該第 2 バスに電氣的に接続され、並びにそれぞれ該少なくとも二つの第 1 レジスタのそのうち一つの出力ピンに対応して電氣的に接続される、該第 2 レジスタと、

出力インタフェースであって、該第 2 レジスタの M 個の出力ピンにそれぞれ対応し電氣的に接続される M 個のデータ出力ピンを有する、該出力インタフェースと、

入力インタフェースであって、該第 1 バスに電氣的に接続され、該入力インタフェースは N 個の入力ピン、少なくとも二つの第 1 クロックピン、及び一つの第 2 クロックピンを有し、そのうち、該少なくとも二つの第 1 クロックピンの数量は該少なくとも二つの第 1 レジスタの数量と同じであり、該少なくとも二つの第 1 クロックピンはそれぞれ該少なくとも二つの第 1 レジスタのクロックピンに対応して電氣的に接続され、該第 2 クロックピンは該第 2 レジスタのクロックピンに対応して電氣的に接続される、該入力インタフェースと、

20

コントローラーであって、まず該入力インタフェースの該少なくとも二つの第 1 クロックピンをイネーブルした後、更に次の時間に該入力インタフェースの第 2 クロックピンをイネーブルする、該コントローラーと、

を包含したことを特徴とする、制御信号数量を拡充可能なチップバーンイン装置。

【請求項 2】

請求項 1 記載の制御信号数量を拡充可能なチップバーンイン装置において、該コントローラーは F P G A チップモジュールを包含することを特徴とする、制御信号数量を拡充可能なチップバーンイン装置。

30

【請求項 3】

請求項 1 記載の制御信号数量を拡充可能なチップバーンイン装置において、該コントローラーは順に該入力インタフェースの該少なくとも二つの第 1 クロックピンをイネーブルし、該入力インタフェースの N 個の入力ピンのデータ信号は該第 1 バスを通してバッチ伝送され、並びに順にイネーブルされた第 1 クロックピンに対応する第 1 レジスタの N 個の入力ピンを通して暫時保存され、並びに同期して第 2 レジスタにその入力ピンを通して暫時保存されることを特徴とする、制御信号数量を拡充可能なチップバーンイン装置。

【請求項 4】

請求項 1 記載の制御信号数量を拡充可能なチップバーンイン装置において、該コントローラーは該次の時間に該入力インタフェースの該第 2 クロックピンをイネーブルし、該第 2 レジスタの該 M 個の入力ピンにデータ信号を該出力インタフェースの該 M 個のデータ出力ピンへと出力させることを特徴とする、制御信号数量を拡充可能なチップバーンイン装置。

40

【請求項 5】

請求項 1 記載の制御信号数量を拡充可能なチップバーンイン装置において、該正の整数 M は該正の整数 N の整数倍数とされることを特徴とする、制御信号数量を拡充可能なチップバーンイン装置。

【発明の詳細な説明】**【技術分野】**

50

【 0 0 0 1 】

本発明は一種のロジックチップバーンインのファームウェア構造に係り、特にチップバーンイン装置、特に、制御信号数量を拡充可能なチップバーンイン装置に関する。

【 背景技術 】

【 0 0 0 2 】

一般に周知のメモリチップは、そのピン数が周知のロジックチップのピン数より少ない場合が多く、このため、メモリチップのバーンイン作業時には、周知の標準メモリチップバーンイン装置がプログラマブル制御信号を一次出力するメモリチップピン数はあまり多くする必要はない。

【 0 0 0 3 】

図 1 は周知のインタフェースカード、及びバーンインボードの表示図であり、図示される標準メモリチップバーンイン装置上のインタフェースカード 9 は、複数の出力ピン 9 1 を有し、複数の出力ピン 9 1 は更にバーンインボード 9 0 と電氣的に接続されて、該インタフェースカード 9 内のデータをバーンインボード 9 0 のメモリチップ 9 2 にバーンインする。

【 0 0 0 4 】

一方、一般のロジックチップは上述のメモリチップとは異なり、ロジックチップには百個以上のピンが設けられ、これにより、標準ロジックチップバーンイン装置は百個以上のプログラマブル制御信号ピンを有してロジックチップバーンイン作業を行う必要がある。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

これにより、もともとメモリチップ用のバーンイン装置を改造してロジックチップ用のバーンイン装置に適用する時、もとのメモリチップバーンイン装置には数十本の出力ピンがあるが、その数量をロジックチップの数百本の出力ピンに改造し、そのほかに、内部ハードウェアも関係する改修を行わねばならず、バーンイン前の準備作業が長くなり、このため時間、人力、及びハードウェアに係るコストが増す。

【 課題を解決するための手段 】

【 0 0 0 6 】

本発明は一種の制御信号数量を拡充可能なチップバーンイン装置を提供し、それは、第 1 バス、第 2 バス、少なくとも二つの第 1 レジスタ、第 2 レジスタ、出力インタフェース、入力インタフェース、及びコントローラーを包含する。

【 0 0 0 7 】

各該第 1 レジスタは N 個の入力ピン、クロックピン、及び N 個の出力ピンを有し、そのうち、N は 1 以上の正の整数を指し、N 個の入力ピン、及びクロックピンはそれぞれ第 1 バスに電氣的に接続され、N 個の出力ピンはそれぞれ第 2 バスに電氣的に接続される。

【 0 0 0 8 】

該第 2 レジスタは M 個の入力ピン、クロックピン、及び M 個の出力ピンを有し、そのうち、M は N より大きい正の整数を指し、M 個の入力ピンはそれぞれ第 2 バスに電氣的に接続され、並びにそれぞれ上記少なくとも二つの第 1 レジスタのそのうち一つの出力ピンと電氣的に接続され、該第 2 レジスタのクロックピンも該第 2 バスに電氣的に接続され、M 個の出力ピンはそれぞれ第 2 バスに電氣的に接続される。

【 0 0 0 9 】

該出力インタフェースは、該第 2 レジスタの M 個の出力ピンにそれぞれ対応し電氣的に接続される M 個のデータ出力ピンを有している。

【 0 0 1 0 】

該入力インタフェースは該第 1 バスに電氣的に接続され、該入力インタフェースは N 個の入力ピン、少なくとも二つの第 1 クロックピン、及び一つの第 2 クロックピンを有し、そのうち、該少なくとも二つの第 1 クロックピンの数量は該少なくとも二つの第 1 レジスタの数量と同じであり、該少なくとも二つの第 1 クロックピンはそれぞれ該少なくとも二

10

20

30

40

50

つの第 1 レジスタのクロックピンに対応して電氣的に接続され、該第 2 クロックピンは該第 2 レジスタのクロックピンに対応して電氣的に接続される。

【 0 0 1 1 】

該コントローラーはまず該入力インタフェースの該少なくとも二つの第 1 クロックピンをイネーブルした後、更に次の時間に該入力インタフェースの第 2 クロックピンをイネーブルする。

【 0 0 1 2 】

このほか、コントローラーは F P G A チップモジュール或いは P C 等の同等の効果を有するコントローラとされ得る。コントローラーは順に或いは順番によらず、該入力インタフェースの該少なくとも二つの第 1 クロックピンをイネーブルし、該入力インタフェースの N 個の入力ピンのデータ信号を該第 1 バスを通してバッチ伝送し、並びに順にイネーブルされた第 1 クロックピンに対応する第 1 レジスタの N 個の入力ピンを通して暫時保存し、並びに同期して第 2 レジスタに入力ピンを通して暫時保存する。

10

【 0 0 1 3 】

そのうち、正の整数 M は正の整数 N の整数倍数であるが、非整数倍数としてもよく、ただ M が N より大きい正の整数であればよく、さらに少なくとも二つの第 1 レジスタはそれぞれラッチとされ得る。第 2 レジスタはラッチとされ得る。

【 発明の効果 】

【 0 0 1 4 】

本発明は入力インタフェース拡充の機能を達成し、既存のハードウェア設備を改造せずにメモリバーンイン装置構造を使用してロジックチップバーンインの目的を達成し、コストを節約し、快速で便利な長所を有する。

20

【 発明を実施するための最良の形態 】

【 0 0 1 5 】

図 2 は本発明の第 1 実施例の表示図である。図示されるように、本実施例は一種の制御信号数を拡充可能なチップバーンイン装置とされ、それは第 1 バス 1 0、第 2 バス 2 0、四つの第 1 レジスタ 2 1、2 2、2 3、2 4、第 2 レジスタ 3 1、出力インタフェース 4 0、入力インタフェース 1、及びコントローラー 5 を包含する。

各該第 1 レジスタ 2 1、2 2、2 3、2 4 は N 個の入力ピン d 1、d 2、d 3、・・・、d n、クロックピン C L K、及び N 個の出力ピン q 1、q 2、q 3、・・・、q n を有する。本実施例では、第 1 レジスタ 2 1、2 2、2 3、2 4 はそれぞれラッチとされる。

30

【 0 0 1 6 】

そのうち、N は 1 以上の正の整数 (N 1) とされ、N 個の入力ピン d 1、d 2、d 3、・・・、d n、及びクロックピン C L K はそれぞれ第 1 バス 1 0 に電氣的に接続され、N 個の出力ピン q 1、q 2、q 3、・・・、q n はそれぞれ第 2 バス 2 0 に電氣的に接続される。

【 0 0 1 7 】

本実施例では、第 1 レジスタ 2 1 は 2 5 個の入力ピン d 1、d 2、d 3、・・・、d 2 5 と、2 5 個の出力ピン q 1、q 2、q 3、・・・、q 2 5、及び一つのクロックピン C L K 1 を有する。図 2 に示されるように、その他の第 1 レジスタ 2 2、2 3、2 4 もこれにより類推されるとおりである。

40

【 0 0 1 8 】

第 2 レジスタ 3 1 は、M 個の入力ピン D 1、D 2、D 3、・・・、D m、一つのクロックピン C L K 5、及び M 個の出力ピン Q 1、Q 2、Q 3、・・・、Q m を有し、本実施例では、第 2 レジスタ 3 1 はラッチとされる。

【 0 0 1 9 】

上述の M は N より大きい正の整数とされるか (すなわち、M > N 1)、或いは、M は N の整数倍数とされるか、或いは非整数倍数とされ、ただ、M が N より大きい正の整数であればよい。

【 0 0 2 0 】

50

図 2 に示されるように、M 個の入力ピン D 1、D 2、D 3、・・・、D m はそれぞれ第 2 バス 2 0 に電氣的に接続され、並びに対応する第 1 レジスタ 2 1、2 2、2 3、2 4 のそのうち一つの出力ピン q 1、q 2、q 3、・・・、q n に電氣的に接続される。本実施例では、第 2 レジスタ 3 1 は 1 0 0 個の入力ピン D 1、D 2、D 3、・・・、D 1 0 0、及び百個の出力ピン Q 1、Q 2、Q 3、・・・、Q 1 0 0 を有する。

【0021】

出力インタフェース 4 0 はバーンインボード 4 上に設置され、並びに M 個のデータ出力ピン D R 1、D R 2、D R 3、・・・、D R m を有している。本実施例では、出力インタフェース 4 0 は 1 0 0 個のデータ出力ピン D R 1、D R 2、D R 3、・・・、D R 1 0 0 を有し、それはそれぞれ第 2 レジスタ 3 1 の 1 0 0 個の出力ピン Q 1、Q 2、Q 3、・・・、Q 1 0 0 に対応し電氣的に接続される。

10

【0022】

入力インタフェース 1 は該第 1 バス 1 0 に電氣的に接続され、該入力インタフェース 1 は N 個の入力ピン p 1、p 2、p 3、・・・、p n、四つの第 1 クロックピン C L K 1、C L K 2、C L K 3、C L K 4、及び一つの第 2 クロックピン C L K 5 を有する。本実施例では、入力インタフェース 1 は 2 5 個の入力ピン p 1、p 2、p 3、・・・、p 2 5 を有する。

【0023】

そのうち、四つの第 1 クロックピン C L K 1、C L K 2、C L K 3、C L K 4 の数量は、四つの第 1 レジスタ 2 1、2 2、2 3、2 4 の数量と同じであり、四つの第 1 クロックピン C L K 1、C L K 2、C L K 3、C L K 4 はそれぞれ四つの第 1 レジスタ 2 1、2 2、2 3、2 4 のクロックピン C L K 1、C L K 2、C L K 3、C L K 4 に対応し電氣的に接続され、且つ第 2 クロックピン C L K 5 は第 2 レジスタ 3 1 のクロックピン C L K 5 に対応し電氣的に接続される。

20

【0024】

該コントローラ 5 は、及び一つの第 2 クロックピンを有し、そのうち、該少なくとも二つの第 1 クロックピンの数量は該少なくとも二つの第 1 レジスタの数量と同じであり、該少なくとも二つの第 1 クロックピンはそれぞれ該少なくとも二つの第 1 レジスタのクロックピンに対応して電氣的に接続され、該第 2 クロックピンは該第 2 レジスタ 3 1 のクロックピンに対応して電氣的に接続される。

30

【0025】

コントローラ 5 は F P G A チップモジュール或いは P C 等の同等の効果を有するコントローラとされ得る。コントローラ 5 は第 1 時間 T 1 の前に先に選択的に入力インタフェース 1 の四つの第 1 クロックピン C L K 1、C L K 2、C L K 3、C L K 4 をそれぞれイネーブルする。

【0026】

コントローラ 5 は順に或いは順番によらず、該入力インタフェース 1 の第 1 クロックピン C L K 1、C L K 2、C L K 3、C L K 4 をイネーブルし、該入力インタフェース 1 の 2 5 個の入力ピン p 1、p 2、p 3、・・・、p 2 5 のデータ信号を該第 1 バス 1 0 を通してパッチ伝送し、並びに順にイネーブルされた第 1 クロックピン C L K 1、C L K 2、C L K 3、C L K 4 に対応する第 1 レジスタ 2 1、2 2、2 3、2 4 の 2 5 個の入力ピン d 1、d 2、d 3、・・・、d 2 5 を通して第 1 レジスタ 2 1、2 2、2 3、2 4 に暫時保存し、並びにそれと同期して第 2 レジスタ 3 1 に入力ピンを通して暫時保存する。

40

【0027】

該コントローラ 5 は次の時間 T 2 に入力インタフェース 1 の第 2 クロックピン C L K 5 をイネーブルし、第 2 レジスタ 3 1 の 1 0 0 個の出力ピン Q 1、Q 2、Q 3、・・・、Q 1 0 0 にデータ信号を出力インタフェース 4 0 の 1 0 0 個のデータ出力ピン D R 1、D R 2、D R 3、・・・、D R 1 0 0 に向けて出力させる。

【0028】

総合すると、本実施例中、コントローラ 5 を通して入力インタフェース 1 内のバーン

50

インデータ I 1、I 2、I 3、I 4（図示せず）は、入力インタフェース 1 の入力ピン p 1、p 2、p 3、・・・、p 25 を通り第 1 バス 10 に出力される。

【0029】

第 1 クロックピン CLK 1 がイネーブルされた時、入力インタフェース 1 の入力ピン p 1、p 2、p 3、・・・、p 25 は同期にバーンインデータ I 1 を出力し、第 1 レジスタ 21 に暫時保存し、第 1 クロックピン CLK 2 がイネーブルされた時、入力インタフェース 1 の入力ピン p 1、p 2、p 3、・・・、p 25 は同期にバーンインデータ I 2 を出力し、第 1 レジスタ 22 に暫時保存し、第 1 クロックピン CLK 3 がイネーブルされた時、入力インタフェース 1 の入力ピン p 1、p 2、p 3、・・・、p 25 は同期にバーンインデータ I 3 を出力し、第 1 レジスタ 23 に暫時保存し、第 1 クロックピン CLK 4 がイネーブルされた時、入力インタフェース 1 の入力ピン p 1、p 2、p 3、・・・、p 25 は同期にバーンインデータ I 4 を出力し、第 1 レジスタ 24 に暫時保存し、並びに同期にバーンインデータ I 1、I 2、I 3、I 4 が第 2 レジスタ 31 内に暫時保存される。更に第 2 クロックピン CLK 5 がイネーブルされることで、第 2 レジスタ 31 内のバーンインデータ I 1、I 2、I 3、I 4 が出力インタフェース 40 に提供されてチップのバーンインに使用される。

【0030】

これにより、上述の第 1 レジスタ 21、22、23、24 と第 2 レジスタ 31 を通して入力インタフェース 1 の入力ピン p 1、p 2、p 3、・・・、p 25 は拡充され第 2 レジスタ 31 の出力ピン Q 1、Q 2、Q 3、・・・、Q 100 となり、本発明はメモリバーンイン装置の有限なピン構造下で、ハードウェア設備を改造することなく、ピンを拡充し、並びにメモリバーンイン装置構造下でピン数の多いロジックチップをバーンインできるようにする目的を達成し、コストを節約し、快速、便利な長所を有する。

【0031】

図 3 は本発明の第 2 実施例の表示図である。本実施例中、その構造は上述の実施例とほぼ同じであるが、異なるところは、コントローラ 50 中の入力インタフェース 51 が二つのみの第 1 クロックピン CLK 1、CLK 2、二つのみの第 1 レジスタ 61、62 を有しているところである。本実施例中、第 1 レジスタ 61、62 はそれぞれが 25 個の入力ピン d 1、d 2、d 3、・・・、d 25 と 25 個の出力ピン q 1、q 2、q 3、・・・、q 25 を有している。これにより、第 2 レジスタ 32 は僅かに 50 個の入力ピン D 1、D 2、D 3、・・・、D 50 と僅かに 50 個の出力ピン Q 1、Q 2、Q 3、・・・、Q 25 を有する。第 1 レジスタ 61、62 の数量はバーンインボード 42 の必要とする出力インタフェース 41 のピン数により弾性的に増減されるが、ただし、二つより少なくなることはなく、これにより弾性的に入力インタフェース 51 の出力ピン q 1、q 2、q 3、・・・、q 25 を拡充できる。

【図面の簡単な説明】

【0032】

【図 1】周知のインタフェースカード、及びバーンインボードの表示図である。

【図 2】本発明の第 1 実施例の表示図である。

【図 3】本発明の第 2 実施例の表示図である。

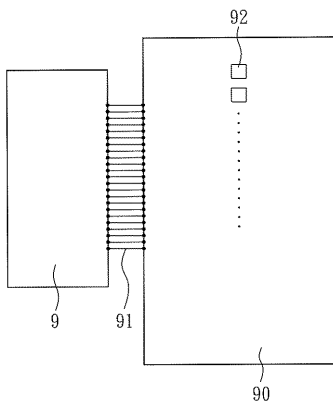
【符号の説明】

【0033】

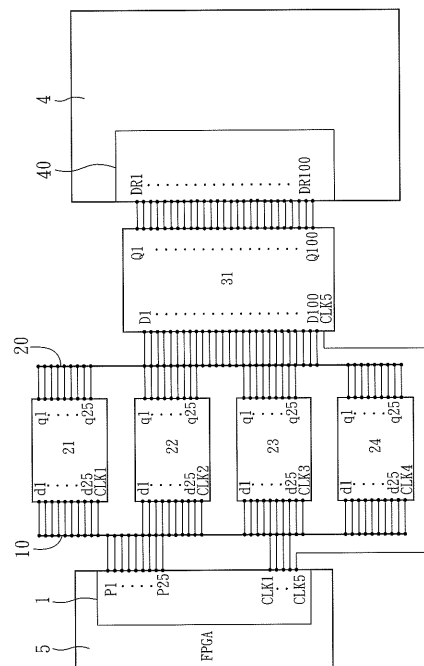
1、51	入力インタフェース	10	第 1 バス	20	第 2 バス
21、22、23、24	第 1 レジスタ	31、32	第 2 レジスタ		
4、42	バーンインボード	40、41	出力インタフェース		
5、50	コントローラ	61、62	第 1 レジスタ		
9	インタフェースカード	90	バーンインボード		
91	出力ピン	92	メモリチップ		
p 1、p 2、p 3、・・・、p n	入力ピン				
d 1、d 2、d 3、・・・、d n	入力ピン				

$D1$ 、 $D2$ 、 $D3$ 、 $\dots$ 、 Dm 入力ピン
 $q1$ 、 $q2$ 、 $q3$ 、 $\dots$ 、 qn 出力ピン
 $Q1$ 、 $Q2$ 、 $Q3$ 、 $\dots$ 、 Qm 出力ピン
 $CLK1$ 、 $CLK2$ 、 $CLK3$ 、 $CLK4$ 第1クロックピン
 $T1$ 、 $T2$ 時間 $DR1$ 、 $DR2$ 、 $DR3$ 、 $\dots$ 、 DRm データ出力ピン
 $CLK5$ 第2クロックピン $I1$ 、 $I2$ 、 $I3$ 、 $I4$ バーンインデータ

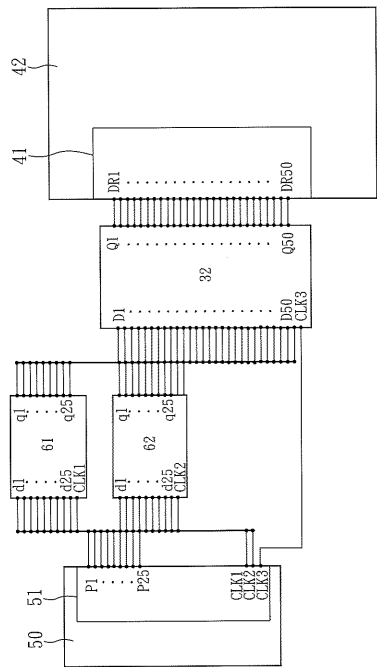
【図1】



【図2】



【図 3】



フロントページの続き

(72)発明者 劉 佳暉

台湾新竹市公道五路二段 8 1 號

Fターム(参考) 2G003 AA07 AC01 AG08 AH01 AH04