

(43) 国際公開日
2008 年 8 月 28 日 (28.08.2008)

PCT

(10) 国際公開番号
WO 2008/102479 A1

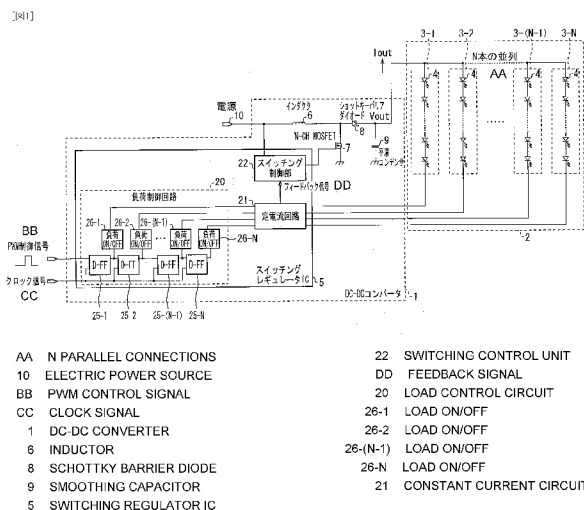
- (51) 国際特許分類:
H02M 3/155 (2006.01) H05B 37/02 (2006.01)
- (21) 国際出願番号: PCT/JP2007/070733
- (22) 国際出願日: 2007 年 10 月 24 日 (24.10.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-041319 2007 年 2 月 21 日 (21.02.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 渡辺 千洋 (WATANABE, Chihiro).

- (74) 代理人: 特許業務法人原謙三国際特許事務所 (HARAKENZO WORLD PATENT & TRADE-MARK); 〒5300041 大阪府大阪市北区天神橋 2 丁目北 2 番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: LOAD DRIVING CIRCUIT, INTEGRATED CIRCUIT, DC-DC CONVERTER AND LOAD DRIVING METHOD

(54) 発明の名称: 負荷駆動回路、集積回路、DC-DCコンバータ、および負荷駆動方法



(57) Abstract: A load control circuit (20) carries out PWM control for parallel connections of light emitting diode lines (3-1, ..., 3-N), each of which is comprised of a series connection of a plurality of light emitting diodes (4). The load control circuit (20) mutually shifts on/off timing of an electric current flowing through one of the light emitting diode lines (3-1, ..., 3-N) from that of the electric current flowing through at least another one of the light emitting diode lines (3-1, ..., 3-N). Thus, a load driving circuit is provided without reducing the degree of freedom for the selection of a frequency of a PWM control signal used at the time for the control of a load, without disturbing the following by peripheral circuits, and with the prevention of making noise.

(57) 要約: 本発明の負荷制御回路は、複数の発光ダイオード (4) を直列に接続して構成されると共に互いに並列に接続されたそれぞれの発光ダイオードライン (3-1、..., 3-N) に流れる電流のオン・オフを、PWM制御する負荷制御回路 (20) であって、いずれかの発光ダイオードライン (3-1、..., 3-N) に流れる電流のオン・オフのタイミングと、少なくとも一つの他の発光ダイオードライン (3-1、..., 3-N) に流れる電流のオン・オフのタイミングと、を互いにずらしている。これにより、負荷を制御する時に用いる PWM 制御信号の周

[続葉有]

WO 2008/102479 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

明 細 書

負荷駆動回路、集積回路、DC－DCコンバータ、および負荷駆動方法 技術分野

[0001] 本発明は、PWM制御によってLEDなどの負荷のオン・オフを制御する負荷駆動回路、集積回路、DC－DCコンバータ、および負荷駆動方法に関する。

背景技術

[0002] 近年、液晶表示装置のバックライトに用いる光源として蛍光管を使ったCCFL(Cold Cathode Fluorescent Lamp)に代わるものとして、発光ダイオード(LED;Light Emitting Diode)が用いられている。

[0003] 特に、赤色LED、緑色LED、青色LEDの各原色を個別に使用し、光学的に合成加法して、白色を得る方法は、色のバランスをとりやすいため、テレビジョン用途として用いることが盛んに検討されている。

[0004] LEDは、基本的に電流に応じて輝度に変化する特性を持ち、順方向電圧は個体差のバラツキや温度で変動する。したがって、LEDを液晶パネル(LCD(Liquid Crystal Display)等)のバックライトとして使う際には、一定の均一な輝度を得るため、LEDの駆動装置には定電流特性が求められる。

[0005] 簡単には、図8に示すように、定電圧電源101の出力にLED102と抵抗素子103とを直列に接続することによって、電流を制限する方法が知られている。しかし、図8に示す装置では、大電流の流れる高輝度LED102において抵抗素子103による電力損失が大きいという問題がある。

[0006] この問題を解決する方法として、図9に示すように、駆動装置として定電流電源201を用いる方法がある。この駆動装置では、LED102の輝度の調整は、電流値を絞る(小さくする)ことによって可能である。電流値の可変は、LED102に直列に抵抗素子105を挿入し、その両端の電位差で電流値を検出し、フィードバック制御をかけて電流値を目的値に制御する方法が一般的である。

[0007] しかし、電流が小さくなるほど、電位差も小さくなるため精度も悪くなり、ノイズ等の影響も受けやすくなる。また、小電流でも十分な電圧が得られるように抵抗値を大きくす

ると、大電流の際に損失が大きくなるという不利益がある。

[0008] そこで、広いダイナミックレンジで安定して輝度を調整するため、LEDに流れる電流を一定のタイミングでオン・オフし、オン・オフの比率によって輝度を調整するPWM制御方式を採用した駆動装置が知られている。

[0009] この方式を実現するための方法の一つとして、図10に示すように、LED102と直列にスイッチ素子106を挿入して、このスイッチ素子106をPWM信号(PWM制御信号)によって所定の決められたタイミングでオン・オフする方法が採用されている。

[0010] このように、LCDのバックライトや照明等の駆動装置において、輝度を調整するために発光素子を決められたタイミングでオン・オフし、このオン・オフの比率によって輝度調整を行うPWM制御方式は、安定して広い範囲で輝度を調整することが可能である。

[0011] 一方、PWM制御の周波数は通常、フリッカーを避けるために、60Hz以上の周波数が選ばれる。

[0012] しかしながら、定電圧電源101に使われるトランス(不図示)やチョークコイル(不図示)などの磁性部品(不図示)やキャパシタ(不図示)は、原理的に印加される電流・電圧の周波数で振動する性質があり、60Hz以上の周波数は人間の可聴域になるので、人間に聞こえる異音がしばしば発生するという不利益がある。

[0013] これに対して、特許文献1には、PWM信号の周波数を20kHz以上に設定する、パラメーター技術が開示されている。PWM制御信号の周波数を20kHz以上にすることにより、トランスやチョークコイル等の磁性部品やキャパシタに発生する振動についても20kHz以上の周波数にすることができるため、人間に聞こえる異音を取り除くことができるとするものである。

特許文献1: 日本国公開特許公報「特開2006-114324号公報(公開日: 平成18年4月27日)」

発明の開示

[0014] しかしながら、上記特許文献1の技術には、次のような3つの問題がある。

[0015] 第1に、周波数の制限があるため、周波数選定の自由度が下がる。第2に、PWM制御信号の周波数を高くする(20kHz以上にする)ため、低デューティ時(ON期間

が短い時)に、定電圧電源などの周辺回路の追従が困難となり、正常に負荷を駆動できなくなる可能性がある。第3に、後述する図11に示すように、LEDを複数直列に接続した直列回路(LED列)が複数並列に接続されている場合、全てのLED列を同時にオン・オフするため、急激な負荷変動が起こり、定電圧電源に設けられた部品(出力コンデンサなど)の音鳴りが生じる、という問題がある。従って、この問題に対応するため、ドライバ回路を調整しないといけない、という付随的な問題が生じる。

[0016] 第1の問題については上述に記載の通りであるので、第2・第3の問題について図面を用いてさらに詳細に説明する。

[0017] 図11は、従来技術を示すものであり、負荷の調光を行うDC-DCコンバータ110(定電圧電源)、および負荷としての発光ダイオード120を備えた発光ダイオード部111を示す回路図である。同図に示すように、DC-DCコンバータ110の外部には、DC-DCコンバータ110を駆動するための、つまりDC-DCコンバータ110の電力源としての電源112が外付けされている。

[0018] DC-DCコンバータ110は、スイッチングレギュレータIC113、スイッチングレギュレータIC113の外付け部品としての、インダクタ(L)114、ショットキーバリアダイオード(SBD)115、第1のN-CH FET116、平滑コンデンサ(C)117、および抵抗(R)118・119、を有している。なお、図11に示すように、第1のN-CH FET116、平滑コンデンサ117、抵抗119の一端はそれぞれ接地されている。

[0019] DC-DCコンバータ110は、電源112からの入力電圧 V_{in} を昇圧して、所望の出力電圧 V_{out} を出力する。具体的には、インダクタ114で発生した交流電圧をショットキーバリアダイオード115で半波整流し、平滑コンデンサ117で平滑化して出力電圧 V_{out} を生成している。

[0020] また、スイッチングレギュレータIC113には、抵抗118・119にてショットキーバリアダイオード115からの出力電圧が分圧された電圧がフィードバックされる。スイッチングレギュレータIC113は、このフィードバックされた電圧と、電源電圧(入力電圧 V_{in})とにより、第1のN-CH FET116のオン・オフをパルス制御している。

[0021] 一方、発光ダイオード部111は、発光ダイオード(LED)120を複数直列に接続した発光ダイオードライン121-1、…121-Nが、N個並列に接続して構成された回

路である。

- [0022] 各発光ダイオードライン121-1、…121-Nには、端部の発光ダイオード120のカソード側に、第2のN-CH FET122がそれぞれ接続されている。さらに、これら第2のN-CH FET122のゲートには、同一のPWM制御信号が入力されている。この第2のN-CH FET122のオン・オフにより、各発光ダイオードライン121-1、…121-Nに電流ILED1、…ILEDN(これらの合計電流は図11に示すIout)に流れる電流を制御して、結果的に、各発光ダイオード120の輝度が調整される。なお、第2のN-CH FET122は、ドレインが発光ダイオード120のカソードに接続されており、ソースが接地されている。
- [0023] 上記のような構成の発光ダイオード部111に対して、PWM制御信号のDUTY比制御によりLED輝度の調光を行う場合の動作についてさらに説明する。
- [0024] 図12のタイミングチャートに示すように、PWM制御信号の周波数を一定以上(例えば200Hz以上)に設定すると、視覚的に輝度が平均化されるので、DUTY比(X%)に応じて輝度の明⇄暗を調整することができる。
- [0025] つまり、図12のタイミングチャートに示すように、PWM制御信号のオン・オフに同期させて、電流ILED1、…ILEDNをオン(電流を流す)・オフ(電流を流さない)を制御することにより、発光ダイオード部111全体の調光を行うことができる。
- [0026] PWM制御信号のDUTY比をある値にすると、‘H’または‘L’の論理に応じて発光ダイオード120への電源供給スイッチ(第2のN-CH FET122)がオン・オフするが、図13に示すように、第2のN-CH FET122が、オン→オフへ変化するタイミング(例えば時刻t1)、または、オフ→オンへ変化するタイミング(例えば時刻t2)で、出力電圧Voutの電圧波形は、問題のある挙動を示す。
- [0027] すなわち、第2のN-CH FET122をオン→オフへ切り替える際に、出力電圧Voutが所望の値よりも数(V)上昇してしまう。また、第2のN-CH FET122をオフ→オンへ切り替える際に、出力電圧Voutが所望の値よりも数(V)下降してしまう。以下、この点について、より詳細に説明する。
- [0028] (a) オン→オフへ変化する時
第2のN-CH FET122がオフになった瞬間(つまり、PWM制御信号がオフにな

った瞬間)に、負荷が軽くなる、つまり、全ての発光ダイオード120とDC-DCコンバータ110とが切断されるため、出力電圧 V_{out} が上昇する。また、発光ダイオード120とDC-DCコンバータ110とが切断されるため、DC-DCコンバータ110は、出力部からの放電経路が無く、その電位は、平滑コンデンサ117により保持される。さらに、発光ダイオード120と切断されたDC-DCコンバータ110へは電力供給の必要が無くなり、DC-DCコンバータ110はほぼ停止状態となる。

[0029] (b) オフ→オンへ変化する時

第2のN-CH FET122がオンになった瞬間(つまり、PWM制御信号がオンになった瞬間)に負荷が重くなる、つまり、全ての発光ダイオード120とDC-DCコンバータ110とが接続されるため、DC-DCコンバータ110の出力部の電圧が低下する。このとき、不足分の電圧を補うために、DC-DCコンバータ110は、動作を開始して出力部の電圧 V_{out} を上昇させるが、通常負荷変動から動作を開始するまでには、若干のタイムラグがあるため、電圧の低下は避けられない。

[0030] ところで、上記の平滑コンデンサ117としては、積層セラミックコンデンサを用いることが多いが、積層セラミックコンデンサは、この積層セラミックコンデンサへ入力される電圧が変化したときに、誘電体の圧電性により機械的振動が発生し、音鳴りが発生する。

[0031] つまり、上記の (a) (b) のようなDC-DCコンバータ110の出力部の電圧 V_{out} の変動により、平滑コンデンサ117に音鳴りが発生する(第3の問題点)。

[0032] さらに、特許文献1のように周波数を高くする、つまり、可聴周波数範囲以上にする、と、上記の (b) で述べた動作開始までのタイムラグにより、図14に示すように、DC-DCコンバータ110からの出力電流 I_{out} の波形がなまるため、リニアな調光ができなくなり、PWM信号に対して、DC-DCコンバータ110が追従しなくなる、という問題がある。特に、低デューティ時(つまり、オン期間が短い時)に、DC-DCコンバータ110の負荷変動への追従が困難になる(第2の問題点)。

[0033] 本発明は、上記問題点に鑑みてなされたものであり、その目的は、負荷を制御する時に用いるPWM制御信号の周波数選定の自由度を下げず、周辺回路の追従を妨げず、かつ、音鳴りを防止する負荷駆動回路、集積回路、DC-DCコンバータ、およ

び負荷駆動方法を提供することを目的としている。

- [0034] 上記問題を解決するために、本発明の負荷駆動回路は、複数の負荷を直列に接続して構成されると共に互いに並列に接続されたそれぞれの直列回路に流れる電流のオン・オフを、PWM制御するスイッチング回路を有する負荷駆動回路において、上記スイッチング回路は、いずれかの上記直列回路に流れる電流のオン・オフのタイミングと、少なくとも一つの他の直列回路に流れる電流のオン・オフのタイミングと、を互いにずらすことを特徴としている。
- [0035] また、上記問題を解決するために、本発明の負荷駆動方法は、複数の負荷を直列に接続して構成されると共に互いに並列に接続されたそれぞれの直列回路に流れる電流のオン・オフを、PWM制御する負荷駆動方法において、いずれかの上記直列回路に流れる電流のオン・オフのタイミングと、少なくとも一つの他の直列回路に流れる電流のオン・オフのタイミングと、を互いにずらすことを特徴としている。
- [0036] 本発明の負荷駆動回路に設けられたスイッチング回路は、複数の直列回路（負荷の直列接続にて構成された直列回路）が並列に接続されている場合、PWM（Pulse Width Modulation）制御を用いて、これらの直列回路のオン・オンをするものである。
- [0037] 上記構成によれば、スイッチング回路いずれかの上記直列回路に流れる電流のオン・オフのタイミングと、少なくとも一つの他の直列回路に流れる電流のオン・オフのタイミングと、を互いにずらしている。そのため、PWM制御により、直列回路に流れる電流のオン・オフをする場合、全ての直列回路に流れる電流が一斉にオン・オフすることがなく、少なくとも一つの直列回路はオン・オフのタイミングがずれる。
- [0038] そのため、負荷駆動回路側から見た時の、負荷による急激な電圧の変動を防止することができる。従って、急激な電圧の変動により、外部部品などに発生する音鳴りを防止することができる。さらに、音鳴りを防止するために、PWM制御に用いる信号の周波数を不必要に上げる必要が無く、周波数選定の自由度が高まると共に、周波数を上げた場合に、PWM制御における低デューティ時に直列回路の電源側の動作が、PWM制御のオン・オフの切り替えに追従できない、という問題も防止することができる。
- [0039] また、本発明の負荷駆動回路では、流れる電流のオン・オフのタイミングが互いに

等しい直列回路毎に割り当てられたD-フリップフロップを有しており、これらのD-フリップフロップのうち、第1のD-フリップフロップには、外部からPWM信号が入力されており、それぞれのD-フリップフロップには、上記PWM信号のN倍周波数(Nは2以上の整数)のクロック信号が入力されており、上記第1のD-フリップフロップからの出力信号が次段に設けられたD-フリップフロップへ順次出力されるようになっており、上記スイッチング回路は、該直列回路に割り当てられたD-フリップフロップからの出力信号により上記直列回路に流れる電流のオン・オフを制御することが好ましい。

[0040] ここで、D-フリップフロップは、2入力端子、1出力端子であり、2入力端子のうち、一方の入力端子にはクロック信号が入力され、クロック信号がLOW(低)レベルからHIGH(高)レベルに変化した時の他方の入力端子から入力された入力データが、出力に伝わり、それ以外の時間は、前回まで出力端子から出力されていたデータ出力を保持する役割を有している。

[0041] 上記構成では、流れる電流のオン・オフのタイミングが互いに等しい直列回路毎に割り当てられたD-フリップフロップを有しており、上記直列回路に流れる電流は、該直列回路に割り当てられたD-フリップフロップからの出力信号によりオン・オフが制御されている。さらに、第1のD-フリップフロップには、外部から上記PWM信号が入力されており、各D-フリップフロップには、上記クロック信号が入力されており、上記第1のD-フリップフロップからの出力信号が次段に設けられたD-フリップフロップへ順次出力されるようになっている。つまり、PWM信号が第1のD-フリップフロップに入力され、第1のD-フリップフロップからの出力信号が次段に設けられたD-フリップフロップ(第2のD-フリップフロップ)へ出力され、以降、第3のD-フリップフロップ、第4のD-フリップフロップ…へと出力が伝達されていく。これにより、複数の負荷からなる直列回路に流れる電流のオン(流れる)・オフ(流れない)を直列回路毎に順次切り替えることができ、その結果、オン・オフ切り替え時の負荷変動をより緩和することができる。

[0042] また、本発明の負荷駆動回路では、外部からPWM信号と、上記PWM信号の周波数のN倍以上の任意の周波数(Nは2以上の整数)のクロック信号が入力されており、

上記倍数Nは、上記直列回路の数よりも多くなっており、上記スイッチング回路は、全ての直列回路で、流れる電流のオン・オフのタイミングをずらすことが好ましい。

[0043] 上記構成によれば、全ての直列回路で流れる電流のオン・オフのタイミングがずれているので、オン・オフの切り替え時に生じる負荷変動を最小にすることができる。

[0044] また、本発明の負荷駆動回路では、それぞれの直列回路に割り当てられたD-フリップフロップを有しており、これらのD-フリップフロップのうち、第1のD-フリップフロップには、上記PWM信号が入力されており、それぞれのD-フリップフロップには、上記クロック信号が入力されており、上記第1のD-フリップフロップからの出力信号が次段に設けられたD-フリップフロップへ順次出力されるようになっており、上記スイッチング回路は、該直列回路に割り当てられたD-フリップフロップからの出力信号により上記直列回路に流れる電流のオン・オフを制御することが好ましい。

[0045] ここで、D-フリップフロップは、2入力端子、1出力端子であり、2入力端子のうち、一方の入力端子にはクロック信号が入力され、クロック信号がLOW(低)レベルからHIGH(高)レベルに変化した時の他方の入力端子から入力された入力データが、出力に伝わり、それ以外の時間は、前回まで出力端子から出力されていたデータ出力を保持する役割を有している。

[0046] 上記構成では、それぞれの直列回路に割り当てられたD-フリップフロップを有しており、上記直列回路に流れる電流は、該直列回路に割り当てられたD-フリップフロップからの出力信号によりオン・オフが制御されている。さらに、第1のD-フリップフロップには、外部から上記PWM信号が入力されており、各D-フリップフロップには、上記クロック信号が入力されており、上記第1のD-フリップフロップからの出力信号が次段に設けられたD-フリップフロップへ順次出力されるようになっている。つまり、PWM信号が第1のD-フリップフロップに入力され、第1のD-フリップフロップからの出力信号が次段に設けられたD-フリップフロップ(第2のD-フリップフロップ)へ出力され、以降、第3のD-フリップフロップ、第4のD-フリップフロップ…へと出力が伝達されていく。これにより、複数の負荷からなる直列回路に流れる電流のオン(流れる)・オフ(流れない)を直列回路毎に順次切り替えることができ、その結果、オン・オフ切り替え時の負荷変動をより緩和することができる。

- [0047] また、本発明の負荷駆動回路では、上記PWM信号の周波数に対する上記クロック信号の周波数の倍数Nは、上記直列回路の個数と等しいことが好ましい。
- [0048] 上記構成によれば、負荷の重さ(つまり、オン状態の負荷の数)を常に一定にすることができる。
- [0049] また、本発明の負荷駆動回路では、上記スイッチング回路は、上記それぞれのD-フリップフロップの後段にそれぞれのD-フリップフロップ毎に備えられていることが好ましい。
- [0050] また、本発明の負荷駆動回路では、上記負荷は、発光ダイオードでもよい。
- [0051] また、本発明の集積回路は、上記のいずれかの負荷駆動回路を備え上記それぞれの直列回路に等しい電流を流す定電流回路を有することが好ましい。
- [0052] また、本発明のDC-DCコンバータは、上記のいずれかの負荷駆動回路と、外部電源からの電圧を所望の電圧に昇圧させて、上記それぞれの直列回路へ流す電流を制御する昇圧回路と、を備えていることが好ましい。
- [0053] また、本発明の集積回路は、上記のいずれかの負荷駆動回路を備えていることが好ましい。
- [0054] また、本発明のDC-DCコンバータは、上記のいずれかの負荷駆動回路を備えていることが好ましい。
- [0055] また、本発明のDC-DCコンバータは、上記集積回路と、外部電源からの電圧を所望の電圧に昇圧させて、上記それぞれの直列回路へ流す電流を制御する昇圧回路と、を備えていることが好ましい。
- [0056] 本発明の他の目的、特徴、および優れた点は、以下に示す記載によって十分分かるであろう。また、本発明の利点は、添付図面を参照した次の説明で明白になるであろう。

図面の簡単な説明

- [0057] [図1]本実施の形態のDC-DCコンバータおよび発光ダイオード部を示す図である。
[図2]本実施の形態のDC-DCコンバータおよび発光ダイオード部を示す図である。
[図3]本実施の形態の負荷制御回路の回路構成を示す図である。
[図4]図3に示す負荷制御回路のスイッチング回路の接続関係を示す図である。

[図5]発光ダイオードラインの数を例えば、7個とした場合の、PWM制御信号波形と、各発光ダイオードラインに配された発光ダイオードの電流波形とを示すタイミングチャートである。

[図6]Nを発光ダイオードライン3の列数よりも大きくした場合の図5に対応するタイミングチャートである。

[図7]本実施の形態に対する比較例としてのDC-DCコンバータおよび発光ダイオードを示す図である。

[図8]従来の発光ダイオードを駆動させるための回路を示す図である。

[図9]従来の発光ダイオードを駆動させるための回路を示す図である。

[図10]従来の発光ダイオードを駆動させるための回路を示す図である。

[図11]従来のDC-DCコンバータおよび発光ダイオード部を示す図である。

[図12]従来技術を示すものであり、図11に示すスイッチング部に入力するPWM制御信号と各発光ダイオードラインに流れる電流との関係を示すタイミングチャートである。

[図13]従来技術を示すものであり、図11に示すスイッチング部に入力するPWM制御信号とDC-DCコンバータから印加される出力電圧との関係を示すタイミングチャートである。

[図14]従来技術を示すものであり、図11に示すスイッチング部に入力するPWM制御信号とDC-DCコンバータと発光ダイオード部との間を流れる電流との関係を示すタイミングチャートである。

符号の説明

[0058]	1	DC-DCコンバータ
	3-1	発光ダイオードライン(直列回路)
	3-2	発光ダイオードライン(直列回路)
	3-(N-1)	発光ダイオードライン(直列回路)
	3-N	発光ダイオードライン(直列回路)
	4	発光ダイオード(負荷)
	5	スイッチングレギュレータIC(集積回路)

- 10 電源(外部電源)
- 20 負荷制御回路(負荷駆動回路)
- 21 定電流回路
- 25-1 第1段のD-FF(D-フリップフロップ)
- 25-2 第2段のD-FF(D-フリップフロップ)
- 25-(N-1) 第(N-1)のD-FF(D-フリップフロップ)
- 25-N 第N段のD-FF(D-フリップフロップ)
- 26-1 第1のスイッチング回路(スイッチング回路)
- 26-2 第2のスイッチング回路(スイッチング回路)
- 26-(N-1) 第(N-1)のスイッチング回路(スイッチング回路)
- 26-N 第Nのスイッチング回路(スイッチング回路)

発明を実施するための最良の形態

[0059] [概要について]

図2は、本実施の形態のDC-DCコンバータ、およびこのDC-DCコンバータにて駆動する発光ダイオード部の概略構成を示すブロック図であり、図1は、図2をより詳細に説明する回路図である。以下の説明では、図1および図2を用いて説明する。

[0060] DC-DCコンバータ1は、発光ダイオード部2を駆動する。より詳細には、DC-DCコンバータ1は、主として発光ダイオード部2に対して定電流を供給すると共に、後述する発光ダイオードライン3-1、…、3-Nに等しい電流を流す役割を有している。そのため、DC-DCコンバータ1は、図1・2に示すように、発光ダイオード部2から電流のフィードバックを受けている。

[0061] この発光ダイオード部2は、図1・2に示すように、発光ダイオード(LED; Light emitting diode)4を複数直列に接続した発光ダイオードライン(直列回路)3-1、…、3-Nを、N個並列に接続した回路である。なお、この「N」は、2以上の整数であればよく、特に限定されない。発光ダイオード4は、アノード端子とカソード端子とを有しており、アノード側からカソード側へ所定の順方向電圧が印加されたときに電流が流れ、これに伴い所定の色の光を発光する。

[0062] 一方、DC-DCコンバータ1は、図1・2に示すように、スイッチングレギュレータIC5

、インダクタ6、N-CH FET(N-CH MOSFET)7、ショットキーバリアダイオード8、および平滑コンデンサ9を有している。また、インダクタ6およびスイッチングレギュレータIC5には、DC-DCコンバータ1の外部に設けられた電源10から電力が供給されている。さらに、DC-DCコンバータ1の外部から、スイッチングレギュレータIC5へPWM制御信号(特許請求の範囲に記載の「PWM信号」に対応)およびクロック信号が入力されている。このクロック信号は、その周波数がPWM制御信号の周波数のN(Nは2以上の整数)倍以上の任意の周波数となっており、さらに、この「N」は、上記した発光ダイオードライン3-1、…、3-Nの並列数と同数となっている。

[0063] 〔昇圧回路について〕

上記のインダクタ6、N-CH FET7、ショットキーバリアダイオード8、および平滑コンデンサ9は、スイッチングレギュレータIC5がN-CH FET7のオン・オフの周期を制御することにより、電源10から供給された電圧を所望の電圧に昇圧する、昇圧回路を構成している。なお、本実施の形態の昇圧回路は、発光ダイオード部2を調光するために用いているため、所望の電流 I_{out} (全ての発光ダイオードライン3-1、…、3-Nに流れる電流の合計電流)を生成し、制御する役割を有している。

[0064] 昇圧回路の構成について、さらに説明すると、図1・2に示すように、インダクタ6の一端には、電源10が接続されており、インダクタ6の他端にはN-CH FET7のドレインおよびショットキーバリアダイオード8のアノードが接続されている。また、N-CH FET7のソースは接地されており、N-CH FET7のゲートには、スイッチングレギュレータIC5からのPWM制御信号が入力されている。さらに、ショットキーバリアダイオード8のカソードおよび平滑コンデンサ9の一端が接続されており、平滑コンデンサ9の他端は接地されている。

[0065] なお、スイッチングレギュレータIC5からN-CH FET7のゲートに入力されているPWM制御信号は、各発光ダイオード4のオン・オフを制御するためにDC-DCコンバータ1に外部から入力されるPWM制御信号(詳細について後述)とは異なる信号である。

[0066] この昇圧回路は、インダクタ6の一端に電源10から印加された電圧を所定の電圧分、昇圧して、ショットキーバリアダイオード8のカソードと平滑コンデンサ9の一端との

接続点側、つまり、発光ダイオード部2側へ出力電圧 V_{out} を出力する。より、詳細には、昇圧回路は、N-CH FET7のオン・オフにより、インダクタ6と平滑コンデンサ9によりエネルギー変換を行われ、電圧を昇圧して出力する。

[0067] さらに換言すれば、インダクタ6には、電源10から直流(DC)電圧が印加されており、N-CH FET7がオン・オフすることにより、インダクタ6に発生した交流電圧をショットキーバリアダイオード8で半波整流し、平滑コンデンサ9で平滑化して直流(DC)電圧を出力することができる。繰り返しになるが、この平滑コンデンサ9で平滑化されて出力される直流電圧の大きさは、N-CH FET7のオン・オフを制御する制御信号の周期を変化させることにより、制御することができる。このような昇圧回路にて発光ダイオード4のアノード側に直流電圧(出力電圧) V_{out} を生成することができる。

[0068] なお、発光ダイオードライン3の数が少ない場合や、そもそも外部電源10の電圧が高い場合には、昇圧しなくても発光ダイオード4を駆動することができるので、このような場合には、昇圧回路は必ずしも必要ない。

[0069] [スイッチングレギュレータICについて]

スイッチングレギュレータIC5は、図1・2に示すように、スイッチング制御部22、定電流回路21、および負荷制御回路20を備えている。スイッチングレギュレータIC5は、設定された出力レベル(電圧または電流)に対し、発光ダイオード部2からの出力のフィードバック(電圧または電流)を受けて、N-CH FET7のオン・オフ周期(ON-OFF周期)を制御して出力(出力電圧 V_{out})を一定レベルに保つ仕組みになっている。但し、本実施の形態では、発光ダイオード4のような電流駆動負荷を制御するので、スイッチングレギュレータIC5には、発光ダイオード部2から電流がフィードバックされている。

[0070] スwitchング制御部22は、定電流回路21を介した発光ダイオード部2からのフィードバック信号に基づいて、PWM制御信号を生成し、このPWM制御信号によってN-CH FET7のオン・オフを制御する。

[0071] 定電流回路21は、それぞれの発光ダイオードライン3-1、…、3-Nに互いに等しい電流を流す役割を有しており、図示しないが、例えば、誤差増幅器、トランジスタ、抵抗から構成されている。つまり、定電流回路21は、DC-DCコンバータ1が生成し

た定電流 I_{out} を各発光ダイオードライン3-1、…、3-Nに対して均等に分ける役割を有している。これにより、定電流回路21は、並列に接続された発光ダイオードライン3-1、…、3-N間の輝度を等しくしている。

[0072] なお、発光ダイオード4には、順方向電圧にバラツキがあるので、このバラツキを吸収する回路が必要となる。図示しないが、このバラツキを吸収する回路がスイッチングレギュレータIC5の内部に設けられている。このようなバラツキの吸収や、輝度を等しくする役割を有するICとして、例えば、ローム製BU6066GUなどがある。

[0073] [負荷制御回路の構成について]

次に本発明の最重要部分である、負荷制御回路(特許請求の範囲に記載の「負荷駆動回路」に対応)について説明する。

[0074] 図3は、負荷制御回路20の内部構成を示すブロック図である。負荷制御回路20は、図3に示すように、発光ダイオードライン3-1、…、3-N毎に設けられたD-FF(D-フリップフロップ)25と、これらの各D-FF25に対応してこれら各D-FF25の後段に設けられたスイッチ回路(負荷ON/OFF)26と、を有している。なお、図3では、各発光ダイオードライン3-1、…、3-Nの参照符号に併せて、D-FF25、および、スイッチ回路26の参照符号を25-1、25-2、…、25-N、26-1、26-2、…、26-Nとし、それぞれ、第1段のD-FF(初段のD-FF)、第2段のD-FF、…、第N段のD-FF、第1のスイッチング回路、第2のスイッチング回路、…、第Nのスイッチング回路と称する。また、説明の便宜上、D-FF、スイッチング回路の全般的な説明をする際には、参照符号を25、26とする。

[0075] スwitch回路26は、D-FF25から出力される「H」、または、「L」の論理に応じて、対応する発光ダイオードライン3-1、…、3-Nに、電流を「流す」か「流さない」かを、制御する回路であり、ドレインが発光ダイオード4のカソードに接続され、ゲートがD-FF25に接続され、ソースが定電流回路21に接続された、N-CH FET30である(図4参照)。

[0076] D-FF25は、図3に示すように、データ入力端子およびデータ出力端子と、このデータ出力端子から出力される信号をコントロールするクロック信号(CK)の入力端子と、を有している。つまり、D-FF25は3つの端子を有している。このD-FF25は、クロ

ック信号がLOW(低)レベルからHIGH(高)レベルに変化した時のデータ入力端子から入力された入力データが、出力に伝わり、それ以外の時間は、前回までデータ出力端子から出力されていたデータ出力を保持する役割を有している。

[0077] 同じく図3に示すように、全てのD-FF25には、同一のクロック信号が入力されている。また、第1段のD-FF25-1のデータ入力端子には、PWM制御信号が入力されている。第1段のD-FF25-1からの出力信号は、次段(第2段)のD-FF25-2のデータ入力端子および第1のスイッチング回路26-1へ出力される。第1段のD-FF25-1からの出力を受けて、第2段のD-FF25-2からの出力信号は、さらに次段(第3段)のD-FF25-3のデータ入力端子および第2のスイッチング回路26-2へ出力される。以降、同様に信号が伝達されるようになっている。

[0078] これにより、PWM制御信号がLOWレベル→HIGHレベルへ移行するタイミングから1クロック遅延したタイミングで、第1のスイッチング回路26-1がオンされ、PWM制御信号がHIGHレベル→LOWレベルへ移行するタイミングから1クロック遅延したタイミングでオフされる。つまり、PWM制御信号の信号波形を1クロック遅延した信号波形に基づいて、第1のスイッチング回路26-1のオン・オフが繰り返される。さらに、第1のスイッチング回路26-1のオン・オフのタイミングから1クロック遅延して、第2のスイッチング回路26-2のオン・オフが繰り返される。第1のスイッチング回路26-1、第2のスイッチング回路26-2、第3のスイッチング回路26-3、…の順に、1クロックずつ、遅延したタイミングでオンされ(つまり、ハイレベルとなり)、その後、PWM制御信号の1周期分オン期間が維持された後、オフされる(ローレベルとなる)。以降同様の動作が繰り返される。

[0079] このようなPWM制御信号と同周期の制御信号により、発光ダイオードに流れる電流を一定のタイミングでオン・オフ制御することにより、オン・オフ期間の比率により発光ダイオード4の輝度を調整している。

[0080] 図5は、発光ダイオードライン3-1、…、3-Nの数(N)を例えば、7個とした場合の、PWM制御信号波形と、各発光ダイオードライン3-1、…、3-Nに配された発光ダイオード4に流れる電流波形とを示すタイミングチャートである。各発光ダイオードライン3-1、…、3-Nに配された発光ダイオード4は、各発光ダイオードライン3-1、…

、3-Nに接続されたスイッチング回路26のオン・オフにより、電流のオン(流れる)・オフ(流れない)が制御される。図5では、各発光ダイオードライン3-1、…、3-Nに配された発光ダイオード4の電流の波形を、それぞれ、LED1、LED2、…LED7とする。

[0081] 同タイミングチャートに示すように、PWM制御信号、LED1、LED2、…LED6、LED6は、全て同じ周波数であり、上述した通り、D-FF25によって、立ち上がりがこの順に1クロックずつ遅れている。

[0082] これにより、次のような作用効果を奏する。つまり、上記構成によれば、各発光ダイオードライン3-1、…、3-Nは、順次オン・オフされる。そのため、従来技術のように、全ての発光ダイオードライン3-1、…、3-Nが同時にオン・オフされることがなく、発光ダイオードライン3-1、…、3-Nが並列方向へ順次オン・オフされる。そのため、DC-DCコンバータ1からの出力電圧 V_{out} の電圧変動を減らすことができ、平滑コンデンサ9の音鳴りなどの問題を回避することができる。さらに、周波数の選定の制限をする必要もない。さらに、音鳴りを回避するために、必要以上に周波数を高くする必要がないため、DC-DCコンバータ1の動作が発光ダイオード4のオン・オフの切り替えに追従できないという問題も回避することができる。

[0083] さらに、本実施の形態では、上記のように、クロック信号の周波数をPWM制御信号の周波数のN倍とすると共に、このNを発光ダイオード4の発光ダイオードライン3-1、…、3-Nの列数に一致させている。

[0084] そのため、上記のタイミングチャートに示すように、いずれの時刻においても常に負荷の重さ(点灯する発光ダイオード4の数)が一定となっていると共に、負荷が切断される(点灯する発光ダイオード4の数が0となる)ことが無い。例えば、図5のタイミングチャートに示すように、7本(7つの発光ダイオードライン3-1、…、3-N)中、5本(5つの発光ダイオードライン3-1、…、3-N)の負荷が接続されている。そのため、平均輝度としては、 $5/7 \times 100\%$ となる。従って、より効果的に周辺部品の音鳴りを防止することができる。

[0085] なお、PWM制御信号のDUTY比が100%の場合の動作の概略は、以下のようになります。(i)電源10が入ると、昇圧動作を開始する。(ii)定電流回路21が各LEDラ

イン(発光ダイオードライン3-1、…、3-N)の電流値が等しくなるように制御する。(iii)レギュレータ出力電圧が、各LEDラインのうち順方向電圧が一番大きくなるラインの電圧値になるように、定電流回路21からスイッチング制御部22に信号を送り、N-CH FET7のスイッチングを制御する。(iv)レギュレータ出力電圧は順方向電圧が一番大きくなるライン以外は、発光ダイオード4に過剰な電圧が印加されることになるが、LEDラインのカソードをスイッチングレギュレータIC5の定電流回路21に入力する際に、トランジスタなどを設けてコレクタ電圧などで吸収する。(v) (ii)～(iv)を繰り返し、安定動作状態となる。

[0086] このような回路構成において、レギュレータ出力から発光ダイオード4を通して定電流回路21につながる経路上(または経路外)で、スイッチング回路26を設けてその経路をオン・オフすると、発光ダイオード4の電流をオン・オフさせることができ、輝度の制御が可能となる。また、経路の切断以外に、定電流回路21の動作を停止して、発光ダイオード4の電流をオン・オフさせてもよい。

[0087] なお、上記では、外部からスイッチングレギュレータIC5に入力されるクロック信号の周波数を同じく外部からスイッチングレギュレータIC5へ入力されるPWM制御信号の周波数のN倍とすると共に、このNを発光ダイオードライン3-1、…、3-Nの数に一致させている。しかしながら、これに限定されず、このNが発光ダイオードライン3-1、…、3-Nの数と異なってもよい。

[0088] 図6は、上記のNを発光ダイオードライン3-1、…、3-Nの列数よりも大きくした場合の図5に対応するタイミングチャートである。より具体的には、一例として、クロック周波数の周波数をPWM制御信号の周波数の5倍とし、発光ダイオードライン3-1、…、3-Nの数を3としている。

[0089] この場合、図5で示すように、時間軸で見ると、上記とは異なり、全ての負荷(発光ダイオード4)がオン・オフする期間があり、常に一定の負荷とはなっていないが、全ての負荷のオン・オフが同時に行われることはないので、図6に示すように、負荷変動、つまりIoutの変化が急峻には起こらない。そのため、Voutの波形変動を小さくすることができる。そのため、従来よりも音鳴りを小さくすることができる。

[0090] また、PWM制御信号のDUTY比をリニアに変化させたとしても、LEDのON/OF

F制御信号はシフトレジスタ回路を通るため、「 $1/N$ 」DUTYずつしか輝度が変わらない。さらに、クロック周波数をPWM制御信号の周波数よりも大きくすれば、リニアな調光を実現することができる。

[0091] また、上記の構成では、負荷制御回路20をスイッチングレギュレータIC5の内部に設けている。しかしながら、これに限らず、負荷制御回路20をスイッチングレギュレータIC5の外部に設けてもよい。この場合、負荷制御回路20を、発光ダイオード4のカソード側に設けてもよいし、アノード側に設けてもよい。

[0092] また、上記の構成では、スイッチングレギュレータIC5の外部から負荷制御回路20へPWM制御信号とは別にPWM制御信号の周波数のN倍の周波数を有するクロック信号を入力している。スイッチングレギュレータIC5は、通常、N-CH FET7のスイッチングのために、500kHz～1MHzのクロック信号を内部で生成している。そのため、クロック信号を別に入力せず、スイッチングレギュレータIC5の内部または外部に例えばPLL回路(不図示)を設け、スイッチングレギュレータIC5が生成したクロック信号をPLL回路で分周して、上記のクロック信号を生成してもよい。

[0093] また、上記の定電流回路21は、カレントミラー回路など、定電流を生成することができる回路であれば、何でもよい。

[0094] なお、N-CH FET7をオン・オフさせるPWM制御信号の周波数は、500kHz～1MHzであり、スイッチング回路26をオン・オフさせるPWM制御信号の周波数は、200kHz～300kHzである。

[0095] また、流れる電流をオン・オフする発光ダイオードライン3-1、…、3-Nの順序は、一端から他端に向かう順でもよいし、ランダムでもよく、オン・オフする順序は、特に問わない。さらに、2つ以上の発光ダイオードライン3-1、…、3-Nを同時にオン・オフさせてもよい。

[0096] また、上記のD-フリップフロップ25は必須の構成ではなく、例えば、各発光ダイオードライン3-1、…、3-Nに接続したスイッチング回路26へスイッチングレギュレータIC5の外部から1クロック遅れた信号を直接入力するような構成でもよい。

[0097] また、本実施の負荷制御回路は、LCD(Liquid Crystal Display)のバックライト用の多灯LED駆動回路などに用いることができる。また、上記では、負荷として発光ダイ

オード4を挙げたが、定電圧や定電流で複数の負荷を同時に駆動するものであればよく、特に発光ダイオード4に限定されない。

[0098] 〔比較例〕

図7は、上記した本実施の形態の比較例である。上記の図1に対応する図である。

[0099] この比較例では、本実施の形態とは異なる箇所のみ説明し、重複する部分については省略する。但し、本実施の形態と明確に区別するために、同一の機能を有する部材にも異なる参照符合を付している。

[0100] 図7に示すように、比較例では、本実施の形態の負荷制御回路が設けられておらず、各発光ダイオードライン53のカソード側に、N-CH FET70が設けられており、これらのN-CH FET70に同一のPWM制御信号が入力されている。そのため、全ての発光ダイオード54が同時にオン・オフされる。従って、音鳴りなどの問題が生じる。

[0101] 本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

[0102] 以上のように、本発明の負荷駆動回路は、複数の負荷を直列に接続して構成され互いに並列に接続されたそれぞれの直列回路、に流れる電流のオン・オフを、PWM制御する負荷駆動回路において、いずれかの上記直列回路に流れる電流のオン・オフのタイミングと、少なくとも一つの他の直列回路に流れる電流のオン・オフのタイミングと、を互いにずらしている。

[0103] また、本発明の負荷駆動方法は、複数の負荷を直列に接続して構成されると共に互いに並列に接続されたそれぞれの直列回路に流れる電流のオン・オフを、PWM制御する負荷駆動方法において、いずれかの上記直列回路に流れる電流のオン・オフのタイミングと、少なくとも一つの他の直列回路に流れる電流のオン・オフのタイミングと、を互いにずらしている。

[0104] これにより、負荷を制御する時に用いるPWM制御信号の周波数選定の自由度を下げず、周辺回路の追従を妨げず、かつ、音鳴りを防止することができる、という効果を奏する。

[0105] 発明の詳細な説明の項においてなされた具体的な実施形態または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と次に記載する請求の範囲内で、いろいろと変更して実施することができるものである。

産業上の利用可能性

[0106] 本発明の負荷駆動回路は、例えば、液晶表示装置のバックライトに用いることができる。

請求の範囲

- [1] 複数の負荷を直列に接続して構成されると共に互いに並列に接続されたそれぞれの直列回路に流れる電流のオン・オフを、PWM制御するスイッチング回路を有する負荷駆動回路において、
- 上記スイッチング回路は、いずれかの上記直列回路に流れる電流のオン・オフのタイミングと、少なくとも一つの他の直列回路に流れる電流のオン・オフのタイミングと、を互いにずらすことを特徴とする負荷駆動回路。
- [2] 流れる電流のオン・オフのタイミングが互いに等しい直列回路毎に割り当てられたDーフリップフロップを有しており、
- これらのDーフリップフロップのうち、第1のDーフリップフロップには、外部からPWM信号が入力されており、
- それぞれのDーフリップフロップには、上記PWM信号のN倍周波数(Nは2以上の整数)のクロック信号が入力されており、上記第1のDーフリップフロップからの出力信号が次段に設けられたDーフリップフロップへ順次出力されるようになっており、
- 上記スイッチング回路は、該直列回路に割り当てられたDーフリップフロップからの出力信号により上記直列回路に流れる電流のオン・オフを制御することを特徴とする請求の範囲第1項に記載の負荷駆動回路。
- [3] 外部からPWM信号と、上記PWM信号の周波数のN倍以上の任意の周波数(Nは2以上の整数)のクロック信号が入力されており、
- 上記倍数Nは、上記直列回路の数よりも多くなっており、
- 上記スイッチング回路は、全ての直列回路で、流れる電流のオン・オフのタイミングをずらすことを特徴とする請求の範囲第1項に記載の負荷駆動回路。
- [4] それぞれの直列回路に割り当てられたDーフリップフロップを有しており、
- これらのDーフリップフロップのうち、第1のDーフリップフロップには、上記PWM信号が入力されており、
- それぞれのDーフリップフロップには、上記クロック信号が入力されており、
- 上記第1のDーフリップフロップからの出力信号が次段に設けられたDーフリップフロップへ順次出力されるようになっており、

上記スイッチング回路は、該直列回路に割り当てられたD-フリップフロップからの出力信号により上記直列回路に流れる電流のオン・オフを制御することを特徴とする請求の範囲第3項に記載の負荷駆動回路。

[5] 上記PWM信号の周波数に対する上記クロック信号の周波数の倍数Nは、上記直列回路の個数と等しいことを特徴とする請求の範囲第4項に記載の負荷駆動回路。

[6] 上記スイッチング回路は、上記それぞれのD-フリップフロップの後段にそれぞれのD-フリップフロップ毎に備えられていることを特徴とする請求の範囲第2項に記載の負荷駆動回路。

[7] 上記スイッチング回路は、上記それぞれのD-フリップフロップの後段にそれぞれのD-フリップフロップ毎に備えられていることを特徴とする請求の範囲第4項に記載の負荷駆動回路。

[8] 上記スイッチング回路は、上記それぞれのD-フリップフロップの後段にそれぞれのD-フリップフロップ毎に備えられていることを特徴とする請求の範囲第5項に記載の負荷駆動回路。

[9] 上記負荷は、発光ダイオードであることを特徴とする請求の範囲第1項に記載の負荷駆動回路。

[10] 請求の範囲第1項に記載の負荷駆動回路を備えた集積回路であって、
上記それぞれの直列回路に等しい電流を流す定電流回路を有することを特徴とする集積回路。

[11] 請求の範囲第1項に記載の負荷駆動回路と、外部電源からの電圧を所望の電圧に昇圧させて、上記それぞれの直列回路へ流す電流を制御する昇圧回路と、を備えていることを特徴とするDC-DCコンバータ。

[12] 請求の範囲第10項に記載の集積回路と、外部電源からの電圧を所望の電圧に昇圧させて、上記それぞれの直列回路へ流す電流を制御する昇圧回路と、を備えていることを特徴とするDC-DCコンバータ。

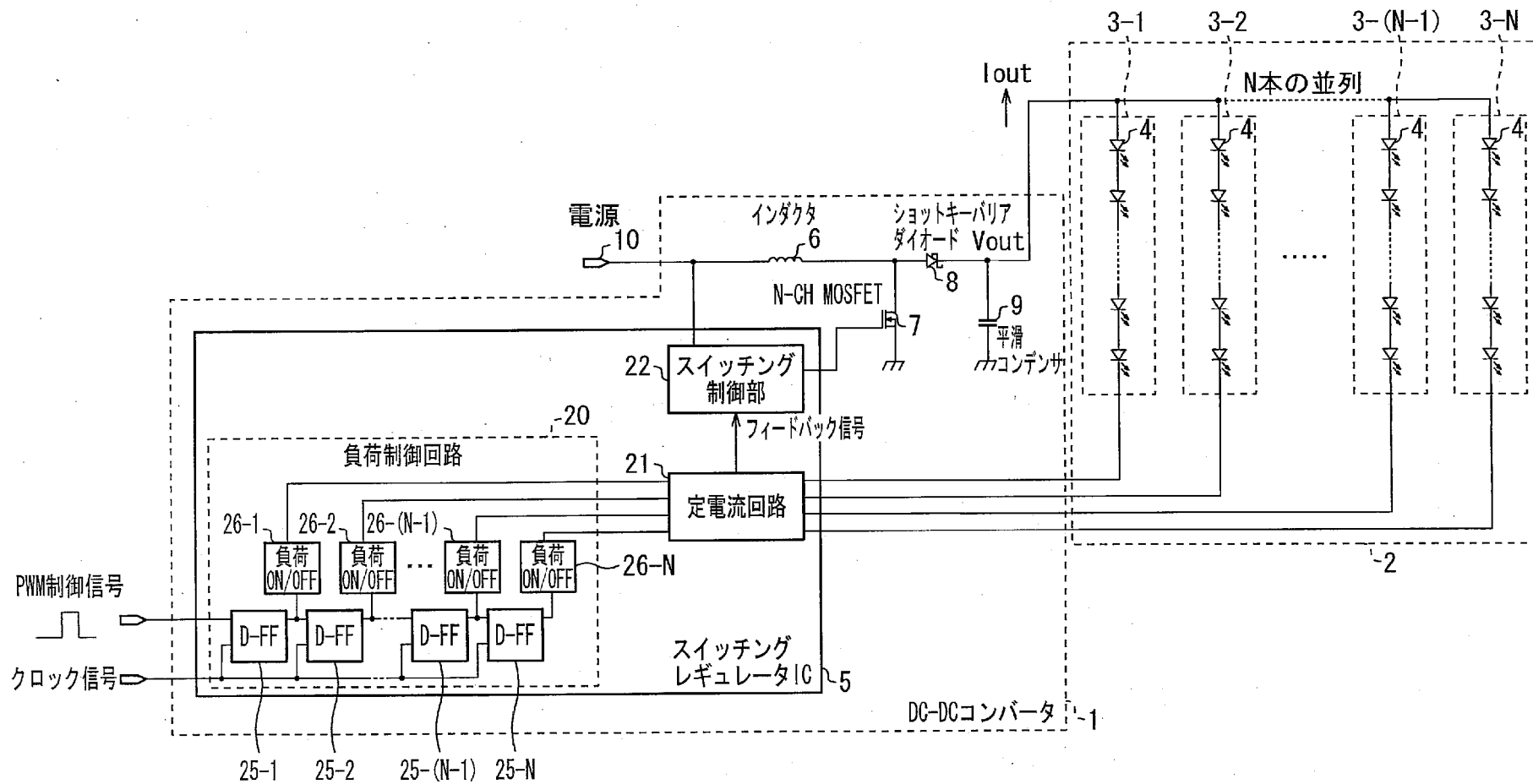
[13] 請求の範囲第1項に記載の負荷駆動回路を備えたことを特徴とするDC-DCコンバータ。

[14] 請求の範囲第10項に記載の集積回路を備えたことを特徴とするDC-DCコンバ

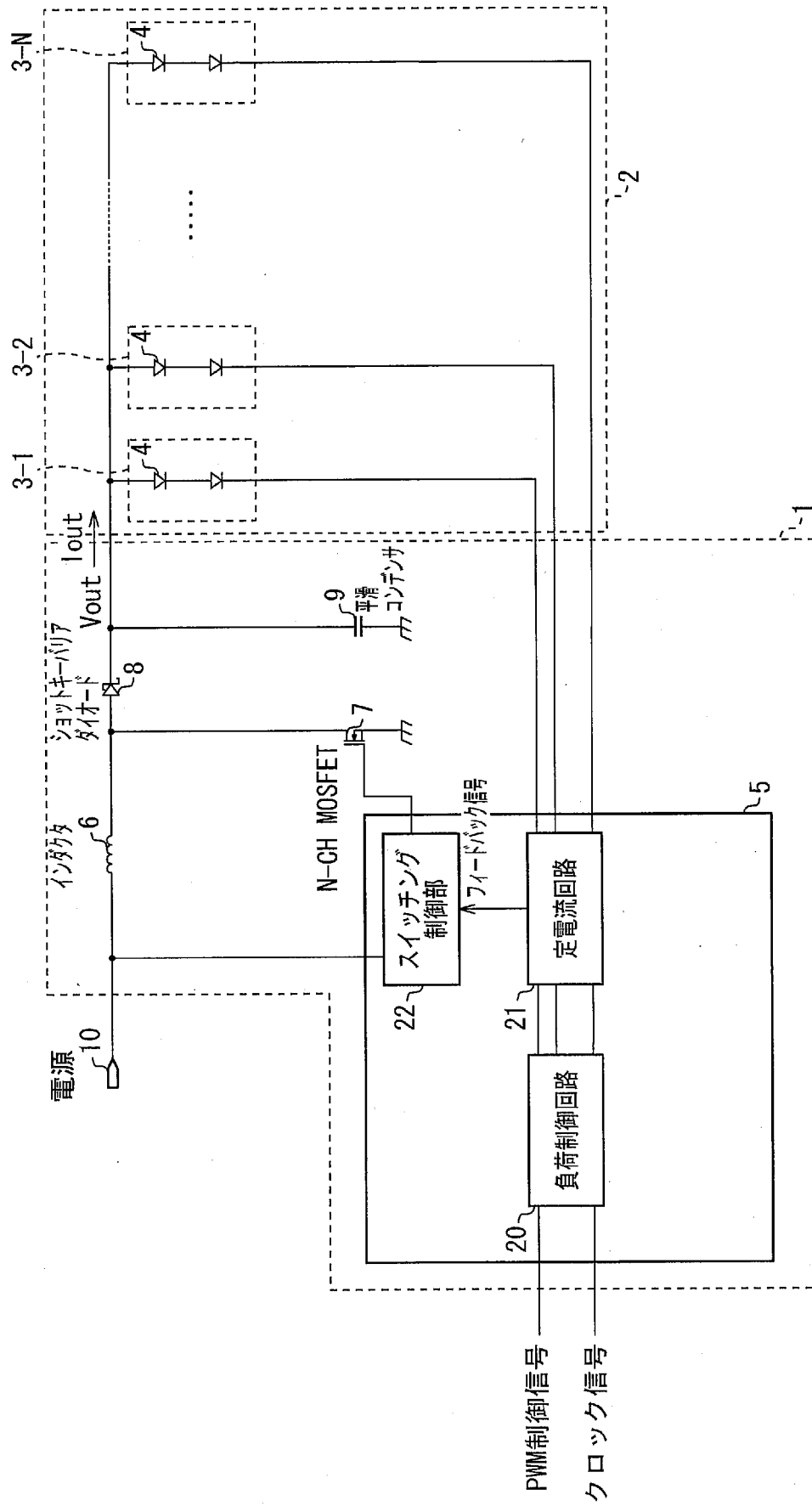
ータ。

- [15] 複数の負荷を直列に接続して構成されると共に互いに並列に接続されたそれぞれの直列回路に流れる電流のオン・オフを、PWM制御する負荷駆動方法において、いずれかの上記直列回路に流れる電流のオン・オフのタイミングと、少なくとも一つの他の直列回路に流れる電流のオン・オフのタイミングと、を互いにずらすことを特徴とする負荷駆動方法。

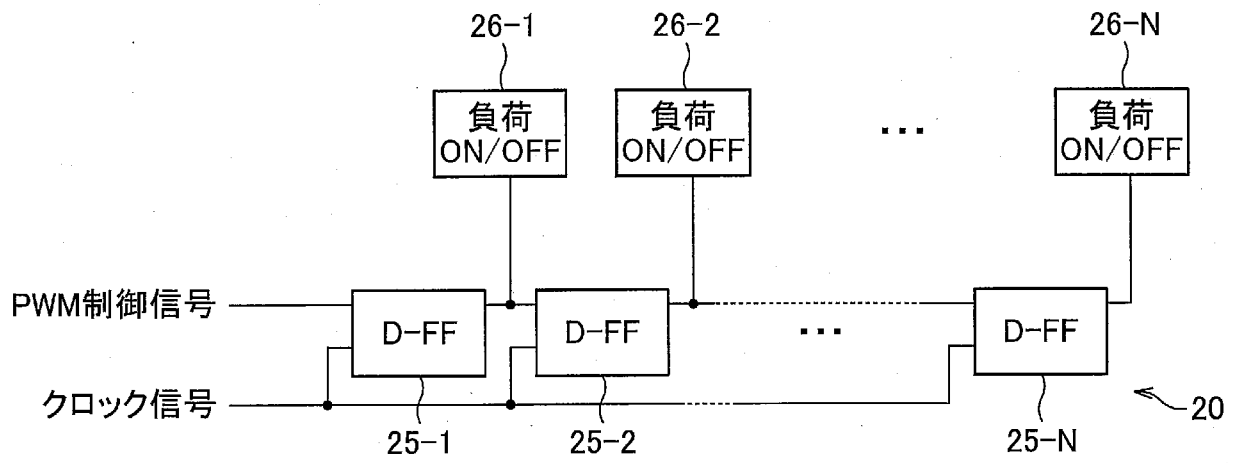
[図1]



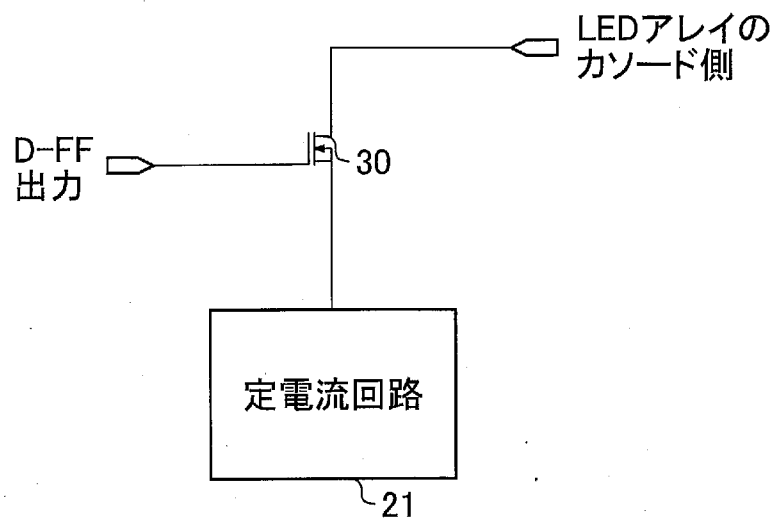
[図2]



[図3]

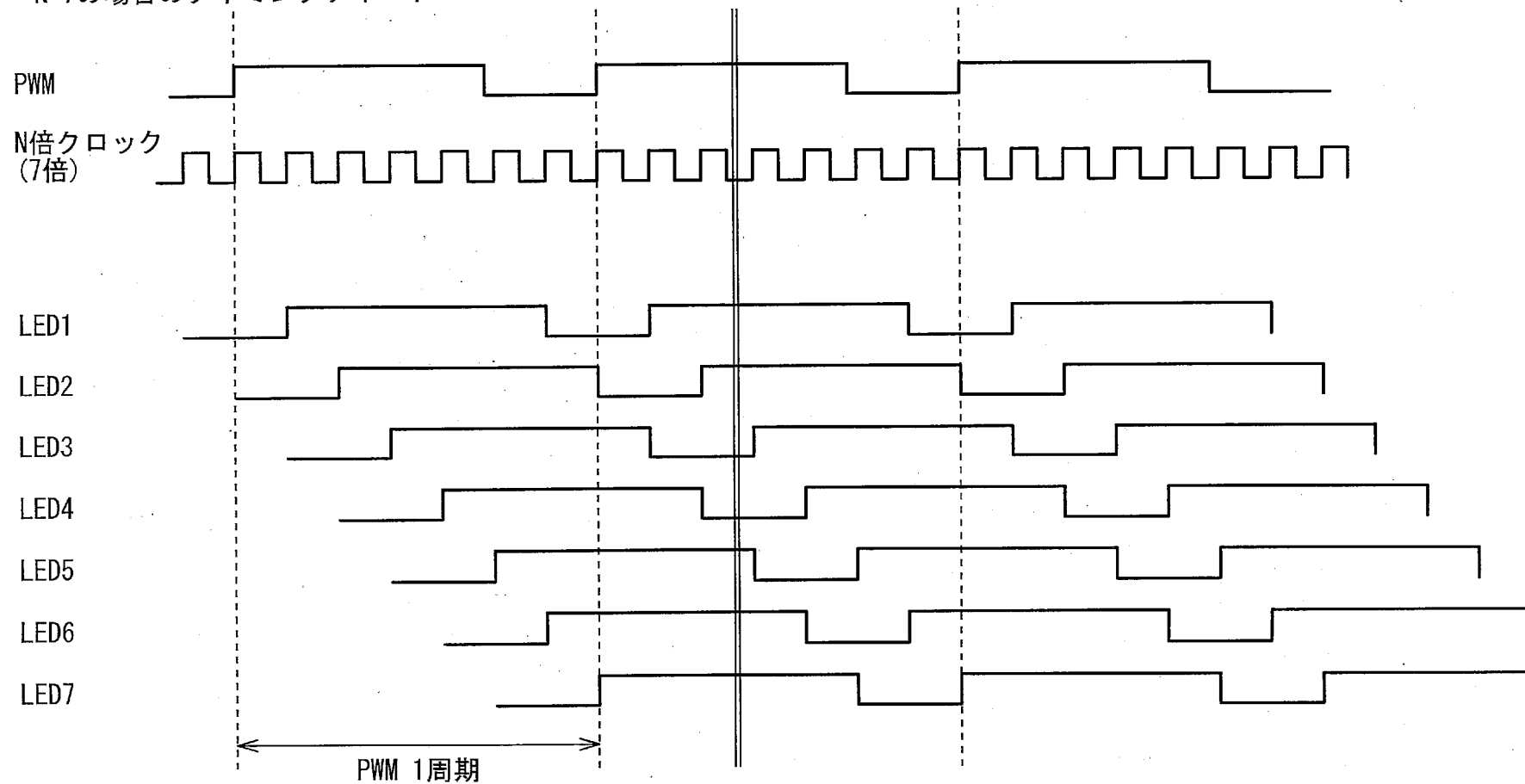


[図4]

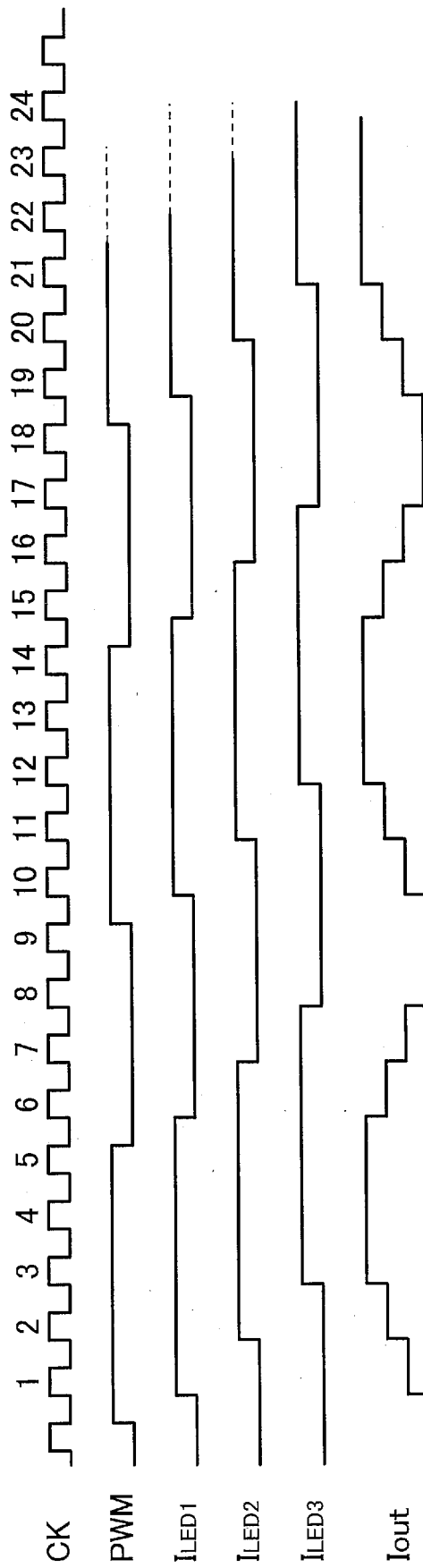


[図5]

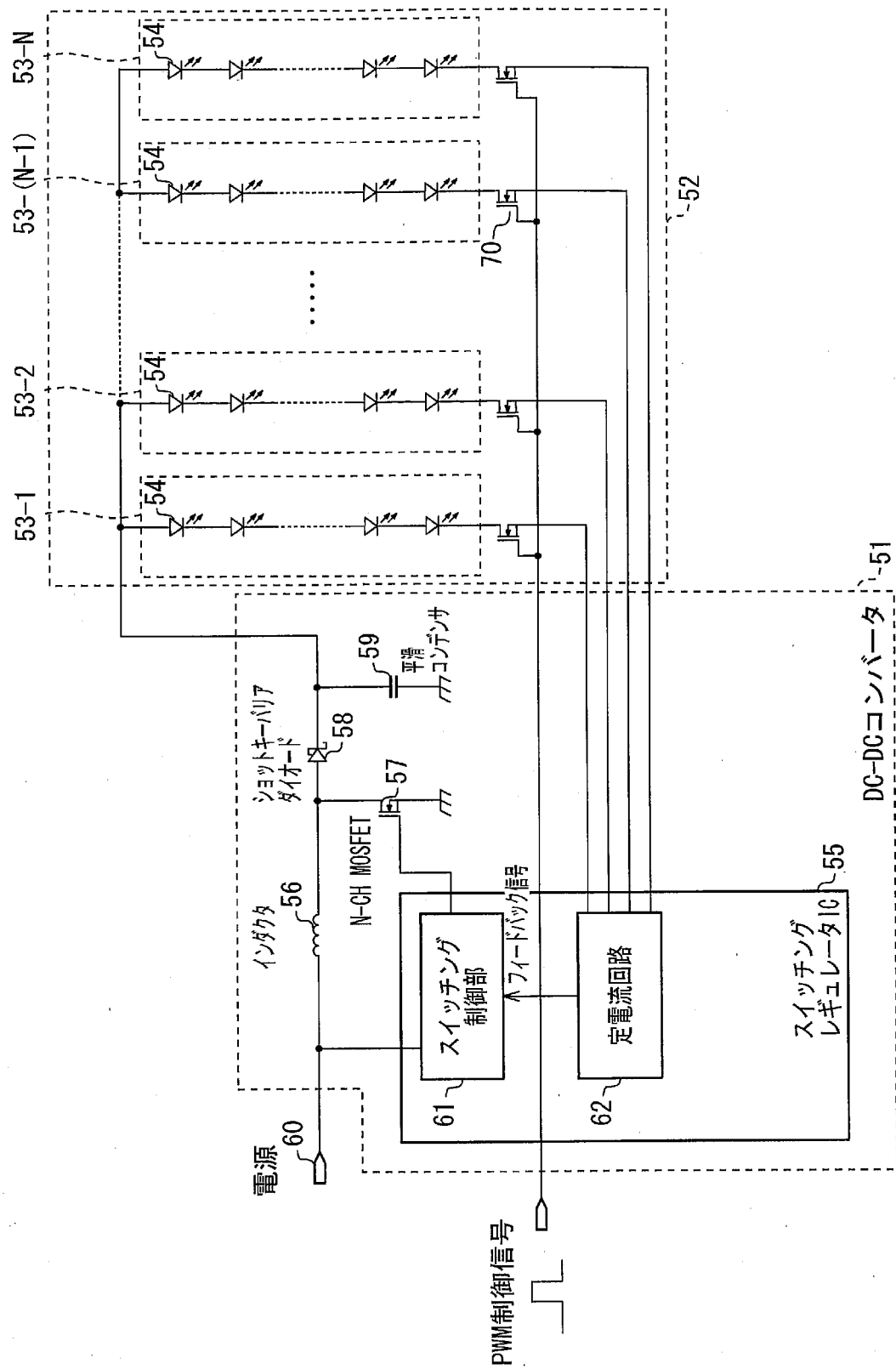
N=7の場合のタイミングチャート



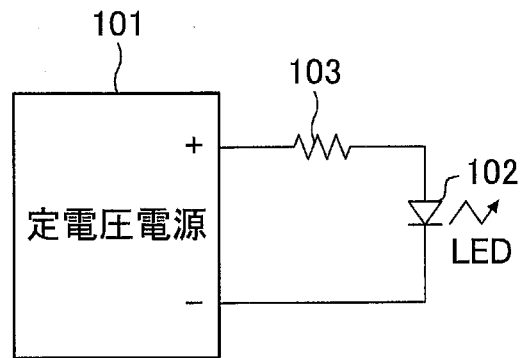
[図6]



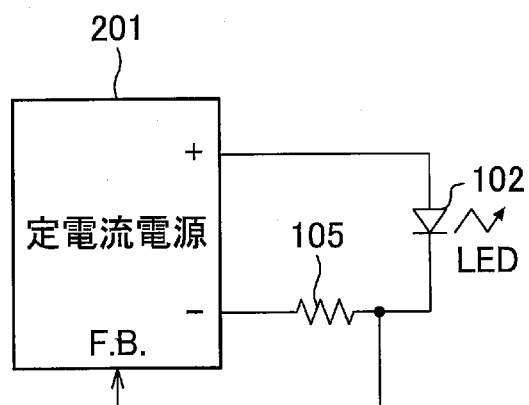
[図7]



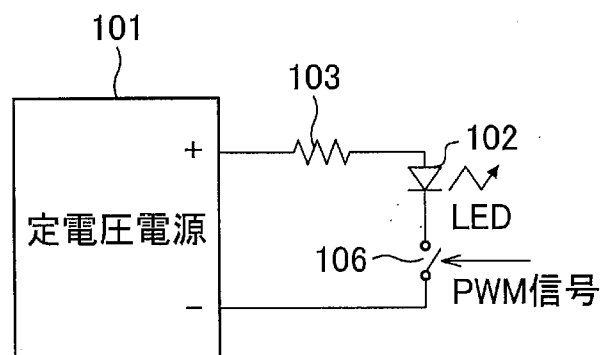
[図8]



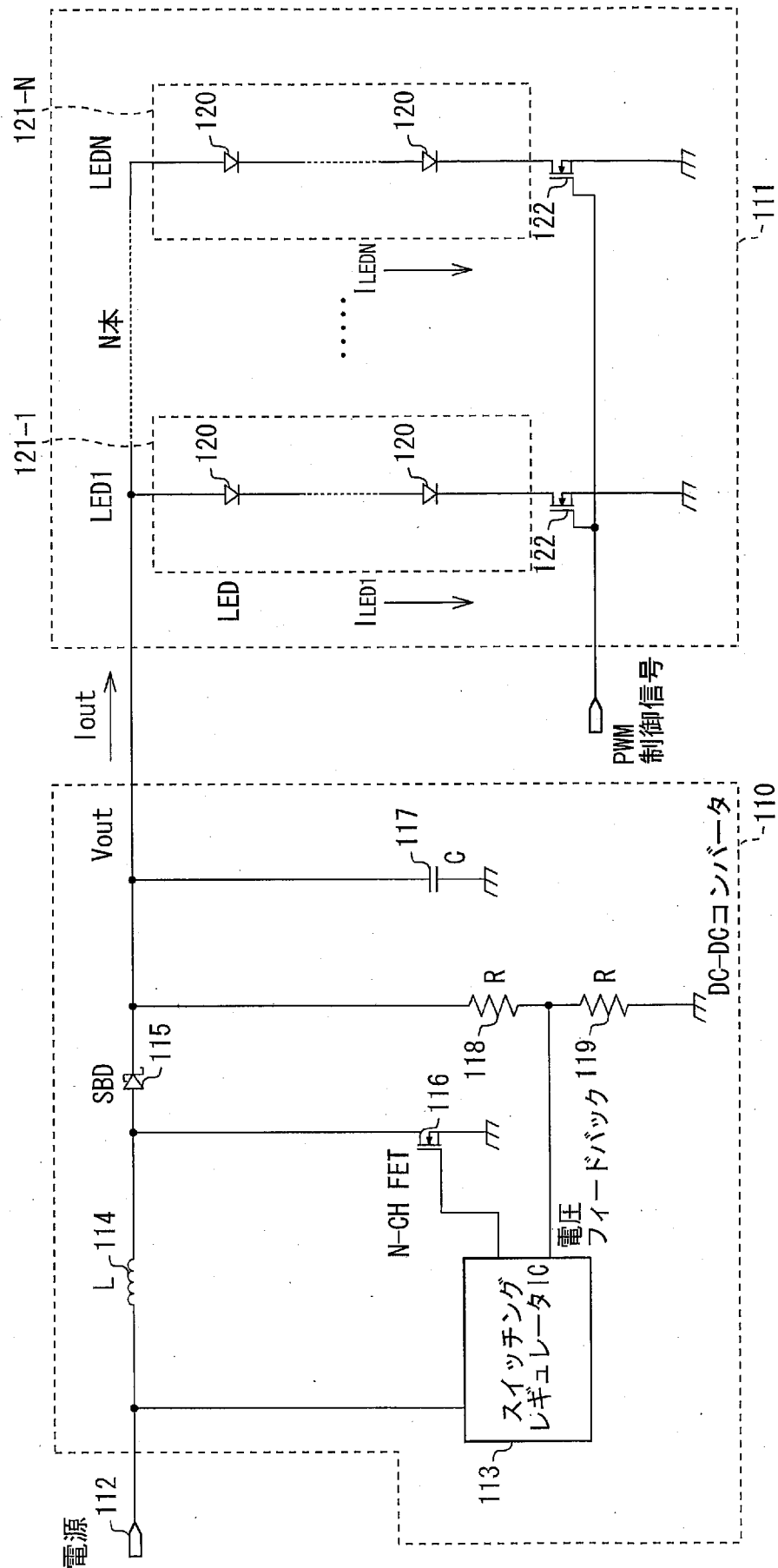
[図9]



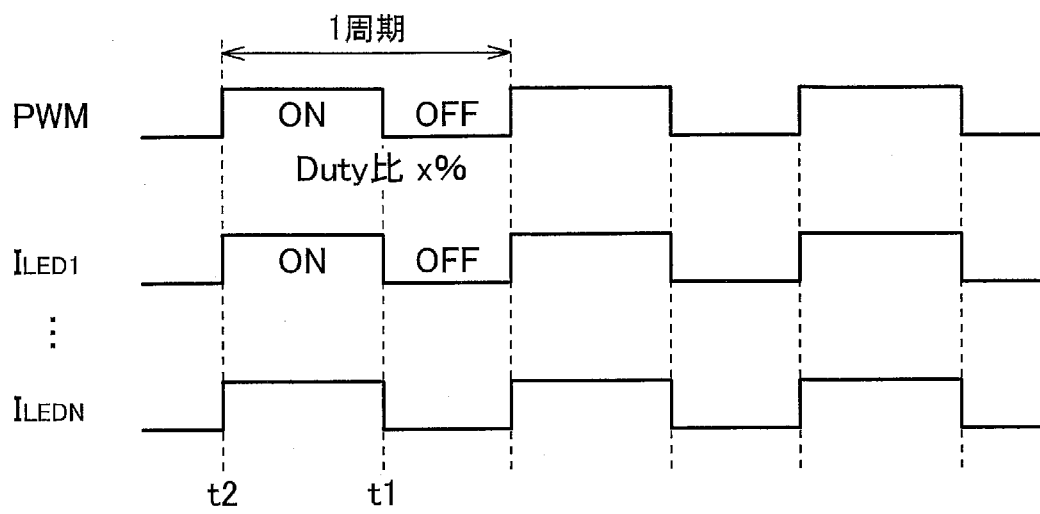
[図10]



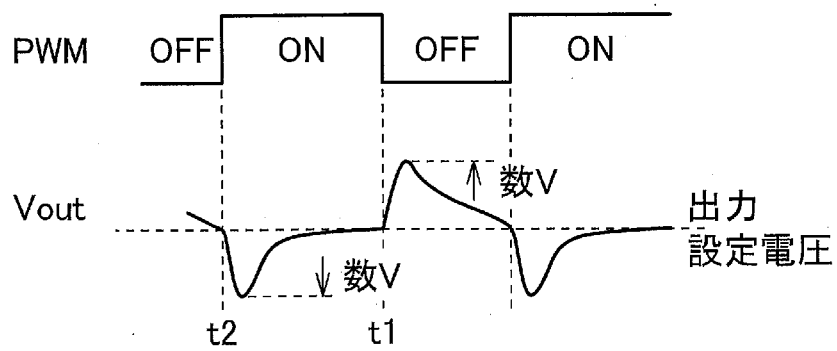
[図11]



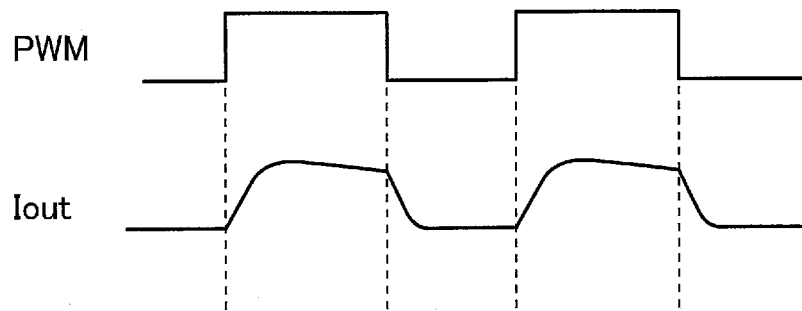
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/070733

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155(2006.01) i, H05B37/02(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155, H05B37/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2006-318773 A (Matsushita Electric Works, Ltd.), 24 November, 2006 (24.11.06), Par. Nos. [0016], [0017]; Figs. 3, 4 (Family: none)	1, 9, 15 2-8, 10-14
Y	JP 2005-173487 A (Olympus Corp.), 30 June, 2005 (30.06.05), Par. Nos. [0051] to [0058]; Figs. 1 to 7 (Family: none)	2-8, 10-14
Y	JP 2000-201474 A (Linear Technology Corp.), 18 July, 2000 (18.07.00), Page 4, left column, lines 18 to 28; page 9, right column, line 6 to page 10, right column, line 47; Figs. 1, 4, 5 & US 6177787 B1 & TW 432790 B	2-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 January, 2008 (09.01.08)

Date of mailing of the international search report
22 January, 2008 (22.01.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/070733

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-297399 A (Yazaki Corp.), 26 October, 2001 (26.10.01), Par. No. [0011]; Fig. 4 (Family: none)	10, 12-14
A	JP 2006-50894 A (ST Microelectronics S.A.), 16 February, 2006 (16.02.06), Par. Nos. [0035], [0036]; Figs. 4, 5 (Family: none)	1-15
A	JP 2006-39169 A (Tatsuo NAKANO), 09 February, 2006 (09.02.06), Par. No. [0021]; Fig. 5 (Family: none)	1-15

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M3/155 (2006.01) i, H05B37/02 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M3/155, H05B37/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 2 0 0 6 - 3 1 8 7 7 3 A（松下電工株式会社）2 0 0 6. 1 1. 2 4、段落【0 0 1 6】、【0 0 1 7】、第3, 4図（ファミリー なし）	1, 9, 15 2-8, 10-14
Y	J P 2 0 0 5 - 1 7 3 4 8 7 A（オリンパス株式会社）2 0 0 5. 0 6. 3 0、段落【0 0 5 1】－【0 0 5 8】、第1－7図（ファミ リーなし）	2-8, 10-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9. 0 1. 2 0 0 8

国際調査報告の発送日

2 2. 0 1. 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

服部 俊樹

3 V

3 7 3 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 7

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2 0 0 0 - 2 0 1 4 7 4 A (リニアードテクノロジー コーポレーション) 2 0 0 0 . 0 7 . 1 8、4 頁左欄 1 8 行 - 2 8 行、9 頁右欄 6 行 - 1 0 頁右欄 4 7 行、第 1, 4, 5 図 & U S 6 1 7 7 7 8 7 B 1 & T W 4 3 2 7 9 0 B	2-8
Y	J P 2 0 0 1 - 2 9 7 3 9 9 A (矢崎総業株式会社) 2 0 0 1 . 1 0 . 2 6、段落【0 0 1 1】、第 4 図 (ファミリーなし)	10, 12-14
A	J P 2 0 0 6 - 5 0 8 9 4 A (エステーマイクロエレクトロニクス ソシエテ アノニム) 2 0 0 6 . 0 2 . 1 6、段落【0 0 3 5】、【0 0 3 6】、第 4, 5 図 (ファミリーなし)	1-15
A	J P 2 0 0 6 - 3 9 1 6 9 A (仲野達男) 2 0 0 6 . 0 2 . 0 9、段落【0 0 2 1】、第 5 図 (ファミリーなし)	1-15