

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年1月22日(2009.1.22)

【公開番号】特開2006-237564(P2006-237564A)

【公開日】平成18年9月7日(2006.9.7)

【年通号数】公開・登録公報2006-035

【出願番号】特願2005-354478(P2005-354478)

【国際特許分類】

H 01 L 21/76 (2006.01)

H 01 L 27/08 (2006.01)

H 01 L 29/786 (2006.01)

【F I】

H 01 L 21/76 L

H 01 L 27/08 3 3 1 E

H 01 L 27/08 3 3 1 A

H 01 L 29/78 6 2 1

【手続補正書】

【提出日】平成20年11月27日(2008.11.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

絶縁層上に設けられた半導体層に位置し、各々が少なくとも一つのゲート電極と、第1導電型の第1の半導体領域、第1導電型の第2の半導体領域並びに前記第1の半導体領域及び前記第2の半導体領域に挟まれる第1導電型とは反対導電型の第2導電型の第3の半導体領域とを有する複数のMISトランジスタを備え、前記第1の半導体領域及び第2の半導体領域は前記ゲート電極のゲート長方向の両側に位置し、いずれも前記絶縁層にまで到達し、

前記半導体層に位置し、前記絶縁層にまで到達する第1の素子分離絶縁膜をさらに備え、前記第1の素子分離絶縁膜は前記第1の半導体領域及び前記第2の半導体領域に接し、前記第1の素子分離絶縁膜により同一導電型の前記MISトランジスタは相互に分離され、

前記半導体層に位置する第2の素子分離絶縁膜と、

前記第2の素子分離絶縁膜と前記絶縁層との間に設けられる第2導電型の第4の半導体領域とをさらに備える、

半導体装置。

【請求項2】

前記第2の素子分離絶縁膜は前記第3の半導体領域に接する、

請求項1記載の半導体装置。

【請求項3】

前記ゲート電極の延在方向に沿った側面の両方にはサイドウォールが形成され、

前記第1の半導体領域、前記第2の半導体領域は前記サイドウォールと対向する位置で半導体部を有し、

前記第3の半導体領域に接する前記第2の素子分離絶縁膜のゲート長方向に沿った幅は、前記ゲート長方向に沿って一方の前記サイドウォールの前記ゲート電極の反対側の端部

から前記ゲート電極を経由して他方の前記サイドウォールの前記ゲート電極の反対側の端部に至るまでの幅に設定される、

請求項 2 記載の半導体装置。

【請求項 4】

前記第3の半導体領域と接する位置において前記第2の素子分離絶縁膜の前記ゲート長方向に沿った幅は、前記第3の半導体領域の一端部から前記第1の半導体領域及び他端部から前記第2の半導体領域へと、デザインルールで許容される最小の幅で広げた幅に設定される、

請求項 2 記載の半導体装置。

【請求項 5】

前記第1の半導体領域及び前記第2の半導体領域から前記ゲート電極の延在方向でデザインルールで許容される最小の距離以遠で、前記第2の素子分離絶縁膜の前記ゲート長方向に沿った幅が広がる、

請求項 4 記載の半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一つに記載の半導体装置を有する回路を構成する第1種プロックと、

他の回路を構成する第2種プロックと、

前記プロック同士を分離する分離領域と  
を備えて前記絶縁層上に設けられた前記半導体層において形成され、

少なくとも、前記プロック同士を接続するプロック間配線が敷設される位置において、  
プロック間を分離する分離絶縁膜が前記絶縁層に到達する、  
半導体集積回路。

【請求項 7】

前記プロック間配線が敷設される位置以外では前記分離絶縁膜は前記絶縁層に到達しない、

請求項 6 記載の半導体集積回路。

【請求項 8】

前記プロック間を分離する前記分離絶縁膜は全て前記絶縁層に到達する、

請求項 6 記載の半導体集積回路。

【請求項 9】

( a ) 絶縁層および前記絶縁層上に設けられた半導体層を有する半導体基板を準備する工程と、

( b ) 前記半導体層の上方にシリコン窒化膜を形成する工程と、

( c ) フォトリソグラフィ技術により前記シリコン窒化膜をパターニングする工程と、

( d ) パターニングされた前記シリコン窒化膜をマスクとしつつ、前記半導体層を前記絶縁層に迄到達しない深さでエッチングする工程と、

( e ) パターニングされた前記シリコン窒化膜上およびエッチングされた前記半導体層上方にフォトレジストを形成し、前記フォトレジストをパターニングする工程と、

( f ) パターニングされた前記フォトレジストおよび前記シリコン窒化膜をマスクとしつつ、エッチングされた前記半導体層の一部を前記絶縁層に迄到達する深さでさらにエッチングする工程と、

( g ) 前記半導体層の、前記絶縁層に迄到達しない深さでエッチングされた部分および前記絶縁層に迄到達する深さでエッチングされた部分の双方に絶縁膜を埋め込んで、素子分離絶縁膜を形成する工程とを備える、

半導体装置の製造方法。

【請求項 10】

前記素子分離絶縁膜のうち前記絶縁層に迄到達するものは、前記半導体層の厚み方向と、複数のMISトランジスタのゲート電極が延在する第1方向とのいずれにも垂直な第2方向に延在する、異なるトランジスタ間での素子分離絶縁膜であり、

前記素子分離絶縁膜のうち前記絶縁層に迄到達しないものは、前記複数のMISトランジスタのボディ領域の近傍に設けられた素子分離絶縁膜である。  
請求項9記載の半導体装置の製造方法。

【請求項11】

異なる高電位が印加された複数の高電位線と、  
前記異なる高電位のいずれもより低い、異なる低電位が印加された複数の低電位線と  
をさらに備え、

前記第4の半導体領域は、前記複数のMISトランジスタの各々において、前記第3の  
半導体領域を前記高電位線および前記低電位線の一つに接続する、  
請求項2記載の半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

この発明にかかる半導体装置は、絶縁層上に設けられた半導体層に位置し、各々が少なくとも一つのゲート電極と、第1導電型の第1の半導体領域、第1導電型の第2の半導体領域並びに前記第1の半導体領域及び前記第2の半導体領域に挟まれる第1導電型とは反対導電型の第2導電型の第3の半導体領域とを有する複数のMISトランジスタを備え、前記第1の半導体領域及び第2の半導体領域は前記ゲート電極のゲート長方向の両側に位置し、いずれも前記絶縁層にまで到達し、前記半導体層に位置し、前記絶縁層にまで到達する第1の素子分離絶縁膜をさらに備え、前記第1の素子分離絶縁膜は前記第1の半導体領域及び前記第2の半導体領域に接し、前記第1の素子分離絶縁膜により同一導電型の前記MISトランジスタは相互に分離され、前記半導体層に位置する第2の素子分離絶縁膜と、前記第2の素子分離絶縁膜と前記絶縁層との間に設けられる第2導電型の第4の半導体領域とをさらに備える。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

この発明にかかる半導体装置によれば、第1の素子分離絶縁膜は前記第1の半導体領域及び前記第2の半導体領域に接し、前記第1の素子分離絶縁膜により同一導電型の前記MISトランジスタは相互に分離されるため、一のトランジスタの第1の半導体領域と、当該一のトランジスタに対して隣接する他のトランジスタの第2の半導体領域との間で、絶縁層とは反対側で敷設される配線に寄生する容量を低減する。