

公告本

申請日期: 89.5.16

案號: 89109311

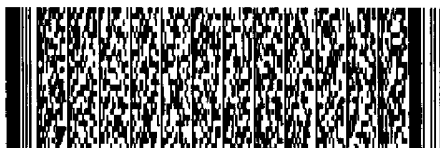
類別: H01L 2/8229

(以上各欄由本局填註)

發明專利說明書

457643

一、 發明名稱	中文	製造半導體記憶單元電晶體之方法
	英文	
二、 發明人	姓名 (中文)	1. 何昆奇 2. 林正平
	姓名 (英文)	1. 2.
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 嘉義縣新港鄉西庄村三鄰西庄97號 2. 桃園縣大園鄉大園村新生路41號
三、 申請人	姓名 (名稱) (中文)	1. 南亞科技股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 桃園縣蘆竹鄉南崁路一段336號
	代表人 姓名 (中文)	1. 王永慶
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

有關微生物已寄存於

寄存日期

寄存號碼

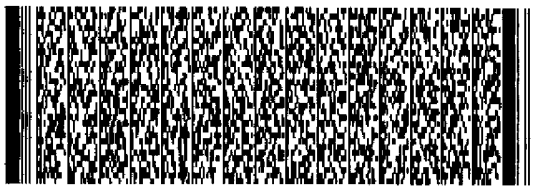
五、發明說明 (1)

本發明係有關一種製造半導體記憶單元之方法，特別是關於製造動態隨機存取記憶體記憶單元電晶體之方法。

隨著積體電路被廣泛地運用，為因應不同使用目的，更高效能與更低廉價格之各類半導體元件相繼產出，其中，動態隨機存取記憶體在現今資訊電子業中更有著不可或缺的地位。

現今大多數的動態隨機存取記憶單元是由一個電晶體與一個電容器所構成。由於目前動態隨機存取記憶體之記憶容量的已達到六十四百萬位甚至二百五十六百萬位元以上，在元件積集度要求越來越高的情況下，記憶單元與電晶體的尺寸需要大幅縮小，才可能製造出記憶容量更高，處理速度更快的動態隨機存取記憶體。利用立體化電容器的製程技術，可以大量地減少電容器於半導體基底上所佔佈之面積，因此立體化電容器開始被運用於動態隨機存取記憶體的製程上，例如溝槽型電容器，便被廣泛地運用在記憶容量為六十四百萬位元以上的動態隨機存取記憶體。相對於傳統水平式電晶體佔佈半導體表面相當的面積，無法滿足目前高度積集化的需求，因此可大幅改善習知的半導體記憶單元缺點且較為節省空間之垂直式電晶體，將成為目前及未來製造半導體記憶單元的主要潮流。以下先就習知半導體記憶單元的製造方法說明於后：

請先參考第1-1圖~第1-7圖所示之習知淺溝槽隔離區之製法。首先將半導體基底100氧化矽層102於半導體基底表面104，再於氧化矽層102上以低壓化學蒸氣沈積法沈積



五、發明說明 (2)

氮化矽層106。然後，形成硼矽玻璃(BSG)層(未顯示)。接著，以微影製程定義硼矽玻璃層、氧化矽層102、氮化矽層106與半導體基底100，然後進行蝕刻製程以除去部分之硼矽玻璃層、氧化矽層102、氮化矽層106與半導體基底100，形成一深溝槽112。去除硼矽玻璃層以後形成一層薄的環狀氧化矽層114於深溝槽112內壁，再以複晶矽層116填滿深溝槽112內部空間。

請參考第1-2圖，將複晶矽層116予以回蝕刻，使低於半導體基底表面104。接著進行蝕刻製程，將深溝槽112內暴露於複晶矽層116表面之環狀氧化矽層114過度蝕刻(over etch)，使環狀氧化矽層114頂部略低於複晶矽層116頂部。

沈積一摻雜質複晶矽層(未顯示)於氮化矽層106表面，並填滿深溝槽112內部之複晶矽層116以上的空間。然後藉由化學機械研磨法(Chemical Mechanical Polishing)之平坦化製程，以氮化矽層106作為停止層，去除氮化矽層106表面之摻雜質複晶矽層。接著，以回蝕刻製程去除深溝槽112內部之殘留摻雜質複晶矽層到低於半導體基底表面104之預定深度，形成潛導通帶(buried strap)122。至此，深溝槽電容器150便告完成，如第1-3圖所示。

請參考第1-4圖，沈積抗反射層(Anti-Reflection Coating, ARC)124於氮化矽層106表面，並填滿深溝槽112內潛導通帶122以上的空間。接著，於塗佈一光阻層126



五、發明說明 (3)

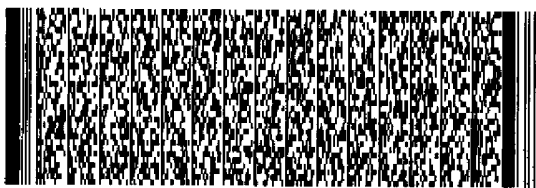
後，以微影製程定義第一開口128。

然後實施不同之等向性蝕刻製程，依序去除第一開口128範圍內以下之各層，例如：抗反射層124、氮化矽層106、氧化矽層102與深溝槽電容器150內部之部分潛導通帶122、部分環狀氧化矽層114、部分第一導電層116及部分半導體基底100，形成一呈倒凸字形狀的開口130。然後，去除光阻層126及殘留之抗反射層124，如第1-5圖所示。

請參考第1-6圖，將高密度電漿氧化矽(High Density Plasma Oxide)所組成之氧化矽層(未顯示)填入淺溝槽隔離區136，予以平坦化處理後，以蝕刻製程將開口130中的氧化矽層蝕刻至適當深度，再另以蝕刻製程去除氮化矽層106及氧化矽層102，形成具有隔離各主動區的淺溝槽隔離區136。潛導通帶122的內部雜質會因為製程中的高溫而向外擴散(out-diffusion)產生源極區131。

請參考第1-7圖，依序於半導體基底表面104及淺溝槽隔離區136表面，沈積一層複晶矽層(未顯示)、一層矽化鎢層(未顯示)及一層氮化矽層(未顯示)。然後利用微影技術和非等向性蝕刻製程定義複晶矽層、矽化鎢層及氮化矽層，形成閘極145與第二字元線138。接著以閘極145為罩幕，植入如磷或砷之N型摻質進入半導體基底100在半導體基底100形成汲極區125，完成記憶體單元的製造。

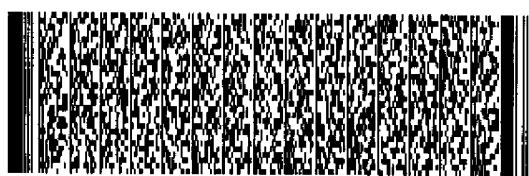
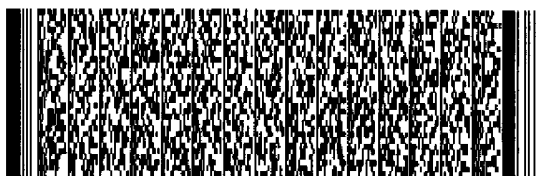
由上揭習知技術形成的半導體記憶單元中可知，源極區131的產生係因為潛導通帶(buried strap)122的內部雜



五、發明說明 (4)

質因高溫而向外擴散(out-diffusion)的結果，當半導體記憶單元趨向高度積集化時，各記憶元間的距離縮短，元件內部可利用的空間也減少，源極區131與汲極區125間距離縮減的結果，將導致源極區131很容易與汲極區125重疊，如此會造成元件隨時都處於導通的狀態，閘極145因此喪失開關的功能，此半導體記憶單元即失去效用。因此，本發明提供一種新的半導體電晶體製造方法，以垂直式電晶體取代水平式電晶體，閘極145部分位於深溝槽內，同時部分延伸至半導體基底204表面，因此源極區131與汲極區125不再呈水平並列，而是呈例如垂直的狀態，只要控制溝槽的深度及閘極的位置，源極區131與汲極區125就可以保持相當的距離，可避免因為高度積集化而發生源極區131與汲極區125重疊的現象。

為達上揭目的，本發明提供一種半導體記憶單元電晶體之製造方法，主要包括：提供一半導體基底，形成墊層於半導體基底表面，形成第一遮蔽層於墊層表面，定義第一遮蔽層及墊層，並以其為遮蔽罩幕於半導體基底的表層形成一深溝槽，去除第一遮蔽層，形成至少包含環狀絕緣層、第一導電層、第二導電層，去除部分墊層、半導體基底、第一導電層、第二導電層及環狀絕緣層之深溝槽電容器於深溝槽當中，並形成第一開口，於前述之第一開口中，填滿絕緣層，形成淺溝槽隔離區，接著去除部分淺溝槽隔離區及第二導電層，形成第二開口，並使第二導電層到達預定深度以形成潛導通帶，去除墊層，使半導體基底



五、發明說明 (5)

表面外露，於半導體基底表面及潛導通帶表面形成絕緣層，佈植適當濃度的雜質進入半導體基底中以形成井區，去除覆蓋於半導體基底表面及潛導通帶之絕緣層，接著於半導體基底表面及第二導電層表面形成另一絕緣層，去除覆蓋於半導體基底表面及潛導通帶之另一絕緣層，留下第二開口內部於半導體基底側壁及潛導通帶表面之部分成為開氧化矽層，再於半導體基底表面形成第三導電層及第四導電層共同填滿第二開口，去除部分之第三導電層及第四導電層，形成閘極與第二字元線於第二開口中，然後於閘極旁的半導體基底形成汲極區，再於半導體基底表面形成絕緣層。

為讓本發明之上述目的、特徵、和優點能更詳盡，下文特列舉較佳實施例，配合所附圖式，詳細說明之。

圖式之簡單說明：

第1-1~1-7圖係顯示習知製造半導體記憶單元電晶體之方法。

第2-1~2-16圖係顯示本發明半導體記憶單元電晶體製造方法之實施例。

符號說明：

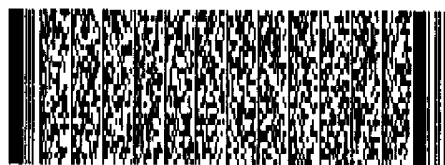
100 ~ 半導體基底； 102 ~ 氧化矽層；



五、發明說明 (6)

- | | |
|-------------------|----------------|
| 104 ~ 半導體基底表面； | 106 ~ 氮化矽層； |
| 112 ~ 深溝槽； | 114 ~ 環狀氧化矽層； |
| 116 ~ 複晶矽層； | 120 ~ 記憶單元； |
| 122 ~ 潛導通帶； | 124 ~ 抗反射層； |
| 125 ~ 汲極區； | 126 ~ 光阻層； |
| 128 ~ 開口； | 131 ~ 源極區； |
| 136 ~ 淺溝槽隔離區； | 138 ~ 第二字元線； |
| 145 ~ 閘極； | 147 ~ 閘極間隙壁； |
| 150 ~ 深溝槽電容器； | 200 ~ 半導體基底； |
| 202 ~ 氧化矽層； | 204 ~ 半導體基底表面； |
| 206 ~ 氮化矽層； | 212 ~ 深溝槽； |
| 214 ~ 環狀絕緣層； | 216 ~ 第一導電層； |
| 218、226、245 ~ 開口； | 220 ~ 第二導電層； |
| 220' ~ 潛導通帶； | 230 ~ 絕緣層； |
| 240 ~ 淺溝槽隔離區； | 250 ~ 深溝槽電容器； |
| 260 ~ 絕緣層； | 262 ~ 井區； |
| 270 ~ 絕緣層； | 275 ~ 閘氧化矽層； |
| 280 ~ 閘極； | 282 ~ 第二字元線； |
| 285 ~ 絕緣層； | 290 ~ 汲極區； |
| 292 ~ 源極區。 | |

本發明之實施例，如第2-1圖所示，首先，提供一半導體基底200，基底200為一半導體材質，如矽，鍺，而形成方式則有磊晶或絕緣層上有矽等，為方便說明，在此以

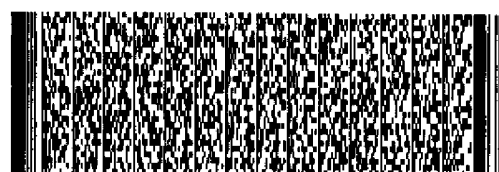


五、發明說明 (7)

一P型矽基底為例。於基底200表面形成墊層207，此墊層207是由氧化矽層202與氮化矽層206所組成。其做法是，先於半導體基底表面204形成厚度為150埃之氧化矽層202，再由化學蒸氣沈積法沈積厚度為1500~3000埃的氮化矽層206。然後，形成厚度約5000~20000埃的第一遮蔽層208於墊層207表面，此第一遮蔽層208可以是由化學氣相沈積法(CVD)、常壓化學氣相沈積法(APCVD)、次常壓化學氣相沈積法(SAPCVD)、低壓化學氣相沈積法(LPCVD)、電漿加強型化學氣相沈積法(PECVD)或高密度電漿化學氣相沈積法(HDPCVD)等方法同步摻雜硼離子之硼矽玻璃(BSG)層所形成。

請參考第2-2圖，以微影製程定義第一遮蔽層208，接著以第一遮蔽層208做為遮蔽罩幕，實施蝕刻製程依序去除部分第一遮蔽層208、部分墊層207及部分半導體基底200，形成深溝槽212於半導體基底200的表層部分。然後以墊層207作為蝕刻停止層，實施等向性濕蝕刻製程去除第一遮蔽層208。

請參考第2-3圖，於深溝槽212內壁形成一環狀(collar)絕緣層214均勻地覆蓋深溝槽212的內部側壁，此環狀絕緣層214是由化學氣相沈積法沈積之氧化矽層所形成，厚度約200~1000埃。接著，再於墊層207表面形成第一導電層216，並填滿深溝槽212的內部由環狀絕緣層214所圍繞的空間，此第一導電層216可以是由低壓化學蒸氣沈積法沈積厚度為2500~4000埃之複晶矽層，為使第一



五、發明說明 (8)

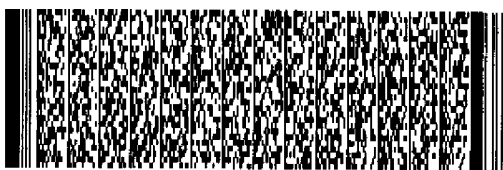
導電層216具有導電性，可使用擴散或離子植入法植入砷離子或磷離子於複晶矽層，或者也可以利用同步摻雜的方式以形成摻雜砷離子或磷離子之複晶矽層。

請參考第2-4圖，以墊層207作為停止層，進行平坦化製程，去除墊層207表面之第一導電層216。此進行平坦化製程可以化學機械研磨法(Chemical Mechanical Polishing)。再以回蝕刻製程去除部分深溝槽212內部殘留之第一導電層216，使之低於半導體基底表面204至第一預定深度，此第一預定深度例如可距離半導體基底表面204約2500~5500埃，至此步驟，複晶矽層216以上的空間即形成開口218。

請參考第2-5圖，回蝕刻去除深溝槽212內突出於殘留之第一導電層216頂部之環狀絕緣層214，並適當地予以過度蝕刻(over etch)，使環狀絕緣層214頂部低於複晶矽層216頂部。

請參考第2-6圖，形成第二導電層220於墊層207表面，並填滿位於開口218內部的空間。此第二導電層220可以是由低壓化學蒸氣沈積法沈積厚度為2500~4000埃的複晶矽層所形成。為使第二導電層220具有導電性，可使用擴散或離子植入法植入砷離子或磷離子於複晶矽層，或者也可以利用同步摻雜的方式以形成經摻雜之複晶矽層。

請參考第2-7圖，實施平坦化製程去除墊層207表面之第二導電層220，留下開口218內的部分，此平坦化製程可實施化學機械研磨法，並以墊層207作為停止層予以完



五、發明說明 (9)

成。

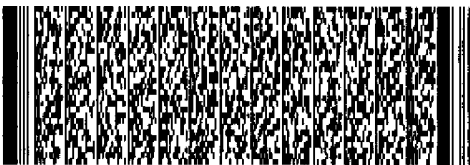
請參考第2-8圖，以微影與蝕刻製程去除部分墊層207、半導體基底200、第二導電層220、環狀絕緣層214及第一導電層216到第二預定深度，形成開口226，此第二預定深度距離半導體基底表面204約3000 ~ 6000埃。

請參考第2-9圖，形成絕緣層230，覆蓋墊層207及第二導電層220表面，並填滿開口226內部空間，此絕緣層230厚度約4000 ~ 7000埃，可以由高密度電漿化學蒸氣沈積法形成之高密度電漿氧化矽(High Density Plasma Oxide)所組成，也可以由化學氣相沈積法沈積之氧化矽層所組成。

請參考第2-10圖，以蝕刻製程回蝕刻部分絕緣層230，形成淺溝槽隔離區240，此蝕刻製程可以是一等向性濕蝕刻製程。

請參考第2-11圖，以蝕刻製程去除淺溝槽隔離區240左右兩側部分到達第二預定深度，保留淺溝槽隔離區240中間的部分，並去除部分第二導電層220也到達第二預定深度，使淺溝槽隔離區240形成如同"凸"字的形狀，也使第二導電層220形成潛導通帶220'，此時形成開口245，此蝕刻製程可以是一等向性濕蝕刻製程，此第二預定深度距離半導體基底表面204約2000~5000埃，至此步驟完成深溝槽電容器250。

請參考第2-12圖，實施蝕刻製程以去除墊層207，使半導體基底表面204外露，此蝕刻製程可以是一等向性濕



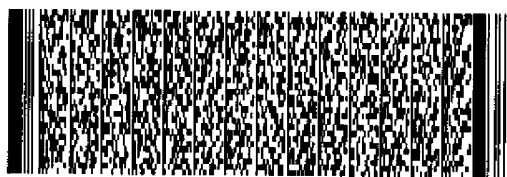
五、發明說明 (10)

蝕刻製程。實施氧化製程，使外露的半導體基底200表面及潛導通帶220'表面形成絕緣層260，在此處半導體基底200表面包含開口245內之半導體基底200側壁，此絕緣層260可以快速高溫氧化法(Rapid Thermal Oxidation)形成厚度為50 ~ 150埃之熱氧化矽層，然後佈植適當濃度的雜質進入半導體基底200中，以形成井區262。形成絕緣層260的目的，其一在離子植入製程中，保護半導體基底表面204不致遭受嚴重破壞，其二在離子植入過程中避免通道效應(channeling effect)的產生，使植入的離子濃度及植入深度都在可控制的範圍內。因絕緣層260晶格結構組較為鬆散，不適合做為閘氧化矽層，故須於後續製程中予以去除。

請參考第2-13圖，實施蝕刻製程，去除覆蓋於半導體基底200及第二導電層220表面之絕緣層260，此蝕刻製程可以是等向性溼蝕刻製程。然後進行氧化製程，形成絕緣層270均勻地覆蓋外露的半導體基底200表面及第二導電層220表面形成絕緣層270，在此處半導體基底200表面包含開口245內之半導體基底200側壁，此絕緣層270可以是於爐管內以熱氧化法形成厚度為50 ~ 150埃之熱氧化矽層。

請參考第2-14圖，實施蝕刻製程，去除覆蓋於半導體基底表面204之絕緣層270，留下開口245內部於半導體基底200側壁及潛導通帶220'表面之部分，成為閘氧化矽層275。此蝕刻製程可以是非等向性之蝕刻製程。

請參考第2-15圖，依序於半導體基底表面204及淺溝

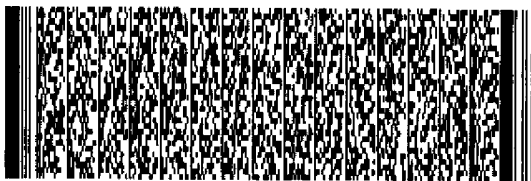


五、發明說明 (11)

槽隔離區240表面，形成第三導電層(未顯示)及第四導電層(未顯示)於半導體基底表面204，並共同填滿開口245，第三導電層厚度為650~1000埃，可以由化學氣相沈積法所沈積的複晶矽層所組成，為使第三導電層具有導電性，可以使用可以擴散或離子植入法植入砷離子或磷離子，或者利用同步摻雜的方式以形成經摻雜之導電層。第四導電層可以化學氣相沈積法所沈積的矽化鎢層，厚度為500~900埃。然後以例如是等向性乾蝕刻製程去除半導體基底表面204之第三導電層及第四導電層，並去除開口245之部分第三導電層及第四導電層，使部分之淺溝槽隔離區240頂部外露，殘餘之第三導電層及該第四導電層即形成閘極280與第二字元線282。

請參考第2-16圖，接著在半導體基底200表層形成汲極區290，例如以閘極280為罩幕，植入如磷或砷之N型摻質進入半導體基底200。潛導通帶228於前述各個高溫製程中，離子向外擴散(out-diffusion)形成源極區292。接著，半導體基底表面204形成絕緣層285，覆蓋半導體基底表面204、閘極280與第二字元線282表面及外露之淺溝槽隔離區240表面，此絕緣層285可以是以低壓化學氣相沈積法沈積一厚度為200~450埃的氮化矽層所組成。至此，即完成半導體記憶單元電晶體的製造。

雖然本發明已以較佳實施例揭露於上揭說明中，然其並非用以限制本發明。任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作等效變更與修改。因此本發明



五、發明說明 (12)

之權利範圍當以後附之申請專利範圍中所界定者為準。



四、中文發明摘要 (發明之名稱：製造半導體記憶單元電晶體之方法)

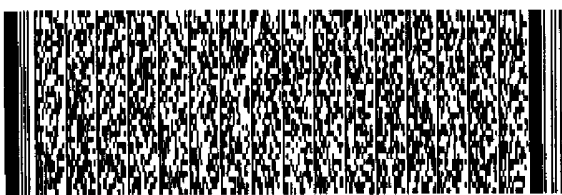
本發明係有關一種半導體記憶單元電晶體的製造方法，主要步驟包括：於半導體基底的表層形成至少包含環狀絕緣層、第一導電層與第二導電層之深溝槽電容器，定義部分深溝槽電容器及半導體基底形成第一開口，填入第一絕緣層形成淺溝槽隔離區，去除部分淺溝槽隔離區及第二導電層，使淺溝槽隔離區成為凸字形並形成潛導通帶及第二開口，於半導體基底及潛導通帶表面形成第二絕緣層，然後形成井區，去除第二絕緣層，形成第三絕緣層成為閘氧化矽層，並於第二開口中形成閘極與第二字元線，於閘極旁形成汲極區，再形成第四絕緣層，完成電晶體的製造。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種製造半導體記憶單元電晶體之方法，包括：
 - (a) 提供一半導體基底；
 - (b) 形成墊層於該半導體基底表面；
 - (c) 形成至少包含環狀絕緣層、第一導電層、第二導電層之深溝槽電容器；
 - (d) 去除該深溝槽電容器當中的部分第二導電層、部分環狀絕緣層及部分第一導電層及部分該墊層、部分半導體基底，形成一開口；
 - (e) 於前述之開口中，填入第一絕緣層，形成淺溝槽隔離區；
 - (f) 去除部分該淺溝槽隔離區及該第二導電層到達預定深度，使該第二導電層形成潛導通帶，該第二導電層形成凸字形，並形成另一開口；
 - (g) 形成第二絕緣層於該半導體基底表面及該潛導通帶表面；
 - (h) 於該半導體基底形成井區；
 - (i) 去除該第二絕緣層；
 - (j) 於該半導體基底表面及該潛導通帶表面形成第三絕緣層；
 - (k) 去除覆蓋於該半導體基底頂部表面之該第三絕緣層，留下該另一開口內部於該半導體基底側壁及該潛導通帶表面之部分，成為開氧化矽層；
 - (l) 於該半導體基底表面，形成第三導電層及第四導電層，並共同填滿該第二開口；



六、申請專利範圍

- (m) 去除該半導體基底表面之該第三導電層及該第四導電層，並去除該開口當中之部分該第三導電層及部分該第四導電層，使部分淺溝槽隔離區表面外露及使剩餘之該第三導電層及該第四導電層形成閘極與第二字元線；
- (n) 於該閘極旁的該半導體基底形成汲極區；及
- (o) 於該半導體基底表面形成第四絕緣層。

2. 如申請專利範圍第1項所述之方法，其中形成之該半導體基底係矽基底。

3. 如申請專利範圍第1項所述之方法，其中墊層係由氧化矽層與氮化矽層所組成。

4. 如申請專利範圍第1項所述之方法，其中該預定深度距離該半導體基底表面約2000~5000埃。

5. 如申請專利範圍第1項所述之方法，其中該第二絕緣層是由快速高溫氧化法所形成之熱氧化矽所組成。

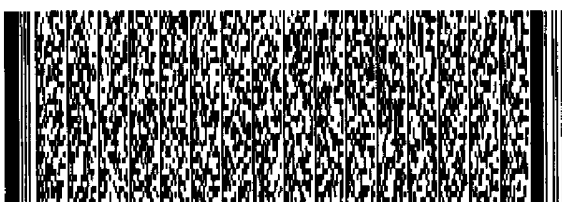
6. 如申請專利範圍第1項所述之方法，其中該第二絕緣層厚度介於50~150埃之間。

7. 如申請專利範圍第1項所述之方法，其中該第三絕緣層是由熱氧化法所形成之熱氧化矽所組成。

8. 如申請專利範圍第1項所述之方法，其中該第三絕緣層厚度介於50~150埃之間。

9. 如申請專利範圍第1項所述之方法，其中深溝槽電容器的形成至少包含以下步驟：

- (a) 於該深溝槽內壁形成一環狀絕緣層；
- (b) 形成導電層並填滿該深溝槽內部由該環狀絕緣層所圍



六、申請專利範圍

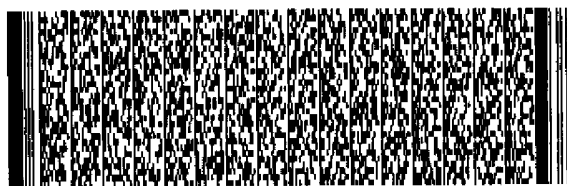
繞的空間；

- (c) 去除部分該深溝槽內部之該導電層到低於該半導體基底表面之預定深度；
 - (d) 去除突出於該導電層頂部的該環狀絕緣層，使該環狀絕緣層頂部低於該導電層頂部，形成一開口；
 - (e) 形成另一導電層並填滿該開口內部該導電層與該環狀絕緣層上方的空間；以及
 - (f) 實施平坦化製程，去除該墊層表面之該另一導電層，留下該開口內部之部分。
10. 如申請專利範圍第9項所述之方法，其中該預定深度距離該半導體基底表面2500~5500埃。
11. 如申請專利範圍第9項所述之方法，其中該另一導電層是由摻雜砷離子複晶矽所組成。
12. 如申請專利範圍第9項所述之方法，其中該另一導電層是由摻雜磷離子複晶矽所組成。
13. 如申請專利範圍第9項所述之方法，其中該另一導電層之厚度介於2500~4000埃之間。
14. 一種製造半導體記憶單元電晶體之方法，包括：
- (a) 提供一半導體P型矽基底；
 - (b) 形成墊層於該半導體基底表面；
 - (c) 形成第一遮蔽層於該墊層表面；
 - (d) 定義該第一遮蔽層，並以其為遮蔽罩幕，去除部分該半導體基底與該墊層，於該半導體基底的表層部分形成深溝槽；



六、申請專利範圍

- (e) 去除該第一遮蔽層；
- (f) 形成至少包含環狀絕緣層、第一導電層、第二導電層之深溝槽電容器於該深溝槽當中；
- (g) 去除部分該墊層、半導體基底與該深溝槽電容器內之第一導電層、第二導電層及環狀絕緣層，形成第一開口；
- (h) 於前述之第一開口中，填滿第一絕緣層，形成淺溝槽隔離區；
- (i) 去除部分該淺溝槽隔離區及該第二導電層到達預定深度，使該第二導電層形成潛導通帶，該第二導電層形成凸字形，並形成第二開口；
- (j) 去除該墊層，使該半導體基底頂部表面外露；
- (k) 形成第二絕緣層於該半導體基底表面及該潛導通帶表面；
- (l) 形成井區於該半導體基底；
- (m) 去除該第二絕緣層；
- (n) 形成第三絕緣層於該半導體基底表面及該潛導通帶表面；
- (o) 去除覆蓋於該半導體基底頂部表面之該第三絕緣層，留下該第二開口內部於該半導體基底側壁及該潛導通帶表面之部分，成為閘氧化矽層；
- (p) 於該半導體基底表面，形成第三導電層及第四導電層，並共同填滿該第二開口；
- (q) 去除該半導體基底表面之該第三導電層及該第四導電層，並去除該第二開口中部分之該第三導電層及該第四導



六、申請專利範圍

- 電層，使部分淺溝槽隔離區表面外露及使剩餘之該第三導電層及該第四導電層形成閘極與第二字元線；
- (r) 於該閘極旁的該半導體基底形成汲極區；及
- (s) 於該半導體基底表面形成第四絕緣層。
15. 如申請專利範圍第14項所述之方法，其中墊層係由氧化矽層與氮化矽層所組成。
16. 如申請專利範圍第14項所述之方法，其中該預定深度距離該半導體基底表面約2000~ 5000埃。
17. 如申請專利範圍第14項所述之方法，其中該第一絕緣層係為高密度電漿化學蒸氣沈積法所產生之高密度電漿氧化矽。
18. 如申請專利範圍第14項所述之方法，其中該第一絕緣層係由氧化矽所組成。
19. 如申請專利範圍第14項所述之方法，其中該第一絕緣層之厚度介於4000 ~ 7000埃之間。
20. 如申請專利範圍第14項所述之方法，其中該第二絕緣層是由快速高溫氧化法所形成之熱氧化矽所組成。
21. 如申請專利範圍第14項所述之方法，其中該第二絕緣層厚度介於50 ~ 150埃之間。
22. 如申請專利範圍第14項所述之方法，其中該第三絕緣層是由熱氧化法所形成之熱氧化矽所組成。
23. 如申請專利範圍第14項所述之方法，其中該第三緣層厚度介於50 ~ 150埃之間。
24. 如申請專利範圍第14項所述之方法，其中深溝槽電容



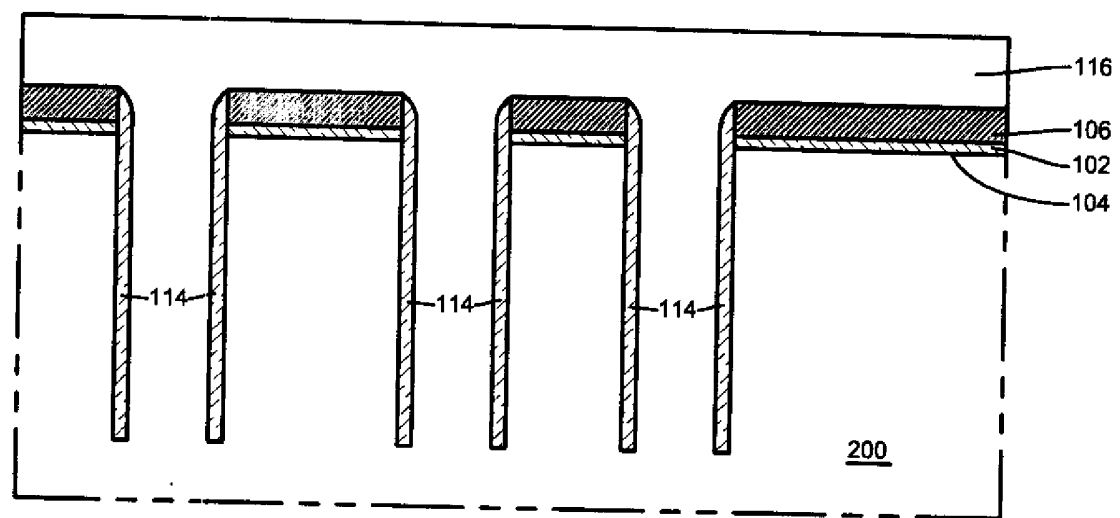
六、申請專利範圍

器的形成至少包含以下步驟：

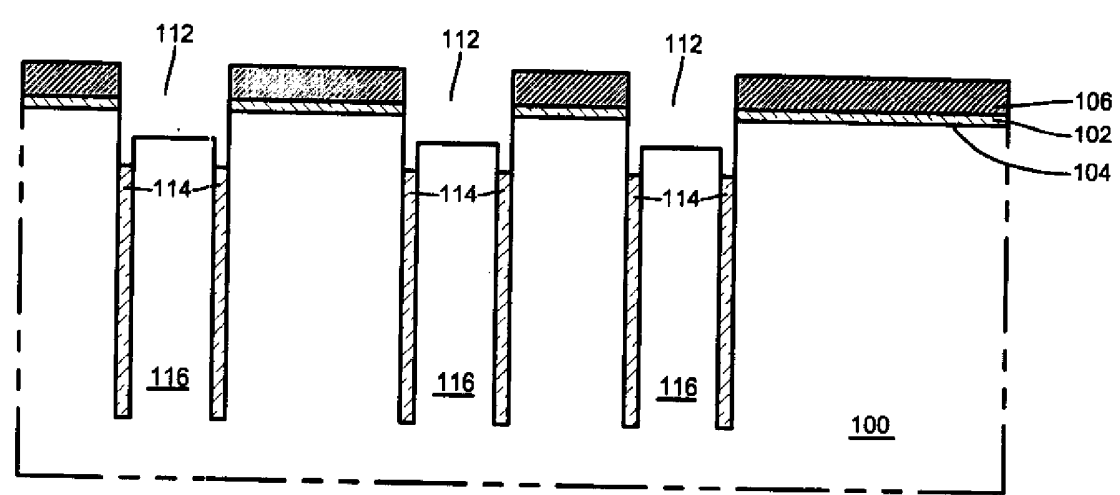
- (g) 於該深溝槽內壁形成一環狀絕緣層；
 - (h) 形成第一導電層並填滿該深溝槽內部由該環狀絕緣層所圍繞的空間；
 - (i) 去除部分該深溝槽內部之該第一導電層到低於該半導體基底表面之預定深度；
 - (j) 去除突出於該第一導電層頂部的該環狀絕緣層，使該環狀絕緣層頂部低於該第一導電層頂部，形成一開口；
 - (k) 形成第二導電層並填滿該開口內部該第一導電層與該環狀絕緣層上方的空間；以及
 - (l) 實施平坦化製程，去除該墊層表面之該第二導電層，留下該開口內部的部分。
25. 如申請專利範圍第24項所述之方法，其中該預定深度距離該半導體基底表面2500~5500埃。
26. 如申請專利範圍第24項所述之方法，其中該第二導電層是由摻雜砷離子複晶矽所組成。
27. 如申請專利範圍第24項所述之方法，其中該第二導電層是由摻雜磷離子複晶矽所組成。
28. 如申請專利範圍第24項所述之方法，其中該第二導電層之厚度介於2500~4000埃之間。



圖式

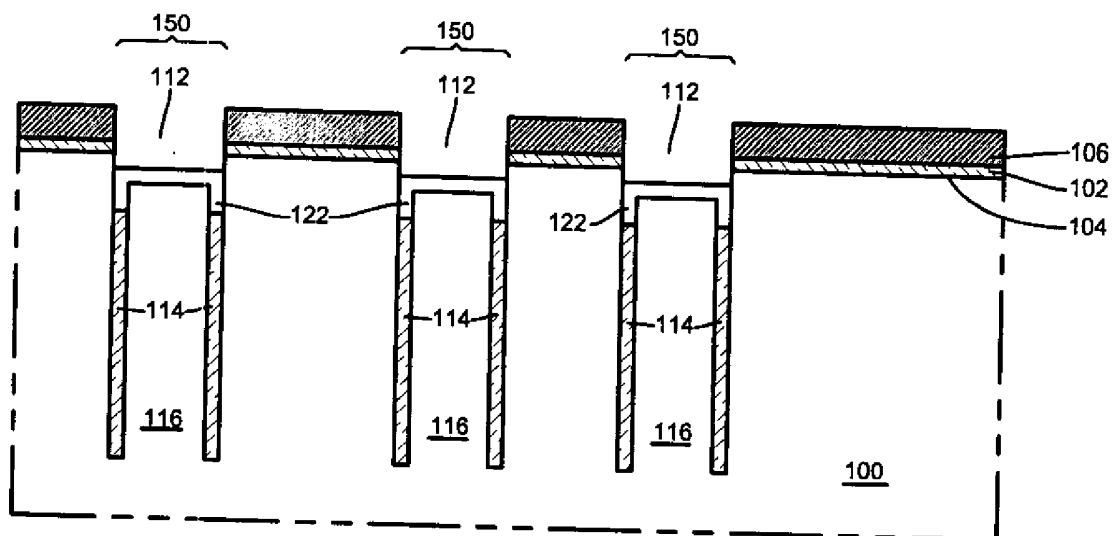


第1-1圖

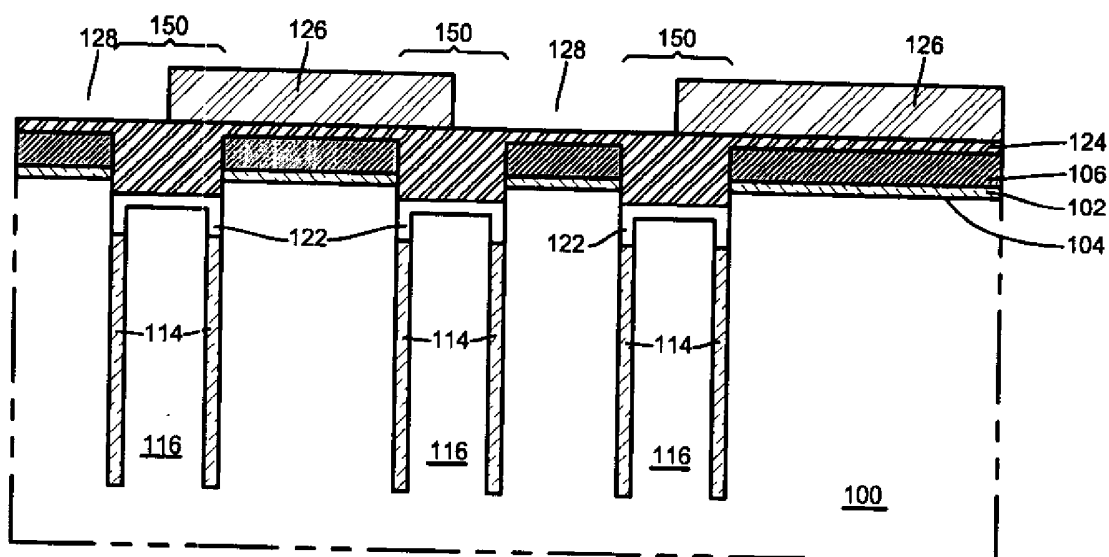


第1-2圖

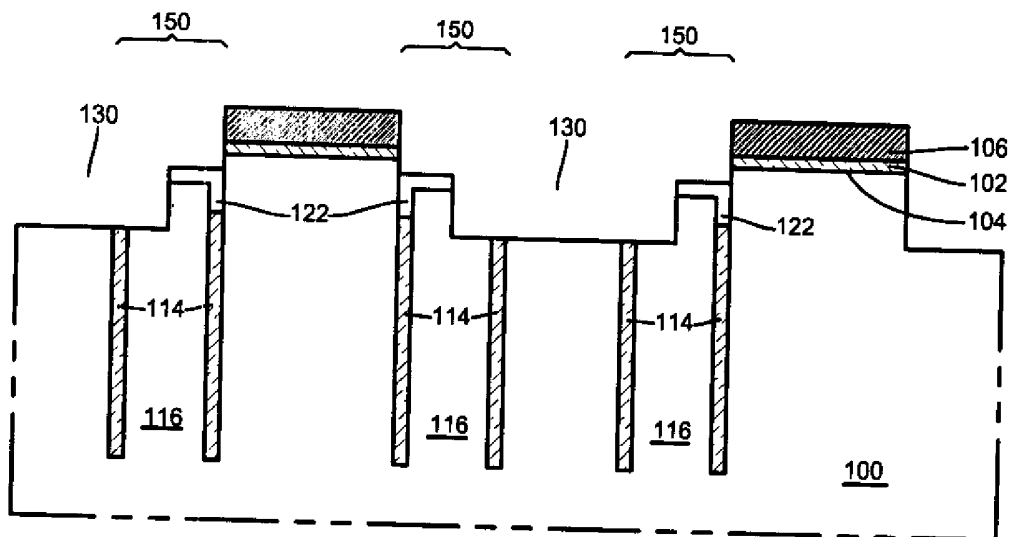
圖式



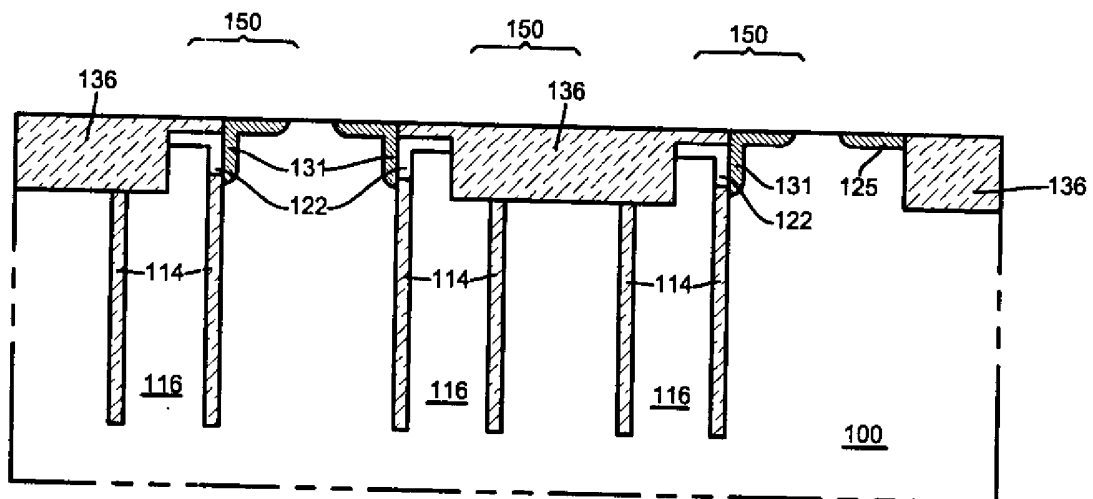
第1-3圖



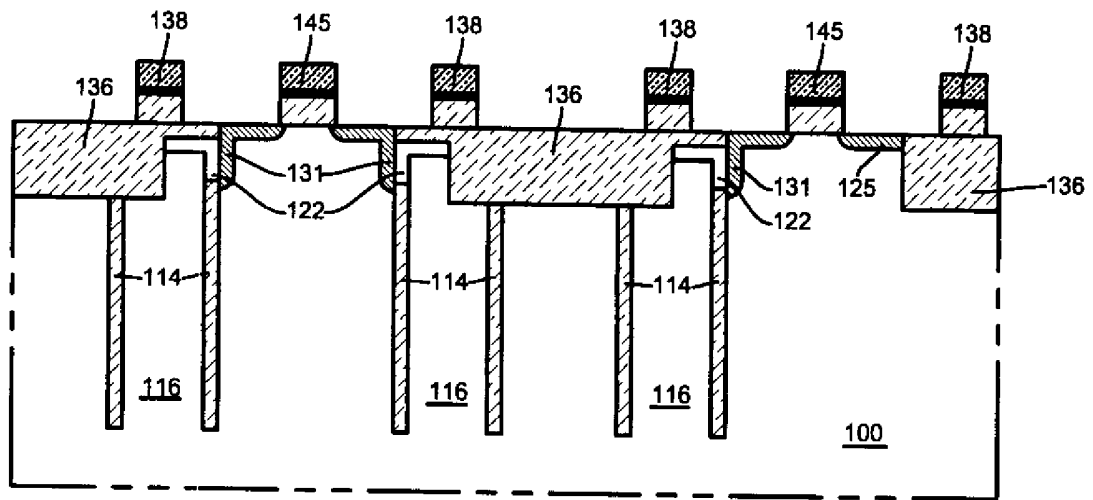
第1-4圖



第1-5圖

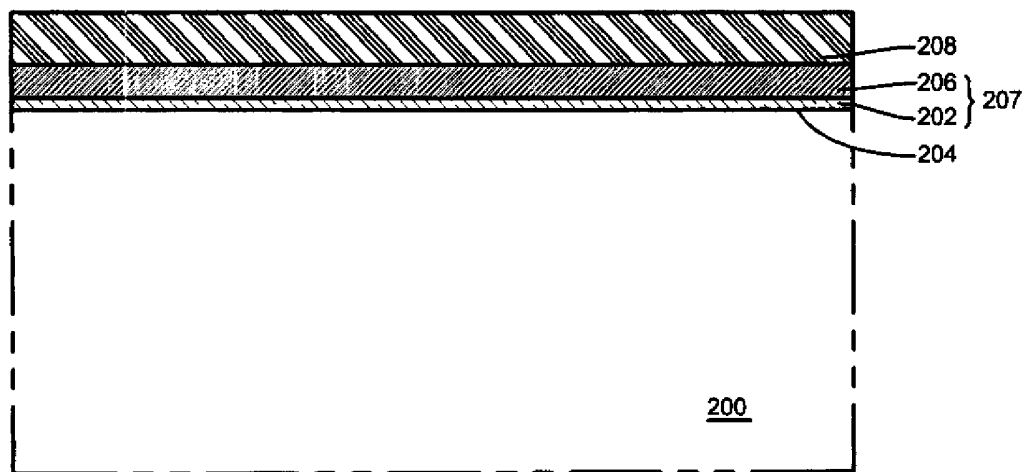


第1-6圖

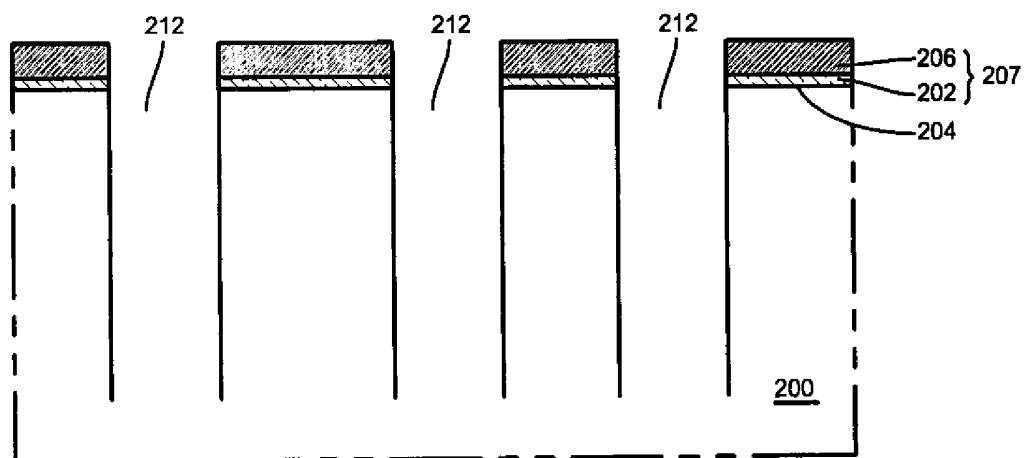


第1-7圖

圖式

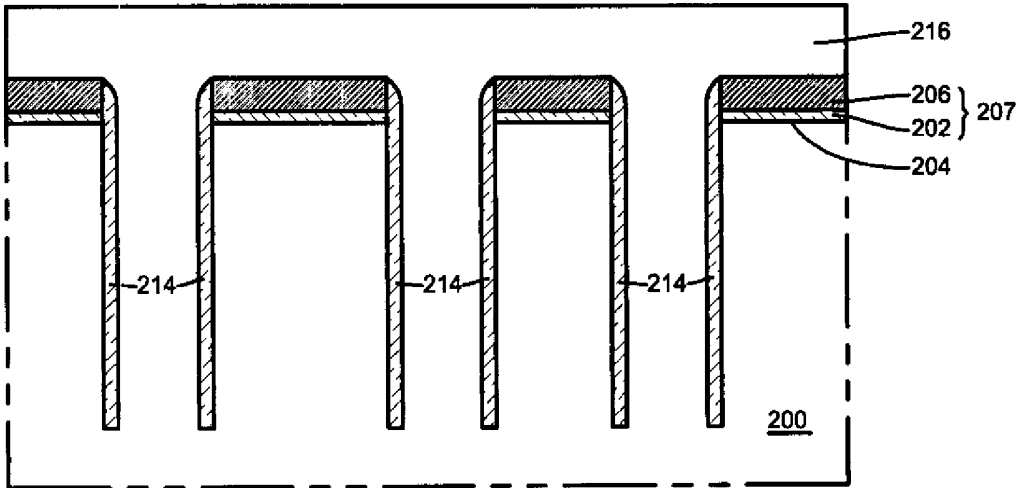


第2-1圖

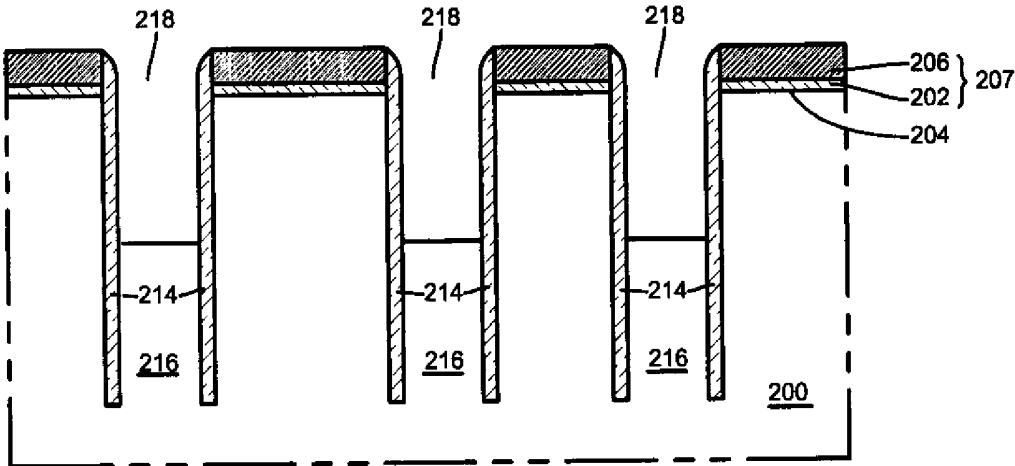


第2-2圖

圖式

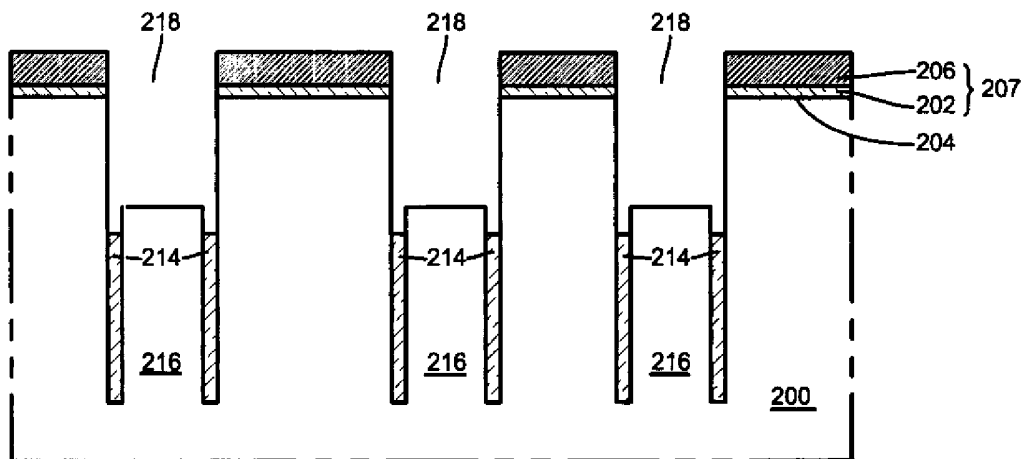


第2-3圖

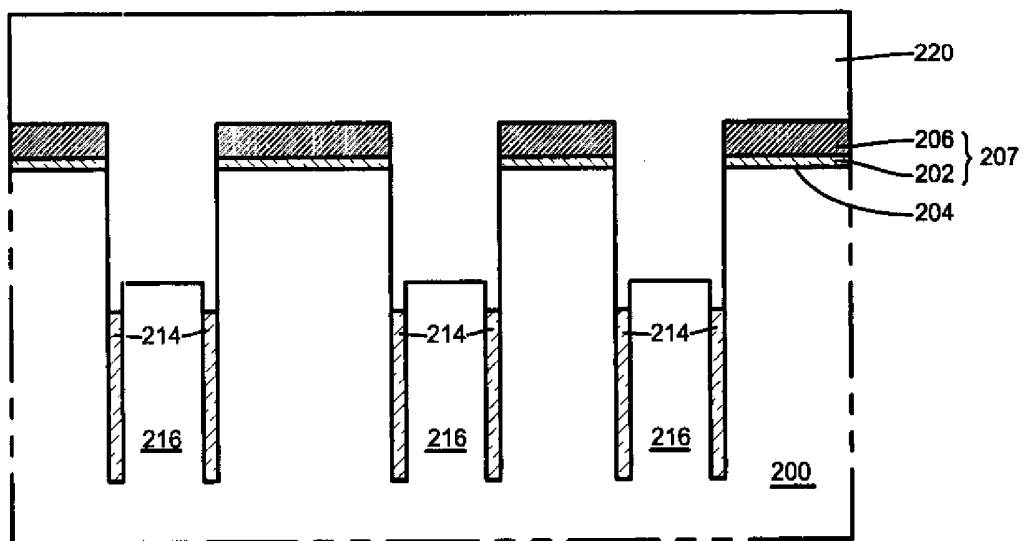


第2-4圖

圖式

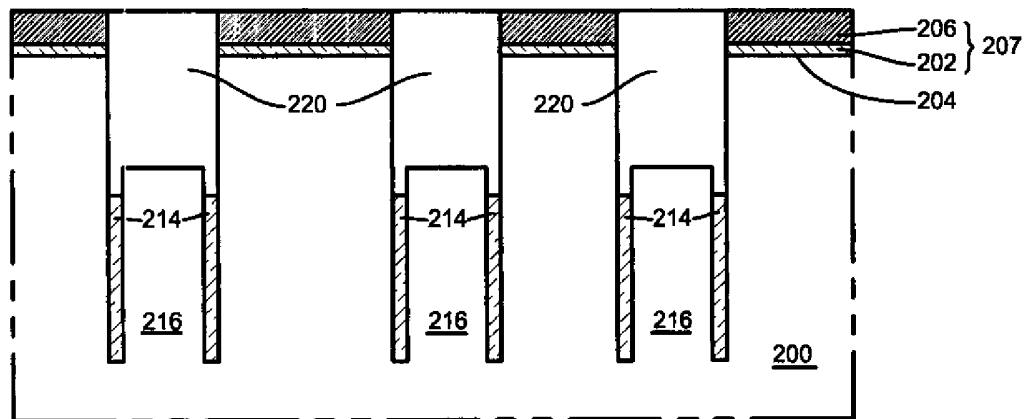


第2-5圖

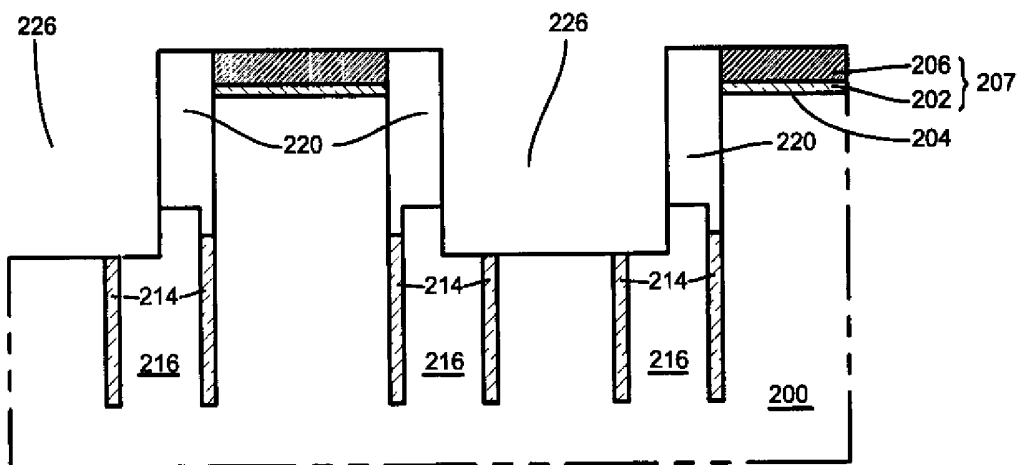


第2-6圖

圖式

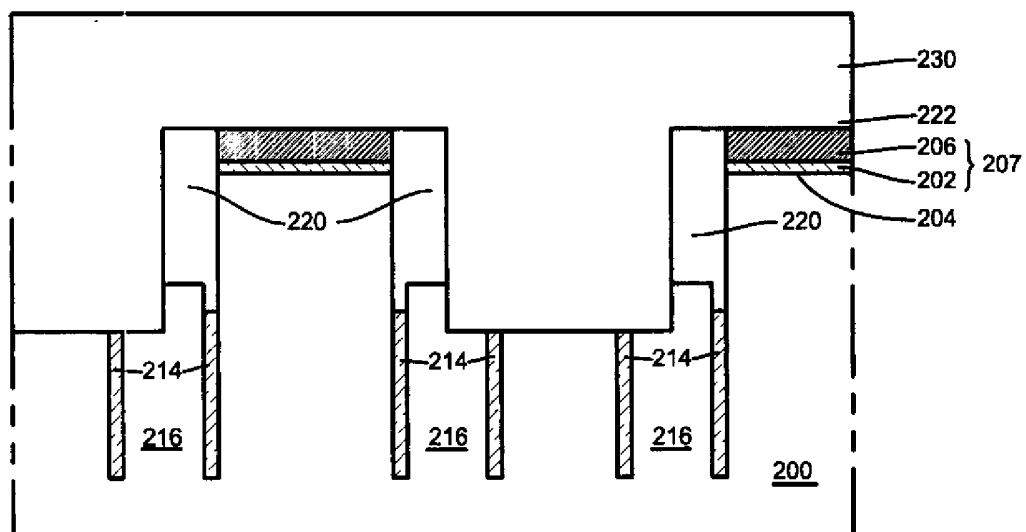


第2-7圖

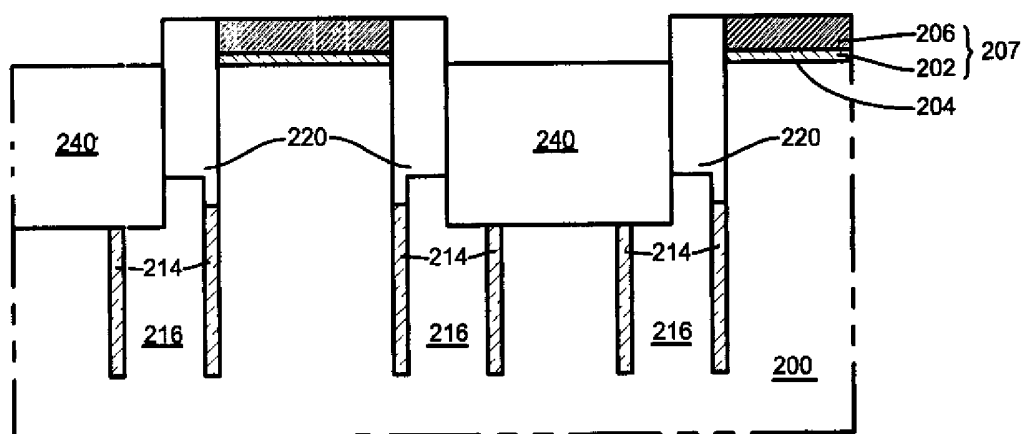


第2-8圖

圖式

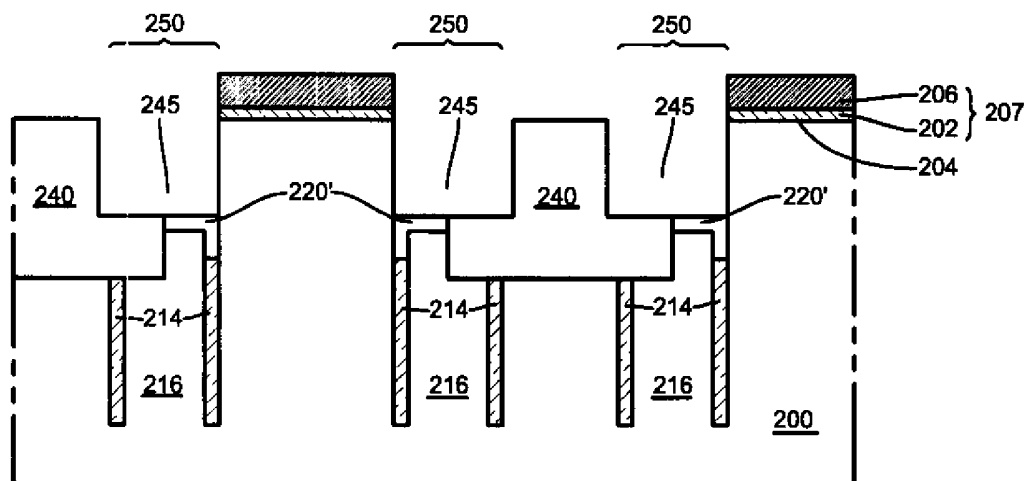


第2-9圖

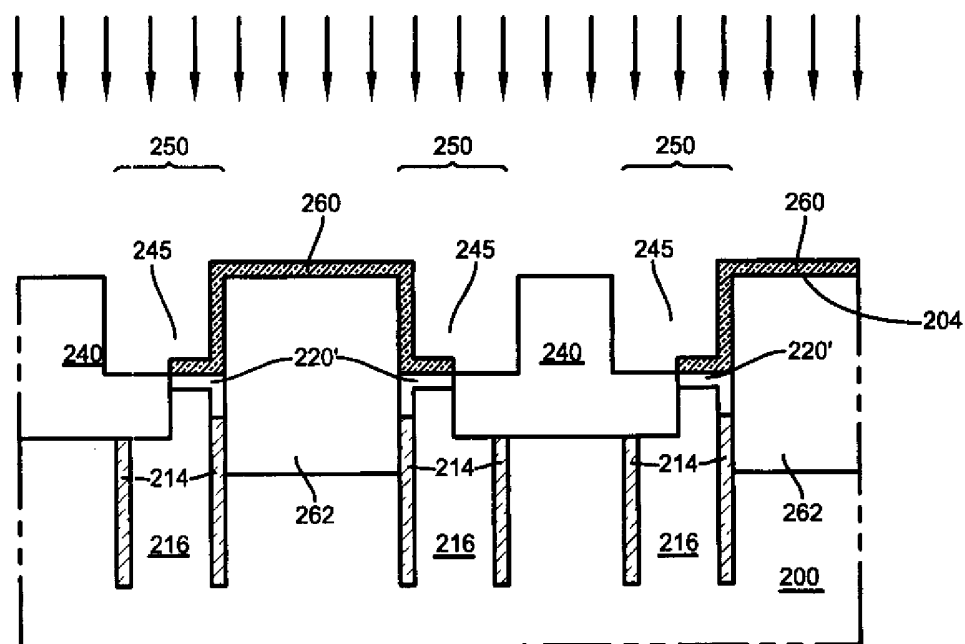


第2-10圖

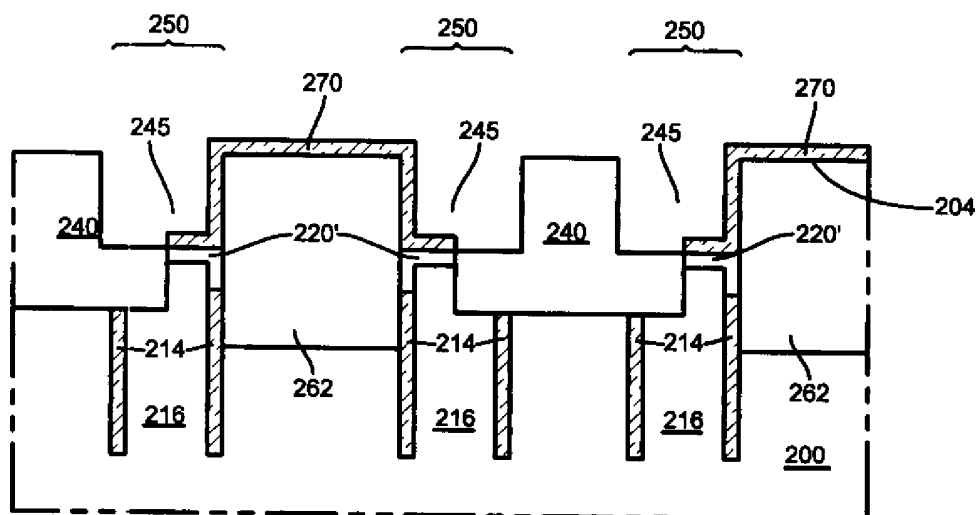
圖式



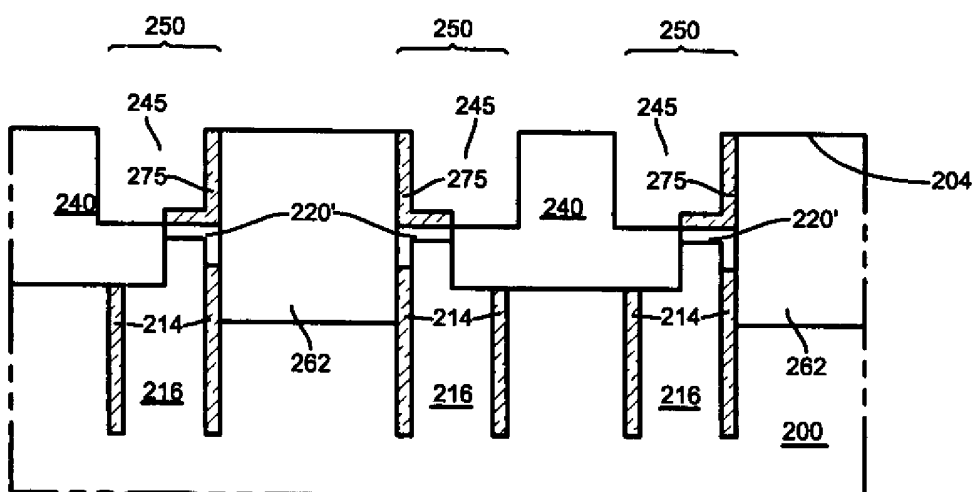
第2-11圖



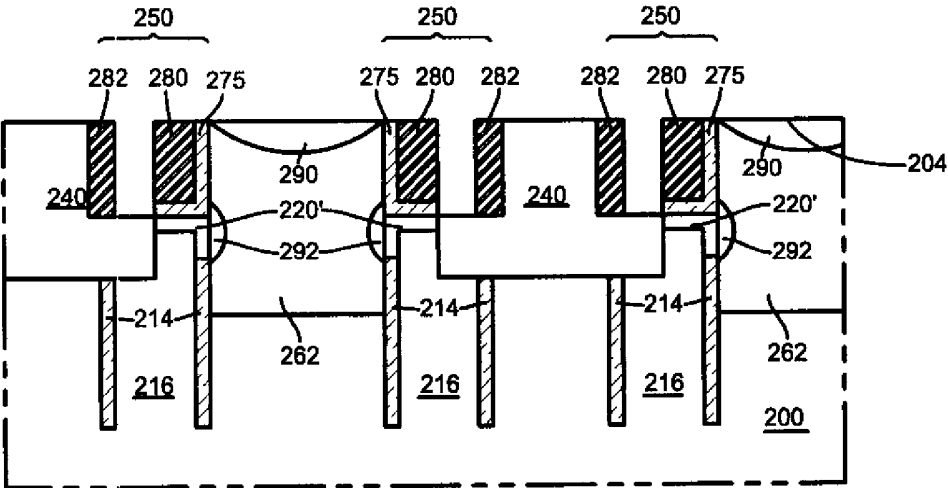
第2-12圖



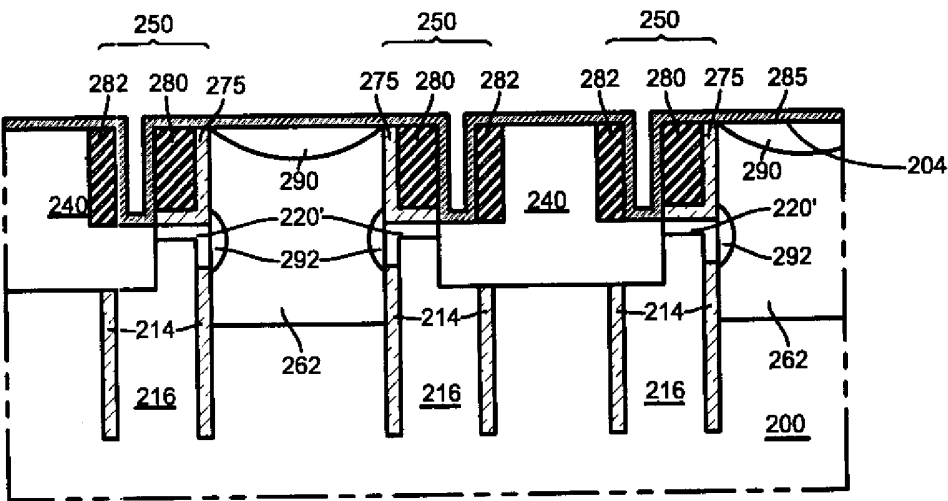
第2-13圖



第2-14圖



第2-15圖



第2-16圖