

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年5月6日(06.05.2010)

PCT

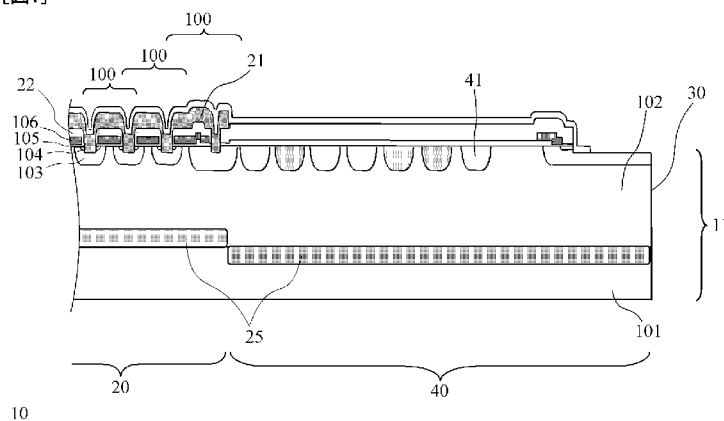
(10) 国際公開番号
WO 2010/050130 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/739 (2006.01)
H01L 29/06 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2009/005316
- (22) 国際出願日: 2009年10月13日(13.10.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-277839 2008年10月29日(29.10.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社(Sanken Electric Co.,Ltd.) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 Saitama (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 鳥居克行 (TORII, Katsuyuki) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内 Saitama (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))
- (74) 代理人: 堀城之, 外 (HORI, Shiroyuki et al.); 〒1000013 東京都千代田区霞が関3-3-1 尚友会館1階 Tokyo (JP).

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法

[図1]



(57) Abstract: An IGBT having a good balance between high switching speed and low on-resistance. Specifically disclosed is an IGBT (10) wherein a crystal defect layer (25) is formed in an n layer (102) in an active region (20), but formed in a p-type substrate (101) in a non-active region (40). In other words, the crystal defect layer (25) in the active region (20) is formed in a shallower position than the crystal defect layer (25) in the non-active region (40) when viewed from the surface. Due to this configuration, the switching speed is increased by reducing the amount of holes injected in the non-active region (40) in the IGBT (10). Meanwhile, the reduction of hole injection in the active region (20) is smaller than that in the non-active region (40), and thus increase in the on-resistance is suppressed at that time.

(57) 要約:

[続葉有]

WO 2010/050130 A1



高いスイッチング速度と低いオン抵抗とを両立させた IGBT を得る。この IGBT 10 においては、結晶欠陥層 25 が、活性領域 20 においては n 層 102 中に、非活性領域 40 においては p 型基板 101 中に形成されている。すなわち、活性領域 20 における結晶欠陥層 25 は、非活性領域 40 における結晶欠陥層 25 よりも表面からみて浅い位置に形成されている。この IGBT 10 においては、上記の構成により、正孔注入量が非活性領域 40 において少なくされることにより、スイッチング速度が高くなる。一方、活性領域 20 における正孔注入量の減少は非活性領域 40 よりも小さくなる。従って、この際のオン抵抗の増大は抑制される。

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置、特に、大電流で動作させることが可能な絶縁ゲートバイポーラトランジスタの構造及びその製造方法に関する。

背景技術

[0002] 近年、大電流で駆動することのできる絶縁ゲートバイポーラトランジスタ（Insulated Gate Bipolar Transistor：以下、IGBTと略）が、スイッチング素子として用いられている。

[0003] 図4は、典型的なIGBT素子の断面構造の一例である。このIGBT素子100においては、バイポーラトランジスタの機能と絶縁ゲート型トランジスタ（Metal Oxide Semiconductor Field Effect Transistor：MOSFET）の機能とが組み合わせられている。ここでは、バイポーラトランジスタのコレクタとなるp型基板101上にベースとなるn層102が形成され、エミッタとなるp⁺層103、n⁺層104、MOSFETの一部であるゲート酸化膜105、ゲート106が表面側（図4中上側）に形成されている。p⁺層103、n⁺層104にはエミッタ電極107が接続されており、これとゲート106との間のショートを防ぐための絶縁層108が形成されている。IGBT100は、そのゲート電圧が閾値以上とされることによってオンとされる。この際、n層102にp型基板101から正孔が注入されることによって伝導度変調が起こり、大電流を流す、すなわちオン抵抗を低くすることができる。従って、注入される正孔量を多くすることによって、オン抵抗（オン電圧）を低くすることができる。なお、実際には上記の構成のIGBT素子100が同一基板上に複数形成され、これらが並列に接続されることによって特にオン抵抗を低くしている場合が多い。

[0004] 一方、このIGBT素子100がオフされる際には、ゲート電圧が閾値よ

りも小さくされることによりオフとなるが、この際、 n 層102にオン時に存在していた正孔が消滅するまで、電流は流れる。すなわち、この正孔は電子と再結合して消滅するが、これが消滅するまでの間はIGBT100は完全にはオフとはならない。従って、このIGBTのスイッチング速度を向上させるためには、この正孔が消滅するまでの時間（正孔の寿命）を短縮させることが必要になる。

[0005] このために、 n 層102における正孔の寿命を短くする構造が提案されている。例えば、特許文献1には、 n 層中に正孔寿命の短くなる結晶欠陥層をイオン注入によって形成する技術が記載されている。また、特許文献2には、同様の結晶欠陥層を p 型基板側に形成する技術が記載されている。こうした技術を用いることによって、IGBT素子100のスイッチング性能を向上させることができた。

先行技術文献

特許文献

[0006] 特許文献1：特開2001-102392号公報

特許文献2：特開平4-269874号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、ベースとなる n 層102における正孔はスイッチング速度を低下させている一因となる一方で、前記のIGBTの動作原理より、そのオン抵抗を低くすることにも直接寄与している。従って、この n 層102における正孔の寿命を短くしたり、その注入量を制限することにより、スイッチング速度は向上するが、オン抵抗が高くなる。すなわち、上記の技術においては、スイッチング速度とオン抵抗とはトレードオフの関係にあった。

[0008] 従って、高いスイッチング速度と低いオン抵抗（オン電圧）とを両立させたIGBTを得ることは困難であった。

[0009] 本発明は、かかる問題点に鑑みてなされたものであり、上記問題点を解決

する発明を提供することを目的とする。

課題を解決するための手段

[0010] 本発明は、上記課題を解決すべく、以下に掲げる構成とした。

本発明の半導体装置は、 p 型基板上に n 層が形成された構成の半導体基板上に、前記 p 型基板をコレクタ、前記 n 層をベースとして、表面側にエミッタ及びゲートが形成された構成の絶縁ゲートバイポーラトランジスタ素子を具備し、前記半導体基板中に結晶欠陥が多く導入された結晶欠陥層が形成された半導体装置であって、前記半導体基板において前記絶縁ゲートバイポーラトランジスタ素子が形成された領域である活性領域における前記結晶欠陥層は、前記半導体基板において前記絶縁ゲートバイポーラトランジスタ素子が形成されていない領域である非活性領域における前記結晶欠陥層よりも前記表面からみて浅い位置に形成されていることを特徴とする。

本発明の半導体装置において、前記非活性領域における正孔注入量が前記活性領域における正孔注入量よりも少なくなるように、前記結晶欠陥層が前記活性領域及び前記非活性領域に形成されていることを特徴とする。

本発明の半導体装置において、前記活性領域において形成された絶縁ゲートバイポーラトランジスタ素子のエミッタに接続されたエミッタ共通電極が、前記半導体基板よりもイオン阻止能が高い材料で形成されることを特徴とする。

本発明の半導体装置は、前記エミッタ共通電極がニッケル又はニッケルを含む合金を含んで形成されることを特徴とする。

本発明の半導体装置の製造方法は、 p 型基板上に n 層が形成された構成の半導体基板上に、前記 p 型基板をコレクタ、前記 n 層をベースとして、表面側にエミッタ及びゲートが形成された構成の絶縁ゲートバイポーラトランジスタ素子を具備し、前記半導体基板中に結晶欠陥が多く導入された結晶欠陥層が形成された半導体装置の製造方法であって、前記半導体基板上に前記絶縁ゲートバイポーラトランジスタ素子を形成するトランジスタ形成工程と、前記絶縁ゲートバイポーラトランジスタ素子上において、前記絶縁ゲートバ

イポーラトランジスタ素子のエミッタに接続されたエミッタ共通電極を形成する電極形成工程と、前記表面側からイオン注入を行うことによって前記結晶欠陥層を前記半導体基板中に形成するイオン注入工程と、を具備することを特徴とする。

発明の効果

- [0011] 本発明は以上のように構成されているので、高いスイッチング速度と低いオン抵抗（オン電圧）とを両立させた I G B T を得ることができる。

図面の簡単な説明

- [0012] [図1]本発明の実施の形態に係る I G B T の構造の断面図である。
[図2]半導体基板中において形成された結晶欠陥層の深さと正孔注入量との関係を示す図である。
[図3]本発明の実施の形態に係る I G B T の製造方法を示す工程断面図である。
。
[図4] I G B T 素子の構造を示す断面図である。

発明を実施するための形態

- [0013] 以下、本発明の半導体装置を実施するための最良の形態となる絶縁ゲートバイポーラトランジスタ（Insulated Gate Bipolar Transistor：以下、I G B T と略）につき説明する。この I G B T 1 0 の構成の断面図が図 1 である。
- [0014] この I G B T 1 0 においては、半導体（シリコン）基板 1 1 において、図 1 中左側に図 4 と同様の構造の I G B T 素子 1 0 0 が複数配列されており、並列に接続されている領域（活性領域 2 0）が存在する。ただし、これらの I G B T 素子において、図 4 における一方のエミッタ領域は隣接する I G B T 素子と共通化されており、かつエミッタ電極は全ての I G B T 素子 1 0 0 において共通化されている。図 1 中右側はチップ外周部（端部）3 0 となっており、活性領域 2 0 とチップ外周部 3 0 との間の領域（非活性領域 4 0）には I G B T 素子は形成されていない。その代わりに、チップ外周部 3 0 と活性領域 2 0 との間には、耐圧を保持するためのガードリングとして形成さ

れたガードリング p 層 4 1 が活性領域 2 0 を囲んだ形態で複数形成されている。なお、このガードリング p 層 4 1 は I G B T 素子 1 0 0 の個々の動作には影響しない。また、図 1 中には他の構成要素も記載されているが、本願発明の内容と直接関係がない構成要素についての説明は省略する。

[0015] 上記の構造において用いられる半導体基板 1 1 は、コレクタとなる p 型基板 1 0 1、ベースとなる n 層 1 0 2 の 2 層から構成されている。すなわち、これらは活性領域 2 0、非活性領域 4 0 中において一様に存在している。

[0016] 一方、図 4 に示された p⁺層 1 0 3、n⁺層 1 0 4、ゲート酸化膜 1 0 5、ゲート 1 0 6 は個々の I G B T 素子毎に形成されている。ただし、エミッタとなる各 p⁺層 1 0 3、各 n⁺層 1 0 4 はエミッタ共通電極 2 1 で接続されている。同様に、各ゲート 1 0 6 もゲート電極（図示せず）で接続されている。また、エミッタ共通電極 2 1 とゲート電極等がショートしないように、図 4 における絶縁層が一体化された絶縁層 2 2 が全面に形成されている。この構成により、この I G B T 1 0 においては、半導体基板 1 1 上に形成された各 I G B T 素子 1 0 0 は並列に接続されて動作する。

[0017] ここで、この I G B T 1 0 においては、結晶欠陥層 2 5 が、活性領域 2 0 においては n 層 1 0 2 中に、非活性領域 4 0 においては p 型基板 1 0 1 中に形成されている。すなわち、活性領域 2 0 における結晶欠陥層 2 5 は、非活性領域 4 0 における結晶欠陥層 2 5 よりも I G B T 1 0 の表面からみて浅い位置に形成されている。この結晶欠陥層 2 5 は、例えば水素やヘリウム等の軽元素をイオン注入することによって n 層 1 0 2 または p 型基板 1 0 1 中に導入された結晶欠陥が多く導入された層である。この層が形成される深さは、イオン注入された軽元素の飛程によって決まる。また、結晶欠陥層 2 5 は、この深さ（イオンの飛程）を中心として図 1 中の上下方向に、注入されたイオンの分布に応じた広がりを持ち、この広がりが結晶欠陥層 2 5 の厚さとなる。これらはイオン注入条件によって適宜設定できるが、結晶欠陥層 2 5 が形成される深さを活性領域 2 0 と非活性領域 4 0 において変えることが、後述する製造方法によって特に容易に行われる。

- [0018] すなわち、この I G B T 1 0 においても結晶欠陥層 2 5 を導入しているが、特許文献 1 に記載の構造とは異なり、活性領域 2 0 と非活性領域 4 0 とで結晶欠陥層 2 5 の形成される箇所（図 1 中における深さ）を異ならせている。この作用につき以下に説明する。
- [0019] 前記の通り、この結晶欠陥層 2 5 中においては正孔の寿命が短くなるため、この存在によって n 層 1 0 2 への正孔注入量は影響を受ける。この際、結晶欠陥層 2 5 の存在する深さによってその効果は異なる。例えば、結晶欠陥層 2 5 が n 層 1 0 2 中にある場合には、p 型基板 1 0 1 と n 層 1 0 2 との界面（p n 接合）から注入された正孔はこの結晶欠陥層 2 5 中の結晶欠陥にトラップされる。ただし、この正孔は p 型基板 1 0 1 から n 層 1 0 2 に図 1 中で下側から上側へ拡散によって注入されたものであるため、この p n 接合に近いほどその濃度が高い。従って、この結晶欠陥層 2 5 がこの p n 接合に近い箇所にある場合の方が正孔注入量を減少させる効果大きい。従って、結晶欠陥層 2 5 が n 層 1 0 2 中に形成されている場合には、結晶欠陥層 2 5 がこの p n 接合に近い箇所にあるほど正孔注入量は少なくなる。
- [0020] 一方、p 型基板 1 0 1 中に結晶欠陥層 2 5 が形成された場合、この結晶欠陥層 2 5 においては注入されるべき正孔の数は少ない。従って、この結晶欠陥層 2 5 が p 型基板 1 0 1 中にある場合も、正孔注入量に影響を及ぼす。例えば、結晶欠陥層 2 5 が p 型基板 1 0 1 において p n 接合から離れた箇所にある場合（図 1 において結晶欠陥層 2 5 が下側にある場合）には、結晶欠陥層 2 5 よりも p n 接合に近い結晶欠陥のない p 層の影響が大きくなるため、結晶欠陥層 2 5 が p n 接合から離れるほど正孔注入量は多くなる。すなわち、結晶欠陥層 2 5 が n 層 1 0 2 中にある場合とはそのメカニズムは異なるが、結晶欠陥層 2 5 の p n 接合からの距離に応じた正孔注入量の変化は、結晶欠陥層 2 5 が p 型基板 1 0 1 中にある場合でも同様である。
- [0021] 以上より、結晶欠陥層 2 5 が p n 接合に近い箇所にある場合には正孔注入量が少なくなり、結晶欠陥層 2 5 が p 型基板 1 0 1 と n 層 1 0 2 との界面から図 1 における上側あるいは下側に離れた場合には、正孔注入量は多くなる

。従って、この結晶欠陥層 25 の深さと正孔注入量との関係は、概念的には図 2 に示す通りになる。ただし、前記の通り、結晶欠陥層 25 が正孔注入量に影響を与えるメカニズムはこれが n 層 102 中にある場合と p 型基板 101 中にある場合とでは異なるため、pn 接合を中心にして完全に対称な特性とはならない。従って、正孔注入量が最も少なくなる深さは pn 接合とは一致せず、その深さは素子構造に影響される。実験的には、この深さに最も大きな影響を与えるのは p 型基板 101 の不純物濃度であり、これが高い場合には浅くなる傾向がある。具体的には、これが $1 \times 10^{18} \sim 10^{19} \text{ cm}^{-3}$ の場合に、図 2 に示すとおり、pn 接合から p 型基板 101 側に $10 \mu\text{m}$ 程度の深さとなることが実験により判明した。

[0022] 従って、図 1 に示すように、結晶欠陥層 25 が活性領域 20 においては n 層 102 中に形成され、非活性領域 40 においては p 型基板 101 中に形成されている場合には、正孔注入量に対する結晶欠陥層 25 の影響は非活性領域 40 においてより大きくなる。すなわち、p 型基板 101 及び n 層 102 は活性領域 20 と非活性領域 40 において一様に形成されているものの、p 型基板 101 から n 層 102 へ注入される正孔注入量は非活性領域 40 において小さくなる。

[0023] ここで、前記の通り、正孔注入量はこの IGBT 10 のオン抵抗を小さくすることに寄与する一方で、スイッチング速度の低下の原因ともなる。この際、オン抵抗の低下に寄与する、すなわち、動作電流を大きくすることに寄与するのは主に IGBT 素子 100 が形成された箇所（活性領域 20）において注入された正孔であり、非活性領域 40 において注入された正孔がこれに寄与する割合は小さい。一方、非活性領域 40 において注入された正孔がオフ時に残留していると、IGBT 素子 100 に流れる電流が減衰しにくく裾を引いた状態となる、すなわち、スイッチング時間が長くなる。すなわち、非活性領域 40 において注入された正孔がオン抵抗に与える影響は小さいが、この正孔がスイッチング時間に与える影響は大きい。従って、非活性領域 40 における正孔注入量を活性領域 20 よりも少なくすれば、オン抵抗を

低く保ったままで、スイッチング速度を高めることができる。

[0024] この I G B T 1 0 においては、上記の構成により、正孔注入量が非活性領域 4 0 において少なくされることにより、スイッチング速度が高くなる。一方、活性領域 2 0 における正孔注入量の減少は非活性領域 4 0 よりも小さくなる。従って、この際のオン抵抗の増大は抑制される。

[0025] 従って、高いスイッチング速度と低いオン抵抗とを両立させた I G B T を得ることができる。

[0026] なお、上記の例では、活性領域 2 0 における結晶欠陥層 2 5 は n 層 1 0 2 中の p n 接合付近に形成され、非活性領域 4 0 中の p n 接合付近に形成されていたが、これに限られるものではない。図 2 の特性において、非活性領域 4 0 中の結晶欠陥層 2 5 の位置における正孔注入量が、活性領域 2 0 中の結晶欠陥層 2 5 の位置における正孔注入量よりも少なくなっている限りにおいて、同様の効果が得られる。例えば、活性領域 2 0 、非活性領域 4 0 のどちらにおいても結晶欠陥層 2 5 は n 層 1 0 2 中に形成され、活性領域 2 0 における結晶欠陥層 2 5 はより浅い位置（図 1 中の上側）にある場合でも、同様の効果が得られる。また、非活性領域 4 0 中の結晶欠陥層 2 5 が p n 接合から 1 0 μ m 程度下側に形成され、活性領域 2 0 中の結晶欠陥層 2 5 がこれよりも浅い位置に形成されている場合でも同様である。従って、非活性領域 4 0 中の結晶欠陥層 2 5 が p n 接合から 1 0 μ m 以内の深さに形成され、かつ活性領域 2 0 中の結晶欠陥層 2 5 がこれよりも浅い箇所に形成された場合には、同様の効果を奏する。

[0027] また、この構造においては、活性領域 2 0 における正孔注入量が低減されることにより、寄生トランジスタ効果やラッチアップも抑制される。従って、I G B T の破壊耐性も向上させることができる。

[0028] また、上記の例では、動作が主に p 型基板 1 0 1 （エミッタ）側からの正孔注入量によって決まるノンパンチスルー型の動作をする I G B T につき記載した。しかしながら、上記の原理より、動作が主に n 層 1 0 2 中での正孔の寿命によって決まるパンチスルー型の動作をする I G B T 、あるいはライ

トパンチスルー型の I G B T についても、同様に本実施の形態の構成が有効であることは明らかである。また、トレンチ構造を用いて M O S 部を高集積化したトレンチ型 I G B T に対しても同様に有効であることも明らかである。

[0029] また、上記の例では、上記の構造が p 型基板上に形成されている例につき記載したが、p 型基板の代わりにイントリシック基板を用い、これに不純物拡散等を行って p 層を形成した上に上記の構造を形成した場合でも、同様の効果を奏することは明らかである。すなわち、半導体基板の構成は上記の動作が行える限りにおいて任意である。

[0030] 以下、上記の I G B T 1 0 の製造方法の一例につき説明する。上記の構造は、以下に述べる製造方法によって特に容易に形成することができる。

[0031] 図 3 は、この製造方法を模式的に示す工程断面図である。まず、図 3 (a) に示されるように、I G B T におけるゲートやエミッタ領域等が半導体基板 1 1 上に形成される (トランジスタ形成工程) 。この製造工程は例えば特許文献 1 等に記載のものと同様である。すなわち、シリコンの p 型基板 1 0 1 上にエピタキシャル成長によって n 層 1 0 2 を形成し、これが半導体基板 1 1 となる。その後、ゲート酸化膜 1 0 5 を形成した後にホウ素等を選択的にイオン注入することによって p⁺層 1 0 3 を形成し、更にリン、砒素等を同様にイオン注入することによって n⁺層 1 0 4 を形成する。ゲート 1 0 6 はゲート酸化膜 1 0 5 上に多結晶シリコンを C V D (C h e m i c a l V a p o r D e p o s i t i o n) 法等によって形成した後に、これを選択的にエッチングすることによって形成される。

[0032] 次に、図 3 (b) に示されるように、各 I G B T 素子 1 0 0 を電氣的に接続する工程 (電極形成工程) を行う。ここでは、全面に絶縁層 2 2 が形成された上で、各ゲート 1 0 6 、各 p⁺層 1 0 3 及び n⁺層 1 0 4 に対して導通がとれるように絶縁層 2 2 に対してコンタクト孔が形成され、これを介してゲート電極 (図示せず) 、エミッタ共通電極 2 1 が形成される。これらの電極を形成するに際しては、例えば、金属材料で構成された層を全面に形成し、

その後でリソグラフィ、エッチング（ウェットエッチング、ドライエッチング）を行うことにより、所望のパターンのゲート電極、エミッタ共通電極 21 とすることができる。以上の工程は従来より公知の製造工程と同様である。

[0033] ここで、ゲート電極は活性領域 20 の端のみに形成することによって各ゲート 106 を接続してもよい。これに対して、エミッタ共通電極 21 は、図 3（a）における上側から見て、活性領域 20 の大部分を覆い、非活性領域 40 は覆っていない形態とする。

[0034] 次に、図 3（c）に示すように、同図中の上側（表面側）から水素やヘリウム等の軽元素をイオン注入する（イオン注入工程）。この際、イオン注入は全面にわたり一様に行われる。すなわち、注入されるイオンのエネルギーは一定であり、照射密度は一様である。

[0035] このイオンは半導体基板 11（n 層 102）に到達するが、その際、n 層 102 の上に形成されている層を透過した後で n 層 102 に到達する。n 層 102 の上に形成されている層とは、絶縁層 22、ゲート電極、エミッタ共通電極 21 等である。ここで、例えば絶縁層 22 は SiO_2 等の比較的イオン阻止能の低い材料で構成されるため、その影響が小さいのに対して、エミッタ共通電極 21 は金属で構成されるため、イオン阻止能が高い。更に、エミッタ共通電極 21 は前記の通り、活性領域 20 のほぼ全面にわたり形成されている。なお、 p^+ 層 103 及び n^+ 層 104 の主成分はシリコンであり、n 層 102 と同様であるため、これらの有無により n 層 102 に到達するイオンは影響を受けない。

[0036] 従って、図 3（c）に示されるように、n 層 102 中におけるイオンのエネルギーは、エミッタ共通電極 21 の存在により減衰され、活性領域 20 においては非活性領域 40 よりも実効的に低くなる。なお、同図中では矢印の長さをイオンのエネルギーに対応させて表示している。

[0037] このイオンのエネルギーが高い場合には深い箇所に結晶欠陥層 25 が形成され、低い場合には浅い箇所に結晶欠陥層 25 が形成される。従って、図 3

(d) に示されるように、活性領域 20 においては浅い箇所に結晶欠陥層 25 が形成され、非活性領域 40 には深い箇所に結晶欠陥層 25 が形成される。すなわち、図 1 の形態で結晶欠陥層 25 が形成される。

[0038] この製造方法においては、イオンをエミッタ共通電極 21 を通して注入するために、エミッタ共通電極の材質及び厚さとイオンのエネルギーは、図 3 (d) の構成が実現されるように設定する。例えば、エミッタ共通電極 21 を $0.5\ \mu\text{m}$ の厚さのニッケル (Ni) で構成し、He イオンの加速電圧を $20\ \text{keV}$ として注入する場合、活性領域 20 における結晶欠陥層 25 は非活性領域 40 における結晶欠陥層 25 よりも $4\ \mu\text{m}$ 程度浅い箇所に形成されるため、この構成が実現できる。

[0039] 上記の製造方法においては、結晶欠陥層 25 を形成するためにイオン注入を行っているが、その際に、新たな工程、例えばリソグラフィ等を用いてイオン注入の際のマスクを形成する工程を行うことなく、結晶欠陥層 25 の深さを活性領域 20 と非活性領域 40 とで異ならせている。従って、単純な工程で図 1 の構造の IGBT 10 を製造することができる。あるいは、リソグラフィ等を新たに行うことなしに自己整合的に結晶欠陥層 25 を形成することができるため、結晶欠陥層 25 の形成される深さを高い精度で活性領域 20 においてのみ浅くすることができる。

[0040] なお、注入されるイオン種は、特許文献 1 等に記載の場合と同様に、水素やヘリウム等の軽元素が好ましい。重元素を注入した場合には、結晶欠陥を導入する以外にも、例えば、注入された重元素自身の及ぼす電氣的効果や、エミッタ共通電極 21 の構成元素がノックオンされて n 層 102 等に注入されることによる影響が生ずる。

[0041] エミッタ共通電極 21 は、半導体基板 11 よりもイオン阻止能の高い材料で構成される。その材質、厚さは前記の通りに適宜設定されるが、その構造は、単層構造に限られず、積層構造又は合金を含む構造とすることができる。例えば、Al、Al/Cu、Al/Ti/Ni、Ti/Al 等の材料及び構造を用いることができる。ただし、Al は軽く、イオンを減速させる効果

が小さいため、より重いN i等を用いることが好ましい。従って、この観点からは、エミッタ共通電極21の中にはN i又はN i合金を含むことが好ましく、Al/N i、Al/T i/N i/Au (Ag)等の積層構造を用いることが好ましい。

[0042] なお、実際には活性領域20上にはエミッタ共通電極21以外にもゲート106、絶縁層22等が不均一に存在している。しかしながら、特にエミッタ共通電極21をこうした材料で構成すれば、注入されたイオンにエミッタ共通電極21以外の構成要素が与える影響は比較的小さくなる。従って、厳密には活性領域20において結晶欠陥層25が形成される深さは一様とはならないが、このIGBT10における前記の効果を得ることに対しては、エミッタ共通電極21以外による大きな影響はない。

[0043] また、エミッタ共通電極21は活性領域20の広い範囲を覆う形態であることが前記の効果を得る上では好ましいが、必ずしも全面を覆う必要はなく、例えば個々のIGBT素子100の動作に与える影響の大きな箇所のみ形成した形態としてもよい。

[0044] なお、この製造方法によって上記の構成のIGBT（半導体装置）を製造することができるが、これに限られるものではなく、結晶欠陥層25を活性領域20と非活性領域40とで異なる深さに形成できれば、他の製造方法を用いることができる。例えば、製造工程は複雑になるものの、半導体基板11における非活性領域40の裏面にマスクを形成し、裏面からイオン注入することによっても同様の構造を製造することができる。

符号の説明

[0045] 10 IGBT（半導体装置）

11 半導体基板

20 活性領域

21 エミッタ共通電極

22、108 絶縁層

25 結晶欠陥層

- 3 0 チップ外周部
- 4 0 非活性領域
- 4 1 ガードリング p 層
- 1 0 0 I G B T 素子
- 1 0 1 p 型基板
- 1 0 2 n 層
- 1 0 3 p⁺層
- 1 0 4 n⁺層
- 1 0 5 ゲート酸化膜
- 1 0 6 ゲート
- 1 0 7 エミッタ電極

請求の範囲

[請求項1] p型基板上にn層が形成された構成の半導体基板上に、前記p型基板をコレクタ、前記n層をベースとして、表面側にエミッタ及びゲートが形成された構成の絶縁ゲートバイポーラトランジスタ素子を具備し、前記半導体基板中に結晶欠陥が多く導入された結晶欠陥層が形成された半導体装置であって、

前記半導体基板において前記絶縁ゲートバイポーラトランジスタ素子が形成された領域である活性領域における前記結晶欠陥層は、前記半導体基板において前記絶縁ゲートバイポーラトランジスタ素子が形成されていない領域である非活性領域における前記結晶欠陥層よりも前記表面からみて浅い位置に形成されていることを特徴とする半導体装置。

[請求項2] 前記非活性領域における正孔注入量が前記活性領域における正孔注入量よりも少なくなるように、前記結晶欠陥層が前記活性領域及び前記非活性領域に形成されていることを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記活性領域において形成された絶縁ゲートバイポーラトランジスタ素子のエミッタに接続されたエミッタ共通電極が、前記半導体基板よりもイオン阻止能が高い材料で形成されることを特徴とする請求項1に記載の半導体装置。

[請求項4] 前記エミッタ共通電極がニッケル又はニッケルを含む合金を含んで形成されることを特徴とする請求項3に記載の半導体装置。

[請求項5] p型基板上にn層が形成された構成の半導体基板上に、前記p型基板をコレクタ、前記n層をベースとして、表面側にエミッタ及びゲートが形成された構成の絶縁ゲートバイポーラトランジスタ素子を具備し、前記半導体基板中に結晶欠陥が多く導入された結晶欠陥層が形成された半導体装置の製造方法であって、

前記半導体基板上に前記絶縁ゲートバイポーラトランジスタ素子を

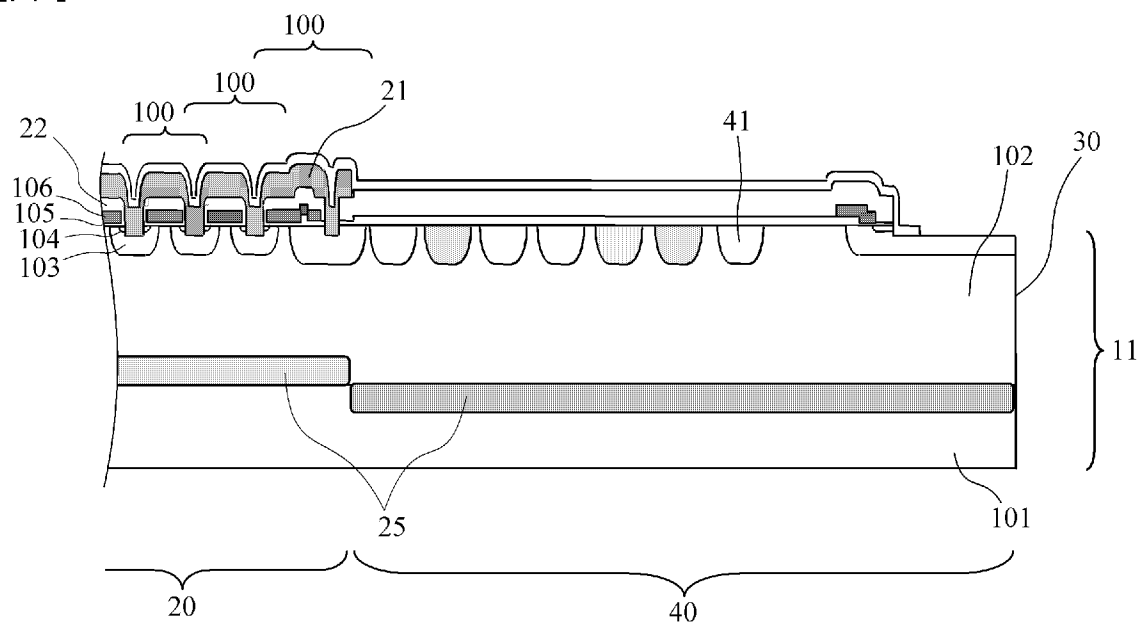
形成するトランジスタ形成工程と、

前記絶縁ゲートバイポーラトランジスタ素子上において、前記絶縁ゲートバイポーラトランジスタ素子のエミッタに接続されたエミッタ共通電極を形成する電極形成工程と、

前記表面側からイオン注入を行うことによって前記結晶欠陥層を前記半導体基板中に形成するイオン注入工程と、

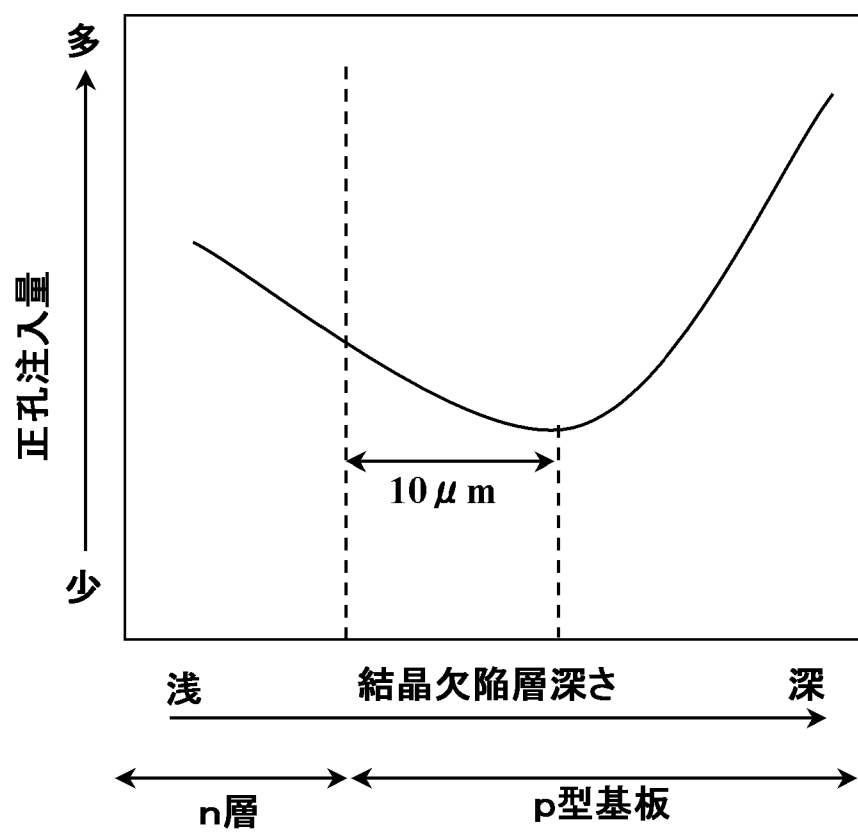
を具備することを特徴とする半導体装置の製造方法。

[図1]

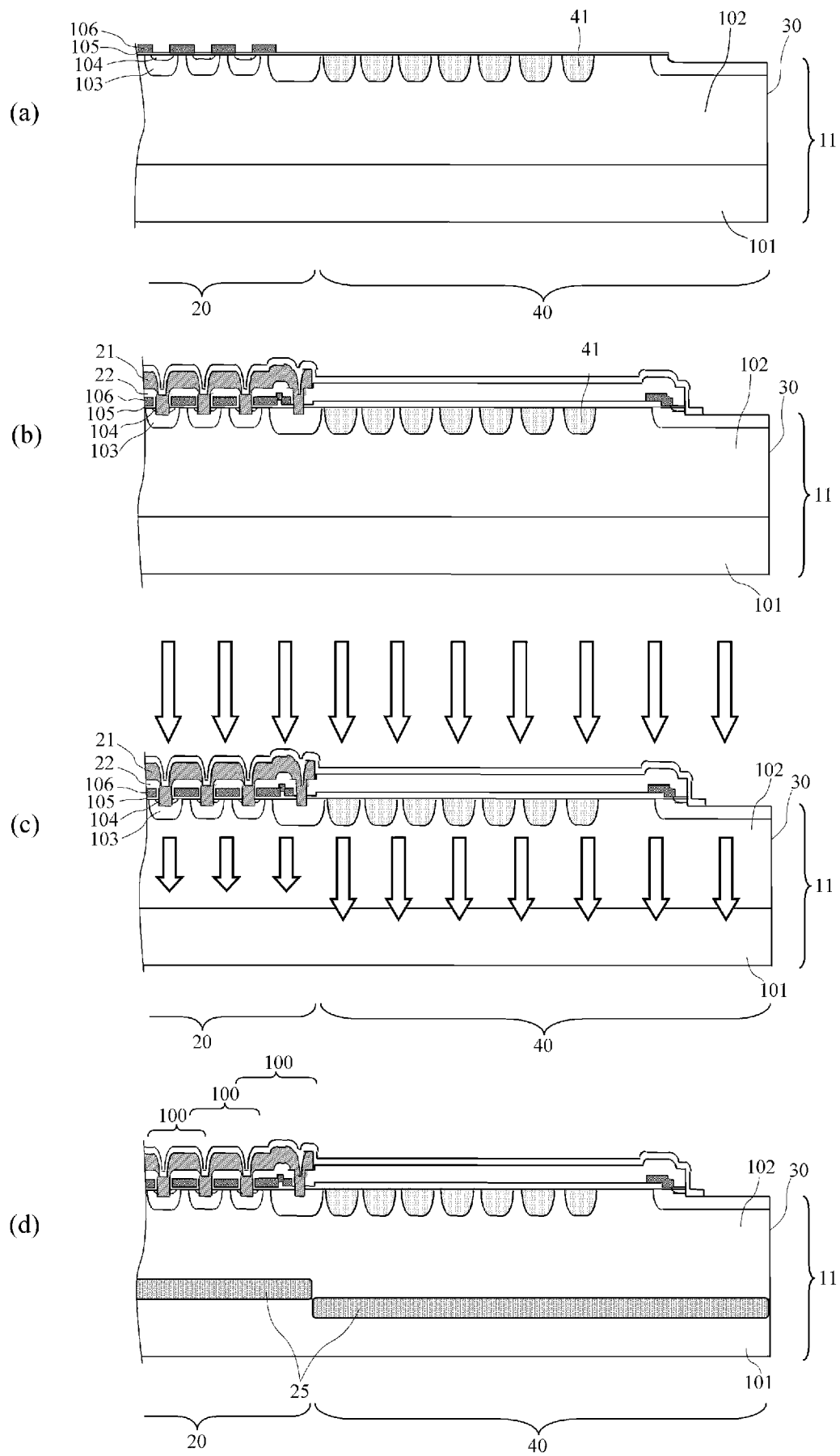


10

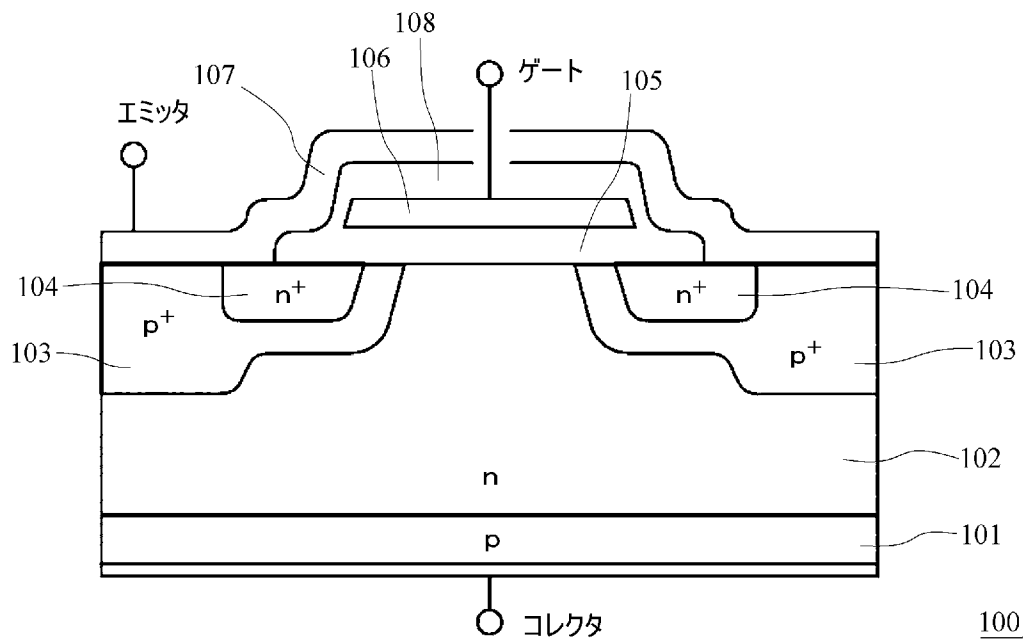
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005316

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01) i, H01L29/06(2006.01) i, H01L29/739(2006.01) i,
H01L29/78(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/06, H01L29/739, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-270451 A (Rohm Co., Ltd.), 09 October 1998 (09.10.1998), paragraphs [0023] to [0032]; fig. 1 to 5 & US 2006/0151829 A1 & EP 913859 A1 & WO 1998/043287 A1 & DE 69834613 T & KR 10-2000-0005508 A	1-5
Y	JP 8-227895 A (Rohm Co., Ltd.), 03 September 1996 (03.09.1996), entire text; all drawings & US 5808352 A & EP 756757 A & WO 1996/026536 A1 & DE 69621385 T & CN 1146826 A	1-3, 5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 December, 2009 (28.12.09)

Date of mailing of the international search report
12 January, 2010 (12.01.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005316

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-282575 A (Shindengen Electric Mfg. Co., Ltd.), 03 October 2003 (03.10.2003), entire text; all drawings (Family: none)	4, 5
Y	JP 2006-303145 A (Toyota Motor Corp.), 02 November 2006 (02.11.2006), paragraphs [0014] to [0016]; fig. 1 (Family: none)	4
Y	JP 2002-93813 A (Toyota Motor Corp.), 29 March 2002 (29.03.2002), paragraphs [0016] to [0022], [0031]; fig. 1 to 7 (Family: none)	5
A	JP 3-166766 A (Mitsubishi Electric Corp.), 18 July 1991 (18.07.1991), entire text; all drawings (Family: none)	1-4
A	JP 8-167619 A (Sanyo Electric Co., Ltd.), 25 June 1996 (25.06.1996), entire text; all drawings (Family: none)	1-4
A	JP 2005-197472 A (Toyota Motor Corp.), 21 July 2005 (21.07.2005), entire text; all drawings (Family: none)	1-5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005316

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The "special technical feature" of the invention of claim 1 is in that "the insulating gate bipolar transistor element is formed in a shallow position — in the semiconductor substrate". Meanwhile, the "special technical feature" of the invention of claim 5 is having "an ion implantation step wherein the crystal defect layer is formed in the semiconductor substrate by implanting ions therein from the surface side". Since there is no technical relationship between these inventions involving one or more of the same or corresponding special technical features, these inventions are not considered so linked as to form a single general inventive concept.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/336, H01L29/06, H01L29/739, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 10-270451 A (ローム株式会社) 1998.10.09, 段落【0023】 — 【0032】、図1-5 & US 2006/0151829 A1 & EP 913859 A1 & WO 1998/043287 A1 & DE 69834613 T & KR 10-2000-0005508 A	1-5
Y	JP 8-227895 A (ローム株式会社) 1996.09.03, 全文、全図 & US 5808352 A & EP 756757 A & WO 1996/026536 A1 & DE 69621385 T & CN 1146826 A	1-3, 5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 8 . 1 2 . 2 0 0 9

国際調査報告の発送日

1 2 . 0 1 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

恩田 春香

4 M

8 9 3 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-282575 A (新電元工業株式会社) 2003. 10. 03, 全文、全図 (ファミリーなし)	4, 5
Y	JP 2006-303145 A (トヨタ自動車株式会社) 2006. 11. 02, 段落【0014】－【0016】、図1 (ファミリーなし)	4
Y	JP 2002-93813 A (トヨタ自動車株式会社) 2002. 03. 29, 段落【0016】－【0022】、【0031】、図1－7 (ファミリーなし)	5
A	JP 3-166766 A (三菱電機株式会社) 1991. 07. 18, 全文、全図 (ファミリーなし)	1-4
A	JP 8-167619 A (三洋電機株式会社) 1996. 06. 25, 全文、全図 (ファミリーなし)	1-4
A	JP 2005-197472 A (トヨタ自動車株式会社) 2005. 07. 21, 全文、全図 (ファミリーなし)	1-5

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に係る発明の「特別な技術的特徴」は、「前記半導体基板において前記絶縁ゲートバイポーラトランジスタ素子が・・・浅い位置に形成されている」に関し、請求項5に係る発明の「特別な技術的特徴」は、「前記表面側からイオン注入を行うことによって前記結晶欠陥層を前記半導体基板中に形成するイオン注入工程」を具備することに関するものである。これらの発明は、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係にないから、単一の一般的発明概念を形成するように連関しているものとは認められない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。