



(12)发明专利申请

(10)申请公布号 CN 105958971 A

(43)申请公布日 2016.09.21

(21)申请号 201610388948.8

(22)申请日 2016.06.02

(71)申请人 泰凌微电子(上海)有限公司

地址 201203 上海市浦东新区张江高科技
园区祖冲之路1500号3幢

(72)发明人 楼文峰 凌宇 谢循

(74)专利代理机构 上海晨皓知识产权代理事务
所(普通合伙) 31260

代理人 成丽杰

(51)Int.Cl.

H03K 3/017(2006.01)

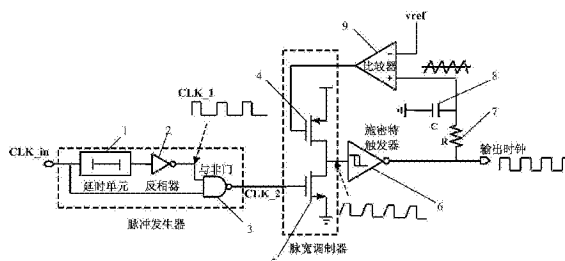
权利要求书2页 说明书8页 附图6页

(54)发明名称

一种时钟占空比校准电路

(57)摘要

本发明涉及集成电路设计领域,公开了一种时钟占空比校准电路。本发明中,公开了一种时钟占空比校准电路,包括:脉冲发生器、脉宽调制器、触发器、比较器和低通滤波器;脉冲发生器,输入第一时钟信号,输出第二时钟信号;第二时钟信号的占空比小于50%;脉宽调制器,输入第二时钟信号和反馈信号,输出第三时钟信号;触发器,输入第三时钟信号,输出校准时钟信号;低通滤波器,输入校准时钟信号,输出第四时钟信号;比较器,正端输入第四时钟信号,负端输入参考电压,输出反馈信号。本发明实施方式相对于现有技术而言,可以提升任意占空比输入时钟的占空比校准精度,输出任意占空比时钟,且电路结构简单,芯片面积小,抗工艺、温度、电压变化影响高。



1. 一种时钟占空比校准电路,其特征在于,包括:脉冲发生器、脉宽调制器、触发器、比较器和低通滤波器;

所述脉冲发生器,输入第一时钟信号,输出第二时钟信号;所述第二时钟信号的占空比小于50%;

所述脉宽调制器,输入所述第二时钟信号和反馈信号,输出第三时钟信号;

所述触发器,输入所述第三时钟信号,输出校准时钟信号;

所述低通滤波器,输入所述校准时钟信号,输出第四时钟信号;

所述比较器,正端输入所述第四时钟信号,负端输入参考电压,输出所述反馈信号。

2. 根据权利要求1所述的时钟占空比校准电路,其特征在于,所述脉冲发生器中,具体包括:延时单元和与非门;

所述与非门的第一输入端为所述脉冲发生器的输入端,第二输入端通过所述延时单元连接所述与非门的第一输入端,所述与非门的输出端作为所述脉冲发生器的输出端;

所述延时单元的延时时间小于所述第一时钟信号的周期的1/2。

3. 根据权利要求2所述的时钟占空比校准电路,其特征在于,所述与非门的第二输入端通过至少一个第一反相器连接所述延时单元。

4. 根据权利要求1所述的时钟占空比校准电路,其特征在于,所述脉宽调制器为伪反相器。

5. 根据权利要求4所述的时钟占空比校准电路,其特征在于,所述脉宽调制器具体包括:第一P沟道金属氧化物半导体场效应晶体管PMOS管和第一N沟道金属氧化物半导体场效应晶体管NMOS管;

所述第一PMOS管的漏极接高电平,栅极接所述比较器的输出端,源极接所述第一NMOS管的漏极;所述第一NMOS管的源极接地,栅极接所述脉冲发生器的输出端。

6. 根据权利要求1所述的时钟占空比校准电路,其特征在于,所述触发器为施密特触发器。

7. 根据权利要求6所述的时钟占空比校准电路,其特征在于,所述施密特触发器具体包括:三个PMOS管和三个NMOS管,分别是第二PMOS管、第三PMOS管、第四PMOS管、第二NMOS管、第三NMOS管和第四NMOS管;

所述第二PMOS管、第三PMOS管、第二NMOS管和第三NMOS管的栅极共同连接,作为所述施密特触发器的输入端;

所述第二PMOS管的漏极和第三PMOS管的源极共同连接至所述第四NMOS管的漏极;所述第二NMOS管的漏极和第三NMOS管的源极共同连接至所述第四PMOS管的漏极;所述第四NMOS管的源极接地,所述第四PMOS管的漏极接高电平;

所述第三PMOS管的源极和所述第二NMOS管的漏极、所述第四PMOS管的栅极和所述第四NMOS管的栅极共同连接,作为所述施密特触发器的输出端。

8. 根据权利要求1所述的时钟占空比校准电路,其特征在于,所述低通滤波器为电阻电容RC滤波器。

9. 根据权利要求1至8中任意一项所述的时钟占空比校准电路,其特征在于,所述参考电压由工作电压根据第一电阻和第二电阻分压获得;

所述第一电阻的一端连接所述比较器的负端,另一端接地;

所述第二电阻的一端连接所述比较器的负端,另一端连接工作电压。

10. 根据权利要求9所述的时钟占空比较准电路,其特征在于,所述第二电阻为可变电阻。

一种时钟占空比较准电路

技术领域

[0001] 本发明涉及集成电路设计领域,特别涉及一种时钟占空比较准电路。

背景技术

[0002] 随着电子技术的不断发展,以及电子控制技术不断的被应用并控制各种各样的电路系统。简单的控制线路只能实现接通工作元件电路或切断工作元件线路两种情况,也就是开或关。但这种简单的开关控制动作已经不能够满足许多精确控制系统工作的要求。而且,出于对系统控制精度的要求和受到功耗限制等多种因素,大多数的元件已经可以实现从渐开到渐闭的线型调控。这种渐开到渐闭的线性调控,就需要应用到占空比控制。

[0003] 在高速串行数据收发的时候,一般以降低工作时钟频率来降低功耗和噪声,所以在发送器时钟的上升沿和下降沿用来发送数据,同样在接收器的上升沿和下降沿用来对数据进行采样,这就要求时钟的占空比必须保证为50%。50%占空比的时钟广泛的应用于双数据率(DDR)的静态随机存取存储器SRAM,延迟锁相环(DDL)电路,双边采样的数模转换电路,使得它在上升沿和下降沿能够同时工作,提高信号的传输速率。如今在很多锁相环(PLL)参考时钟的倍频率电路中,倍频前必须将输入的参考时钟进行50%占空比的校准,从而使得倍频以后的时钟信号能够作为锁相环(PLL)的两倍频的参考时钟,整体提高锁相环(PLL)频率综合器的性能。在实现本发明过程中,发明人发现现有技术中时钟占空比较准电路系统设计复杂,占用芯片面积较大,此类校准电路的精准度易受工艺、温度、电压等影响,并且只能调整较小范围的占空比值进行校准,不可以进行任何时钟占空比较准,大大限制了校准电路的实用性。

[0004] 另外,现有技术存在一种在高速CMOS时钟缓冲器下的脉宽控制循环电路,具体如图1所示:

[0005] 该方案将待调整的 CK_{in} ,通过脉宽调整电路调整后时钟信号 CK_{out} 送至电荷泵1(CP1)和电容C1进行检测,然后通过比较器与参考电压进行比较,如果 CK_{out} 的脉冲小于50%,则延长C1的充电时间使电容C1上的电压 V_c 增加,直到 V_c 的值大于参考电压 V_{ref} ,从而使C3上电压升高,从而调节脉宽调制电路,使占空比减小,这样反复的进行检测反馈,使得整个系统达到一个平衡, CK_{out} 的输出占空比为50%,整个占空比较准电路采用了闭环形式。但是此方案存在如下几点缺陷:

[0006] 1)此方案通过一个三级反相器构成的环形振荡器和电荷泵CP2以及充电电容C2产生代表50%占空比的参考电压,这个方法产生的参考电压一方面电路复杂,而且环形振荡器必须通过小心的设计其上下PMOS管、NMOS的合理尺寸,保证得到一个占空比为50%的时钟,这个受工艺,温度等的影响会较大,直接影响占空比调整精度。

[0007] 2)这个环形振荡器在高频条件下将消耗很大的功耗。

[0008] 3)在锁定状态下, V_{ref} 由CP2的充、放电流和电流源的输出阻抗共同决定,当电荷泵CP2存在失配时, V_{ref} 可能被箝位到电源或地,则环路将不能正常工作;另外这个结构只能进行50%占空比的调整。

[0009] 4)整体系统设计复杂,具有两个电荷泵(CP1/CP2),以及比较器有三个积分电容,将占用较大的芯片面积。

[0010] 现有技术还提供了一种纯数字电路实现的占空比校准电路,具体如图2所示:

[0011] 采用数字开环式占空比校准电路其工作思路大致:输入时钟 Clk_{in} 通过延迟链路(由若干个延迟量为 t 的延迟单元级联而成),生成一系列等相位差的信号 $Clk[i]$, $Clk[i]$ 上升沿激励触发器对 Clk_{in} 进行采样,通过组合逻辑可以判断出 Clk_{in} 下降沿相对于延迟链路的位置,具体的信号变化如图3所示。例如触发器从左到右采样结果依次为1111111110000,则 Clk_{in} 下降沿位于1到0的两级延迟时钟之间,此时将与 Clk_{in} 下降沿位置相对应的延迟时钟(如图3中的 $Clk[n+1]$)取反,然后分别对 Clk_{in} 与 $\overline{Clk[n+1]}$ 的上升沿、下降沿进行插相,假设理想的插相过程使插出的时钟沿正好处于两个被插沿的中间,则最终获得的时钟占空比将为50%。

[0012] 这一类结构本身采用了开环形式,其建立速度很快,然而这一类技术中存在的缺陷是:

[0013] 1)插相位置取决于反相器A、B的相对尺寸,易受工艺偏差的影响;

[0014] 2)每个延时单元之间受工艺、温度、电压等的影响存在差异,很难保证延时时间的一致性,从而大大的影响了占空比校准精度。

[0015] 3)插相过程仅在时钟有限的上升或下降时间中进行,从而大大限制了其可调频率和占空比,可调占空比范围仅为 $\pm 10\%$,大大限制了实用性。

发明内容

[0016] 本发明的目的在于提供一种时钟占空比校准电路,使得电路结构简单,占用芯片面积较小,且输出时钟信号的占空比精度得到大大提升,提高校准电路的抗集成电路工艺、温度、电压变化的影响。

[0017] 为解决上述技术问题,本发明的实施方式提供了一种时钟占空比校准电路,包括:

[0018] 脉冲发生器、脉宽调制器、触发器、比较器和低通滤波器;

[0019] 脉冲发生器,输入第一时钟信号,输出第二时钟信号;第二时钟信号的占空比小于50%;

[0020] 脉宽调制器,输入第二时钟信号和反馈信号,输出第三时钟信号;

[0021] 触发器,输入第三时钟信号,输出校准时钟信号;

[0022] 低通滤波器,输入校准时钟信号,输出第四时钟信号;

[0023] 比较器,正端输入第四时钟信号,负端输入参考电压,输出反馈信号。

[0024] 本发明实施方式相对于现有技术而言,脉冲发生器对于以任意占空比输入的时钟信号,输出占空比小于50%的时钟信号,输入该校准电路的时钟信号的占空比是任意、可变大小数值的。脉宽调制器对输入的时钟信号和反馈信号进行脉宽调节,由于信号被不断的反馈到脉宽调制器的一个输入端,由此,输入信号才被进行不断地脉宽调节。并且脉宽调制器、触发器、低通滤波器和比较器共同构成一个闭环电路,闭环电路的结构比较稳定、牢固,不容易受到外界的信号干扰,因此具有较强的鲁棒性,并且闭环形式可以进行连续的校准,使得不断调节输入的时钟信号脉宽,逼近比较器输出的反馈信号,直至建立平衡状态,校准精度得到不断提高。低通滤波器将高于截止频率的时钟信号过滤,减小输出时钟信号,降低

输出信号的幅度,减少高频信号的干扰。本发明实施方式中校准电路即使输入任意大小的占空比的时钟信号,输出的时钟信号也会被校准为预定的占空比,且校准精度得到大大提升,电路同时减少了突变高频信号的干扰,具有较强的鲁棒性,同时,抗集成电路工艺、温度、电压变化的影响也得到了提高。

[0025] 另外,脉冲发生器中,具体包括:延时单元和与非门;与非门的第一输入端为脉冲发生器的输入端,第二输入端通过延时单元连接与非门的第一输入端,与非门的输出端作为脉冲发生器的输出端;延时单元的延时时间小于第一时钟信号的周期的1/2。根据占空比的计算公式,占空比为信号脉冲时间除以该信号的周期,延时单元延时时间小于第一时钟信号的周期的1/2,即经过与非门等一系列的逻辑运算,脉冲时间除以该信号的周期小于1/2,产生一个占空比小于50%的信号。脉冲发生器包括延时单元和与非门,延时单元和与非门组成固定的结构形式,产生所需的占空比信号,结构简单,实现性好。

[0026] 另外,与非门的第二输入端通过至少一个第一反相器连接延时单元。延时单元进行信号延时后可以有多次反相操作,反相器可以作为缓存器,加强了电路的驱动能力。

[0027] 另外,触发器为施密特触发器。施密特触发器提高了脉宽调制器输出信号的抗干扰能力,增强了信号的抗噪声和抖动的能力,并且加强了脉宽调制器驱动能力。

[0028] 另外,低通滤波器为电阻电容RC滤波器。RC滤波器将突高幅度的信号截止,通过幅度较小的信号,并且RC滤波器结构简单。

[0029] 另外,参考电压由工作电压根据第一电阻和第二电阻分压获得;第一电阻的一端连接比较器的负端,另一端接地;第二电阻的一端连接比较器的负端,另一端连接工作电压。反馈信号由低通滤波器输出信号与电阻分压得到的参考电压通过反馈器进行比较,比较的结果反馈至脉宽调制器中进行脉宽调节,电阻分压得到的参考电压最终决定脉宽调制后的占空比,要产生不同值大小的占空比输出信号,就要调整参考电压的电压值,工作电压的值是固定不可变的,由两个电阻分压得到一个固定的参考电压值。

[0030] 另外,第二电阻为可变电阻。通过调节可变电阻阻值大小,改变电阻分压的的大小,即参考电压的电压值大小,使得占空比可调,从而使得输出信号的占空比可以用户所需调整,拓展本发明的应用范围。

附图说明

[0031] 图1是根据本发明背景技术中的一种在高速CMOS时钟缓冲器下的脉宽控制循环电路的电路图;

[0032] 图2是根据本发明背景技术中的一种纯数字电路实现的占空比校准电路的电路图;

[0033] 图3是根据本发明背景技术中的一种纯数字电路实现的占空比校准电路的信号图;

[0034] 图4是根据本发明第一实施方式的一种时钟占空比校准电路的电路模块图;

[0035] 图5是根据本发明第一实施方式的一种时钟占空比校准电路的电路图;

[0036] 图6是根据本发明第一实施方式的一种脉冲发生器信号变化图;

[0037] 图7是根据本发明第一实施方式的一种施密特触发器的电路结构图;

[0038] 图8是根据本发明第二实施方式的固定阻值电阻分压法得到的参考电压电路结构

图；

[0039] 图9是根据本发明第三实施方式的一种可调整电阻分压得到的参考电压电路结构图；

[0040] 图10是根据本发明第四实施方式的一种反相器的连接电路图；

[0041] 图11是根据本发明第五实施方式的一种触发器的电路结构图。

具体实施方式

[0042] 为使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明的各实施方式进行详细的阐述。然而，本领域的普通技术人员可以理解，在本发明各实施方式中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施方式的种种变化和修改，也可以实现本申请各权利要求所要求保护的技术方案。

[0043] 本发明的第一实施方式涉及一种时钟占空比校准电路。电路模块图如图4所示，具体包括：脉冲发生器、脉宽调制器、触发器、比较器和低通滤波器；脉冲发生器，输入第一时钟信号CLK_{in}，输出第二时钟信号CLK₂；第二时钟信号CLK₂的占空比小于50%；脉宽调制器，输入第二时钟信号CLK₂和反馈信号，输出第三时钟信号；触发器，输入第三时钟信号，输出校准时钟信号；低通滤波器，输入所述校准时钟信号，输出第四时钟信号；比较器，正端输入第四时钟信号，负端输入参考电压，输出反馈信号。其中，输出信号就是校准信号。

[0044] 具体的说，通过脉冲发生器内部的特有结构，可以实现不同的功能，从而限制了该脉冲发生信号器输出的信号的特性。本实施方式中的脉冲发生信号对于输入的任何占空比大小的时钟信号CLK_{in}，总是产生一个占空比小于50%的时钟信号CLK₂，并以此作为下一个器件的唯一输入信号，确保了任意占空比值大小的输入信号CLK_{in}对于该校准电路的结果是没有影响的。

[0045] 值得一提的是，本实施方式中的脉冲发生器，如图5所示，具体包括：延时单元1和与非门3；与非门3的第一输入端为脉冲发生器的输入端，第二输入端通过延时单元1连接与非门3的第一输入端，与非门3的输出端作为脉冲发生器的输出端；延时单元1的延时时间小于第一时钟信号的周期的1/2，并且与非门3的第二输入端通过至少一个第一反相器2连接延时单元1。

[0046] 其中，本领域技术人员可以理解，延时单元1是将输入信号CLK_{in}按照一定的延时时间进行时间轴方向的平移，延时后的信号周期、频率、占空比等性质都不会发生改变，只是在时间方向上进行了平移。与非门3是一个数字电路的一种逻辑电路，对输入的信号CLK₁先进行“与”运算，再进行“非”运算，例如若当与非门3的两个输入端都是高电平（用电位“1”表示），则输入为低电平（用“0”表示）；若输入端的两个输入信号至少有一个为低电平（0），则输出为高电平（1）。

[0047] 延时单元1用于产生较小的移位信号，作为与非门3的一个输入信号CKL₁，与非门3通过将延迟单元1产生的信号与输入信号CLK_{in}进行与非逻辑的运算，最终得到的结果为占空比小于50%的时钟信号CLK₂，如图6所示，给出了本实施方式的一种脉冲发生器信号变化图。

[0048] 根据占空比的计算公式，可以得知，占空比为信号脉冲时间除以该信号的周期，延

时单元1延时时间小于第一时钟信号的周期的1/2,即经过与非门3等一系列的逻辑运算,脉冲时间除以该信号的周期小于1/2,由此,产生一个占空比小于50%的信号。延时单元1和与非门3组成固定的结构形式,产生所需的占空比信号,结构简单,实现性好。

[0049] 另外,本实施方式中与非门3的第二输入端可以通过一个反相器2连接延时单元1,该反相器2可以作为电路的缓存器,加强电路的驱动能力。此外,在实际应用中,与非门3的第二输入端可以通过多个反相器连接延时单元,如2个或3个,在此不再一一列举。

[0050] 还需说明的是,脉宽调制器是一种控制方脉冲宽度的仪器,可以有效地调节方波信号的宽度,进而控制了方波的占空比值的大小。脉宽调制器以脉冲发生器输出端的占空比小于50%的时钟输出信号CLK_2作为一个输入,以一个反馈信号作为另一个输入,由于反馈信号的值被不断的更新、输入至该脉宽调制器,因此,输入端的两个输入信号的脉宽被不断的进行比较、调节。

[0051] 本实施方式中的脉宽调制器为伪反相器,包括:第一P沟道金属氧化物半导体场效应晶体管PMOS管4和第一N沟道金属氧化物半导体场效应晶体管NMOS管5;第一PMOS管4的漏极接高电平,栅极接比较器的输出端,源极接第一NMOS管5的漏极;第一NMOS管5的源极接地,栅极接脉冲发生器的输出端。

[0052] 具体的说,该伪反相器脉宽调制器的两个输入端分别连接脉冲发生器的输出端和比较器的输出端,即反馈信号,由于反馈的信号值不断变化,因此该伪反相器脉宽调制器会对输入端的两个信号不断的进行脉宽的调制,直至达到动态的平衡状态为止,此时的两个输入信号的脉宽值也达到了最为逼近的状态,校准电路得到了一个精准度更高的输出信号。

[0053] 由于在实际的数字系统中,包含大量的存储单元,当控制信号被触发或者输入的信号达到某个阈值的条件,电路根据输入信号改变相应的输出信号的状态,这种需要触发的储存单元就叫做触发器。本实施方式中的触发器的输入信号为脉宽调制器的输出信号,其与脉宽调制器“首尾相接”。根据该触发器内部的结构或控制条件以及输入信号,产生出相应的输出时钟信号,具体的说,输出时钟信号就是校准信号。

[0054] 值得一提的是,本实施方式中的触发器为施密特触发器6,如图7所示,包括:三个PMOS管和三个NMOS管,分别是第二PMOS管10、第三PMOS管11、第四PMOS管15、第二NMOS管12、第三NMOS管13和第四NMOS管14;第二PMOS管10、第三PMOS管11、第二NMOS管12和第三NMOS管13的栅极共同连接,作为施密特触发器的输入端;第二PMOS管10的漏极和第三PMOS管11的源极共同连接至第四NMOS管14的漏极;第二NMOS管12的漏极和第三NMOS管13的源极共同连接至第四PMOS管15的漏极;第四NMOS管14的源极接地,第四PMOS管15的漏极接高电平;第三PMOS管11的源极和第二NMOS管12的漏极、第四PMOS管15的栅极和第四NMOS管14的栅极共同连接,作为施密特触发器6的输出端。

[0055] 门电路有一个阈值电压,当输入电压从低电平上升到阈值电压或从高电平下降到阈值电压时电路的状态将发生变化。施密特触发器是一种特殊的门电路,与普通的门电路不同,施密特触发器有两个阈值电压,分别称为正向阈值电压(V+)和负向阈值电压(V-)。在输入信号从低电平上升到高电平并且到达V+时,输出电压状态发生突变;输入信号从高电平下降到低电平并且减少到V-时,输出电压状态发生突变。

[0056] 施密特触发器被设计成阻止输入电压出现微小变化(低于某一阈值)而引起的输

出电压的改变,提高施密特触发器输出信号的抗噪能力,并且利用施密特触发器状态转换过程中的正反馈作用,可以把边沿变化缓慢的周期性信号变换为边沿很陡的矩形脉冲信号。经过脉宽调制器的输出信号可能会发生信号波形畸变,波形的上升沿明显变缓,或当其他脉冲信号通过叠加到矩形脉冲信号时,信号上将出现附加的噪声,无论出现上述中的哪种情况,都可以通过用施密特反相触发器整形而得到比较理想的矩形脉冲波形。

[0057] 低通滤波器是一种起到过滤信号效果的仪器,允许低于某一特定截止频率的信号通过,但高于该特定截止频率的信号则不能通过。由于低通滤波器对高频信号有抑制作用,所以常常用于滤除高频的干扰信号。本实施方式中的低通滤波器连接触发器,以触发器的输出信号,也就是校准信号,作为自身的输入信号,针对触发器中输出的信号中带有的高频干扰信号,进行滤除,可以提高该校准电路的抗高频信号干扰能力。

[0058] 值得一提的是,本实施方式中的低通滤波器为电阻电容RC滤波器。由于RC滤波器是比较常用的低通滤波器,并且RC滤波器的结构非常简单,只需要用到一个电阻R7、一个电容元件C8,从而降低了整个校准电路结构的复杂程度,并且减小了电路芯片的占用面积。并且,RC滤波器可以减小输入的锯齿波,降低输入锯齿波的幅度。在实际应用中,低通滤波器还可以是巴特沃斯滤波器或切比雪夫滤波器等。

[0059] 比较器可以对两个或多个数据进行比较,以确定它们的大小是否相等,或者确定它们之间的大小关系。本实施方式中的比较器9共有两个输入端,一个输入端连接低通滤波器的输出端,以低通滤波器的输出信号作为输入信号,另一个输入端输入一个参考电压 v_{ref} ,该参考电压 v_{ref} 可以由技术人员依据经验设置。该比较器9的结果,作为一个反馈信号,输入脉宽调制器,作为脉宽调制器的其中一个输入信号。

[0060] 本实施方式与现有技术相比,主要改进及其效果在于,脉宽调制器、触发器、RC低通滤波器以及比较器彼此首尾相接,共同构成了一个闭合的环路,环路中每个输出信号都将作为下一个元器件的输入信号或其中一个输入信号。闭合电路中每个元器件之间存在的电路工艺、温度、电压等影响时一样的,由于闭合电路的这一特殊的结构,决定了其整个电路的抗集成电路工艺、温度、电压变化的影响得到了提升。并且闭合电路的结构比较稳定、牢固,不容易受到外界的信号等因素干扰,因而具有较强的鲁棒性。闭合电路比较器通过对比时钟信号和参考的信号,不断将反馈信号输入到脉宽调节器中进行调节,直至建立了平衡状态,平衡状态下的输入信号脉宽最为接近反馈信号,得以保证电路的精度得到不断的提高。

[0061] 本发明的第二实施方式涉及一种时钟占空比校准电路,第二实施方式是在第一实施方式上做的改进,其主要改进之处在于:在本第二实施方式中,参考电压 v_{ref} 由工作电压根据第一电阻16和第二电阻17分压获得;第一电阻16的一端连接比较器的负端,另一端接地;第二电阻17的一端连接比较器的负端,另一端连接工作电压;第一电阻16和第二电阻17均为固定阻值的电阻,具体如图8所示。

[0062] 具体的说,本实施方式通过低通滤波器滤波后的输出信号与电阻分压得到的参考电压 v_{ref} 在比较器中进行比较。比较的结果反馈至脉宽调制电路中进行脉宽调节,因此,最终脉宽调制后的占空比是由电阻分压得到的参考电压 v_{ref} 决定的,并且参考电压 v_{ref} 可以由工作电压VDD根据第一电阻R₁₆和第二电阻R₂₁₇分压获得,得到的参考电压 v_{ref} 是按照第一电阻R₁₆和第二电阻R₂₁₇的阻值比例分配得来。例如,要得到占空比为25%的时钟信号输

出,则可以采用 $R_1=40K\Omega$, $R_2=120K\Omega$,可以得到 $R_1/(R_1+R_2)=40K/(40K+120K)=0.25$,最终可以得到输出信号的占空比为25%。

[0063] 根据要得到的占空比不同的输出信号,可以相应的选用不同阻值的电阻,从而得到任意占空比值得信号。

[0064] 本发明第三实施方式涉及一种时钟占空比校准电路,第三实施方式是对第二实施方式的优化,主要优化之处在于:在本发明第三实施方式中,参考电压 v_{ref} 根据第四电阻 R_{418} 和第三电阻 R_{319} 的分压获得,如图9所示,第四电阻 R_{418} 的一端连接比较器的负端,另一端接地;第三电阻 R_{319} 的一端连接比较器的负端,另一端连接工作电压;第三电阻 R_{319} 为可变电阻。

[0065] 具体的说,本实施方式通过第四电阻 R_{418} 与第三电阻 R_{319} 分压获得参考电压 v_{ref} 并输入到比较器元器件的输入端负端,该参考电压值 v_{ref} 将决定最终输出时钟信号脉宽调制后的占空比。例如,我们要实现占空比为50%(1:2)的时钟信号输出,那么我们可以采用 $R_3=40K\Omega$, $R_4=40K\Omega$,可以得到 $R_4/(R_3+R_4)=40K/(40K+40K)=0.5$,则参考电压 v_{ref} 为 $1/2V_{DD}$,那么滤波后的锯齿波和 $1/2V_{DD}$ 进行比较,方波信号通过RC滤波后的锯齿波的平均值为 $V_{av}=V_{DD}*\text{占空比}$,这样通过闭环环路不断的进行比较逼近,使得滤波后的平均值电压 V_{av} 不断的接近 $1/2V_{DD}$,最终在 $V_{DD}*\text{占空比}=1/2V_{DD}$ 时建立平衡状态,使得输出信号的占空比为50%。同样,如果我们想实现占空比为75%(3:4),那么我么可以采用 $R_3=40K/3$, $R_4=40K$,即 $R_4/(R_3+R_4)=40K/(40K/3+40K)=0.75$,重复进行闭环环路的信号逼近,最终可以得到输出信号的占空比为75%。

[0066] 由于第三电阻 R_{319} 为可变电阻,可以通过调节可变电阻 R_3 ,即第三电阻19的大小,而不用手动的替换不同阻值大小的电阻,使得改变电阻分压的值 $R_4/(R_3+R_4)$ 的大小,从而得到任意占空比校准的输出信号,输出信号的占空比可以根据用户所需调整,拓展了本发明的应用范围。

[0067] 本发明第四实施方式涉及一种时钟占空比校准电路,第四实施方式是在第一实施方式上做的改进,主要改进之处在于:在本发明第四实施方式中,脉冲发生器和脉宽调制器之间连接第二反相器20,并且触发器与滤波器之间连接第三反相器21,如图10所示:

[0068] 具体的说,反相器加入到脉冲发生器和脉宽调制器之间和触发器与滤波器之间,并没有改变时钟信号的原有属性,该类可以被作为电路的缓存器,加强电路的驱动能力。

[0069] 值得一提的是,在实际应用中,除了本实施方式中提到的既连接第二反相器20,又连接第三反相器21,还可以仅在触发器与滤波器之间连接第三反相器21;或者仅在脉冲发生器和脉宽调制器之间连接第二反相器20。

[0070] 本发明第五实施方式涉及一种时钟占空比校准电路,第五实施方式与第一实施方式大致相同,主要区别之处在于:在本发明第五实施方式中,触发器的结构和第一实施方式中触发器的结构不同,如图11所示,包括一个电压源22,一个比较器23,一个第五电阻24和第六电阻25。

[0071] 具体的说,电压源22产生固定大小的电压值 V_I ,并且该恒定电压值 V_I 输入到比较器23输入端负端,第五电阻 R_624 与第六电阻 R_525 对比较器23的输出端电压进行分压,其中第六电阻 R_525 的分压电压值将作为反馈电压值返回到比较器23的输入端正端,反馈电压计算公式为 $[R_5/(R_5+R_6)]*V_o$ 。由此,比较器有1个电压值 V_I 的阈值限制,若反馈电压值大于固定大小

电压值 V_T ,则输出电位为“1”;若反馈电压值小于固定大小电压值 V_T ,则输出电位为“0”。由此,可以实现矩形脉冲波形的输出,并且减少因信号干扰而产生出的错误方波输出。

[0072] 值得一提的是,在实际应用中,触发器除了采用第一实施方式中的结构,和本实施方式中的结构,还可以采用其他结构的施密特触发器,在此不再一一列举。

[0073] 本领域的普通技术人员可以理解,上述各实施方式是实现本发明的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本发明的精神和范围。

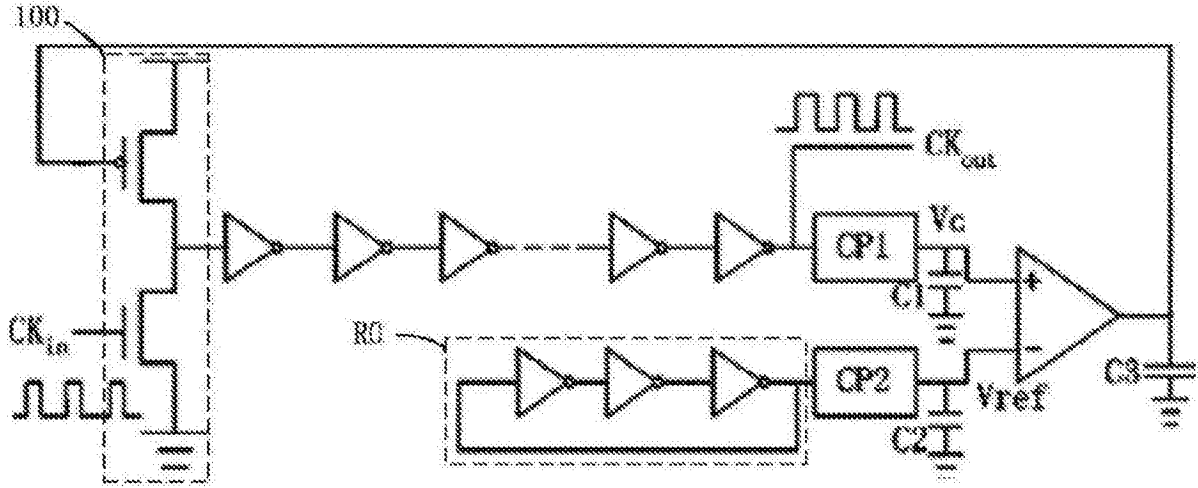


图1

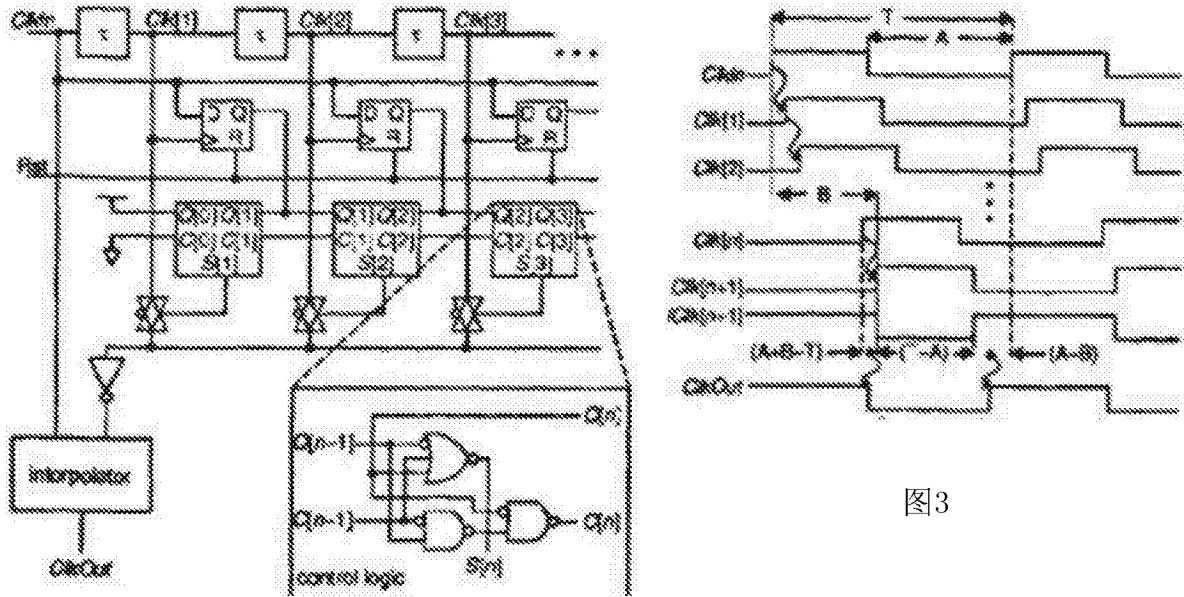


图2

图3

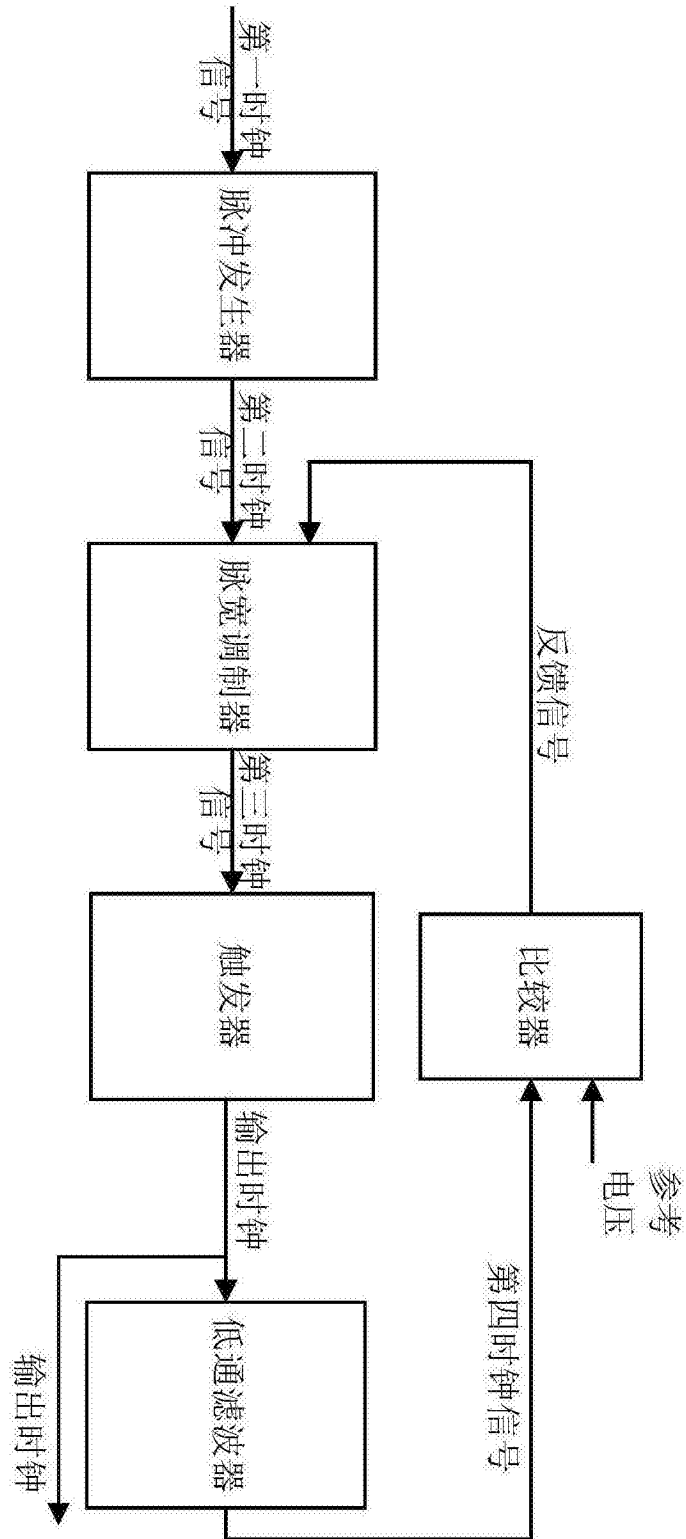


图4

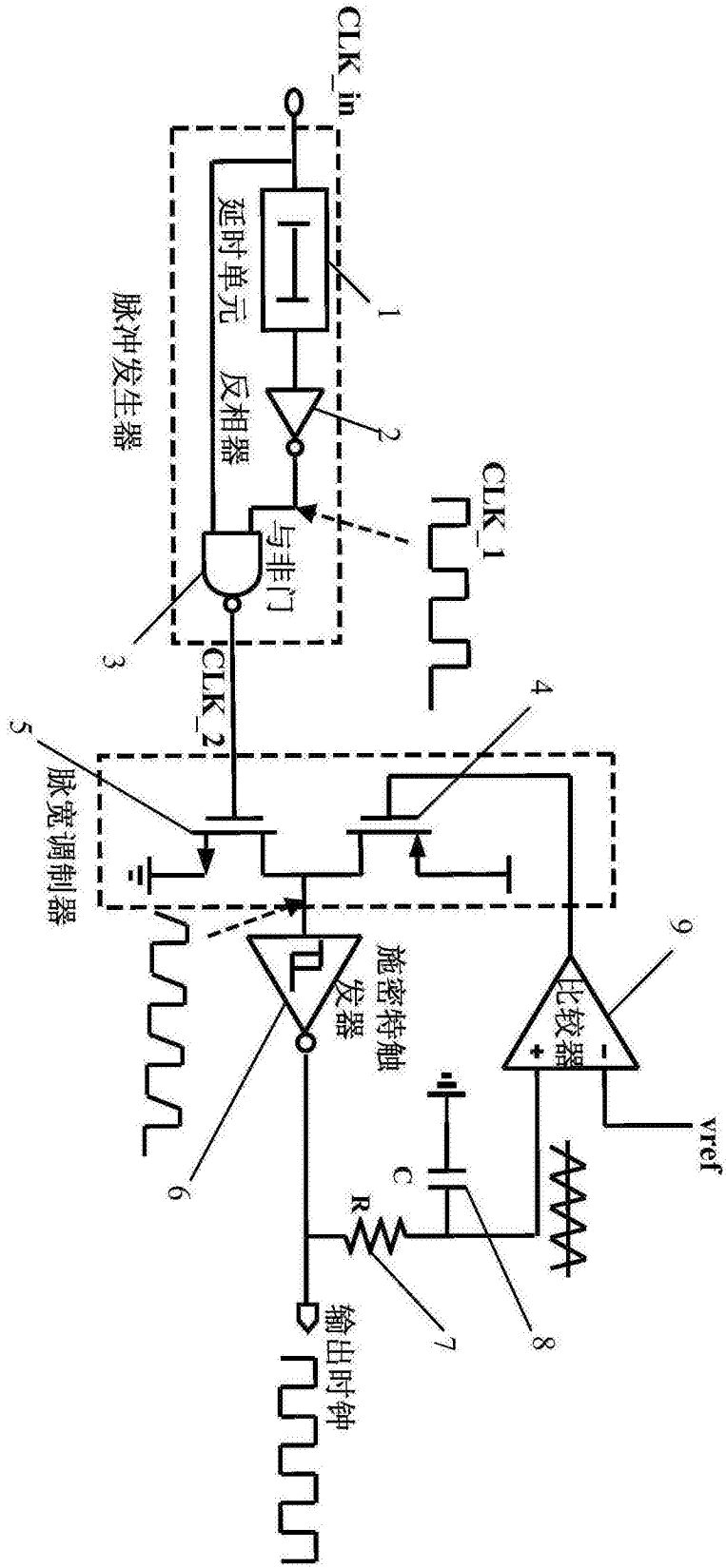


图5

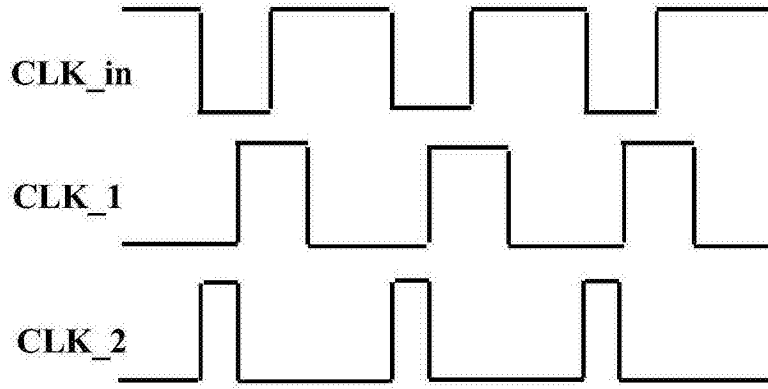


图6

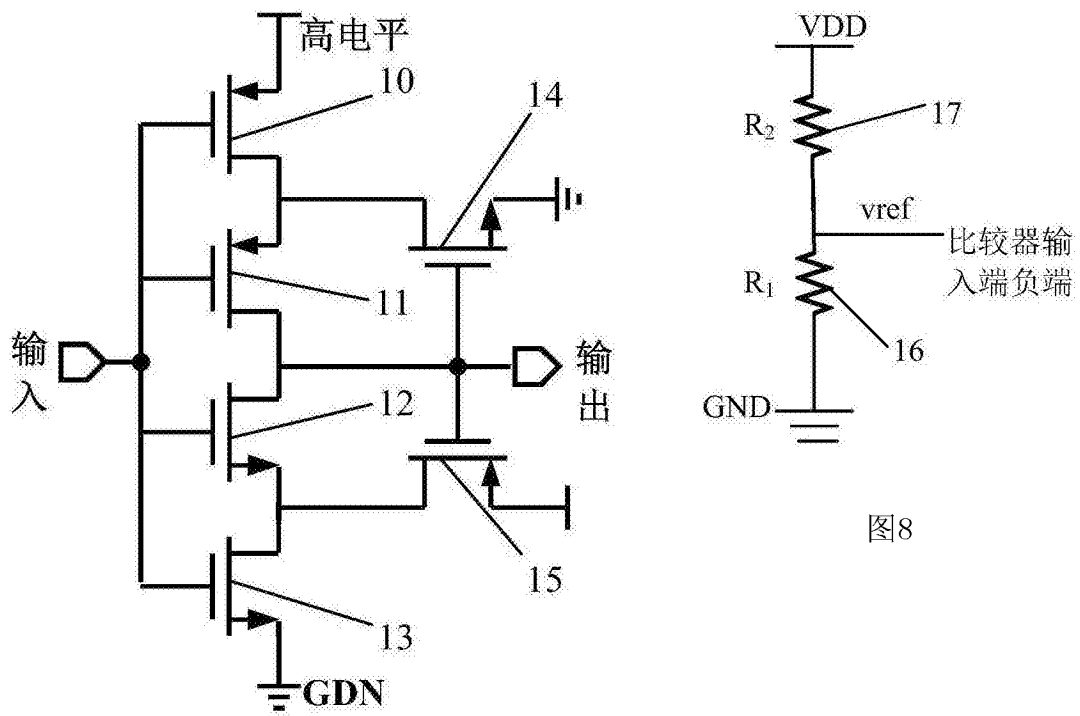


图8

图7

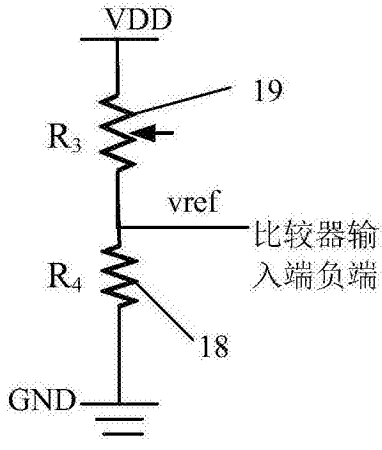


图9

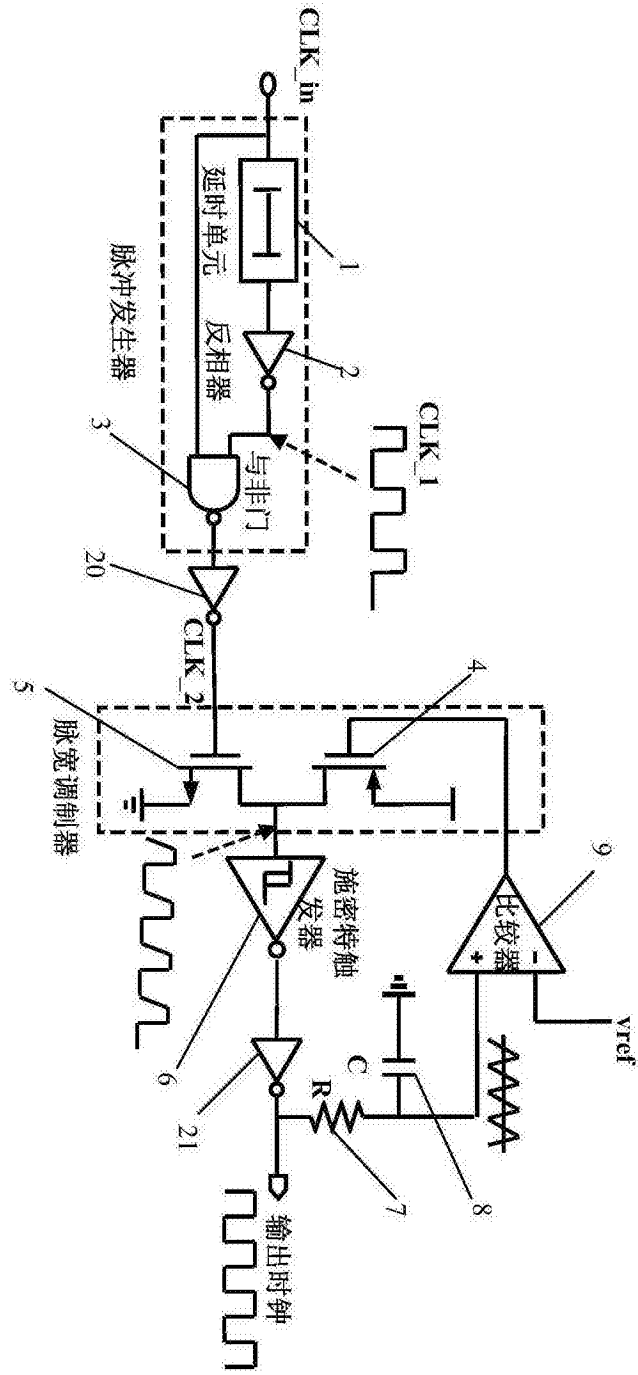


图10

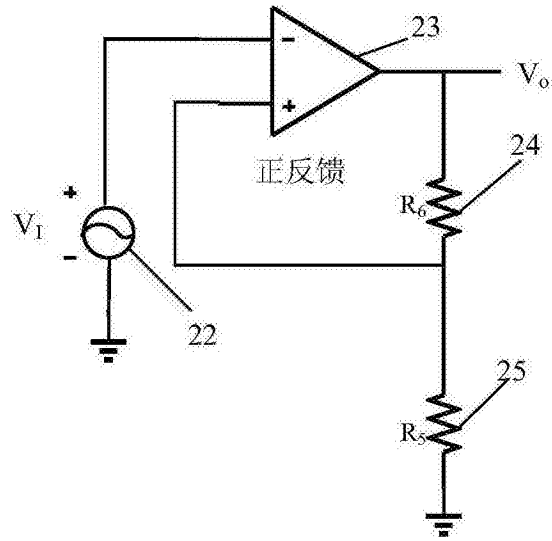


图11