(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0048833
(43) 공개일자 2011년05월12일

(51) Int. Cl.
G11C 17/16 (2006.01) *G11C 17/00* (2006.01)
(21) 출원번호 10-2009-0105567
(22) 출원일자 2009년11월03일
심사청구일자 2009년11월03일

(71) 출원인
창원대학교 산학협력단
경남 창원시 사림동 9 창원대학교내
(72) 발명자
김영희
경남 창원시 반림동 현대아파트 112동 1001호
(74) 대리인
이철희

전체 청구항 수 : 총 7 항

(54) 비동기식 이퓨즈 OTP 메모리 셀 및 비동기식 이퓨즈 OTP 메모리 장치

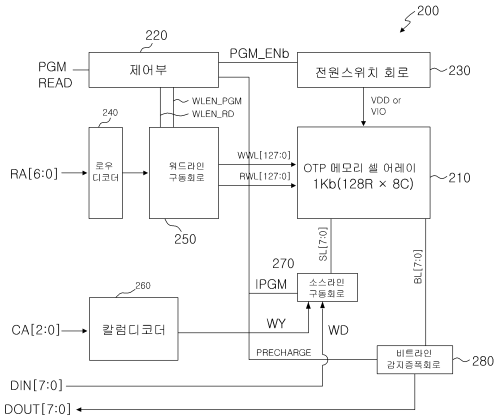
(57) 요 약

본 발명은 OTP 메모리 셀 및 OTP 메모리 장치에 관한 것으로, 특히 비트라인과 워드라인에 기생하는 커패시턴스를 줄여 동작전류를 감소시킴으로써 저전력의 장치를 구현하기 위해 이퓨즈(e-fuse) 셀에 큰 채널 폭을 갖는 프로그램 모드용 트랜지스터와 작은 채널 폭을 갖는 독출 모드용 트랜지스터를 구비한 비동기식 이퓨즈 OTP 메모리 셀 및 비동기식 이퓨즈 OTP 메모리 장치에 관한 것이다

본 발명에 따른 비동기식 이퓨즈 OTP 메모리 장치에 의하면, 독출모드에서 워드라인과 비트라인의 기생 커패시턴스를 줄여 독출 모드의 동작전류를 감소시킬수 있는 효과가 있다.

또한 비동기식 인터페이스 방식과 분리된 I/O 방식을 사용함으로써 저면적의 메모리 장치를 구현할 수 있다는 장점이 있다.

대 표 도 - 도2



특허청구의 범위

청구항 1

제1단자가 접지전압에 연결되고 프로그램 워드라인 신호(WWL)가 그 게이트에 인가되는 제1엔모스 트랜지스터(310);

제1단자가 비트라인(BL)에 연결되고 제2단자가 상기 제1엔모스 트랜지스터의 제2단자에 연결되고 독출 워드라인 신호(RWL)가 그 게이트에 인가되는 제2엔모스 트랜지스터(320); 및

제1단자가 소스라인(SL)에 연결되고 제2단자가 상기 제1엔모스 트랜지스터의 제2단자 및 상기 제2엔모스 트랜지스터의 제2단자에 공통으로 연결되는 이퓨즈 소자(330);를 구비하는 것을 특징으로 하는 비동기식 이퓨즈 OTP 메모리 셀.

청구항 2

제 1항에 있어서, 상기 이퓨즈 소자의 프로그램 이전의 저항은 50 내지 100옴(Ω) 인 것을 특징으로 하는 비동기식 이퓨즈 OTP 메모리 셀.

청구항 3

이퓨즈(e-fuse) OTP 메모리 장치에 있어서,

적어도 둘 이상의 소스 라인, 적어도 둘 이상의 비트라인, 적어도 둘 이상의 프로그램 워드라인, 적어도 둘 이상의 독출 워드라인에 각각 연결되는 적어도 둘 이상의 비동기식 이퓨즈 OTP 메모리 셀들이 배치되는 이퓨즈 OTP 메모리 셀 어레이(210);

상기 이퓨즈 OTP 메모리 장치의 프로그램 모드 또는 독출 모드 등의 동작을 지시하는 모드제어신호들을 발생시키는 제어부(220);

상기 모드제어신호에 응답하여 로직전압(VDD) 또는 인터페이스 전압(VIO)을 상기 이퓨즈 OTP 메모리 셀 어레이에 공급하는 전원 스위치 회로(230);

로우 어드레스신호를 디코딩하는 로우 디코더(240);

상기 모드제어신호 및 디코딩된 로우 어드레스 신호에 응답하여 상기 적어도 둘 이상의 프로그램 워드라인 및 적어도 둘 이상의 독출 워드라인을 구동하는 워드라인 구동회로(250);

칼럼 어드레스신호를 디코딩하는 칼럼 디코더(260);

상기 모드제어신호 및 데이터 입력신호에 응답하여 해당 소스라인을 구동하는 소스라인 구동회로(270); 및

상기 모드 제어 신호에 응답하여 비트라인을 감지 증폭하는 비트라인 감지증폭회로(280)를 구비하는 것을 특징으로 하는 비동기식 이퓨즈 OTP 메모리 장치.

청구항 4

제 3항에 있어서, 상기 이퓨즈 OTP 메모리 셀은,

제1단자가 접지전압에 연결되고 프로그램 워드라인(WWL)이 그 게이트에 연결되는 제1엔모스 트랜지스터;

제1단자가 비트라인에 연결되고 제2단자가 상기 제1엔모스 트랜지스터의 제2단자에 연결되고 독출 워드라인(RWL)이 그 게이트에 연결되는 제2엔모스 트랜지스터; 및

제1단자가 소스라인에 연결되고 제2단자가 상기 제1엔모스 트랜지스터의 제2단자 및 상기 제2엔모스 트랜지스터의 제2단자에 공통으로 연결되는 이퓨즈 소자;를 구비하는 것을 특징으로 하는 비동기식 이퓨즈 OTP 메모리 장치.

청구항 5

제 4항에 있어서, 상기 워드라인 구동회로(250)는,

로우 어드레스 신호를 입력하는 제1 낸드게이트(21);

워드라인 인에이블 프로그램 신호(WLEN_PGM) 및 반전된 워드라인 인에이블 프로그램 신호(WLENb_PGM)에 응답하여 상기 제1 낸드게이트의 출력을 전달하는 제1 전송 게이트(22);

로직전압(VDD)이 그 소스에 연결되고 상기 워드라인 인에이블 프로그램 신호(WLEN_PGM)가 그 게이트에 연결되고 상기 제1 전송 게이트의 출력이 그 드레인에 연결되는 제1 피모스 트랜지스터(23);

상기 제1 전송 게이트의 출력을 입력하는 제2 인버터(24);

접지전압(VSS)이 그 소스에 연결되고 상기 제1 전송 게이트의 출력이 그 게이트에 연결되는 제3 엔모스 트랜지스터(25);

접지전압(VSS)이 그 소스에 연결되고 상기 제2 인버터의 출력이 그 게이트에 연결되는 제4 엔모스 트랜지스터(26);

인터페이스 전압(VIO)이 그 소스에 연결되고 상기 제4 엔모스 트랜지스터(26)의 드레인이 그 게이트에 연결되고 상기 제3 엔모스 트랜지스터(25)의 드레인이 그 드레인에 연결되는 제2 피모스 트랜지스터(27);

상기 인터페이스 전압(VIO)이 그 소스에 연결되고 상기 제3 엔모스 트랜지스터(25)의 드레인이 그 게이트에 연결되고 상기 제4 엔모스 트랜지스터(26)의 드레인이 그 드레인에 연결되는 제3 피모스 트랜지스터(28);

상기 인터페이스 전압(VIO)에 의해 구동되고 상기 제3 엔모스 트랜지스터(25)의 드레인이 그 입력 단자에 연결되고 상기 반전된 프로그램 워드라인(WWLb)이 그 출력 단자에 연결되는 제3 인버터(29); 및

상기 제1 낸드게이트(21)의 출력과 반전된 워드라인 인에이블 독출 신호(WLENb_RD)를 입력받고 독출 워드라인(RWL)이 그 출력단자에 연결되는 제1 노아게이트(30)를 구비하는 것을 특징으로 하는 비동기식 이퓨즈 OTP 메모리 장치.

청구항 6

제 4항에 있어서, 상기 소스라인 구동회로(270)는,

상기 칼럼디코더에 의해 디코딩된 칼럼 어드레스 신호(WY) 및 데이터입력신호(WD)를 입력받는 제2 낸드게이트(50);

상기 제어부에 의해 생성된 내부 프로그램 신호(IPGM)를 입력받는 제4인버터(51);

상기 제4인버터의 출력을 입력받는 제5인버터(52);

상기 내부 프로그램 신호(IPGM) 및 반전된 내부 프로그램 신호(IPGMb)에 응답하여 상기 제2 낸드게이트의 출력을 전달하는 제2전송게이트(53);

제1 단자에 로직전압(VDD)이 연결되고 제2단자에 상기 제2전송게이트의 출력이 연결되며 상기 내부 프로그램 신호(IPGM)가 그 게이트에 인가되는 제4 피모스 트랜지스터(54);

상기 제2전송게이트의 출력을 입력하는 제6 인버터(59);

접지전압(VSS)이 그 소스에 연결되고 상기 제2전송게이트의 출력이 그 게이트에 연결되는 제5 엔모스 트랜지스터(55);

접지전압(VSS)이 그 소스에 연결되고 상기 제6인버터의 출력이 그 게이트에 연결되는 제6 엔모스 트랜지스터(56);

상기 인터페이스 전압(VIO)이 그 소스에 연결되고 상기 제6 엔모스 트랜지스터의 드레인이 그 게이트에 연결되고 상기 제5 엔모스 트랜지스터의 드레인이 그 드레인에 연결되는 제5 피모스 트랜지스터(57);

상기 인터페이스 전압(VIO)이 그 소스에 연결되고 상기 제5 엔모스 트랜지스터의 드레인이 그 게이트에 연결되고 상기 제6 엔모스 트랜지스터의 드레인이 그 드레인에 연결되는 제6 피모스 트랜지스터(58); 및

상기 인터페이스 전압(VIO)에 의해 구동되고 상기 제5 엔모스 트랜지스터의 드레인이 그 입력 단자에 연결되는 제7인버터(60); 및

상기 제7인버터의 출력을 반전시키는 제8인버터(61)를 구비하는 것을 특징으로 하는 비동기식 이퓨즈 OTP 메모

리 장치.

청구항 7

제 4항에 있어서, 상기 비트라인 감지증폭회로는,

프리차아지신호(PRECHARGE)를 입력하는 제9인버터(71);

상기 로직전압(VDD)이 그 소스에 연결되고 상기 제9인버터의 출력이 그 게이트에 연결되고 상기 비트라인(BL)이 그 드레인에 연결되는 제7 피모스 트랜지스터(72);

상기 로직전압(VDD)이 그 소스에 연결되고 비트(BL)이 그 드레인에 연결되며 반전된 비트라인 로드신호(BL_LOADb)가 그 게이트에 연결되는 제8 피모스 트랜지스터(73);

반전된 센싱 인에이블 신호(SAENb)를 입력하는 제10인버터(74);

상기 로직전압(VDD)이 그 소스에 연결되고 상기 비트라인(BL)이 그 게이트에 연결되는 제9 피모스 트랜지스터(75);

상기 제9 피모스 트랜지스터의 드레인이 그 소스에 연결되고 반전된 센싱 인에이블 신호(SAENb)가 그 게이트에 연결되는 제10 피모스 트랜지스터(76);

상기 제10 피모스 트랜지스터(76)의 드레인이 그 드레인에 연결되고 상기 제10 인버터의 출력이 그 게이트에 연결되는 제7 엔모스 트랜지스터(77);

상기 제7 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 접지전압(VSS)이 그 소스에 연결되며 상기 비트라인(BL)이 그 게이트에 연결되는 제8 엔모스 트랜지스터(78); 및

상기 제7 엔모스 트랜지스터의 드레인을 래치하여 비트라인 감지 증폭 회로의 출력포트로 출력하는 래치(79)를 구비하는 것을 특징으로 하는 비동기식 이퓨즈 OTP 메모리 장치.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 OTP 메모리 셀 및 OTP 메모리 장치에 관한 것으로, 특히 비트라인과 워드라인에 기생하는 커패시턴스를 줄여 동작전류를 감소시킴으로써 저전력의 장치를 구현하기 위해 이퓨즈(e-fuse) 셀에 큰 채널 폭을 갖는 프로그램 모드용 트랜지스터와 작은 채널 폭을 갖는 독출 모드용 트랜지스터를 구비한 비동기식 이퓨즈 OTP 메모리 셀 및 비동기식 이퓨즈 OTP 메모리 장치에 관한 것이다.

배 경 기 술

[0002] 일반적으로 주제어장치(MCU), 전원 집적회로(Power IC), 디스플레이 구동 칩, 씨모스(CMOS) 이미지 센서 등에는 프로그램 메모리로 EPROM, EEPROM, 플래시 메모리와 같은 비휘발성 메모리가 사용된다.

[0003] 그러나 이들 비휘발성 메모리는 긴 공정 시간(Turn-Around Time:TAT), 복잡도의 증가, 낮은 신뢰성 및 높은 제조 비용을 유발하는 부가적인 공정을 필요로 한다. 따라서 추가 공정이 필요 없는 이퓨즈(e-fuse)나 안티퓨즈(antifuse) 방식의 로직 공정 기반 설계가 가능한 OTP (One-Time Programmable) 메모리 장치가 많이 사용되고 있다.

[0004] 안티퓨즈 방식의 OTP 메모리 셀은 얇은 게이트 산화막 (gate oxide)에 항복전압 (breakdown voltage)보다 높은 전압을 인가하여 전기적으로 단락시켜 프로그램하게 된다. 안티퓨즈 OTP 메모리 장치는 프로그램 전압이 5.5V~8.5V이므로 로직 트랜지스터와 5V의 중간전압(Medium Voltage;MV) 트랜지스터를 필요로 한다.

[0005] 그런데 로직 트랜지스터와 3.3V의 중간전압의 트랜지스터만 제공하는 공정에서는 프로그램 전압에서 3.3V의 트랜지스터가 견딜 수 없으므로 안티퓨즈 OTP는 부적합하다. 반면 이퓨즈(electrical Fuse:e-fuse) OTP 셀은 폴리실리콘 게이트에 10mA~20mA 정도의 과전류를 흘려 이퓨즈(e-fuse)를 블로잉(blowing)하여 퓨즈를 선택적으로 끊

어준다. 이퓨즈(e-fuse)의 경우는 3.3V 트랜지스터로 프로그램이 가능하다.

[0006] 도 1은 종래의 이퓨즈 셀을 나타내는 회로도이다.

[0007] 도 1에 도시된 바와 같이 종래의 이퓨즈 셀(100)은 이퓨즈 소자(110)와 NMOS 트랜지스터(120)로 구성되어 있으며, 프로그램 이전에 이퓨즈 소자의 저항은 50~100Ω 정도이다. 이퓨즈를 블로잉(blowing)하는 경우 비트라인(Bit-Line:BL)과 워드라인(Word-Line:WL)에 I/O 인터페이스 전압인 VIO (=3.3V) 전압을 인가하면 이퓨즈 소자(110)와 NMOS 트랜지스터(120)을 통해 프로그램 전류가 흐르면서 이퓨즈 소자(110)의 저항은 수 100kΩ 이상이 된다. 이와 같이 이퓨즈 소자(110)는 전도상태 (conductive state)와 고저항 상태 (highly resistive state) 중 하나로 프로그램 된다.

[0008] 그런데 종래의 이퓨즈 셀은 도 1에 도시된 NMOS 트랜지스터인 MN0에 의해 프로그램 동작과 독출 동작이 이루어지므로 프로그램 전류를 만족하기 위해서는 NMOS 트랜지스터의 채널 폭 (channel width)이 커야 한다. 또한 비트라인(BL)에 기생하는 저항을 줄여 프로그램 전압을 낮추기 위해서는 비트라인(BL)의 메탈 폭 (metal width)이 커야 한다.

[0009] 그러나 이러한 경우에는 워드라인(WL)과 비트라인(BL)의 기생 커패시턴스가 증가하므로 독출 모드에서의 스위칭에 의한 동작 전류가 증가하는 문제점이 있었다.

발명의 내용

해결 하고자하는 과제

[0010] 본 발명의 목적은, OTP 메모리 셀 어레이가 차지하는 면적을 줄이고 워드라인과 비트라인의 기생커패시턴스를 줄일 수 있는 비동기식 이퓨즈 OTP 메모리 셀을 제공하는데 있다.

[0011] 본 발명의 다른 목적은 상기 비동기식 이퓨즈 OTP 메모리 셀로 구성되는 OTP 메모리 셀 어레이를 포함하는 비동기식 이퓨즈 OTP 메모리 장치를 제공하는데 있다.

과제 해결수단

[0012] 상기 목적을 달성하기 위하여, 본 발명에 따른 비동기식 이퓨즈 OTP 메모리 셀은, 제1단자가 접지전압에 연결되고 프로그램 워드라인 신호(WWL)가 그 게이트에 인가되는 제1엔모스 트랜지스터, 제1단자가 비트라인(BL)에 연결되고 제2단자가 상기 제1엔모스 트랜지스터의 제2단자에 연결되고 독출 워드라인 신호(RWL)가 그 게이트에 인가되는 제2엔모스 트랜지스터 및 제1단자가 소스라인(SL)에 연결되고 제2단자가 상기 제1엔모스 트랜지스터의 제2단자 및 상기 제2엔모스 트랜지스터의 제2단자에 공통으로 연결되는 이퓨즈 소자(330);를 구비하는 것을 특징으로 한다.

[0013] 상기 다른 목적을 달성하기 위하여, 본 발명에 따른 비동기식 이퓨즈 OTP 메모리 장치는, 적어도 둘 이상의 소스 라인, 적어도 둘 이상의 비트라인, 적어도 둘 이상의 프로그램 워드라인, 적어도 둘 이상의 독출 워드라인에 각각 연결되는 적어도 둘 이상의 비동기식 이퓨즈 OTP 메모리 셀들이 배치되는 이퓨즈 OTP 메모리 셀 어레이, 상기 이퓨즈(e-fuse) OTP 메모리 장치의 프로그램 모드 또는 독출 모드 등의 동작을 지시하는 모드제어신호들을 발생시키는 제어부, 상기 모드제어신호에 응답하여 로직전압(VDD) 또는 인터페이스 전압(VIO)을 상기 이퓨즈 OTP 메모리 셀 어레이에 공급하는 전원 스위치 회로, 로우 어드레스신호를 디코딩하는 로우 디코더, 상기 모드제어신호 및 디코딩된 로우 어드레스 신호에 응답하여 상기 적어도 둘 이상의 프로그램 워드라인 및 적어도 둘 이상의 독출 워드라인을 구동하는 워드라인 구동회로 칼럼 어드레스신호를 디코딩하는 칼럼 디코더, 상기 모드제어신호 및 데이터 입력신호에 응답하여 해당 소스라인을 구동하는 소스라인 구동회로 및 상기 모드 제어 신호에 응답하여 비트라인을 감지 증폭하는 비트라인 감지증폭회로를 구비하는 것을 특징으로 한다.

효 과

[0014] 본 발명에 따른 비동기식 이퓨즈 OTP 메모리 장치에 의하면, 독출 모드에서 워드라인과 비트라인의 기생 커패시턴스를 줄여 독출 모드의 동작전류를 감소시킬 수 있는 효과가 있다.

[0015] 또한 비동기식 인터페이스 방식과 분리된 I/O 방식을 사용함으로써 저면적의 메모리 장치를 구현할 수 있다는 장점이 있다.

발명의 실시를 위한 구체적인 내용

[0016] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시 예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

[0017] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다.

[0018] 도 2는 본 발명의 일실시예에 따른 비동기식 이퓨즈 OTP 메모리 장치의 블록 다이어그램을 설명하는 도면이다.

[0019] 도 2를 참조하면, 본 발명의 일실시예에 따른 비동기식 이퓨즈 OTP 메모리 장치(200)는, 128 rows x 9 columns x 1Kb의 이퓨즈 OTP 메모리 셀 어레이(210), 제어부(220), 전원스위치회로(230), 로우 디코더(240), 워드라인 구동회로(250), 칼럼 디코더(260), 소스라인 구동회로(270) 및 비트라인 감지증폭회로(280)를 구비한다

[0020] 상기 이퓨즈 OTP 메모리 셀 어레이(210)는 적어도 둘 이상의 소스 라인, 적어도 둘 이상의 비트라인, 적어도 둘 이상의 프로그램 워드 라인, 적어도 둘 이상의 독출 워드 라인 및 적어도 둘 이상의 소스라인 스위치 인에이블 신호 라인에 각각 연결되는 적어도 둘 이상의 비동기식 이퓨즈 OTP 메모리 셀들이 배치된다.

[0021] 상기 제어부(220)는 제어신호(PGM, READ)에 따라 상기 비동기식 이퓨즈 OTP 메모리 장치(200)의 프로그램 모드와 독출 모드 및 대기모드 등의 동작을 지시하는 모드제어신호들(GPM_ENb, WWL, RWL, RD_EN...)을 생성한다.

[0022] 상기 전원 스위치 회로(230)는 상기 모드제어신호에 응답하여 동작 모드에 따라 로직전압(VDD) 또는 인터페이스 전압(VIO)을 스위칭하여 상기 이퓨즈 OTP 메모리 셀 어레이(210)에 공급한다.

[0023] 상기 로우 디코더(440)는 로우 어드레스신호(RA[6:0])를 디코딩하여 디코딩된 로우 어드레스 신호들을 생성한다.

[0024] 상기 워드라인 구동회로(250)는 상기 모드제어신호 중 워드라인 인에이블 프로그램 신호(WLEN_PGM), 워드라인 인에이블 독출 신호(WLEN_RD) 및 디코딩된 로우 어드레스 신호에 응답하여 상기 적어도 둘 이상의 프로그램 워드라인 신호(WWL) 및 적어도 둘 이상의 독출 워드라인 신호(RWL)를 구동한다.

[0025] 상기 칼럼 디코더(260)는 칼럼 어드레스신호(CA[2:0])를 디코딩하여 디코딩된 칼럼 어드레스 신호(WY)들을 생성한다.

[0026] 상기 소스라인 구동회로(270)는 상기 모드제어신호 중 내부 프로그램 신호(IPGM) 및 데이터 입력신호(WD)에 응답하여 해당 소스라인을 구동한다.

[0027] 상기 비트라인 감지증폭회로(280)는 독출 모드에서 OTP 셀의 이퓨즈를 프로그램 하였는지의 여부에 따라 비트라인(BL) 전압을 센싱하여 출력포트로 디지털 데이터를 출력한다.

[0028] 본 발명에 따른 비동기식 이퓨즈 OTP 메모리 장치의 주요 특징은 표 1과 같다.

표 1

[0029]

항목		주요 특징
공정		DBH 0.18㎛ Generic
메모리 용량		1Kb (128행 × 8열)
전원 전압	VDD	1.8V
	VIO	3.3V
온도		-40~125℃
동작 모드		프로그램/독출/대기 모드
Program bit/Read bit		1b/8b (분리된 I/O)
Access Time		200ns

[0030] 도 3a는 본 발명의 일실시예에 따른 비동기식 이퓨즈 OTP 메모리 셀을 나타내는 회로도이다.

[0031] 도 3a에 도시된 바와 같이 본 발명의 일실시예에 따른 비동기식 이퓨즈 OTP 메모리 셀은, 제1NMOS 트랜지스터(310), 제2NMOS 트랜지스터(320) 및 이퓨즈 소자(330)를 구비한다.

[0032] 상기 제1NMOS 트랜지스터(310)는 제1단자가 접지전압(VSS)에 연결되고, 프로그램 워드라인 신호(WWL)가 그 게이트에 인가된다. 상기 제1NMOS 트랜지스터(310)는 큰 채널 폭을 가지며 프로그램 모드용으로 사용된다.

[0033] 상기 제2NMOS 트랜지스터(320)는 제1단자가 비트라인(BL)에 연결되고, 제2단자는 상기 제1NMOS 트랜지스터(310)의 제2단자에 연결되고, 독출 워드라인 신호(RWL)가 그 게이트에 인가된다. 상기 제2NMOS 트랜지스터(320)는

작은 채널 폭을 가지며 독출 모드용으로 사용된다.

[0034] 상기 이퓨즈 소자(330)는 제1 단자가 소스라인(SL)에 연결되고 제2단자가 상기 제1NMOS 트랜지스터(310)의 제2 단자 및 상기 제2NMOS 트랜지스터(320)의 제2단자에 공통으로 연결된다. 상기 이퓨즈 소자(330)는 프로그램전에 50옴(Ω) 내지 100옴(Ω) 정도의 저항을 갖는다.

[0035] 도 3b는 본 발명의 일실시예에 따른 비동기식 이퓨즈 OTP 메모리 셀의 레이아웃을 나타내는 사진이며, 도 3c는 본 발명의 일실시예에 따른 비동기식 이퓨즈 OTP 메모리 셀 어레이의 회로도이다.

[0036] 도 3c에는 일 실시예로 128행 x 8열로 이루어진 이퓨즈 OTP 메모리 셀 어레이가 도시되어 있다.

[0037] 표 2는 본 발명에 따른 비동기식 이퓨즈 OTP 메모리 셀의 동작 모드에 따른 노드별 바이어스 전압(Bias voltage) 조건을 보여준다.

표 2

[0038]

	프로그램 모드		독출 모드	
WWL	VIO		0	
RWL	0		VDD	
DIN	0	1	×	×
SL	0	VIO	0	0
BL	Floating	Floating	0	VDD
DOUT	×	×	0	1
이퓨즈(e-fuse)	Broken	Unbroken	Unblown	Blown

[0039] 표 2를 참고하면, 프로그램모드에서 선택된 프로그램 워드라인(WWL)은 VIO로 활성화된다. 이때 선택되지 않은 프로그램 워드라인(WWL)은 0V를 유지하므로 OTP 셀의 이퓨즈 소자(310)는 비트라인(BL)으로부터 격리(Floating)된다.

[0040] 프로그램 모드에서 이퓨즈 OTP 셀을 프로그램하기 위해서는 입력포트(DIN)에 VDD를 인가하고 프로그램신호(PGM)에 펄스를 인가하면 소스라인(SL)과 프로그램 워드라인(WWL)에 VIO의 전압이 인가되면서 이퓨즈(330)와 제1NMOS 트랜지스터(310)를 통해 프로그램 전류가 흐른다. 이렇게 하면 이퓨즈 소자(330)는 프로그램되고 이퓨즈 소자(330)의 저항은 수백kΩ 이상이 된다.

[0041] 만약 프로그램 되지 않는 셀인 경우 입력포트(DIN)에는 0V를 인가하고 소스라인(SL)은 0V를 유지하기 때문에 이퓨즈 소자(330)의 저항은 변화가 없다. 본 발명에 따른 이퓨즈 OTP 메모리 장치에서 입력포트(DIN)에 로직 '1'이 인가된 경우에는 이퓨즈 OTP 메모리 셀이 프로그램되고, 입력포트(DIN)에 로직 '0'이 인가된 경우에는 이퓨즈 OTP 메모리 셀이 프로그램되지 않는다.

[0042] 한편 독출 모드에서는 비트라인(BL)을 로직전압(VDD)으로 프리차지 (precharge)시킨 뒤 로우 어드레스신호(RA[6:0])의 디코딩된 신호에 의해 128개의 독출 워드라인(RWL) 중 하나의 독출 워드라인(RWL)만 로직전압(VDD)으로 활성화된다.

[0043] 만약 이퓨즈 소자가 프로그램 되지 않은 셀의 경우 도 3a의 제2 NMOS 트랜지스터(320)와 이퓨즈 소자(330)를 통해 전류 경로가 제공되어 비트라인(BL)은 0V로 방전되며, 출력포트(DOUT)에는 로직 '0'이 출력된다.

[0044] 한편 프로그램된 셀은 이퓨즈 소자(330)가 고저항상태 (highly resistive state)에 있으며, 비트라인(BL) 전압은 로직전압(VDD)으로 프리차징된 상태를 유지하므로 출력포트(DOUT)에는 로직 '1'이 출력된다.

[0045] 본 발명에서는 저전력, 저면적의 이퓨즈 OTP 메모리 장치를 구현하기 위해 비동기식 인터페이스 및 입력포트와 출력포트를 분리하여 사용하는 분리된 I/O 방식을 사용하였다.

[0046] 도 4a는 본 발명에 따른 비동기식 이퓨즈 OTP 메모리 장치의 프로그램 모드에서의 타이밍 다이어그램이고, 도 4b는 본 발명에 따른 비동기식 이퓨즈 OTP 메모리 장치의 독출 모드에서의 타이밍 다이어그램이다.

[0047] 도 4a에 도시된 바와 같이 프로그램 모드에서는 어드레스와 입력포트(DIN)의 데이터를 먼저 인가한 상태에서 프로그램신호(PGM)가 하이(high)로 활성화 되면 선택되는 OTP 메모리 셀에 한 비트의 데이터입력신호를 입력포트(DIN)를 통해 프로그램하게 된다.

[0048] 도 4b에 도시된 바와 같이 독출 모드에서는 읽어낼 어드레스를 먼저 인가한 후 독출신호(READ)를 하이(high)로 활성화시키면 선택된 셀의 바이트 데이터가 액세스시간(Access Time)이 지난 이후 출력포트(DOUT)로 출력된다.

이때 프로그램신호(PGM)는 로우(low) 상태를 유지한다.

[0049] 도 5는 도 2의 비동기식 이퓨즈 OTP 메모리 장치의 워드라인 구동회로를 나타내는 도면이다.

[0050] 도 5를 참고하면, 본 발명의 일실시예에 따른 이퓨즈 OTP 메모리 장치의 워드라인 구동회로(250)는, 로우 어드레스 신호(RA210, RA543)를 입력하는 제1 낸드게이트(21), 워드라인 인에이블 프로그램 신호(WLEN_PGM) 및 반전된 워드라인 인에이블 프로그램 신호(WLENb_PGM)에 응답하여 상기 제1 낸드게이트(41)의 출력을 전달하는 제1 전송 게이트(22), 로직전압(VDD)이 그 소스에 연결되고 상기 워드라인 인에이블 프로그램 신호(WLEN_PGM)가 그 게이트에 연결되며 상기 제1 전송 게이트(22)의 출력이 그 드레인에 연결되는 제1 피모스 트랜지스터(23), 상기 제1 전송 게이트(22)의 출력을 입력하는 제2 인버터(24), 접지전압(VSS)이 그 소스에 연결되고 상기 제1 전송 게이트(22)의 출력이 그 게이트에 연결되는 제3 엔모스 트랜지스터(25), 접지전압(VSS)이 그 소스에 연결되고 상기 제2 인버터(24)의 출력이 그 게이트에 연결되는 제4 엔모스 트랜지스터(26), 인터페이스 전압(VIO)이 그 소스에 연결되고 상기 제4 엔모스 트랜지스터(26)의 드레인이 그 게이트에 연결되고 상기 제3 엔모스 트랜지스터(25)의 드레인이 그 드레인에 연결되는 제2 피모스 트랜지스터(27), 상기 인터페이스 전압(VIO)이 그 소스에 연결되고 상기 제3 엔모스 트랜지스터(25)의 드레인이 그 게이트에 연결되고 상기 제4 엔모스 트랜지스터(26)의 드레인이 그 드레인에 연결되는 제3 피모스 트랜지스터(28), 상기 인터페이스 전압(VIO)에 의해 구동되고 상기 제3 엔모스 트랜지스터(25)의 드레인이 그 입력 단자에 연결되고 반전된 프로그램 워드라인 신호(WWLb)가 그 출력 단자에 연결되는 제3 인버터(29) 및 상기 제1 낸드게이트(21)의 출력과 반전된 워드라인 인에이블 독출 신호(WLENb_RD)를 입력받고 독출 워드라인(RWL)이 그 출력단자에 연결되는 제1 노아게이트(30)를 구비한다.

[0051] 도 5에 도시된 바와 같이, 워드라인 구동회로(250)는 프로그램 모드로 진입하게 되면 로우 디코더(240)에서 디코딩된 신호(A6)에 의해 선택된 워드라인 인에이블 프로그램 신호(WLEN_PGM)와 반전된 워드라인 인에이블 프로그램 신호(WLENb_PGM)는 각각 로직 '1'과 로직 '0'으로 된다. 이 상태에서 로우 어드레스인 A[6:0]을 디코딩하여 선택되는 프로그램 워드라인(WWL)만 VIO로 구동되고 선택되지 않은 프로그램 워드라인(WWL)은 0V를 유지하도록 한다.

[0052] 도 6은 도 2의 비동기식 이퓨즈 OTP 메모리 장치의 소스라인 구동회로를 나타내는 도면이다

[0053] 도 6을 참조하면, 비동기식 이퓨즈 OTP 메모리 장치의 소스라인 구동회로(270)는, 상기 칼럼디코더에 의해 디코딩된 칼럼 어드레스 신호(WY) 및 데이터입력신호(WD)를 입력받는 제2 낸드게이트(50), 상기 제어부에 의해 생성된 내부 프로그램 신호(IPGM)를 입력받는 제4인버터(51), 상기 제4인버터(51)의 출력을 입력받는 제5인버터(52), 상기 내부 프로그램 신호(IPGM) 및 반전된 내부 프로그램 신호(IPGMb)에 응답하여 상기 제2 낸드게이트(50)의 출력을 전달하는 제2전송게이트(53), 제1 단자에 로직전압(VDD)이 연결되고 제2단자에 상기 제2전송게이트(53)의 출력이 연결되며 상기 내부 프로그램 신호(IPGM)가 그 게이트에 인가되는 제4 피모스 트랜지스터(54), 상기 제2전송게이트(53)의 출력을 입력하는 제6 인버터(59), 접지전압(VSS)이 그 소스에 연결되고 상기 제2전송게이트(53)의 출력이 그 게이트에 연결되는 제5 엔모스 트랜지스터(55), 접지전압(VSS)이 그 소스에 연결되고 상기 제6인버터(59)의 출력이 그 게이트에 연결되는 제6 엔모스 트랜지스터(56), 상기 인터페이스 전압(VIO)이 그 소스에 연결되고 상기 제6 엔모스 트랜지스터(56)의 드레인이 그 게이트에 연결되고 상기 제5 엔모스 트랜지스터(55)의 드레인이 그 드레인에 연결되는 제5 피모스 트랜지스터(57), 상기 인터페이스 전압(VIO)이 그 소스에 연결되고 상기 제5 엔모스 트랜지스터(55)의 드레인이 그 게이트에 연결되고 상기 제6 엔모스 트랜지스터(56)의 드레인이 그 드레인에 연결되는 제6 피모스 트랜지스터(58) 및 상기 인터페이스 전압(VIO)에 의해 구동되고 상기 제5 엔모스 트랜지스터(55)의 드레인이 그 입력 단자에 연결되는 제7인버터(60) 및 상기 제7인버터의 출력을 반전시키는 제8인버터(61)를 포함한다.

[0054] 소스라인 구동회로(270)는 프로그램 모드에서 이퓨즈 소자의 양극(anode)에 인터페이스 전압(VIO)을 공급한다. 입력포트(DIN)의 데이터입력신호(WD)가 로직 '1'인 경우에는 소스라인(SL)에 인터페이스 전압(VIO)을 공급하고, 입력포트(DIN)의 데이터입력신호(WD)가 로직 '0'인 경우에는 소스라인(SL)을 0V로 구동한다. 그리고 독출 모드에서는 내부 프로그램 신호(IPGM)가 로직 '0' 인 상태이므로 소스라인(SL)은 0V를 구동하도록 된다.

[0055] 도 7은 도 2의 비동기식 이퓨즈 OTP 메모리 장치의 비트라인 감지증폭회로를 나타내는 도면이다.

[0056] 도 7을 참고하면 본 발명에 따른 이퓨즈 OTP 메모리 장치의 비트라인 감지증폭회로(280)는, 프리차아지신호(PRECHARGE)를 입력하는 제9인버터(71), 상기 로직전압(VDD)이 그 소스에 연결되고 상기 제9인버터(71)의 출력이 그 게이트에 연결되고 상기 비트라인(BL)이 그 드레인에 연결되는 제7 피모스 트랜지스터(72), 상기 로직전압(VDD)이 그 소스에 연결되고 비트(BL)이 그 드레인에 연결되며 반전된 비트라인 로드신호(BL_LOADb)가 그 게

이트에 연결되는 제8 피모스 트랜지스터(73), 반전된 센싱 인에이블 신호(SAENb)를 입력하는 제10인버터(74), 상기 로직전압(VDD)이 그 소스에 연결되고 상기 비트라인(BL)이 그 게이트에 연결되는 제9 피모스 트랜지스터(75), 상기 제9 피모스 트랜지스터의 드레인이 그 소스에 연결되고 반전된 센싱 인에이블 신호(SAENb)가 그 게이트에 연결되는 제10 피모스 트랜지스터(76), 상기 제10 피모스 트랜지스터(76)의 드레인이 그 드레인에 연결되고 상기 제10 인버터의 출력이 그 게이트에 연결되는 제7 엔모스 트랜지스터(77), 상기 제7 엔모스 트랜지스터의 소스가 그 드레인에 연결되고 접지전압(VSS)이 그 소스에 연결되며 상기 비트라인(BL)이 그 게이트에 연결되는 제8 엔모스 트랜지스터(78) 및 상기 제7 엔모스 트랜지스터의 드레인을 래치하여 출력포트(DOUT)로 디지털 데이터를 출력하는 래치(79)를 구비한다.

[0057] 본 발명에 따른 이퓨즈 OTP 메모리 장치는 비트 단위로 프로그램 되고 바이트 단위로 독출 동작을 수행한다. 독출 모드에서는 독출 워드라인(RWL)이 활성화되기 이전에 짧은 펄스의 프리차아지 신호(PRECHARGE)에 의해 제7 피모스 트랜지스터(72)가 턴 온(turn on)되면서 비트라인(BL)은 로직전압(VDD)으로 프리차아지된다.

[0058] 독출 워드라인(RWL)이 활성화되면서 로직 '1'로 프로그램된 셀에 연결된 비트라인(BL)은 로직전압(VDD)을 유지하는 반면, 로직 '0'으로 프로그램된 셀은 이퓨즈 소자의 저항이 50~100Ω 정도이므로 비트라인(BL)을 0V로 방전시킨다.

[0059] 이퓨즈 OTP 메모리 셀의 데이터가 비트라인(BL)에 충분히 전달된 뒤 비트라인 감지증폭회로 인에이블 신호(Sense Amplifier Enable:SAENb)가 0V로 활성화되면 디지털 센싱 방식의 비트라인 감지 증폭회로(280)는 비트라인(BL)의 전압을 센싱하여 읽은 데이터를 출력포트(DOUT)로 출력한다.

[0060] 높은 임피던스를 갖는 PMOS 부하 트랜지스터인 제8 피모스 트랜지스터(73)는 독출 워드라인(RWL)이 선택되어 있는 동안 턴 온 되어 비트라인(BL)을 로직전압(VDD)으로 풀업(pull-up)시키는 부하(load)로 작용한다. 그래서 '1'의 데이터를 읽는 경우 선택된 셀에서 100kΩ 이상의 높은 저항을 갖는 이퓨즈 소자에 의해 로직전압(VDD)으로 프리차아지된 비트라인(BL)의 전압이 방전되지 않도록 한다.

[0061] 도 8a는 본 발명의 일실시예에 따른 비동기식 이퓨즈 OTP 메모리 장치의 독출 모드에서 '0'으로 프로그램된 셀의 시뮬레이션 결과를 나타내는 도면이고, 도 8b는 본 발명의 일실시예에 따른 비동기식 이퓨즈 OTP 메모리 장치의 독출 모드에서 '1'로 프로그램된 셀의 시뮬레이션 결과를 나타내는 도면이다.

[0062] 도 8a 및 도 8b에 도시된 바와 같이 독출신호(READ)가 들어오면 프리차아지 신호(PRECHARGE)에 의해 비트라인(BL)은 로직전압(VDD)으로 프리차아지 된다. 비트라인(BL)이 프리차아지 된 이후 독출워드라인(RWL)이 활성화되면서 셀의 데이터가 비트라인(BL)에 전달된다. 비트라인(BL)에 셀의 데이터가 충분히 전달되면 비트라인 감지증폭회로 인에이블 신호(SAENb)에 의해 비트라인 감지증폭회로(280)에 의해 비트라인(BL)의 디지털 데이터가 센싱되어 출력포트(DOUT)로 출력된다.

[0063] 한편 SPICE 모의실험 결과 본 발명에 따른 이퓨즈 OTP 메모리 장치의 독출 모드에서 동작 전류는 1.98V의 VDD, 3.6V의 VIO에서 각각 349.5㎂, 3.3㎂로 나왔다.

[0064] 도 9는 본 발명의 일실시예에 따른 비동기식 이퓨즈 OTP 메모리 장치의 레이아웃 도면이다.

[0065] 도 9를 참고하면 본 발명의 일실시예에 따른 비동기식 이퓨즈 OTP 메모리 장치의 레이아웃 면적은 300㎛ㅅ 557㎛ 임을 알 수 있다.

[0066] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

[0067] 도 1은 종래의 이퓨즈 OTP 셀을 나타내는 회로도이다.

[0068] 도 2는 본 발명에 따른 비동기식 이퓨즈 OTP 메모리 장치의 블록 다이어그램을 설명하는 도면이다.

[0069] 도 3a는 본 발명에 따른 비동기식 이퓨즈 OTP 메모리 셀을 나타내는 회로도이다.

[0070] 도 3b는 본 발명에 따른 비동기식 이퓨즈 OTP 메모리 셀의 레이아웃을 나타내는 사진이다.

[0071] 도 3c는 본 발명에 따른 비동기식 이퓨즈 OTP 메모리 셀 어레이를 나타내는 회로도이다.

[0072] 도 4a는 본 발명에 따른 비동기식 이퓨즈 OTP 메모리 장치의 프로그램 모드에서의 타이밍 다이어그램이다.

[0073] 도 4b는 본 발명에 따른 비동기식 이퓨즈 OTP 메모리 장치의 독출 모드에서의 타이밍 다이어그램이다.

[0074] 도 5는 도 2의 비동기식 이퓨즈 OTP 메모리 장치의 워드라인 구동회로를 나타내는 도면이다.

[0075] 도 6은 도 2의 비동기식 이퓨즈 OTP 메모리 장치의 소스라인 구동회로를 나타내는 도면이다.

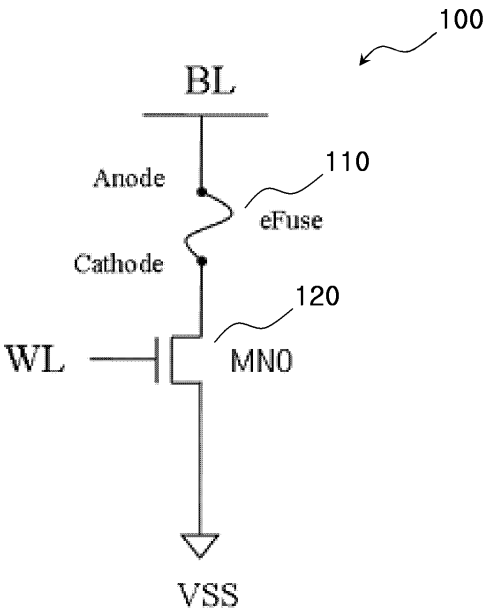
[0076] 도 7은 도 2의 비동기식 이퓨즈 OTP 메모리 장치의 비트라인 감지 증폭 회로를 나타내는 도면이다.

[0077] 도 8a 및 도 8b는 본 발명의 일실시예에 따른 비동기식 이퓨즈 OTP 메모리 장치의 독출 모드에서의 시뮬레이션 결과를 나타내는 도면이다.

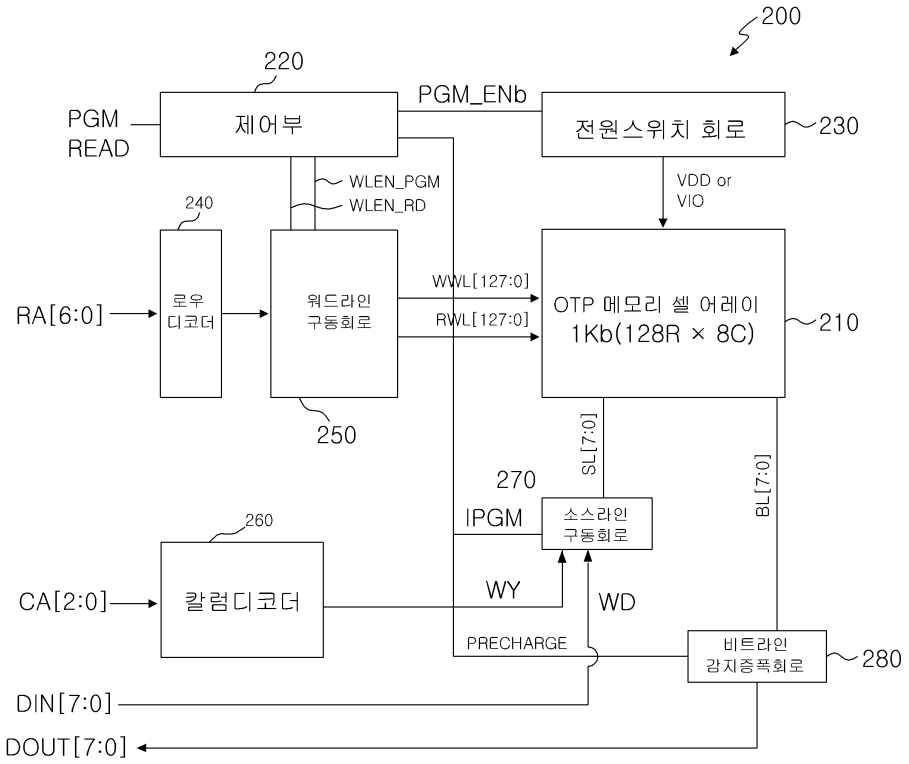
[0078] 도 9는 본 발명의 일실시예에 따른 비동기식 이퓨즈 OTP 메모리 장치의 레이아웃을 나타내는 사진이다.

도면

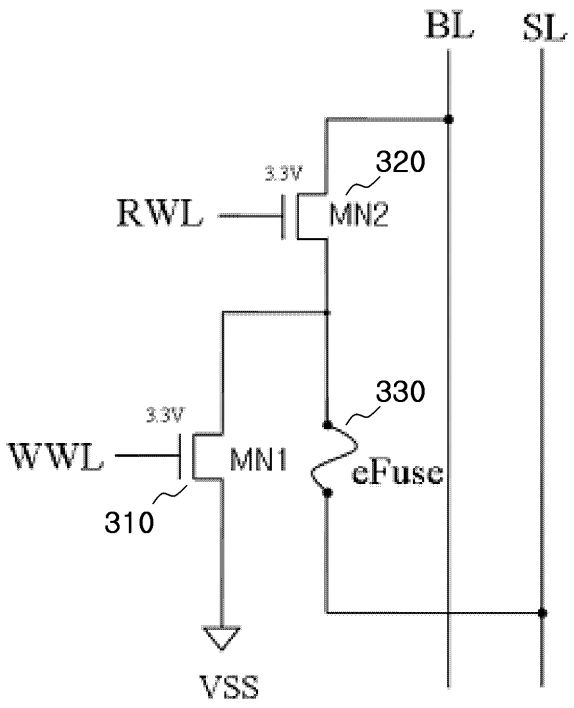
도면1



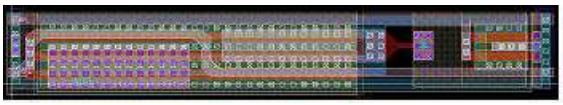
도면2


200
220
PGM
READ
제어부
PGM_ENb
전원스위치 회로
230
WLEN_PGM
WLEN_RD
VDD or
VIO
240
RA[6:0]
로우
디코더
워드라인
구동회로
WWL[127:0]
RWL[127:0]
OTP 메모리 셀 어레이
1Kb(128R × 8C)
210
250
SL[7:0]
BL[7:0]
270
IPGM
소스라인
구동회로
260
CA[2:0]
칼럼디코더
WY
WD
PRECHARGE
비트라인
감지증폭회로
280
DIN[7:0]
DOUT[7:0]

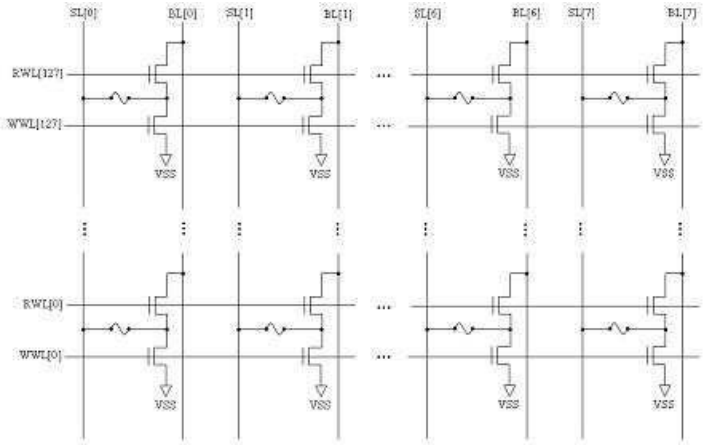
도면3a


BL
SL
3.3V
320
RWL
MN2
330
3.3V
WWL
MN1
eFuse
310
VSS

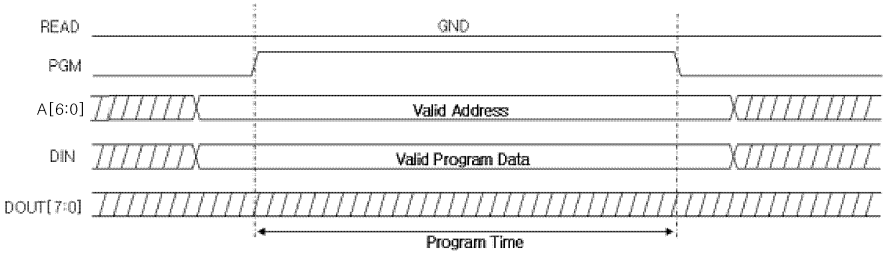
도면3b



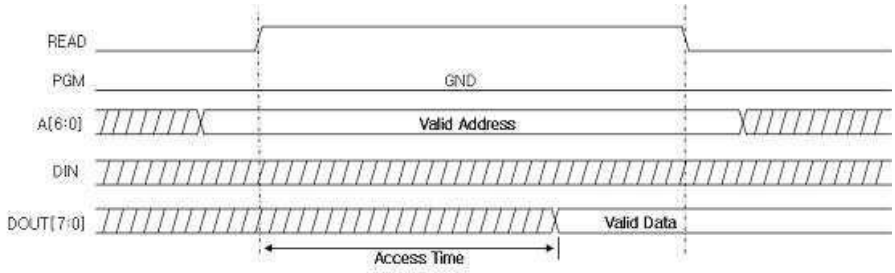
도면3c



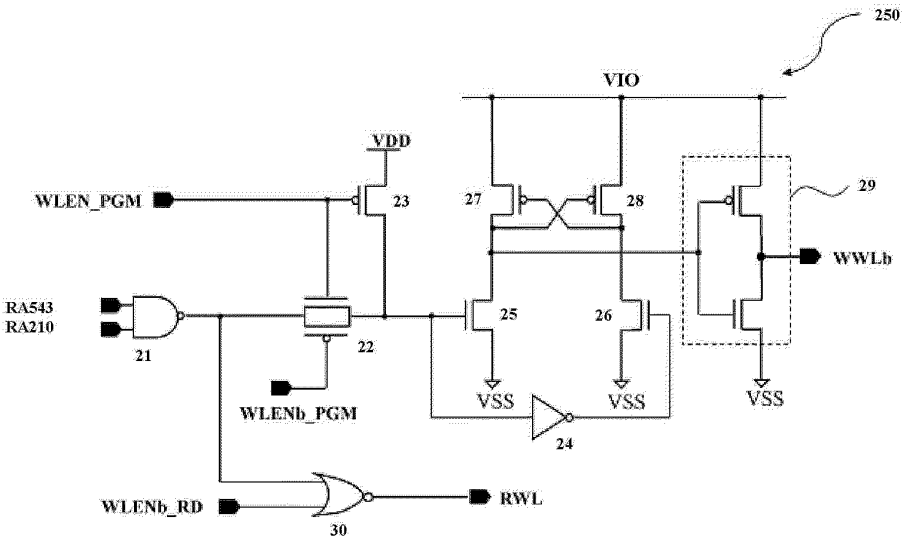
도면4a



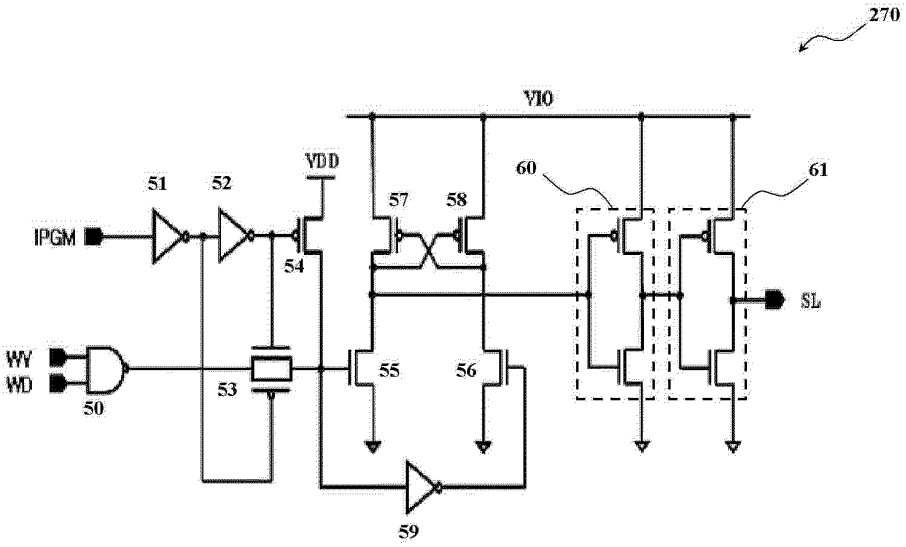
도면4b



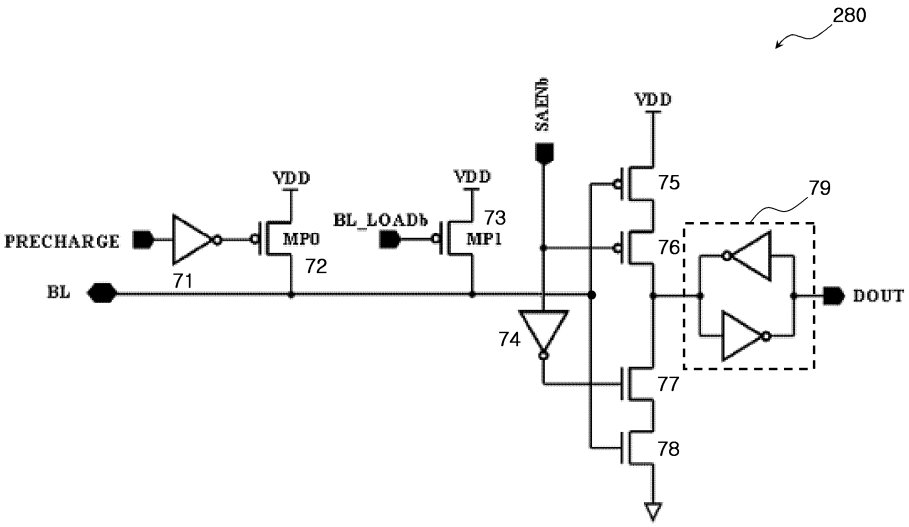
도면5


250
VIO
VDD
WLEN_PGM
23
27
28
29
WWLb
RA543
RA210
21
22
25
26
WLENb_PGM
VSS
VSS
VSS
24
WLENb_RD
30
RWL

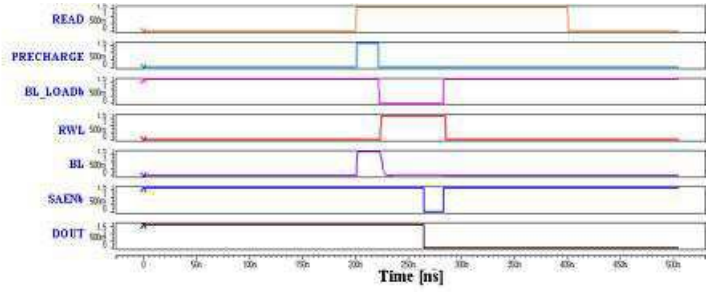
도면6


270
VIO
VDD
51
52
57
58
60
61
IPGM
54
SL
WY
WD
50
53
55
56
59

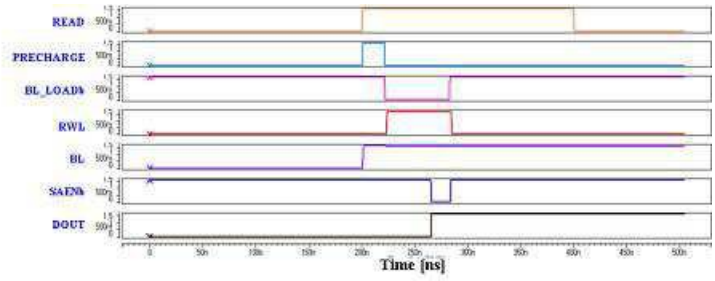
도면7



도면8a



도면8b



도면9

