

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5128822号
(P5128822)

(45) 発行日 平成25年1月23日 (2013. 1. 23)

(24) 登録日 平成24年11月9日 (2012. 11. 9)

(51) Int. Cl.

F I

G 0 9 G 3/36 (2006. 01)

G 0 2 F 1/133 (2006. 01)

G 0 9 G 3/20 (2006. 01)

G 0 9 G 3/36

G 0 2 F 1/133 5 5 0

G 0 2 F 1/133 5 2 0

G 0 2 F 1/133 5 7 5

G 0 9 G 3/20 6 4 2 E

請求項の数 8 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2007-3375 (P2007-3375)
 (22) 出願日 平成19年1月11日 (2007. 1. 11)
 (65) 公開番号 特開2008-170683 (P2008-170683A)
 (43) 公開日 平成20年7月24日 (2008. 7. 24)
 審査請求日 平成21年12月22日 (2009. 12. 22)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイイースト
 千葉県茂原市早野 3 3 0 0 番地
 (74) 代理人 100093506
 弁理士 小野寺 洋二
 (73) 特許権者 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町 1 - 6
 (74) 代理人 100093506
 弁理士 小野寺 洋二
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数の画素を有する表示パネルと前記表示パネルを駆動する駆動回路とを備え、
 前記駆動回路は、入力表示データに対応する階調電圧を生成して出力するための設定値を記憶するレジスタと、前記設定値に応じて基準階調電圧を生成する基準ラダー回路と、
 前記基準階調電圧をバッファリングして出力するバッファ回路と、前記基準階調電圧に基づいて階調電圧を生成する階調電圧用ラダー回路と、前記階調電圧の中から入力表示データに対応する階調電圧を選択して出力する出力制御回路とを有し、

前記基準ラダー回路は、可変抵抗と、前記可変抵抗に直列接続された固定抵抗と、前記固定抵抗に並列に接続されたスイッチとを備え、前記設定値に基づいて前記可変抵抗とス

イッチを制御することによって、コントラスト特性を制御する表示装置において、
 前記基準ラダー回路は、

基準高電圧源に接続した一端を有する第 1 の可変抵抗と、前記第 1 の可変抵抗に直列接続された第 1 の固定抵抗と、前記第 1 の固定抵抗と並列接続された第 1 のスイッチと、

前記第 1 の固定抵抗と直列接続された第 2 の可変抵抗と、前記第 2 の可変抵抗に直列接続された第 2 の固定抵抗、および前記第 2 の固定抵抗と並列接続された第 2 のスイッチと

、

前記第 2 の固定抵抗と直列接続された第 3 の可変抵抗と、前記第 3 の可変抵抗に直列接続された第 3 の固定抵抗、および前記第 3 の固定抵抗と並列接続された第 3 のスイッチと

、

前記第 3 の固定抵抗と直列接続された第 4 の可変抵抗と、前記第 4 の可変抵抗に直列接続された第 4 の固定抵抗、および前記第 4 の固定抵抗と並列接続された第 4 のスイッチと

、
前記第 4 の固定抵抗と直列接続された第 5 の可変抵抗と、前記第 5 の可変抵抗に直列接続された第 5 の固定抵抗、および前記第 5 の固定抵抗と並列接続された第 5 のスイッチと

、
前記第 5 の固定抵抗と直列接続された第 6 の可変抵抗と、前記第 6 の可変抵抗に直列接続された第 7 の可変抵抗、および前記第 7 の可変抵抗と直列接続された第 6 の固定抵抗と

、
前記第 6 の固定抵抗に直列接続された第 8 の可変抵抗と、

10

前記第 8 の可変抵抗と直列接続された第 9 の可変抵抗と、前記第 9 の可変抵抗に直列接続された第 7 の固定抵抗、および前記第 7 の固定抵抗と並列接続された第 6 のスイッチと

、
前記第 7 の固定抵抗と直列接続された第 10 の可変抵抗と、前記第 10 の可変抵抗に直列接続された第 8 の固定抵抗と、前記第 8 の固定抵抗と並列接続された第 7 のスイッチと

、
前記第 8 の固定抵抗と直列接続された第 11 の可変抵抗と、前記第 11 の可変抵抗に直列接続された第 9 の固定抵抗と、前記第 9 の固定抵抗と並列接続された第 8 のスイッチと

、
前記第 9 の固定抵抗と直列接続された第 12 の可変抵抗と、前記第 12 の可変抵抗に直列接続された第 10 の固定抵抗と、前記第 10 の固定抵抗と並列接続された第 9 のスイッチと、

20

前記第 10 の固定抵抗と直列接続された第 13 の可変抵抗と、前記第 13 の可変抵抗に直列接続された第 11 の固定抵抗と、前記第 11 の固定抵抗と並列接続された第 10 のスイッチと、

前記第 11 の固定抵抗と直列接続された第 14 の可変抵抗と、前記第 14 の可変抵抗に直列接続され、基準低電圧に一端を接続した第 12 の固定抵抗と、および、

第 1 の基準電圧は前記第 1 の可変抵抗と前記第 1 の固定抵抗の接続点から発生され、

第 2 の基準電圧は前記第 2 の可変抵抗と前記第 2 の固定抵抗の接続点から発生され、

第 3 の基準電圧は前記第 3 の可変抵抗と前記第 3 の固定抵抗の接続点から発生され、

30

第 4 の基準電圧は前記第 4 の可変抵抗と前記第 4 の固定抵抗の接続点から発生され、

第 5 の基準電圧は前記第 5 の可変抵抗と前記第 5 の固定抵抗の接続点から発生され、

第 6 の基準電圧は前記第 6 の可変抵抗と前記第 7 の可変抵抗の接続点から発生され、

第 7 の基準電圧は前記第 8 の可変抵抗と前記第 9 の可変抵抗の接続点から発生され、

第 8 の基準電圧は前記第 7 の固定抵抗と前記第 10 の可変抵抗の接続点から発生され、

第 9 の基準電圧は前記第 8 の固定抵抗と前記第 11 の可変抵抗の接続点から発生され、

第 10 の基準電圧は前記第 9 の固定抵抗と前記第 12 の可変抵抗の接続点から発生され

、
第 11 の基準電圧は前記第 10 の固定抵抗と前記第 13 の可変抵抗の接続点から発生され、

40

第 12 の基準電圧は前記第 11 の固定抵抗と前記第 14 の可変抵抗の接続点から発生され、

第 1 乃至第 5 のスイッチに第 1 の切り替え信号が入力され、第 6 乃至第 10 のスイッチに第 1 の切り替え信号に対して反転した第 2 の切り替え信号が入力されることを特徴とする表示装置。

【請求項 2】

複数の画素を有する表示パネルと前記表示パネルを駆動する駆動回路とを備え、

前記駆動回路は、入力表示データに対応する階調電圧を生成して出力するための設定値を記憶するレジスタと、前記設定値に応じて基準階調電圧を生成する基準ラダー回路と、前記基準階調電圧をバッファリングして出力するバッファ回路と、前記基準階調電圧に基

50

づいて階調電圧を生成する階調電圧用ラダー回路と、前記階調電圧の中から入力表示データに対応する階調電圧を選択して出力する出力制御回路とを有し、

前記基準ラダー回路は、可変抵抗と、前記可変抵抗に直列接続された固定抵抗と、前記固定抵抗に並列に接続されたスイッチとを備え、前記設定値に基づいて前記可変抵抗とスイッチを制御することによって、コントラスト特性を制御する表示装置において、

前記基準ラダー回路は、

基準高電圧源に接続した一端を有する第1の可変抵抗と、前記第1の可変抵抗に直列接続された第1の固定抵抗と、前記第1の固定抵抗と並列接続された第1のスイッチと、

前記第1の固定抵抗と直列接続された第2の可変抵抗と、前記第2の可変抵抗に直列接続された第2の固定抵抗、および前記第2の固定抵抗と並列接続された第2のスイッチと

10

、
前記第2の固定抵抗と直列接続された第3の可変抵抗と、前記第3の可変抵抗に直列接続された第3の固定抵抗、および前記第3の固定抵抗と並列接続された第3のスイッチと

、
前記第3の固定抵抗と直列接続された第4の可変抵抗と、前記第4の可変抵抗に直列接続された第4の固定抵抗、および前記第4の固定抵抗と並列接続された第4のスイッチと

、
前記第4の固定抵抗と直列接続された第5の可変抵抗と、前記第5の可変抵抗に直列接続された第5の固定抵抗、および前記第5の固定抵抗と並列接続された第5のスイッチと

20

、
前記第5の固定抵抗と直列接続された第6の可変抵抗と、

前記第6の可変抵抗と直列接続された第7の可変抵抗と、前記第7の可変抵抗と直列接続された第6の固定抵抗と、前記第6の固定抵抗と並列接続された第6のスイッチと、

前記第6の固定抵抗と直列接続された第8の可変抵抗と、

前記第8の可変抵抗と直列接続された第9の可変抵抗と、前記第9の可変抵抗と直列接続された第7の固定抵抗と、前記第7の固定抵抗と並列接続された第7のスイッチと、

前記第7の固定抵抗と直列接続された第10の可変抵抗と、前記第10の可変抵抗と直列接続された第8の固定抵抗と、前記第8の固定抵抗と並列接続された第8のスイッチと

、
前記第8の固定抵抗と直列接続された第11の可変抵抗と、前記第11の可変抵抗と直列接続された第9の固定抵抗と、前記第9の固定抵抗と並列接続された第9のスイッチと

30

、
前記第9の固定抵抗と直列接続された第12の可変抵抗と、前記第12の可変抵抗と直列接続された第10の固定抵抗と、前記第10の固定抵抗と並列接続された第10のスイッチと、

前記第10の固定抵抗と直列接続された第13の可変抵抗と、前記第13の可変抵抗と直列接続された第11の固定抵抗と、前記第11の固定抵抗と並列接続された第11のスイッチと、

前記第11の固定抵抗と直列接続された第14の可変抵抗と、前記第14の可変抵抗に直列接続され、基準低電圧に一端を接続した第12の固定抵抗と、および、

40

第1の基準電圧は前記第1の可変抵抗と前記第1の固定抵抗の接続点から発生され、

第2の基準電圧は前記第2の可変抵抗と前記第2の固定抵抗の接続点から発生され、

第3の基準電圧は前記第3の可変抵抗と前記第3の固定抵抗の接続点から発生され、

第4の基準電圧は前記第4の可変抵抗と前記第4の固定抵抗の接続点から発生され、

第5の基準電圧は前記第5の可変抵抗と前記第5の固定抵抗の接続点から発生され、

第6の基準電圧は前記第6の可変抵抗と前記第7の可変抵抗の接続点から発生され、

第7の基準電圧は前記第8の可変抵抗と前記第9の可変抵抗の接続点から発生され、

第8の基準電圧は前記第7の固定抵抗と前記第10の可変抵抗の接続点から発生され、

第9の基準電圧は前記第8の固定抵抗と前記第11の可変抵抗の接続点から発生され、

第10の基準電圧は前記第9の固定抵抗と前記第12の可変抵抗の接続点から発生され

50

第 1 1 の基準電圧は前記第 1 0 の固定抵抗と前記第 1 3 の可変抵抗の接続点から発生され、

第 1 2 の基準電圧は前記第 1 1 の固定抵抗と前記第 1 4 の可変抵抗の接続点から発生され、第 1 乃至第 1 1 のスイッチに同一の切り替え信号が入力されることを特徴とする表示装置。

【請求項 3】

請求項 1 に記載の表示装置において、

前記基準ラダー回路は、正極性の階調電圧を発生する正極性ラダー回路と、負極性の階調電圧を発生する負極性ラダー回路とを含むことを特徴とする表示装置。

10

【請求項 4】

請求項 1 に記載の表示装置において、

前記基準ラダー回路の可変抵抗は、前記入力表示データの最大階調値と最小階調値に従って制御されることを特徴とする表示装置。

【請求項 5】

請求項 1 に記載の表示装置において、

前記基準ラダー回路は、通常表示のための正極性および負極性ラダー回路と、コントラスト強調のための正極性および負極性ラダー回路を含むことを特徴とする表示装置。

【請求項 6】

請求項 2 に記載の表示装置において、

前記基準ラダー回路は、正極性の階調電圧を発生する正極性ラダー回路と、負極性の階調電圧を発生する負極性ラダー回路とを含むことを特徴とする表示装置。

20

【請求項 7】

請求項 2 に記載の表示装置において、

前記基準ラダー回路の可変抵抗は、前記入力表示データの最大階調値と最小階調値に従って制御されることを特徴とする表示装置。

【請求項 8】

請求項 2 に記載の表示装置において、

前記基準ラダー回路は、通常表示のための正極性および負極性ラダー回路と、コントラスト強調のための正極性および負極性ラダー回路を含むことを特徴とする表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、特に、液晶表示装置に係わり、画像を表示した際のコントラストを向上させる表示装置に関するものである。

【背景技術】

【0002】

40

液晶表示装置などのアクティブマトリクス型表示装置は、薄型、高精細、低消費電力といった特徴から携帯電話機や携帯情報端末などのモバイル機器における表示装置として広く利用されている。特に、携帯電話機では高機能化が進み、ワンセグメント放送や、録画した動画の再生、ゲームを含むアプリケーションなどで動画像を使用する場面が増加した。このような動画像を表示する際に、コントラストを向上させることで、高品位な画像が得られる。

【0003】

このようなコントラストの向上について、下記特許文献 1 には、ルックアップテーブル（以下「LUT」という。）を用いて、コントラストを強調することが記載されている。

【特許文献 1】特開 2006-24176 号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0004】

LUT方式で、コントラストを強調する際には、階調数に応じたLUT、例えば、階調数が256階調で階調データが8ビットであれば「256階調×8ビット＝2048ビット」サイズのLUTが必要となりコストの増大が懸念される。

【0005】

また、LUT方式ではなく、階調電圧生成回路において、正極用と負極用の階調電圧を生成して、この階調電圧を切り替えて、液晶表示装置に出力する現行方式がある。しかし、この現行方式での階調電圧生成回路は、例えば、基準電圧を抵抗分圧することで、階調電圧を生成するため、抵抗分圧でドロップする電圧を V_d とした場合、例えば、基準電圧を V_0 とすると、 V_1 の階調電圧は $V_1 = V_0 - V_d$ の関係となり、その他の階調電圧（ $V_2 \sim V_{63}$ ）においても同様な関係となる。したがって、各階調電圧（ $V_1 \sim V_{63}$ ）は全て異なり、いずれかの階調電圧（ $V_1 \sim V_{63}$ ）を同じにすることができない。

【課題を解決するための手段】

【0006】

本発明は、階調電圧を生成する抵抗ラダー回路にてコントラスト特性を制御することを特徴とする。すなわち、抵抗ラダー回路にて階調電圧を生成する場合、階調間の抵抗を任意にパスして、抵抗分圧しないことで、同一電圧の階調電圧を生成する。

【0007】

したがって、LUT方式と同様のコントラスト特性を得ることができるため、抵抗ラダー回路を制御するためのパラメータを格納するために必要なレジスタ以外には、容量の大きなLUTが不要となることを特徴とする。

【発明の効果】

【0008】

以上、本発明によれば、LUTを使用しないで、コントラスト特性を制御できるので、低コストの表示装置が実現可能となる。また、本発明では、表示装置のサイズを問わず利用可能であるが、特に、コストや回路面積の制約が厳しい携帯電話機及び携帯情報端末などの表示装置に最適である。

【発明を実施するための最良の形態】

【0009】

以下、図面を用いて、本発明の実施例を説明する。

【実施例1】

【0010】

図1は、本実施例に係る液晶表示装置の構成図である。なお、本実施例では、64階調で表示を行うものとする。

【0011】

図1において、100はCPU、101は信号線駆動回路、102はシステムインタフェース、103は制御レジスタ、104はタイミングコントローラ、105は γ 調整用レジスタ、108は階調電圧生成回路、114はメモリ制御回路、115は表示RAM、116はラッチ回路、117は出力制御回路、118は走査線駆動回路、119は液晶パネルである。

【0012】

ここで、信号線駆動回路101は、いわゆる表示メモリ内蔵型のコントローラ・ドライバで以下、信号線駆動回路101の内部ブロックの構成と動作について説明する。

【0013】

システムインタフェース102は、外部システムのCPU100が出力する表示データ及び各種設定値（以下「インストラクション」という。）を受け、制御レジスタ103へ出力する動作を行う。ここで、インストラクションとは、信号線駆動回路101の内部動作を決定するための情報であり、フレーム周波数、駆動ライン数、駆動電圧等の各種パラ

メータを含む。

【0014】

制御レジスタ103は、インストラクションのデータを格納し、これを各ブロックへ出力するブロックである。例えば、フレーム周波数、駆動ライン数、データ電圧切り換えタイミングに関するインストラクションは、タイミングコントローラ104へ出力され、階調電圧の電位に関するインストラクションは γ 調整用レジスタ105へ出力される。なお、表示データも一旦制御レジスタ103に格納され、表示位置を指示するインストラクションとともに、メモリ制御回路114へ出力される。

【0015】

メモリ制御回路114は、表示RAM115のライト及びリード動作を行うブロックである。まず、ライト動作時には、制御レジスタ103から転送される表示位置のインストラクションに基づき、表示RAM115のアドレスを選択する信号を出力する。これと同時に表示データを表示RAM115へ転送する。この動作により、表示RAM115の所定のアドレスに表示データをライトすることができる。一方、リード動作時には、表示RAM115における所定のワード線群を1本ずつ順次を選択する動作を繰り返す。この動作により、選択されたワード線上の表示データを、ビット線を介して一斉にリードすることができる。なお、リードするワード線の範囲、1回の選択期間（1走査期間と等価）、選択動作の繰り返し周期（1フレーム期間と等価）等の設定は、インストラクションにて指示されるものとする。

【0016】

表示RAM115は、液晶パネル119の走査線と信号線に相当するワード線とビット線を有し、表示データのライト動作及びリード動作を行う。なお、リードされた表示データは、ラッチ回路116で一旦保持された後、出力制御部117へ出力される。

【0017】

タイミングコントローラ104は、内蔵の発振器が生成する基準クロックに基づき、1走査期間や1フレーム期間等を指示する信号群を自己生成して出力する。

【0018】

γ 調整用レジスタ105は、正極用レジスタ106と負極用レジスタ107にて構成される。制御レジスタ103から入力されたインストラクションを、正極用レジスタ106及び負極用レジスタ107に保持し、階調電圧生成回路108へ出力する。

【0019】

階調電圧生成回路108は、基準ラダー回路としての正極用ラダー回路109及び負極用ラダー回路110、選択回路111、バッファ回路112、階調電圧用ラダー回路113にて構成される。

【0020】

まず、 γ 調整用レジスタ105から入力された γ 調整用信号に基づき、正極用ラダー回路109及び負極用ラダー回路110にて、基準高電圧と基準低電圧との差電圧を抵抗分圧し、12レベルの基準電圧（以下「リファレンス電圧」という。）を生成して、選択回路111へ出力する。

【0021】

選択回路111は、交流化信号に基づき正極用ラダー回路109及び負極用ラダー回路110で生成したリファレンス電圧の一方を選択し、バッファ回路112に出力する。バッファ回路112は入力されたリファレンス電圧をボルテージフォロア回路によりバッファリングし、階調電圧用ラダー回路113へ出力する。

【0022】

階調電圧用ラダー回路113は、入力された12レベルのリファレンス電圧を基に抵抗分圧し、64レベルの階調電圧を生成し、出力制御回路117へ出力する。

【0023】

出力制御回路117は、ラッチ回路116から入力された表示データを基に、階調電圧生成回路108から入力された64レベルの階調電圧のうち1レベルを選択し、液晶パネ

10

20

30

40

50

ル 1 1 9 の信号線 1 2 1 へ出力する。

【 0 0 2 4 】

走査線駆動回路 1 1 8 は、液晶パネル 1 1 9 の走査線 1 2 0 に対し、1 走査期間に同期して選択状態を示す走査電圧（本実施例では“ハイ”レベル）を線順次に出力する。ここで、先頭の走査線に“ハイ”レベルを出力するタイミングは、表示 RAM 1 1 5 における先頭のワード線をリードするタイミングに同期している。

【 0 0 2 5 】

液晶パネル 1 1 9 は、信号線 1 2 1 と走査線 1 2 0 の交点に位置する各画素部にスイッチング用トランジスタ 1 2 2 が配置された、いわゆるアクティブマトリクス型と呼ばれるフラットパネルである。トランジスタ 1 2 2 のソース端子は、信号線 1 2 1 を介して出力制御回路 1 1 7 の出力に接続され、ゲート端子は、走査線 1 2 0 を介して走査線駆動回路 1 1 8 の出力に接続される。また、トランジスタ 1 2 2 のドレイン端子は、表示素子 1 2 3 に接続される。なお、表示素子 1 2 3 の対向側は、コモン電極が接続され、コモン電極へは V_{com} 電圧が出力される。したがって、選択状態にある走査線 1 2 0 においては、階調電圧と V_{com} 電圧との電圧差が表示素子 1 2 3 への印加電圧となる。この表示素子 1 2 3 の種類は、液晶や有機 EL 等が代表的であるが、電圧によって表示輝度が制御可能であれば、その他の素子を用いてもよい。

【 0 0 2 6 】

なお、本実施例では、正極時の V_{com} 電位は 0 V、負極時の V_{com} 電位を 4 V としているため、正極時は、階調電圧を高くすることで輝度が高く（階調電圧を低くすることで輝度が小さく）なり、負極時は、階調電圧を低くすることで輝度が高く（階調電圧を高くすることで輝度が小さく）なる。

【 0 0 2 7 】

次に、タイミングコントローラ 1 0 4 の内部ブロック構成及び動作に関し、図 2 (a) を用いて説明する。図 2 (a) において、2 0 0 はレジスタ、2 0 1 は内部クロック生成回路、2 0 2 はクロックカウンタ、2 0 3 は水平同期信号生成回路、2 0 4 は交流化信号生成回路、2 0 5 はラインカウンタ、2 0 6 は垂直同期信号生成回路である。

【 0 0 2 8 】

図 1 に示す制御レジスタ 1 0 3 から入力された 1 走査期間、1 フレーム期間などをレジスタ 2 0 0 に保持し、クロックカウンタ 2 0 2 及びラインカウンタ 2 0 5 に出力する。

【 0 0 2 9 】

内部クロック生成回路 2 0 1 は、基準動作クロック CLK を生成し各回路へ出力する。各回路は、内部クロック生成回路 2 0 1 にて生成された基準クロック CLK を基に動作する。

【 0 0 3 0 】

クロックカウンタ 2 0 2 は、レジスタ 2 0 0 から入力された 1 走査期間の CLK 値まで基準クロックをカウントし、クロックカウント値を水平同期信号生成回路 2 0 3 に出力する。なお、クロックカウンタ 2 0 2 のクロックカウント値は、1 走査期間の CLK 値を超えるか、または、入力された垂直同期信号 Vsync（本実施例では“ロー”アクティブ）の立下りエッジにてクリア（カウント値＝“0”）となる。

【 0 0 3 1 】

水平同期信号生成回路 2 0 3 は、クロックカウンタ 2 0 2 から入力されたクロックカウント値を基に水平同期信号 CL1 を生成し出力する。なお、水平同期信号 CL1 は、クロックカウント値が“0”のとき立ち上がり（本実施例では“ハイ”アクティブ）、レジスタ 2 0 0 から入力された水平同期信号のアクティブ期間まで“ハイ”出力するものとする。

【 0 0 3 2 】

ラインカウンタ 2 0 5 は、水平同期信号 CL1 の立ち上がりに同期して、レジスタ 2 0 0 から入力された 1 フレーム期間のライン数までカウントし、ラインカウント値を垂直同期信号生成回路 2 0 6 に出力する。なお、ラインカウンタ 2 0 5 のラインカウント値は、

10

20

30

40

50

1 フレーム期間のライン数を超えるか、または、入力された垂直同期信号 V_{sync} の立下りエッジにてクリア（カウント値＝“0”）となる。

【0033】

垂直同期信号生成回路206は、ラインカウンタ205から入力されたカウント値を基に垂直同期信号 FLM を生成し出力する。なお、垂直同期信号 FLM は、ラインカウント値が“0”のとき立ち上がり（本実施例では“ハイ”アクティブ）、レジスタ200から入力された垂直同期信号のアクティブ期間まで“ハイ”出力するものとする。

【0034】

交流化信号生成回路204は、レジスタ200から入力された交流化信号（本実施例ではフレーム交流駆動時“0”、ライン交流駆動時“1”）により、交流化信号 M を生成し出力する。

10

【0035】

次に、タイミングコントローラ104にて生成された信号群の動作タイミングに関し、図2（b）を用いて説明する。入力された垂直同期信号 V_{sync} に基づいて、水平同期信号 $CL1$ が生成される。水平同期信号 $CL1$ は、レジスタ200に設定されたライン数だけアクティブにする。

【0036】

交流化信号 M は、レジスタ200にて設定された交流化方法に応じて“ハイ”“ロー”を繰り返し出力する。本実施例ではライン交流駆動を設定としているため、1走査期間にて“ハイ”又は“ロー”を出力することとなる。

20

【0037】

表示 $RAM115$ にて保持されている表示データは、1フレーム期間にて1フレーム分リードする。

【0038】

次に、図1に示す正極用レジスタ106の内部ブロックの構成に関し、図3（a）を用いて説明する。なお、負極用レジスタ107の回路構成及び動作は、正極用レジスタ106と同様である。

【0039】

図3（a）において、300はノーマル γ レジスタ、301はコントラスト強調 γ レジスタ、302は振幅レジスタ、303と305は傾きレジスタ、304と306は微調整レジスタ、307と308は選択回路である。

30

【0040】

図1に示す制御レジスタ103から入力される γ レジスタ値は、振幅レジスタ値・傾きレジスタ値・微調整レジスタ値に分類され、これらのレジスタ値を階調電圧生成回路108に出力することで、階調電圧生成回路108内の正極用ラダー回路109及び負極用ラダー回路110内の可変抵抗を調整することで、階調電圧の電位を設定することができる。

【0041】

なお、振幅レジスタ値は、階調電圧の振幅を調整する設定値であり、傾き調整レジスタ値は、ダイナミックレンジを大きく変えることなく階調番号－階調電圧特性の中央付近の傾きを調整するための設定値であり、微調整レジスタ値は、階調電圧レベルを微調整するための設定値である。

40

【0042】

これらの振幅調整レジスタ値、傾きレジスタ値及び微調整レジスタ値は、ノーマル γ レジスタ300及びコントラスト強調 γ レジスタ301内の振幅レジスタ302、傾きレジスタ303と305、微調整レジスタ304と306に、それぞれ保持される。

【0043】

なお、コントラスト強調の有無に関わらず、振幅レジスタ値はいずれの場合も同値（階調電圧の振幅は一定）のため、振幅レジスタ値は、ノーマル γ レジスタ300の振幅レジスタ302にのみ保持され、コントラスト強調時においても振幅レジスタ302に保持し

50

た振幅レジスタ値を階調電圧生成回路108に出力することで、回路規模の増加を抑えている。

【0044】

選択回路307は、制御レジスタ103から入力されたコントラスト強調レジスタデータ（本実施例で“ハイ”時にコントラスト強調使用、“ロー”時にコントラスト強調未使用を示す。）が“ロー”の場合、ノーマル γ レジスタ300の傾きレジスタ303に保持した傾きレジスタ値を選択し、階調電圧生成回路108に出力する。また、コントラスト強調レジスタデータが“ハイ”の場合、コントラスト強調 γ レジスタ301の傾きレジスタ305に保持した傾きレジスタ値を選択し、階調電圧生成回路108に出力する。

【0045】

選択回路308は、制御レジスタ103から入力されたコントラスト強調レジスタデータが“ロー”の場合、ノーマル γ レジスタ300の微調整レジスタ304に保持した微調整レジスタ値を選択し、階調電圧生成回路108に出力する。また、コントラスト強調レジスタデータが“ハイ”の場合、コントラスト強調 γ レジスタ301の微調整レジスタ306に保持した微調整レジスタ値を選択し、階調電圧生成回路108に出力する。

【0046】

次に、ノーマル γ レジスタ300内の各レジスタの内部構成について、図3（b）を用いて説明する。振幅レジスタ302は、VRP0～1の2個のレジスタにて構成され、この2個のレジスタVRP0～1に保持されるレジスタ値により、階調電圧の振幅値を調整する。傾きレジスタ303は、SRP0～1の2個のレジスタにて構成され、この2個のレジスタSRP0～1に保持されるレジスタ値により、階調番号—階調電圧特性の中央付近の傾きを調整する。微調整レジスタ304は、PRP0～9の10個のレジスタにて構成され、この10個のレジスタPRP0～9に保持されるレジスタ値により、階調電圧レベルを微調整する。なお、コントラスト強調 γ レジスタ301の内部構成は、傾きレジスタ303及び微調整レジスタ304の内部構成と同様である。

【0047】

次に、図1に示す正極用ラダー回路109の内部ブロックの構成に関し、図4を用いて説明する。図4において、400～409はスイッチ（以下「SW」という。）、410～421は固定抵抗、422～435は可変抵抗である。

【0048】

可変抵抗422及び可変抵抗435は、振幅レジスタ302から入力される振幅レジスタ値VRP0とVRP1に応じて、その抵抗値が設定される。可変抵抗428及び可変抵抗429は、傾きレジスタ303から入力される傾きレジスタ値SRP0とSRP1に応じて、その抵抗値が設定される。可変抵抗423～427及び可変抵抗430～434は、微調整レジスタ304から入力される微調整レジスタ値PRP0～PRP4とPRP5～PRP9に応じて、その抵抗値が設定される。

【0049】

なお、可変抵抗422～435の抵抗の最小値は、抵抗分圧にて階調間の電位差を生じない程度の抵抗値（理想0 Ω ）とする。また、SW400～409が“オン”の場合、そのオン抵抗は固定抵抗410～420に対し十分に小さく、SW400～409が“オフ”の場合、そのオフ抵抗は、固定抵抗410～420に対し十分に大きいものである。

【0050】

コントラスト強調レジスタデータが“ロー”（コントラスト強調未使用時）の場合、全てのSW400～409はオフとなり、固定抵抗410～414及び固定抵抗416～420に電流が流れることで、各固定抵抗の抵抗値及び各可変抵抗の抵抗値によって基準高電圧VDHが分圧され、12レベルのリファレンス電圧V0P/V1P/V2P/V4P/V8P/V20P/V43P/V55P/V59P/V61P/V62P/V63Pを生成する。このリファレンス電圧V0P～V63Pの電位は全て異なり、同じ電位のものはない。

【0051】

なお、V 0 Pは階調番号0の正極時の電位、V 1 Pは階調番号1の正極時の電位、V 2 Pは階調番号2の正極時の電位、V 4 Pは階調番号4の正極時の電位、V 8 Pは階調番号8の正極時の電位、V 2 0 Pは階調番号20の正極時の電位、V 4 3 Pは階調番号43の正極時の電位、V 5 5 Pは階調番号55の正極時の電位、V 5 9 Pは階調番号59の正極時の電位、V 6 1 Pは階調番号61の正極時の電位、V 6 2 Pは階調番号62の正極時の電位、V 6 3 Pは階調番号63の正極時の電位である。

【0052】

これら12レベルのリファレンス電圧を図1に示すバッファ回路112にてバッファリングしたのちに階調電圧用ラダー回路113へ出力し、階調電圧用ラダー回路113は、12レベルのリファレンス電圧を基に抵抗分圧し、64階調表示時の場合は、残りの階調番号3、階調番号5～7、階調番号9～19、階調番号21～42、階調番号44～54、階調番号56～58及び階調番号60の階調電圧を生成する。このときの階調番号－階調電圧特性は、図6（a）に示すようになる。

10

【0053】

コントラスト強調レジスタデータが“ハイ”（コントラスト強調使用時）及びコントラスト強調切替レジスタデータが“ハイ”の場合、SW400～404は“オン”となり、このSW400～404に電流が流れ、固定抵抗410～414には電流は流れない。また、SW405～409は“オフ”となるため、固定抵抗416～420に電流が流れる。

【0054】

20

このとき、微調整レジスタ値PRP0～4及び振幅レジスタ値VRP0で、可変抵抗422～427の抵抗値を最小値に設定した場合、基準高電圧VDHは抵抗分圧されないから、6レベルのリファレンス電圧V43P～V63Pの電位は、基準高電圧VDHが出力されて同一電位となる。なお、他の6レベルのリファレンス電圧V0P～V20Pは、固定抵抗416～420に電流が流れるから抵抗分圧されるため、同一電位にはならない。

【0055】

次に、コントラスト強調レジスタデータが“ハイ”（コントラスト強調使用時）及びコントラスト強調切替レジスタデータが“ロー”の場合、SW400～404は“オフ”となるため固定抵抗410～414に電流が流れる。また、SW405～409は“オン”となるため、このSW405～409に電流が流れ、固定抵抗416～420には電流が流れない。

30

【0056】

このとき、微調整レジスタ値PRP5～9及び振幅レジスタ値VRP1で、可変抵抗430～435の抵抗値を最小値に設定した場合、基準高電圧VDHは抵抗分圧されないから6レベルのリファレンス電圧V0P～V20Pの電位は、基準低電圧GNDが出力されて同一電位となる。なお、他の6レベルのリファレンス電圧V63P～V43Pは、固定抵抗410～414に電流が流れて抵抗分圧されるため、同一電位にはならない。

【0057】

以上の動作により、図6（b）に示す階調番号－階調電圧特性のように、コントラスト強調切替レジスタデータが“ハイ”の場合ではV43～V63、コントラスト強調切替レジスタデータが“ロー”の場合ではV0～V20の階調において、同一電圧を出力することが可能となる。

40

【0058】

次に、負極用ラダー回路110の内部ブロックの構成に関し、図5を用いて説明する。図5において、500～509はSW、510～521は固定抵抗、522～535は可変抵抗である。なお、固定抵抗510～521及び可変抵抗522～535の抵抗値は、図4に示す正極用ラダー回路109の固定抵抗410～421及び可変抵抗422～435の抵抗値と同値である。

【0059】

可変抵抗522及び可変抵抗535は、 γ 調整用レジスタ105から入力される振幅レ

50

ジスタ値に応じて抵抗値を設定する。可変抵抗 528 及び可変抵抗 529 は、 γ 調整用レジスタ 105 から入力される傾きレジスタ値に応じて抵抗値を設定する。可変抵抗 523 ～ 527 及び可変抵抗 530 ～ 534 は、 γ 調整用レジスタ 105 から入力される微調整レジスタ値に応じて抵抗値を設定する。

【0060】

なお、可変抵抗 522 ～ 535 の抵抗の最小値は、抵抗分圧にて階調間の電位差を生じない程度の抵抗値（理想 0Ω ）とする。また、SW500 ～ 509 が“オン”の場合、そのオン抵抗は、固定抵抗 510 ～ 520 に対し十分に小さく、SW500 ～ 509 が“オフ”の場合、そのオフ抵抗は、固定抵抗 510 ～ 520 に対し十分に大きいものである。

【0061】

コントラスト強調レジスタデータが“ロー”（コントラスト強調未使用時）の場合、全ての SW500 ～ 509 はオフとなり、固定抵抗 510 ～ 514 及び固定抵抗 516 ～ 520 に電流が流れることで、各固定抵抗の抵抗値及び各可変抵抗の抵抗値によって基準高電圧 VDH が分圧され、12 レベルのリファレンス電圧 V0N/V1N/V2N/V4N/V8N/V20N/V43N/V55N/V59N/V61N/V62N/V63N を生成する。このリファレンス電圧 V0N ～ V63N の電位は全て異なり、同じ電位のものはない。

【0062】

なお、V0N は階調番号 0 の負極時の電位、V1N は階調番号 1 の負極時の電位、V2N は階調番号 2 の負極時の電位、V4N は階調番号 4 の負極時の電位、V8N は階調番号 8 の負極時の電位、V20N は階調番号 20 の負極時の電位、V43N は階調番号 43 の負極時の電位、V55N は階調番号 55 の負極時の電位、V59N は階調番号 59 の負極時の電位、V61N は階調番号 61 の負極時の電位、V62N は階調番号 62 の負極時の電位、V63N は階調番号 63 の負極時の電位である。

【0063】

これら 12 レベルのリファレンス電圧を図 1 に示すバッファ回路 112 にてバッファリングしたのちに階調電圧用ラダー回路 113 へ出力し、階調電圧用ラダー回路 113 は、12 レベルのリファレンス電圧を基に抵抗分圧し、64 階調表示時の場合は残りの階調番号 3、階調番号 5 ～ 7、階調番号 9 ～ 19、階調番号 21 ～ 42、階調番号 44 ～ 54、階調番号 56 ～ 58 及び階調番号 60 の階調電圧を生成する。このときの階調番号－階調電圧特性は、図 6（c）に示すようになる。

【0064】

コントラスト強調レジスタデータが“ハイ”（コントラスト強調使用時）及びコントラスト強調切替レジスタデータが“ハイ”の場合、SW505 ～ 509 は“オン”となり、この SW505 ～ 509 に電流が流れ、固定抵抗 516 ～ 520 には電流は流れない。また、SW500 ～ 504 は“オフ”となるため、固定抵抗 510 ～ 514 に電流が流れる。

【0065】

このとき、微調整レジスタ値 PRN5 ～ 9 及び振幅レジスタ値 VRN1 で、可変抵抗 530 ～ 535 の抵抗値を最小値に設定した場合、基準高電圧 VDH は抵抗分圧されないから、6 レベルのリファレンス電圧 V43N ～ V63N の電位は、基準低電圧 GND が出力されて同一電位となる。なお、他の 6 レベルのリファレンス電圧 V0N ～ V20N は、固定抵抗 510 ～ 514 に電流が流れるから抵抗分圧されるため、同一電位にはならない。

【0066】

次に、コントラスト強調レジスタデータが“ハイ”（コントラスト強調使用時）及びコントラスト強調切替レジスタデータが“ロー”の場合、SW505 ～ 509 は“オフ”となるため固定抵抗 516 ～ 520 に電流が流れる。また、SW500 ～ 504 は“オン”となるため、この SW500 ～ 504 に電流が流れ、固定抵抗 510 ～ 514 には電流が流れない。

【0067】

10

20

30

40

50

このとき、微調整レジスタ値 $PRN0 \sim 4$ 及び振幅レジスタ値 $VRN0$ で、可変抵抗 $522 \sim 527$ の抵抗値を最小値に設定した場合、基準高電圧 VDH は抵抗分圧されないから 6 レベルのリファレンス電圧 $V0N \sim V20N$ の電位は、基準高電圧 VDH が出力されて同一電位となる。なお、他の 6 レベルのリファレンス電圧 $V43N \sim V63N$ は、固定抵抗 $516 \sim 520$ に電流が流れて抵抗分圧されるため、同一電位にはならない。

【0068】

以上の動作により、図 6 (d) に示す階調番号一階調電圧特性のように、コントラスト強調切替レジスタデータが“ハイ”の場合では $V43 \sim V63$ 、コントラスト強調切替レジスタデータが“ロー”の場合では $V0 \sim V20$ の階調において、同一電圧を出力することが可能となる。

10

【0069】

以上、説明したように、本実施例によって、低階調側及び高階調側のコントラスト特性の制御を、LUT を使用しない低コストのラダー回路によって実現可能となる。

【実施例 2】

【0070】

本実施例においては、正極用ラダー回路 109 及び負極用ラダー回路 110 の回路構成が実施例 1 と異なる。すなわち、実施例 1 の図 4 から図 6 を、本実施例では、図 7 から図 9 とし、コントラスト強調切替レジスタデータを省略し、この代わりに、図 7 において、固定抵抗 415 に並列に $SW700$ を接続し、図 8 において、固定抵抗 515 に並列に $SW800$ を接続した。この結果、図 9 (b) (d) に示すように、コントラスト特性の高階調側及び低階調側を幅広く強調することが可能となる、その他の構成は、実施例 1 と同様である。

20

【0071】

まず、図 7 を用いて、正極用ラダー回路 109 を説明する。図 7 において、コントラスト強調レジスタデータが“ロー”（コントラスト強調未使用時）の場合、 $SW400 \sim 409$ と $SW700$ はオフとなり、固定抵抗 410 $\sim$ 420 に電流が流れることで、各固定抵抗の抵抗値及び各可変抵抗の抵抗値によって基準高電圧 VDH が分圧され、12 レベルのリファレンス電圧 $V0P/V1P/V2P/V4P/V8P/V20P/V43P/V55P/V59P/V61P/V62P/V63P$ を生成する。このリファレンス電圧 $V0P \sim V63P$ の電位は全て異なり、同じ電位のものはない。

30

【0072】

これら 12 レベルのリファレンス電圧を基に、図 1 に示す階調電圧用ラダー回路 113 は、12 レベルのリファレンス電圧を抵抗分圧し、64 階調表示時の場合は、残りの階調番号 3、階調番号 5 $\sim$ 7、階調番号 9 $\sim$ 19、階調番号 21 $\sim$ 42、階調番号 44 $\sim$ 54、階調番号 56 $\sim$ 58 及び階調番号 60 の階調電圧を生成する。このときの階調番号一階調電圧特性は、図 9 (a) に示すようになる。

【0073】

次に、コントラスト強調レジスタデータが“ハイ”（コントラスト強調使用時）の場合、 $SW400 \sim 409$ と $SW700$ は“オン”となり、この $SW400 \sim 409$ と $SW700$ に電流が流れ、固定抵抗 410 $\sim$ 420 には電流は流れない。

40

【0074】

このとき、低階調側のコントラストを強調（高階調側の電位を同一電位）するために、微調整レジスタ値 $PRP0 \sim 4$ 、傾きレジスタ値 $SRP0 \sim 1$ 及び振幅レジスタ値 $VRP0$ で、可変抵抗 $422 \sim 429$ の抵抗値を最小値に設定した場合、基準高電圧 VDH は抵抗分圧されないから、7 レベルのリファレンス電圧 $V20P \sim V63P$ の電位は、基準高電圧 VDH が出力されて同一電位となる。なお、他の 5 レベルのリファレンス電圧 $V0P \sim V8P$ は、固定抵抗 416 $\sim$ 420 に電流が流れないが、微調整レジスタ値 $PRP5 \sim 9$ 及び振幅レジスタ値 $VRP1$ の設定により可変抵抗 $430 \sim 435$ を調整することで、基準高電圧 VDH が抵抗分圧されるため、同一電位にはならない。

【0075】

50

また、コントラスト強調レジスタデータが“ハイ”（コントラスト強調使用時）の場合に、高階調側のコントラストを強調（低階調側の電位を同一電位）するために、微調整レジスタ値PRP5～9、傾きレジスタ値SRP0～1及び振幅レジスタ値VRP1で、可変抵抗428～435の抵抗値を最小値に設定した場合、基準高電圧VDHは抵抗分圧されないから、7レベルのリファレンス電圧VOP～V43Pの電位は、基準低電圧GNDが出力されて同一電位となる。なお、他の5レベルのリファレンス電圧V55P～V63Pは、固定抵抗410～414に電流が流れないが、微調整レジスタ値PRP0～3及び振幅レジスタ値VRP0の設定により可変抵抗422～426を調整することで、基準高電圧VDHが抵抗分圧されるため、同一電位にはならない。

【0076】

10

このような動作により、図9（b）に示すように、高階調側の電位を同一として低階調側のコントラストを強調したり、低階調側の電位を同一として高階調側のコントラストを強調したりすることができる。

【0077】

次に、図8を用いて、負極用ラダー回路110を説明する。図8において、コントラスト強調レジスタデータが“ロー”（コントラスト強調未使用時）の場合、SW500～509とSW800はオフとなり、固定抵抗510～520に電流が流れることで、各固定抵抗の抵抗値及び各可変抵抗の抵抗値によって基準高電圧VDHが分圧され、12レベルのリファレンス電圧VON/V1N/V2N/V4N/V8N/V20N/V43N/V55N/V59N/V61N/V62N/V63Nを生成する。このリファレンス電圧VON～V63Nの電位は全て異なり、同じ電位のものはない。

20

【0078】

これら12レベルのリファレンス電圧を基に、図1に示す階調電圧用ラダー回路113は、12レベルのリファレンス電圧を抵抗分圧し、64階調表示時の場合は、残りの階調番号3、階調番号5～7、階調番号9～19、階調番号21～42、階調番号44～54、階調番号56～58及び階調番号60の階調電圧を生成する。このときの階調番号－階調電圧特性は、図9（c）に示すようになる。

【0079】

次に、コントラスト強調レジスタデータが“ハイ”（コントラスト強調使用時）の場合、SW500～509とSW800は“オン”となり、このSW500～509とSW800に電流が流れ、固定抵抗510～520には電流は流れない。

30

【0080】

このとき、低階調側のコントラストを強調（高階調側の電位を同一電位）するために、微調整レジスタ値PRN5～9、傾きレジスタ値SRN0～1及び振幅レジスタ値VRN1で、可変抵抗528～535の抵抗値を最小値に設定した場合、基準高電圧VDHは抵抗分圧されないから、7レベルのリファレンス電圧V20N～V63Nの電位は、基準低電圧GNDが出力されて同一電位となる。なお、他の5レベルのリファレンス電圧VON～V8Nは、固定抵抗510～514に電流が流れないが、微調整レジスタ値PRP0～4及び振幅レジスタ値VRP0の設定により可変抵抗422～527を調整することで、基準高電圧VDHが抵抗分圧されるため、同一電位にはならない。

40

【0081】

また、コントラスト強調レジスタデータが“ハイ”（コントラスト強調使用時）の場合に、高階調側のコントラストを強調（低階調側の電位を同一電位）するために、微調整レジスタ値PRN0～4、傾きレジスタ値SRP0～1及び振幅レジスタ値VRN0で、可変抵抗522～527の抵抗値を最小値に設定した場合、基準高電圧VDHは抵抗分圧されないから、7レベルのリファレンス電圧VON～V43Nの電位は、基準高電圧VDHが出力されて同一電位となる。なお、他の5レベルのリファレンス電圧V55N～V63Nは、固定抵抗516～520に電流が流れないが、微調整レジスタ値PRN6～9及び振幅レジスタ値VRN1の設定により可変抵抗513～535を調整することで、基準高電圧VDHが抵抗分圧されるため、同一電位にはならない。

50

【0082】

このような動作により、図9（d）に示すように、高階調側の電位を同一として低階調側のコントラストを強調したり、低階調側の電位を同一として高階調側のコントラストを強調したりすることができる。

【実施例3】

【0083】

図10は、図1に示す信号線駆動回路101に、 γ レジスタ切替回路1000を設けた本実施例の液晶表示装置の構成図である。この γ レジスタ切替回路1000は、図11（a）に示すように、最大／最小階調検出回路1100と表示選択回路1101とコントラスト強調 γ レジスタ生成回路1102にて構成される。また、1フレーム期間をn個のフ

10

ィールド期間に分割し（nは2以上の整数）、n個のうちの少なくとも1つのフィールド期間を高階調側の電位同一とし、n個のうちの少なくとも他の1つのフィールド期間を低階調側の電位同一としてもよい。これにより、輝度の低下を抑制しつつ、動画ぼやけを低減できる。

【0084】

図11（a）において、最大／最小階調検出回路1100にて、1フレーム期間内の最大階調と最小階調を検出し、表示選択回路1101は、図11（b）に示すフローに従いコントラスト強調レジスタデータを生成して出力し、コントラスト強調 γ レジスタ生成回路1102は、図12及び図13に示すフローに従いコントラスト強調 γ レジスタデータ（2）を生成して、図14に示す正極用レジスタ／負極用レジスタ106／107に出力

20

することで、図15に示すように、表示データに応じたコントラスト強調をフレーム毎に制御することができる。なお、コントラスト強調 γ レジスタデータ（2）は、1フレーム期間内の最大階調と最小階調にて生成したが、1フレーム期間内のヒストグラムデータにて生成してもよい。

【0085】

以下、図10から図13を用いて、 γ レジスタ切替回路1000の動作について、説明する。他の構成の動作は、図1に示すものと同様である。

【0086】

γ レジスタ切替回路1000における最大／最小階調検出回路1100は、タイミングコントローラ104からの垂直同期信号FLMと水平同期信号CL1を基に、表示RAM

30

115からの表示データの1フレーム期間内の最大階調と最小階調を検出し、その最大階調と最小階調を、表示選択回路1101とコントラスト強調 γ レジスタ生成回路1102に出力する。

【0087】

表示選択回路1101は、検出された最大階調と最小階調が入力され、図11（b）に示すように、その最小階調が0で最大階調が63の場合には、コントラスト強調レジスタデータを“ロー”とし、それ以外の場合には、コントラスト強調レジスタデータを“ハイ”として出力する。すなわち、表示データ中に最小階調0と最大階調63が含まれる場合には、表示データを最小階調0から最大階調63まで忠実に再現するために、コントラスト強調は行わない。それ以外の場合には、表示データ中の最小階調と最大階調に合わせて

40

コントラスト強調を行う。

【0088】

コントラスト強調 γ レジスタ生成回路1102は、表示選択回路1101から入力されるコントラスト強調レジスタデータが“ロー”の場合には、制御レジスタ103からのコントラスト強調 γ レジスタデータ（1）を、コントラスト強調 γ レジスタデータ（2）として、そのまま出力する。コントラスト強調レジスタデータが“ハイ”の場合には、最大／最小階調検出回路1100から入力される最小階調と最大階調に基づいて、コントラスト強調 γ レジスタデータ（1）を補正して、コントラスト強調 γ レジスタデータ（2）として出力する。

【0089】

50

このコントラスト強調 γ レジスタデータ(2)を、コントラスト強調 γ レジスタ生成回路1102で生成する動作について、図12と図13を用いて説明する。

【0090】

まず、図12に示すステップ1200において、コントラスト強調 γ レジスタ生成回路1102に入力されるコントラスト強調 γ レジスタデータ(1)のレジスタ値を、正極用微調整レジスタPRP0～PRP9と負極用微調整レジスタPRN0～PRN9に設定して、コントラスト強調 γ レジスタデータ(2)として、コントラスト強調 γ レジスタ生成回路1102から出力する。次に、ステップ1201において、表示選択回路1101からコントラスト強調 γ レジスタ生成回路1102に入力されるコントラスト強調レジスタデータが“ハイ”であるか否かを判断し、“ロー”であれば、ステップ1202において、コントラスト強調 γ レジスタデータ(1)は補正されずに、コントラスト強調 γ レジスタデータ(2)として、そのままコントラスト強調 γ レジスタ生成回路1102から出力され、コントラスト強調は行われずに、処理が終了する。

10

【0091】

しかし、ステップ1201において、コントラスト強調レジスタデータが“ハイ”である場合には、コントラスト強調を行うために、次のステップ1203から1207において、表示データ中の最大階調が43以下であるか、55以下であるか、59以下であるか、61以下であるか、62以下であるか、順次判断する。

【0092】

すなわち、ステップ1203において、最大階調が43以下の場合には、ステップ1208において、レジスタPRP0～PRP4とPRN5～PRN9の値を0として、ステップ1213で図13に示す最小階調の処理1を行う。

20

【0093】

次のステップ1204において、最大階調が55以下の場合、すなわち、表示データ中の最大階調が43を超え55以下の場合には、ステップ1209において、レジスタPRP0～PRP3とPRN6～PRN9の値を0として、ステップ1213で図13に示す最小階調の処理1を行う。

【0094】

次のステップ1205において、最大階調が59以下の場合、すなわち、表示データ中の最大階調が55を超え59以下の場合には、ステップ1210において、レジスタPRP0～PRP2とPRN7～PRN9の値を0として、ステップ1213で図13に示す最小階調の処理1を行う。

30

【0095】

次のステップ1206において、最大階調が61以下の場合、すなわち、表示データ中の最大階調が59を超え61以下の場合には、ステップ1211において、レジスタPRP0～PRP1とPRN8～PRN9の値を0として、ステップ1213で図13に示す最小階調の処理1を行う。

【0096】

次のステップ1207において、最大階調が62以下の場合、すなわち、表示データ中の最大階調が62の場合には、ステップ1212において、レジスタPRP0とPRN9の値を0として、ステップ1213で図13に示す最小階調の処理1を行う。なお、ステップ1207において、最大階調が63の場合には、レジスタPRP0～PRP4とPRN5～PRN9の値を補正せずに、ステップ1213で図13に示す最小階調の処理1を行う。

40

【0097】

次に、ステップ1213の最小階調の処理1について、図13を用いて説明する。ステップ1303から1307において、表示データ中の最小階調が20以上であるか、8以上であるか、4以上であるか、2以上であるか、1以上であるか、順次判断する。

【0098】

すなわち、ステップ1303において、最小階調が20以上の場合には、ステップ13

50

08において、レジスタPRP5～PRP9とPRN0～PRN4の値を0として、処理を終了する。

【0099】

次のステップ1304において、最小階調が8以上の場合、すなわち、表示データ中の最小階調が8以上20未満の場合には、ステップ1309において、レジスタPRP6～PRP9とPRN0～PRN3の値を0として、処理を終了する。

【0100】

次のステップ1305において、最小階調が4以上の場合、すなわち、表示データ中の最小階調が4以上8未満の場合には、ステップ1310において、レジスタPRP7～PRP9とPRN0～PRN2の値を0として、処理を終了する。

10

【0101】

次のステップ1306において、最小階調が2以上の場合、すなわち、表示データ中の最小階調が2以上4未満の場合には、ステップ1311において、レジスタPRP8～PRP9とPRN0～PRN1の値を0として、処理を終了する。

【0102】

次のステップ1307において、最小階調が1の場合、ステップ1312において、レジスタPRP9とPRN0の値を0として、処理を終了する。なお、ステップ1307において、最小階調が0の場合には、レジスタPRP5～PRP9とPRN0～PRN4の値を補正せずに、処理を終了する。

20

【0103】

このように、図10及び図11(a)に示すγレジスタ切替回路1000で生成されたコントラスト強調レジスタデータとコントラスト強調γレジスタデータ(2)を図14に示す正極用レジスタ106と負極用レジスタ107に入力する。図14の構成と図3(a)の構成との違いは、図3におけるγ設定レジスタデータを、図14においては、ノーマルγレジスタデータとコントラスト強調γレジスタデータ(2)としたことで、他の構成については、図3(a)と同様である。

【0104】

図15は、正極用階調電圧と負極用階調電圧の通常表示時とコントラスト強調時の特性図であって、図15(a)(c)は、通常表示時の正極用階調電圧と負極用階調電圧の特性図であり、図15(b)(d)は、本実施例によるコントラスト強調時の正極用階調電圧と負極用階調電圧の特性図の一例である。図15(b)(d)においては、表示データ中の最大階調が43以下で、最小階調が20以上の場合を示している。

30

【実施例4】

【0105】

図16は、図10に示す階調電圧生成回路108を異なる構成の階調電圧生成回路1600とした本実施例の液晶表示装置の構成図である。その他の構成は、図10に示すものと同様である。

【0106】

図16に示す階調電圧生成回路1600において、基準ラダー回路1601～1604として、1601は正極(1)用ラダー回路、1602は負極(1)用ラダー回路、1603は正極(2)用ラダー回路、1604は負極(2)用ラダー回路、1605は選択回路、1606はバッファ回路、1607は階調電圧用ラダー回路である。

40

【0107】

コントラスト強調を行わない通常表示の場合、γ調整用レジスタ105は、正極用レジスタ106に保持しているレジスタ値を正極(1)用ラダー回路1601に、負極用レジスタ107に保持しているレジスタ値を負極(1)用ラダー回路1602に出力する。

【0108】

コントラスト強調を行う場合は、γ調整用レジスタ105は、正極用レジスタ106に保持しているレジスタ値を正極(2)用ラダー回路1603に、負極用レジスタ107に保持しているレジスタ値を負極(2)用ラダー回路1604に出力する。

50

【0109】

これらのラダー回路は、入力されたレジスタ値に応じたリファレンス電圧を生成し、選択回路1605に出力する。選択回路1605は、タイミングコントローラ104から入力される交流化信号Mに応じて、これらのラダー回路から入力された2種類のリファレンス電圧のうち1種類のリファレンス電圧を選択し、バッファ回路1606に出力する。バッファ回路1606は、入力されたリファレンス電圧をボルテージフォロア回路によりバッファリングし、階調電圧用ラダー回路1607へ出力する。階調電圧用ラダー回路1607は、入力されたリファレンス電圧を抵抗分圧し、64レベルの階調電圧を生成し、出力制御回路117へ出力する。

【0110】

10

以上のように、コントラスト強調を行う場合は、専用の正極(2)用ラダー回路1603と負極(2)用ラダー回路1604を設けることで、通常表示とコントラスト強調表示を頻繁に切り替える場合において、それぞれに応じてリファレンス電圧を生成する必要がないため、これまでの実施例と比較し、階調電圧の駆動能力(階調電圧変動時間の短縮)を向上することが可能となる。

【0111】

なお、本実施例での正極(1)用ラダー回路1601、負極(1)用ラダー回路1602、正極(2)用ラダー回路1603、負極(2)用ラダー回路1604の回路構成は、図4に示す正極用ラダー回路109、図5に示す負極用ラダー回路110、または、図7に示す正極用ラダー回路109、図8に示す負極用ラダー回路110の回路構成を採用し

20

【図面の簡単な説明】

【0112】

【図1】本発明に係る液晶表示装置の構成図

【図2】図1に示すタイミングコントローラの構成図及びタイミングチャート

【図3】図1に示す正極用レジスタ及びそのノーマル γ レジスタの構成図

【図4】図1に示す正極用ラダー回路図

【図5】図1に示す負極用ラダー回路図

【図6】実施例1の階調番号-階調電圧特性図

【図7】実施例2正極用ラダー回路図

30

【図8】実施例2負極用ラダー回路図

【図9】実施例2の階調番号-階調電圧特性図

【図10】実施例3の液晶表示装置の構成図

【図11】図10の γ レジスタ切替回路図及びその表示選択回路のフローチャート

【図12】図11(a)のコントラスト強調 γ レジスタ生成回路のフローチャート

【図13】図11(a)のコントラスト強調 γ レジスタ生成回路のフローチャート

【図14】図10の正極用レジスタと負極用レジスタの構成図

【図15】実施例3の階調番号-階調電圧特性図

【図16】実施例4の液晶表示装置の構成図

【符号の説明】

40

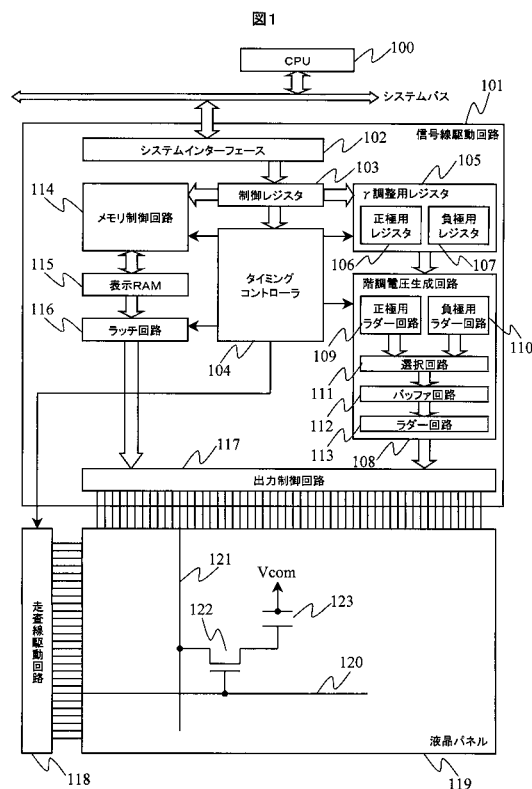
【0113】

100…CPU、101…信号線駆動回路、102…システムインタフェース、103…制御レジスタ、104…タイミングコントローラ、105… γ 調整用レジスタ、106…正極用レジスタ、107…負極用レジスタ、108…階調電圧生成回路、109…正極用ラダー回路、110…負極用ラダー回路、111…選択回路、112…バッファ回路、113…階調電圧用ラダー回路、114…メモリ制御回路、115…表示RAM、116…ラッチ回路、117…出力制御回路、118…走査線駆動回路、119…液晶パネル、120…走査線、121…信号線、122…TFT、123…表示素子、200…レジスタ、201…内部クロック生成回路、202…クロックカウンタ、203…水平同期信号生成回路、204…交流化信号生成回路、205…ラインカウンタ、206…垂直同期信号

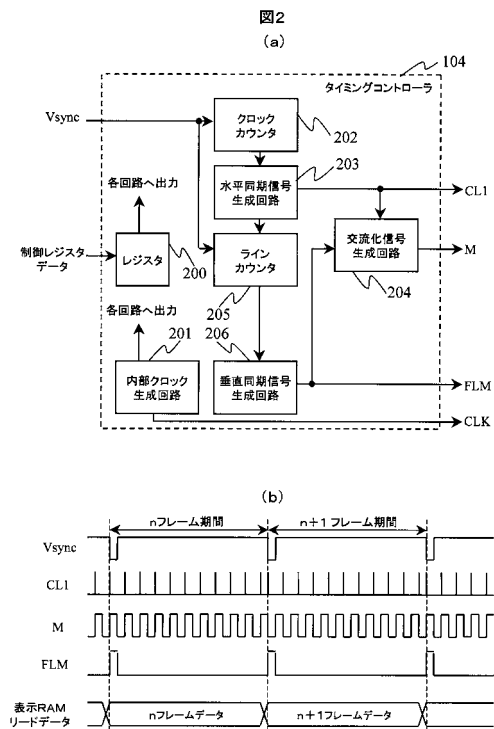
50

生成回路、300…ノーマル γ レジスタ、301…コントラスト強調 γ レジスタ、302…振幅レジスタ、303、305…傾きレジスタ、304、306…微調整レジスタ、307、308…選択回路、400～409…SW、410～421…固定抵抗、422～435…可変抵抗、500～509…SW、510～521…固定抵抗、522～535…可変抵抗、700、800…SW、1000… γ レジスタ切替回路、1100…最大／最小階調検出回路、1101…表示選択回路、1102…コントラスト強調 γ レジスタ生成回路、1600…階調電圧生成回路、1601…正極（1）用ラダー回路、1602…負極（1）用ラダー回路、1603…正極（2）用ラダー回路、1604…負極（2）用ラダー回路、1605…選択回路、1606…バッファ回路、1607…階調電圧用ラダー回路

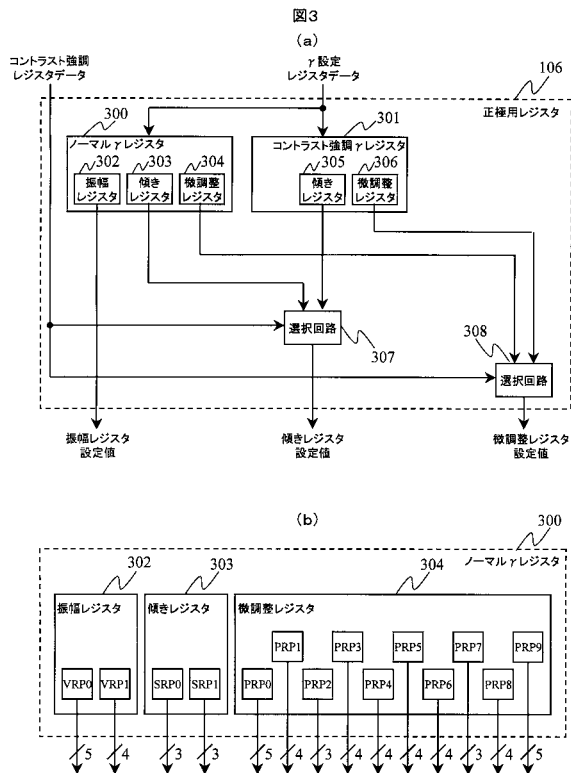
【図 1】



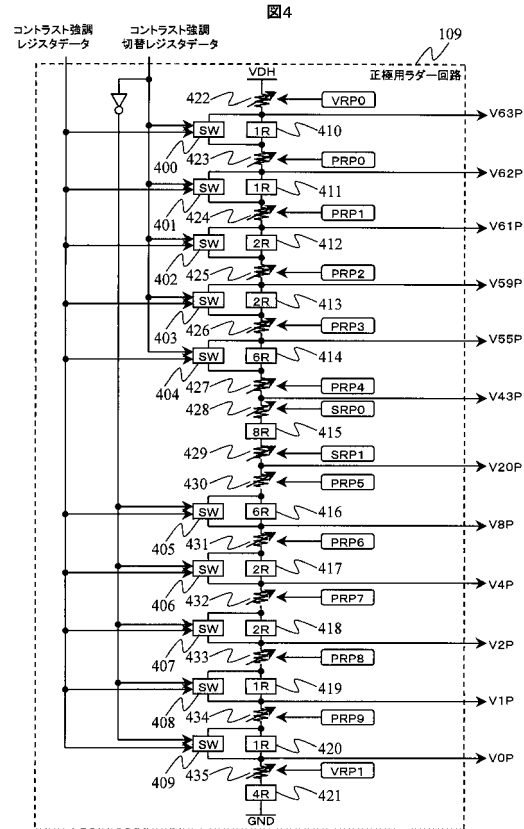
【図 2】



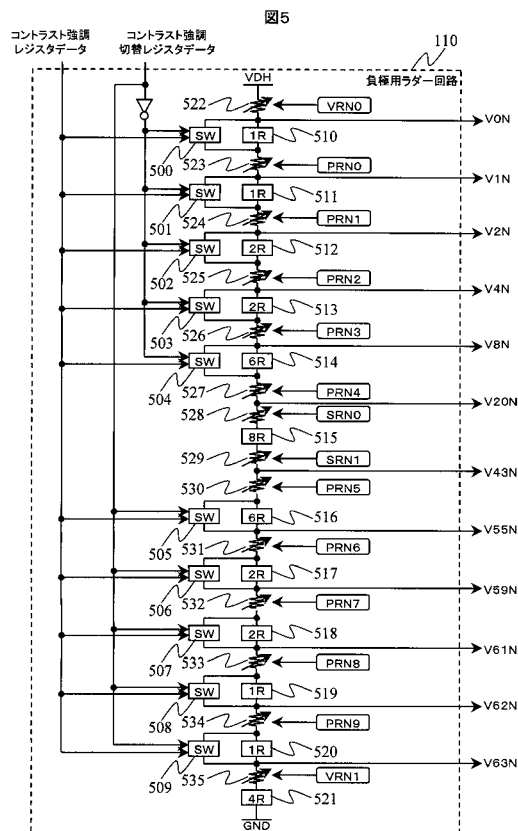
【図 3】



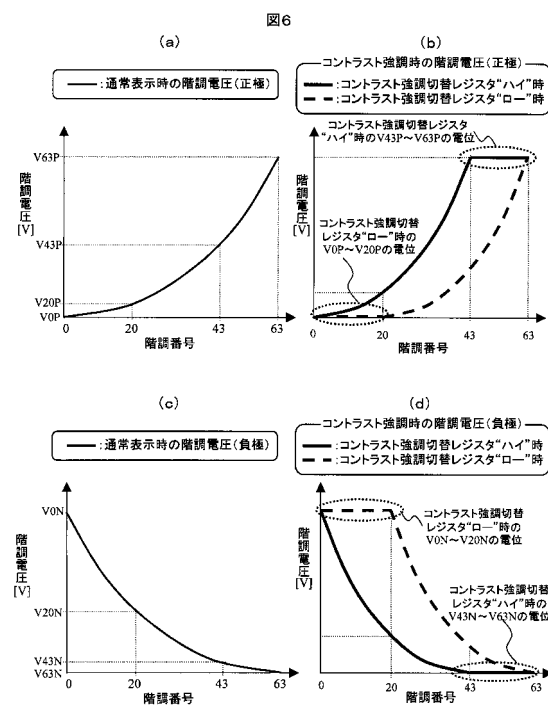
【図 4】



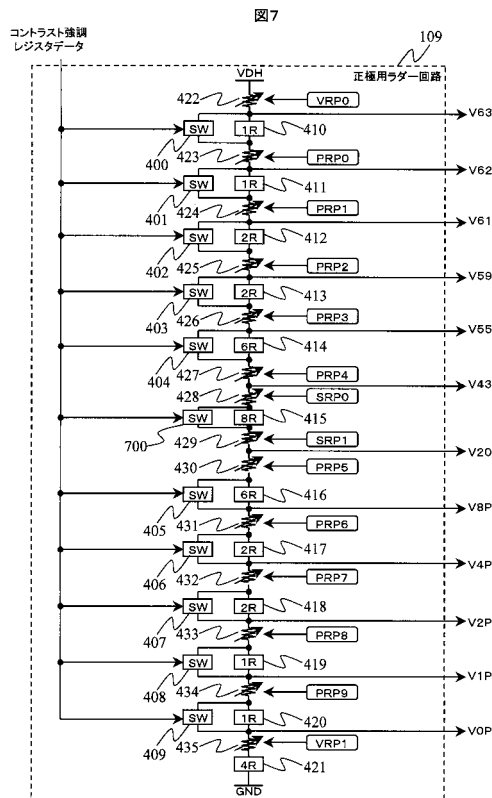
【図 5】



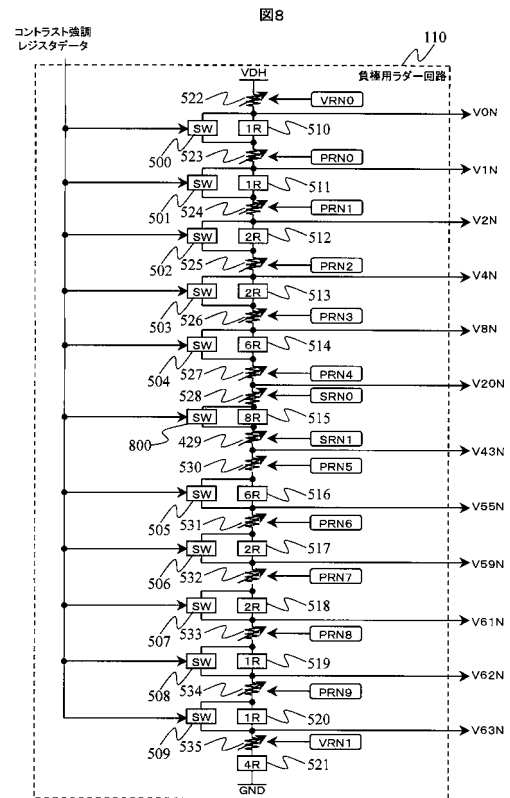
【図 6】



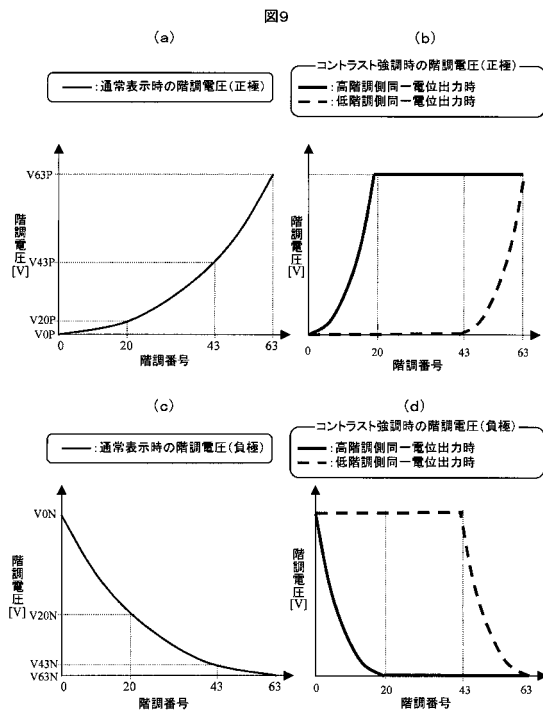
【図 7】



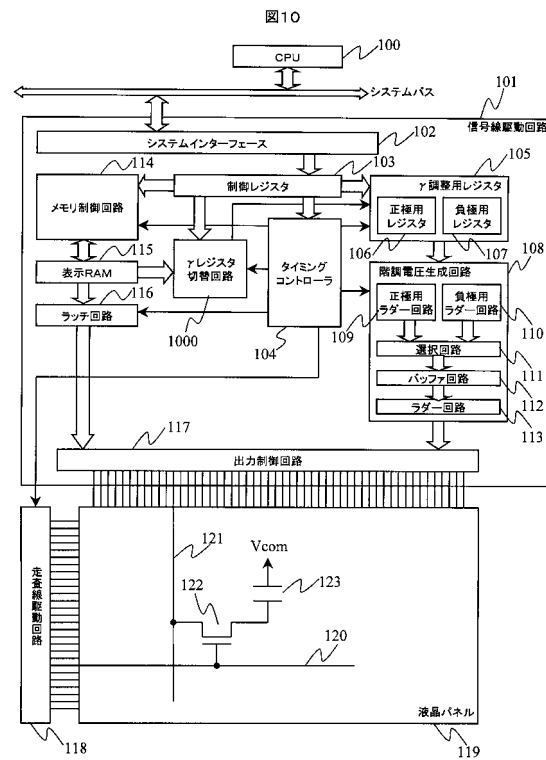
【図 8】



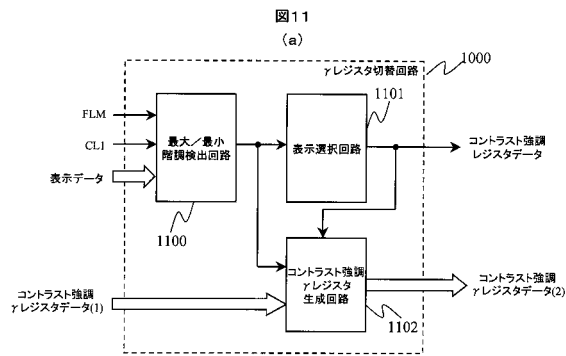
【図 9】



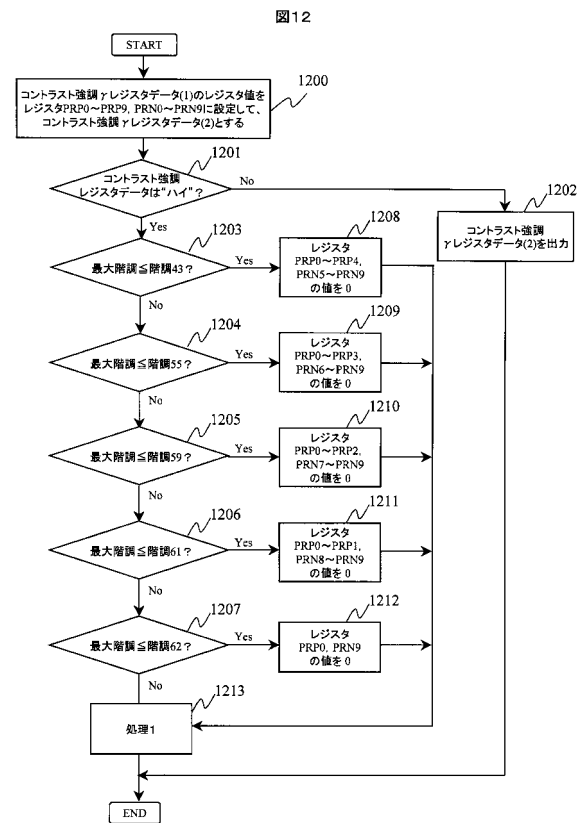
【図 10】



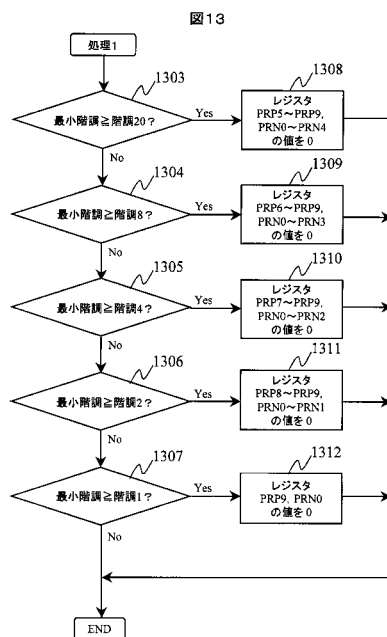
【図 11】



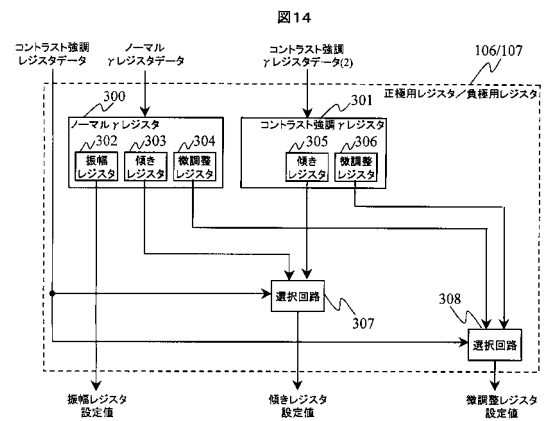
【図 12】



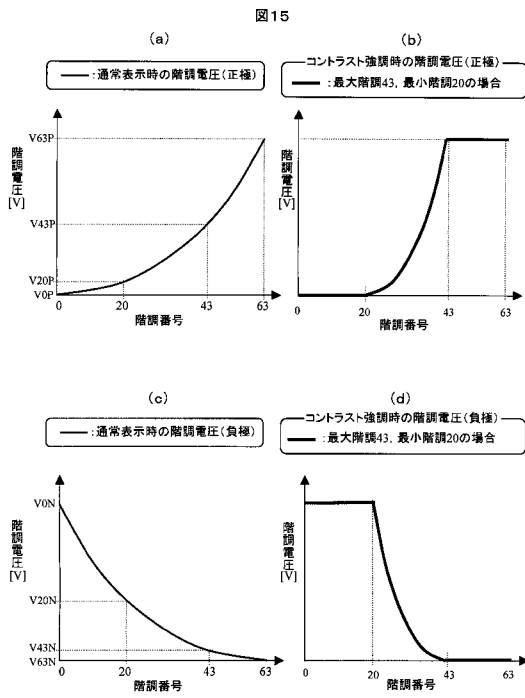
【図 13】



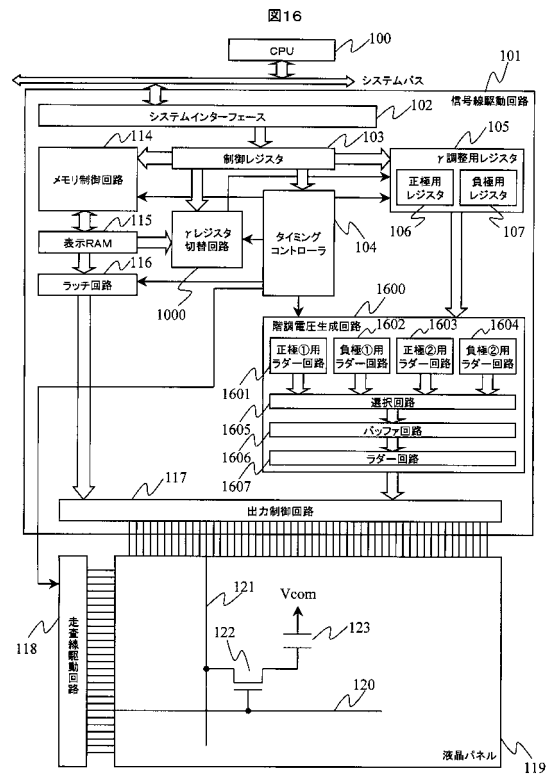
【図 14】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 2 F
G 0 9 G 3/20 6 1 2 U
G 0 9 G 3/20 6 2 1 B
G 0 9 G 3/20 6 4 1 Q

(72)発明者 江里口 卓也
神奈川県横浜市戸塚区吉田町292番地
株式会社 日立製作所 組込みシ
ステム基盤研究所内

(72)発明者 萬場 則夫
神奈川県横浜市戸塚区吉田町292番地
株式会社 日立製作所 組込みシ
ステム基盤研究所内

(72)発明者 青木 義典
千葉県茂原市早野3300番地
株式会社 日立ディスプレイズ内

審査官 西島 篤宏

(56)参考文献 特開2002-366112 (JP, A)
特開2003-233355 (JP, A)
特開2004-326082 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/00-3/38
G 0 2 F 1/133