



등록특허 10-2062403



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년01월03일

(11) 등록번호 10-2062403

(24) 등록일자 2019년12월27일

(51) 국제특허분류(Int. Cl.)

HO1L 27/115 (2017.01) HO1L 21/8247 (2006.01)

(21) 출원번호 10-2013-0024345

(22) 출원일자 2013년03월07일

심사청구일자 2018년02월20일

(65) 공개번호 10-2013-0111286

(43) 공개일자 2013년10월10일

(30) 우선권주장

JP-P-2012-080643 2012년03월30일 일본(JP)

(56) 선행기술조사문현

KR1020110093620 A*

(뒷면에 계속)

(73) 특허권자

소니 세미컨덕터 솔루션즈 가부시키가이샤

일본국 가나가와Ken 아초기시 아사히쵸 4-14-1

(72) 발명자

세이 히로아키

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
내

오바 카즈히로

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사

사내

(뒷면에 계속)

(74) 대리인

최달용

심사관 : 고연화

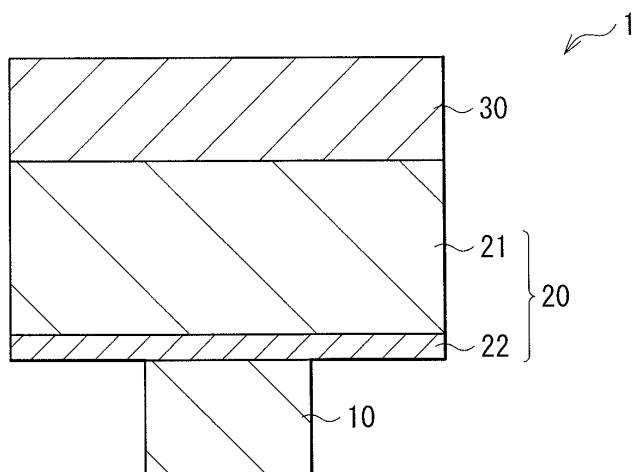
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 기억 소자 및 기억 장치

(57) 요 약

본 발명은, 제1 전극, 이온원총을 구비한 기억층 및 제2 전극을 이 순서로 가지며, 상기 이온원총은, 칼코겐 원소, 산소 및 주기율표 제4족, 제5족 및 제6족 원소에서 선택된 1종 또는 2종 이상의 천이금속 원소를 포함하는 기억 소자를 제공한다.

대 표 도 - 도1



(72) 발명자

소네 타케유키

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
내

이카라시 미노루

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
내

(56) 선행기술조사문현

KR1020100049824 A

JP2009043758 A

JP2009164467 A*

KR1020110068849 A

US20110194329 A1

US20100108972 A1

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

제1 전극, 기억층 및 제2 전극을 이 순서로 가지며,

상기 기억층은,

적어도 칼코겐 원소, 산소 및 천이금속 원소를 포함하는 이온원층을 구비하고,

상기 천이금속 원소는, 주기율표 제4족, 제5족 및 제6족에 포함되는 1종 또는 2종 이상의 금속 원소로부터만 선택되고,

상기 이온원층에 포함되는 산소량은 28% 이상 50% 이하인 것을 특징으로 하는 기억 소자.

청구항 2

제1항에 있어서,

상기 이온원층에 포함되는 상기 천이금속 원소와 상기 칼코겐 원소와의 조성비는, 0.75 이상 2.33 이하인 것을 특징으로 하는 기억 소자.

청구항 3

제1항 또는 제2항에 있어서,

상기 천이금속 원소는, 티탄(Ti), 지르코늄(Zr) 및 하프늄(Hf) 중의 적어도 1종인 것을 특징으로 하는 기억 소자.

청구항 4

제1항 또는 제2항에 있어서,

상기 기억층은 저항 변화층이 제1 전극측에 있고, 상기 저항 변화층은 금속 원소의 산화막, 질화막 또는 산질화막에 의해 구성되어 있는 것을 특징으로 하는 기억 소자.

청구항 5

제4항에 있어서,

상기 제1 전극 및 상기 제2 전극에의 전압 인가에 의해 상기 저항 변화층 내에 상기 금속 원소를 포함하고, 또는 산소 결함을 포함하는 저저항부가 형성됨에 의해 저항치가 변화하는 것을 특징으로 하는 기억 소자.

청구항 6

제1항 또는 제2항에 있어서,

상기 이온원층은 구리(Cu) 및 알루미늄(Al)을 포함하지 않는 것을 특징으로 하는 기억 소자.

청구항 7

제1 전극, 기억층 및 제2 전극을 이 순서로 갖는 복수의 기억 소자와, 상기 복수의 기억 소자에 대해 선택적으로 전압 또는 전류의 펄스를 인가하는 펄스 인가 수단을 구비하고,

상기 기억층은,

적어도 칼코겐 원소, 산소 및 천이금속 원소를 포함하는 이온원층을 구비하고,

상기 천이금속 원소는, 주기율표 제4족, 제5족 및 제6족에 포함되는 1종 또는 2종 이상의 금속 원소에서만 선택되고,

상기 이온원층에 포함되는 산소량은 28% 이상 50% 이하인 것을 특징으로 하는 기억 장치.

발명의 설명

기술 분야

[0001] 본 개시는, 이온원층(源層)을 포함하는 기억층의 전기적 특성의 변화에 의해 정보를 기억하는 기억 소자 및 기억 장치에 관한 것이다.

배경기술

[0002] 데이터 기억용의 반도체 불휘발성 메모리로서 NOR형 또는 NAND형의 플래시 메모리가 일반적으로 사용되고 있다. 이를 반도체 불휘발성 메모리는 메모리 소자 및 구동 트랜지스터를 미세화함에 의해 대용량화가 도모되고 있지만, 기록 및 소거에 대전압이 필요한 것, 플로팅 게이트에 주입하는 전자의 수가 한정되기 때문에 미세화의 한계가 지적되고 있다.

[0003] 현재, ReRAM(Resistance Random Access Memory)나 PRAM(Phase-Change Random Access Memory) 등의 저항 변화형 메모리가, 미세화의 한계를 초과하는 것이 가능한 차세대 불휘발성 메모리로서 제안되어 있다(예를 들면, 특허 문헌 1, 비특허 문헌 1 참조). 이들의 메모리는, 2개의 전극 사이에 저항 변화층을 구비한 단순한 구조를 가지며, 원자 또는 이온이 열이나 전계에 의해 이동하여 전도 패스가 형성됨에 의해 저항 변화층의 저항치가 변화함에 의해 기록 및 소거가 이루어지고 있다고 생각되고 있다.

[0004] 이와 같이, 대용량화를 실현하는 방법으로서는 상술한 메모리의 미세화를 들 수 있지만, 이 밖에, 메모리의 다치화(多值化)가 있다. 메모리의 다치화, 즉, 1소자당 2비트(4치(值)) 또는 3비트(8치) 등의 다치 기록을 가능하게 하는 것으로, 용량은 2배, 3배로 증가한다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 특개2006-196537호 공보

비특허문헌

[0006] (비특허문헌 0001) Waser 외, Advanced Material, 21, p2932(2009)

발명의 내용

해결하려는 과제

[0007] 저항 변화에 의해 기록 및 소거를 행하는 메모리에서는, 저전류로 비교적 높은 저항치의 유지를 가능하게 할 것이 요구된다. 예를 들면, 다치 기록을 실현하기 위해서는, 저저항(예를 들면 수십 $k\Omega$ 이하)과 고저항과의 사이(예를 들면, 수백 $k\Omega$ 또는 수 $M\Omega$)에 중간의 저항치(예를 들면, 수십 $k\Omega$ 내지 수 $M\Omega$)를 갖출과 함께, 장기간 유지할 필요가 있다.

[0008] 그러나, 상술한 바와 같이 미세화된 불휘발성 메모리에서는, 메모리 소자는 소자 면적이 작아짐에 따라 저항이 상승하는 경향이 있다. 또한, 미세화에 수반하여 트랜지스터의 구동 전류가 감소하기 때문에, 소자를 미세화할 수록 기록을 위한 구동 전류가 작아지고, 저저항 상태의 저항치가 보다 상승한다. 이 때문에 다치 기록에 필요한 중간적인 산화 상태(중간 저항치)를 제어하는 것, 및 그 저항치를 유지하는 것이 어렵다는 문제가 있다.

[0009] 본 기술은 이러한 문제점을 감안하여 이루어진 것으로, 그 목적은, 저전류로 기억한 비교적 높은 저항치의 유지를 가능하게 하고, 그 저항치의 제어성을 향상한 기억 소자 및 기억 장치를 제공하는 것에 있다.

과제의 해결 수단

[0010] 본 기술의 기억 소자는, 제1 전극, 이온원층을 구비한 기억층 및 제2 전극을 갖는다. 상기 제1 전극, 상기 기억

총 및 상기 제2 전극은 이 순서로 갖는다. 상기 이온원층은, 칼코겐 원소, 산소 및 주기율표 제4족, 제5족 및 제6족 원소에서 선택된 1종 또는 2종 이상의 천이금속 원소를 포함한다.

[0011] 본 기술의 기억 소자에서는, 초기 상태(고저항 상태)의 소자에 대해 "정방향"(예를 들면 제1 전극측을 부전위, 제2 전극측을 정전위)의 전압 또는 전류 펄스가 인가되면, 이온원층에 포함되는 금속 원소가 이온화하여 기억층(예를 들면, 저항 변화층)에 확산, 또는 산소 이온이 이동함에 의해 저항 변화층에 산소 결합(缺陷)이 생성한다. 이에 의해 기억층 내에 산화 상태가 낮은 저저항부(전도(傳導) 패스)가 형성되고, 저항 변화층의 저항이 낮아진다(기록 상태). 이 저저항인 상태의 소자에 대해 "부방향"(예를 들면 제1 전극측을 정전위, 제2 전극측을 부전위)으로 전압 펄스가 인가되면, 저항 변화층의 금속 이온이 이온원층 중으로 이동, 또는 이온원층으로부터 산소 이온이 이동하여 전도 패스 부분의 산소 결합이 감소한다. 이에 의해 금속 원소를 포함하는 전도 패스가 소멸하고, 저항 변화층의 저항이 높은 상태로 된다(초기 상태 또는 소거 상태).

[0012] 여기서는, 이온원층은 칼코겐 원소, 산소 및 천이금속 원소를 포함하고, 특히 천이금속 원소로서 주기율표 제4족, 제5족 및 제6족에 포함되는 1종 또는 2종 이상의 금속 원소를 사용한다. 주기율표 제4족, 제5족 및 제6족의 천이금속 원소는, 다른 천이금속 원소보다도 산소와 결합하기 쉽다. 이 때문에, 화학적인 안정성이 높고 전압 무인가시(無印加時)에 있어서 금속 이온의 이동, 또는 산소 이온의 이동이 억제된 전도 패스가 형성된다.

[0013] 본 기술의 기억 장치는, 복수의 기억 소자와 펄스 인가 수단을 구비한다. 상기 펄스 인가 수단은 상기 기억 소자에 대해 선택적으로 전압 또는 전류의 펄스를 인가한다. 각 기억 소자는 제1 전극, 이온원층을 포함하는 기억층 및 제2 전극을 이 순서로 갖는다. 상기 이온원층은 칼코겐 원소, 산소 및 주기율표 제4족, 제5족 및 제6족 원소에서 선택된 1종 또는 2종 이상의 천이금속 원소를 포함한다.

발명의 효과

[0014] 본 기술의 기억 소자 또는 기억 장치에 의하면, 기억층으로서 칼코겐 원소, 산소 및 천이금속 원소를 포함하는 이온원층을 마련하고, 특히 천이금속 원소로서는 주기율표 제4족, 제5족 및 제6족에 포함되는 1종 또는 2종 이상의 금속 원소를 사용하도록 하였다. 이에 의해, 전압 무인가시에 있어서 금속 이온의 이동, 또는 산소 이온의 이동이 억제된 화학적으로 안정성이 높은 전도 패스가 형성되고, 중간 저항치의 안정성을 향상하는 것이 가능해진다. 즉, 기록 상태에서의 중간 저항치의 제어가 용이해짐과 함께, 중간 저항치의 유지 성능이 향상한다.

도면의 간단한 설명

[0015] 도 1은 본 개시한 한 실시의 형태에 관한 기억 소자의 구성을 도시하는 단면도.

도 2는 도 1의 기억 소자를 사용한 메모리 셀 어레이의 구성을 도시하는 단면도.

도 3은 메모리 셀 어레이의 평면도.

도 4의 A, B 및 C는 본 개시한 실시례(실험 1)에서의 온도 가속시험 전후의 저항치 및 컨덕턴스값의 분포도.

도 5는 각 재료계에서의 온도 가속시험 전후의 컨덕턴스의 변화를 도시하는 특성도.

도 6의 A 내지 F는 실험 2에서의 온도 가속시험 전후의 컨덕턴스값의 분포도.

도 7의 A 및 B는 실험 2에서의 저항치의 분포도.

도 8은 각 재료계에서의 온도 가속시험 전후의 컨덕턴스의 변화를 도시하는 특성도.

도 9의 A 내지 D는 실험 3에서의 온도 가속시험 전후의 컨덕턴스값의 분포도.

도 10의 A 내지 E는 실험 4에서의 온도 가속시험 전후의 컨덕턴스값의 분포도.

도 11은 실험 5에서의 산소 주입량과 산소 함유량과의 관계를 도시하는 특성도.

도 12의 A 내지 G는 실험 5에서의 온도 가속시험 전후의 컨덕턴스값의 분포도.

도 13의 A 내지 D는 실험 6에서의 저항치 및 온도 가속시험 전후의 컨덕턴스값의 분포도.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 본 개시한 실시의 형태에 관해, 이하의 순서로 도면을 참조하면서 설명한다.

- [0017] 1. 실시의 형태
- [0018] 1-1. 기억 소자
- [0019] 1-2. 기억 장치
- [0020] 2. 실시례
- [0021] [실시의 형태]
- [0022] (1-1. 기억 소자)
- [0023] 도 1은, 본 개시한 한 실시의 형태에 관한 기억 소자(1)의 단면 구성을 도시한 것이다. 이 기억 소자(1)는, 하부 전극(10)(제1 전극), 기억층(20) 및 상부 전극(30)(제2 전극)을 이 순서로 갖는 것이다.
- [0024] 하부 전극(10)은, 예를 들면, 후술(도 2)하는 바와 같이 CMOS(Complementary Metal Oxide Semiconductor) 회로가 형성된 실리콘제의 기판(41)상에 마련되고, CMOS 회로 부분과의 접속부로 되어 있다. 이 하부 전극(10)은, 반도체 프로세스에 사용되는 배선 재료, 예를 들면, 텅스텐(W), 질화텅스텐(WN), 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 탄탈(Ta) 및 실리사이드 등에 의해 구성되어 있다. 하부 전극(10)이 Cu 등의 전계(電界)에서 이온 전도가 생길 가능성이 있는 재료에 의해 구성되어 있는 경우에는 Cu 등으로 이루어지는 하부 전극(10)의 표면을, W, WN, 질화티탄(TiN), 질화탄탈(TaN) 등의 이온 전도나 열확산하기 어려운 재료로 피복하도록 하여도 좋다.
- [0025] 기억층(20)은 상부 전극(30)측부터 차례로 이온원층(21) 및 저항 변화층(22)이 적층된 구조를 갖는다. 이온원층(21)은, 저항 변화층(22) 내에 전도 패스를 형성하는 양이온으로 이루어지는 원소 및 음이온화 가능한 원소를 포함한다. 또한, 전술한 금속 이온(가동 이온)이란, 여기서는 양이온인 것이다.
- [0026] 본 실시의 형태에서의 이온원층(21)은, 음이온화하는 이온 도전 재료로서 텔루르(Te), 황(S) 및 셀렌(Se) 등의 칼코겐 원소를 적어도 1종 이상 함축, 또한 산소(O)를 포함하고 있다. 양이온화 가능한 금속 원소로서는 천이금속 원소, 특히, 주기율표의 제4족(티탄(Ti), 지르코늄(Zr), 하프늄(Hf)), 제5족(바나듐(V), 니오브(Nb), 탄탈(Ta)) 및 제6족(크롬(Cr), 몰리브덴(Mo), 텅스텐(W))의 금속 원소를 1종 또는 2종 이상 포함하고 있다.
- [0027] 이온원층(21)은, 여기서는 상부 전극(30)에 접하여 마련되어 있다. 이온원층(21) 내에서는, 상기 천이금속 원소와 칼코겐 원소와 산소와는 결합하여 금속 칼코게나이드 산화물층을 형성하여 있다. 이 금속 칼코게나이드 산화물층은 주로 비정질 구조를 가지며, 이온 공급원으로서의 역할을 다하는 것이다. 상기 천이금속 원소를 포함하는 전도 패스는, 이온원층(21)의 부근이나 저항 변화층(22) 중에서 다른 천이금속 원소에 비하여 화학적으로 안정하고, 중간적인 산화 상태를 만들기 쉽고, 또한, 그 상태를 유지하기 쉽다. 이 때문에, 기억 소자(1)의 저항치의 제어성 및 데이터 유지 성능이 향상한다.
- [0028] 또한, 천이금속 원소에 의한 전도 패스 및 그 부근에서는, 각각 저항이 낮은, 중간 및 높은 값이 되는 메탈 상태, 칼코겐 화합물 상태 및 산화물 상태의 3개의 상태를 취할 수 있다. 저항 변화층(22)의 저항치는, 이들 3개의 상태의 혼합 상태로 결정되고, 이들 3개의 상태의 혼합 상태를 변화시킴으로써 다양한 값(중간 저항치)을 취할 수 있다. 본 실시의 형태에서는, 이온원층(21)에 상술한 바와 같이 화학적으로 안정한 중간적인 저항치의 전도 패스를 형성하는 것이 가능한 상기 천이금속 원소를 사용함에 의해, 기억 소자(1) 내의 저항치, 특히 중간 저항치의 제어성 및 데이터 유지 성능이 향상한다.
- [0029] 저항 변화층(22)은, 금속 산화물, 금속 질화물 또는 금속 산질화물을 포함하고, 여기서는 하부 전극(10)에 접하여 마련되어 있다. 이 저항 변화층(22)은, 하부 전극(10)과 상부 전극(30)과의 사이에 소정의 전압을 인가한 경우에 그 저항치가 변화한다. 저항 변화층(22)의 금속재료로서는, 초기 상태에서 고저항, 예를 들면 수MΩ부터 수백GΩ 정도의 값을 갖는 층이라면 특히 한정은 없다. 예를 들면, 저항 변화층(22)의 재료로서 금속 산화물을 사용하는 경우에는, 금속 원소로서 고저항, 즉 밴드 갭이 큰 금속 산화물을 형성 가능한, Zr, Hf, Al 및 희토류 원소 등을 사용하는 것이 바람직하다. 또한, 금속 질화물을 사용하는 경우에도, 수MΩ부터 수백GΩ 정도의 저항치를 실현할 수 있고, 소거 동작시에 전도 패스가 산소의 이동에 의해 산화하여 고저항이 되기 쉬운 점에서, 금속 원소로서 Zr, Hf, Al 및 희토류 원소 등을 사용하는 것이 바람직하다. 또한, 금속 산질화물을 사용하는 경우에도 마찬가지로, 수MΩ부터 수백GΩ 정도의 저항치를 실현할 수 있는 금속 원자라면 좋다. 저항 변화층(22)의 막두께로서는, 상술한 수MΩ부터 수백GΩ 정도의 소자 저항이 실현되면 좋고, 소자의 크기나 이온원층(21)의 저항치에 의해서도 그 최적치가 변화하지만, 예를 들면 1nm 내지 10nm 정도가 바람직하다.
- [0030] 또한, 저항 변화층(22)은 반드시 적극적으로 형성할 필요는 없다. 기억 소자(1)의 제조 공정중에서 이온원층

(21)에 포함되는 천이금속 원소와 산소가 결합하고, 자연스럽게 하부 전극(10)상에 저항 변화층(22)에 상당하는 금속 산화막이 형성된다. 또는, 소거 방향의 전압 바이어스를 인가함으로써 형성되는 산화막이 저항 변화층(22)에 상당하는 것으로 된다.

[0031] 상부 전극(30)은, 하부 전극(10)과 마찬가지로 공지의 반도체 배선 재료를 사용할 수 있지만, 포스트 어닐을 경유하여도 이온원층(21)과 반응하지 않는 안정한 재료가 바람직하다.

[0032] 본 실시의 형태의 기억 소자(1)에서는, 전원 회로(펄스 인가 수단(60))로부터 하부 전극(10) 및 상부 전극(30)을 통하여 전압 펄스 또는 전류 펄스를 인가하면, 기억층(20)의 전기적 특성(저항치)이 변화하는 것이고, 이에 의해 정보의 기록, 소거 또는 재기록이 행하여진다. 이하, 그 동작을 구체적으로 설명한다.

[0033] 우선, 상부 전극(30)이 예를 들면 정전위, 하부 전극(10)측이 부전위가 되도록 하여 고저항인 초기 상태를 갖는 기억 소자(1)에 대해 정전압을 인가한다. 이에 의해, 이온원층(21)중의 천이금속 원소가 이온화하여 하부 전극(10)측으로의 이동, 또는 하부 전극(10)측부터의 산소 이온의 이동에 의한 하부 전극(10)측에서의 캐소드 반응에 의해, 하부 전극(10)의 계면에 형성된 저항 변화층(22)에서 환원 반응이 일어난다. 이에 의해, 산소 결합 농도가 증대한 부분이 발생한다. 이 산소 결합 농도가 높은 부분, 또는 산화 상태가 낮은 부분이 서로 접속함에 의해, 저항 변화층(22) 중에 전도 패스가 형성되고, 저항 변화층(22)은 초기 상태의 저항치(고저항 상태)보다도 낮은 저항치(저저항 상태)가 된다.

[0034] 그 후, 정전압을 제거하여 기억 소자(1)에 걸리는 전압을 없애도, 저저항 상태가 유지된다. 이에 의해 정보가 기록된 것으로 된다. 한번만 기록이 가능한 기억 장치, 이른바, PROM(Programmable Read Only Memory)에 사용하는 경우에는, 상기한 기록 과정만으로 기록은 완결된다.

[0035] 한편, 소거가 가능한 기억 장치, 즉, RAM(Random Access Memory) 또는 EEPROM(Electronically Erasable and Programmable Read Only Memory) 등에의 응용에는 소거 과정이 필요하다. 소거 과정에서는, 상부 전극(30)이 예를 들면 부전위, 하부 전극(10)측이 정전위가 되도록 기억 소자(1)에 대해 부전압을 인가한다. 이에 의해, 저항 변화층(22) 내에 형성되어 있던 전도 패스를 구성하는 산소 결합 농도가 높은 부분, 또는 산화 상태가 낮은 부분의 전도 패스에서의 애노드 반응에 의해 천이금속 이온은 산화되어 이온원층(21)측으로 이동한다. 또는, 이온원층(21)으로부터 저항 변화층(22)의 전도 패스 부근에 산소 이온이 이동함에 의해 전도 패스의 산소 결합 농도가 감소 또는 산화 상태가 높아진다. 이에 의해, 전도 패스가 절단되고, 저항 변화층(22)의 저항치는 저저항 상태로부터 고저항 상태로 변화한다.

[0036] 그 후, 부전압을 제거하여 기억 소자(1)에 걸리는 전압을 없애도, 저항치가 높아진 상태로 유지된다. 이에 의해 기록된 정보가 소거된 것으로 된다. 이와 같은 과정을 반복함에 의해, 기억 소자(1)에 정보의 기록과 기록된 정보의 소거를 반복하여 행할 수 있다.

[0037] 상기한 바와 같은 기억 소자(1)에서는, 예를 들면, 저항치가 높은 상태를 "0"의 정보에, 저항치가 낮은 상태를 "1"의 정보에, 각각 대응시키면, 정전압의 인가에 의한 정보의 기록 과정에서 "0"으로부터 "1"로 바꾸고, 부전압의 인가에 의한 정보의 소거 과정에서 "1"로부터 "0"으로 바꿀 수 있다. 또한, 여기서는 기억 소자를 저저항화하는 동작 및 고저항화하는 동작을 각각 기록 동작 및 소거 동작에 대응시켰지만, 그 대응 관계는 역으로 정의하여도 좋다.

[0038] 본 실시의 형태에서는, 기록시에 하부 전극(10)측에 바이어스 전압을 인가한 때에 전압을 제어하거나, 제한 저항이나 구동용의 MOS 트랜지스터의 게이트 전압을 제어함으로써, 이른바 기록 저항을 제어하여, 중간적인 저항치를 조제(調製)할 수 있다. 또한, 소거 동작시에도, 바이어스 전압의 크기나, 제한 저항 또는 MOS 트랜지스터의 게이트 전압에 의한 전류치를 조제함에 의해 중간적인 저항치로 제어할 수 있다. 이에 의해, 2치뿐만 아니라 다치의 메모리를 실현한다.

[0039] 예를 들면, 상기 "0"과 "1"의 2개의 저항치의 사이에 중간적인 저항치를 조정하고, 예를 들면 2레벨을 추가하여, 각각 "00", "01", "10", "11"로 함에 의해, 4치를 기록할 수 있다. 즉, 하나의 소자당에 2비트의 정보를 기록하는 것이 가능해진다.

[0040] 구체적으로는, 본 실시의 형태의 기억 소자(1)에서는, 상술한 바와 같이 이온원층(21)을 칼코겐 원소 및 산소를 포함한 충중에서 비교적 안정한 상기 천이금속 원소를 사용함에 의해, 중간적인 저항치의 제어성 및 유지 성능을 향상시키고 있다. 또한, 이온원층(21)중의 산소량 및 천이금속 원소와 칼코겐 원소와의 존재 비율을 조제함으로써, 저항치의 제어성 및 유지 성능을 더욱 향상시키는 것이 가능해진다. 이하에 이온원층(21)에 포함되는

바람직한 산소량 및 천이금속 원소와 칼코겐 원소의 조성비율에 관해 설명한다.

[0041] 전술한 바와 같이, 저항 변화층(22)의 저항치는, 전도 패스 부근의 천이금속 원소의 상태, 즉, "메탈 상태/텔루르 화합물 상태/산화물 상태"의 3개의 상태에 의해 제어된다. 3개의 상태는, 이온원층(21)에 포함되는 산소의 양에 의해 변화하고, 이온원층(21)중의 산소량을 10% 이상 55% 이하로 함으로써, 이 3개의 상태를 알맞게 제어하는 것이 가능해진다. 이온원층(21)중의 산소량이 55%보다도 많은 경우에는, 천이금속 원소와 산소의 결합의 기여가 너무 커져서, "메탈 상태/텔루르 화합물 상태/산화물 상태"의 3개의 상태를 취하는 것이 곤란해지고, 중간 저항치의 유지 성능을 유지할 수가 없게 된다. 또한, 이온원층(21)중의 산소량이 10% 미만인 경우에는, 중간적인 조성 및 결합 상태를 유지하기 어려워지기 때문에 중간 저항치를 유지하는 것이 곤란해진다. 이것은, 반드시 분명하지는 않지만, 천이금속 원소와 산소의 결합의 기여가 작아지고, 산소, 텔루르, 및 천이금속 원소의 결합의 밸런스가 무너지기 쉬워지기 때문에이라고 생각된다.

[0042] 또한, 상술한 현상은 텔루르 이외의 칼코겐 원소, 즉, 산소와 전기 음성도가 다른 황 및 셀렌이라도 마찬가지이다. 또한, 이온원층(21)에 포함되는 칼코겐 원소는, 황, 셀렌 및 텔루르를 2종 이상 조합시켜서 사용하여도 좋다. 또한, 상기 산소량은, 러더포드 후방 산란법(Rutherford Back Scattering : RBS)을 이용하여 기억 소자(1)의 이온원층(21)을 측정한 경우의 값이다.

[0043] "메탈 상태/텔루르 화합물 상태/산화물 상태"의 3개의 상태는, 상기 이온원층(21)중의 산소량 외에, 이온원층(21)에 포함되는 천이금속 원소와 칼코겐 원소와의 존재 비율에 의해 제어된다. 3개의 상태를 알맞게 제어하는 것이 가능한 천이금속 원소 및 칼코겐 원소의 조성 범위는, 천이금속 원소와 칼코겐 원소의 비율이 3:7 이상 7:3 이하의 범위 내로 된다. 천이금속 원소와 칼코겐 원소의 비율이 너무 작아진 경우에는, 이온원층(21)의 저항치가 너무 상승하기 때문에, MOS 회로에서 생성할 수 있는 전압으로는 소자 동작이 곤란해지고, 특히 선단 프로세스에 의한 미세 소자에서는 그 효과가 현저하다. 천이금속 원소와 칼코겐 원소의 비율이 너무 커진 경우에는, 산소, 텔루르, 및 천이금속 원소의 결합이 밸런스가 무너지기 쉬워지기 때문에, 상(相) 변화나 화학 변화를 일으키기 쉽고 중간적인 저항을 유지하기 어려워진다.

[0044] 이하, 본 실시의 형태의 기억 소자(1)의 제조 방법에 관해 설명한다.

[0045] 우선, 선택 트랜지스터 등의 CMOS 회로가 형성된 기판상에, 예를 들면 TiN으로 이루어지는 하부 전극(10)을 형성한다. 그 후, 필요하면 역(逆)스퍼터 등으로, 하부 전극(10)의 표면상의 산화물 등을 제거한다. 계속해서, 저항 변화층(22), 이온원층(21) 및 상(上)전극(30)까지를 각 층의 재료에 적응한 조성으로 이루어지는 타겟을 사용하여 스퍼터링 장치 내에서, 각 타겟을 교환함에 의해, 각층을 연속해서 성막한다. 전극 지름은 50 내지 300 nm이다. 합금막은 구성 원소의 타겟을 사용하여 동시 성막한다.

[0046] 상부 전극(30)까지 성막한 후, 상부 전극(30)에 접속하는 배선층(도시 생략)을 형성하고, 모든 기억 소자(1)와 공통 전위를 얻기 위한 콘택트부를 접속한다. 그 후, 적층막에 포스트 어닐 처리를 시행한다. 이상에 의해 도 1에 도시한 기억 소자(1)가 완성된다.

[0047] 이 기억 소자(1)에서는, 상술한 바와 같이 상부 전극(30) 및 하부 전극(10)에 각각 정전위 또는 부전위가 되도록 전압을 인가함에 의해, 저항 변화층(22) 중에 전도 패스가 형성된다. 이에 의해 저항 변화층(22)의 저항치가 낮아지고, 기록이 행하여진다. 다음에, 상부 전극(30) 및 하부 전극(10)의 각각에 기록시와는 역극성의 전압을 인가함에 의해, 저항 변화층(22) 내에 형성된 전도 패스의 금속 원소가 이온화하여 이온원층(21)으로 이동한다. 또는, 이온원층(21)으로부터 저항 변화층(22)의 특히 전도 패스 부분에 산소 이온이 이동한다. 이에 의해, 산소 결합 농도가 감소 또는 산화 상태가 상승하게 되어 전도 패스가 절단된다. 따라서, 저항 변화층(22)의 저항치가 상승하고 소거가 행하여진다. 또한, 기록시 및 소거시에 있어서 인가하는 전압을 조제함에 의해 중간적인 저항치가 제어되어, 다치 기록이 가능해진다.

[0048] 종래 사용되고 있는 미세화에 대응한 기억 소자는, 예를 들면 "하부 전극/기억층/상부 전극"이라는 구성을 가지며, 예를 들면, 기억층에 산소와 천이금속 원소를 포함하는 RRAM(등록상표) 재료를 사용한 기억 소자가 보고되어 있다. 미세화한 기억 소자에서는 트랜지스터의 구동 전류는 감소하여 기록을 위한 구동 전류가 작아지기 때문에, 저저항 상태의 저항치가 보다 상승하고, 저저항 상태와 고저항 상태 사이의 저항치의 간격(저항 간격)이 좁아진다. 다치 기록을 실현하기 위해서는, 전술한 바와 같이 저항 변화에 의해 기록 및 소거를 행하는 메모리에서는, 저저항과 고저항과의 사이에 중간의 저항치를 제어함과 함께, 장기간 유지할 필요가 있다. 구체적으로는, 다치 동작을 위해서는 이 좁은 저항 간격에, 예를 들면 4레벨(2비트/셀)이나 8레벨(3비트/셀)로 분할하여, 그 저항치를 유지할 필요가 있다.

- [0049] 그러나, 상술한 바와 같은 기억 소자에서는, 금속 원소와 결합하는 원소가 산소(0)뿐이기 때문에, 전압 인가에 의해 전도 패스가 형성되어도 전도 패스의 열적 및 화학적인 안정성이 충분하지 않았다. 이 때문에, 장기간의 보존 또는 온도 가속에 의해 전도 패스가 재차 산화되어 고저항화되어, 다치 기록을 실현하기 위해 필요한 고저항과 저저항 사이의 중간 상태의 저항치를 유지, 특히 다수의 비트에서 갖추는 것 및 장기간 유지하는 것이 어려웠다.
- [0050] 또한, 천이금속 원소와 텔루르를 비롯한 칼코겐 원소를 사용한 기억 소자에서는, 천이금속 원소 외에 구리(Cu)가 사용되고 있다. 이와 같은 기억 소자에서는 전도 패스에는 Cu가 포함되어 있다. Cu는, 칼코겐의 매트릭스중에서 이온 전도되기 쉽기 때문에, 칼코겐 원소 내에서 그 열적 화학적인 안정성이 충분하지가 않고, 상기 기억 소자와 마찬가지로 중간적인 저항치를 제어함과 함께, 장기간 유지하는 것은 어려웠다.
- [0051] 이에 대해, 본 실시의 형태의 기억 소자(1)에서는, 이온원충(21)을 구성하는 재료로서, 칼코겐 원소, 산소 및 천이금속 원소를 사용하고, 특히, 천이금속 원소는 주기율표 제4족, 제5족 및 제6족에 포함되는 금속 원소를 1종 또는 2종 이상 사용하도록 하였다. 주기율표 제4족, 제5족 및 제6족에 포함되는 금속 원소는 다른 천이금속 보다도 산소와 결합하기 쉽고, 화학적으로 안정한 전도 패스를 형성하기 쉽다. 즉, 일단 결합 또는 수용한 산소 원자를 떼기가 어렵고, 전압 무인가시에 있어서 전도 패스를 구성하는 금속 이온이 이동하기 어려운 전도 패스를 형성하는 것이 가능해진다.
- [0052] 이상과 같이 본 실시의 형태의 기억 소자(1)에서는, 칼코겐 원소, 산소 및 천이금속 원소를 사용하여 이온원충(21)을 형성하고, 특히, 천이금속 원소로서는 주기율표 제4족, 제5족 및 제6족에 포함되는 금속 원소를 1종 또는 2종 이상 사용하도록 하였다. 이에 의해, 전압 무인가시에 있어서 화학적으로 안정한 전도 패스가 형성되고, 중간적인 산화 상태(중간 저항치)를 용이하게 제어하는 것이 가능해짐과 함께, 중간 저항치의 유지 저능이 향상한다.
- [0053] (1-2. 기억 장치)
- [0054] 상기 기억 소자(1)를 다수, 예를 들면 열형상이나 매트릭스형상으로 배열함에 의해, 기억 장치(메모리)를 구성할 수 있다. 이때, 각 기억 소자(1)에, 필요에 응하여, 소자 선택용의 MOS 트랜지스터, 또는 다이오드를 접속하여 메모리 셀을 구성하고, 또한, 배선을 통하여, 센스 앰프, 어드레스 디코더, 기록/소거/판독 회로 등에 접속하면 좋다.
- [0055] 도 2 및 도 3은 다수의 기억 소자(1)를 매트릭스형상으로 배치한 기억 장치(메모리 셀 어레이)의 한 예를 도시한 것이고, 도 2는 단면 구성, 도 3은 평면 구성을 각각 도시하고 있다. 이 메모리 셀 어레이에서는, 각 기억 소자(1)에 대해, 그 하부 전극(10)측에 접속되는 배선과, 그 상부 전극(30)측에 접속되는 배선을 교차하도록 마련하고, 예를 들면 이들 배선의 교차점 부근에 각 기억 소자(1)가 배치되어 있다.
- [0056] 각 기억 소자(1)는, 저항 변화충(22), 이온원충(21) 및 상부 전극(30)의 각층을 공유하고 있다. 즉, 저항 변화충(22), 이온원충(21) 및 상부 전극(30) 각각은 각 기억 소자(1)에 공통의 층(동일층)에 의해 구성되어 있다. 상부 전극(30)은, 인접 셀에 대해 공통의 플레이트 전극(PL)으로 되어 있다.
- [0057] 한편, 하부 전극(10)은, 메모리 셀마다 개별적으로 마련됨에 의해, 인접 셀 사이에서 전기적으로 분리되어 있고, 각 하부 전극(10)에 대응한 위치에 각 메모리 셀의 기억 소자(1)가 규정된다. 하부 전극(10)은 각각 대응하는 셀 선택용의 MOS 트랜지스터(Tr)에 접속되어 있고, 각 기억 소자(1)는 이 MOS 트랜지스터(Tr)의 상방에 마련되어 있다.
- [0058] MOS 트랜지스터(Tr)는, 기판(41) 내의 소자 분리층(42)에 의해 분리된 영역에 형성된 소스-드레인 영역(43)과 게이트 전극(44)에 의해 구성되어 있다. 게이트 전극(44)의 벽면에는 사이드 월 절연층이 형성되어 있다. 게이트 전극(44)은, 기억 소자(1)의 한쪽의 어드레스 배선인 워드선(WL)을 겹하고 있다. MOS 트랜지스터(Tr)의 소스-드레인 영역(43)의 한쪽과, 기억 소자(1)의 하부 전극(10)이, 플러그충(45), 금속 배선충(46) 및 플러그충(47)을 통하여 전기적으로 접속되어 있다. MOS 트랜지스터(Tr)의 소스-드레인 영역(43)의 다른쪽은, 플러그충(45)을 통하여 금속 배선충(46)에 접속되어 있다. 금속 배선충(46)은, 기억 소자(1)의 다른쪽의 어드레스 배선인 비트선(BL)(도 3 참조)에 접속되어 있다. 또한, 도 3에서는, MOS 트랜지스터(Tr)의 액티브 영역(48)을 쇄선으로 나타내고 있고, 콘택트부(51)는 기억 소자(1)의 하부 전극(10), 콘택트부(52)는 비트선(BL)에 각각 접속되어 있다.
- [0059] 이 메모리 셀 어레이에서는, 워드선(WL)에 의해 MOS 트랜지스터(Tr)의 게이트를 온 상태로 하여, 비트선(BL)에

전압을 인가하면, MOS 트랜지스터(Tr)의 소스-드레인을 통하여, 선택된 메모리 셀의 하부 전극(10)에 전압이 인가된다. 여기서, 하부 전극(10)에 인가된 전압의 극성이, 상부 전극(30)(플레이트 전극(PL))의 전위에 비하여 부전위인 경우에는, 위에서 설명한 바와 같이 기억 소자(1)의 저항치가 저저항 상태로 전이한다. 이에 의해 선택된 메모리 셀에 정보가 기록된다. 다음에, 하부 전극(10)에, 상부 전극(30)(플레이트 전극(PL))의 전위에 비하여 정전위의 전압을 인가하면, 기억 소자(1)의 저항치가 재차 고저항 상태로 전이한다. 이에 의해 선택된 메모리 셀에 기록된 정보가 소거된다. 기록된 정보의 판독을 행하려면, 예를 들면, MOS 트랜지스터(Tr)에 의해 메모리 셀을 선택하고, 그 셀에 대해 소정의 전압 또는 전류를 인가한다. 이때의 기억 소자(1)의 저항 상태에 의해 다른 전류 또는 전압을, 비트선(BL) 또는 플레이트 전극(PL)의 먼저 접속된 센스 앰프 등을 통하여 검출한다. 또한, 선택한 메모리 셀에 대해 인가하는 전압 또는 전류는, 기억 소자(1)의 저항치의 상태가 전이하는 전압 등의 임계치보다도 작게 한다.

[0060] 본 실시의 형태의 기억 장치에서는, 위에서 설명한 바와 같이 각종의 메모리 장치에 적용할 수 있다. 예를 들면, 한번만 기록이 가능한 PROM, 전기적으로 소거가 가능한 EEPROM, 또는, 고속으로 기록, 소거, 및 재생이 가능한, 이른바 RAM 등, 어느 메모리 형태라도 적용하는 것이 가능하다.

[0061] [2. 실시례]

[0062] 이하, 본 개시한 구체적인 실시례에 관해 설명한다.

[0063] (실험 1 : 본 실시의 형태 및 종래 재료를 사용한 기억 소자의 저항 유지 특성)

[0064] 상기 기억 소자(1)의 제조 방법을 이용하여 샘플 1-1 내지 1-3을 제작하였다. 우선, 바탕에 트랜지스터를 조립한 TiN으로 이루어지는 하부 전극(10)을 역스퍼터에 의해 클리닝한 후, Al을 2nm의 막두께로 성막하고, 산소 플라즈마에 의해 산화하여 AlO_x를 형성하여 저항 변화층(22)을 형성하였다. 다음에, 원자%비로 Zr 50%, Te 50%를 Ar의 프로세스 가스중에 산소를 유량비로 아르곤(Ar)(sccm)/산소(sccm)=75/5의 비율로 혼합하여 리액티브 스퍼터링을 행하여, ZrTeO_x층을 막두께 45nm로 형성하여 이온원층(21)으로 하였다. 계속해서, W를 30nm 형성하여 상부 전극(30)으로 하였다. 최후, 320도, 2h의 열처리를 행한 후 패터닝하여 기억 소자(샘플 1-1)를 제작하였다. 이 밖에, 같은 공정을 경유하여, 샘플 1-2, 1-3을 제작하였다. 각 샘플의 조성은 "하부 전극/저항 변화층/이온 원층/상부 전극"의 순서로 이하에 나타낸다.

[0065] (샘플 1-1) TiN/Al(2nm)-O_x/Zr50Te50-O_x(45nm)/W(30nm)

[0066] (샘플 1-2) TiN/Al(2nm)-O_x/Zr50Te50(45nm)/W(30nm)

[0067] (샘플 1-3) TiN/ZrO_x(5nm)/W(30nm)

[0068] 상기 각 샘플로 메모리 어레이를 제작하고, 각각의 샘플에 관해 소자 컨덕턴스가 레벨 1(3μs) 및 레벨 2(10μs)의 2치가 되도록 각각 60bit에 대해 기록 동작을 행하였다. 구체적으로는, 기록 전압을 3.5V로 하고, 게이트 전압을 0.8V로부터 0.05V마다 상승시켜서, 컨덕턴스값이 설정치가 될 때까지 게이트 전압을 상승시키면서 기록 펄스를 가한 후, 소정의 컨덕턴스값이 된 점에서 기록 동작을 멈추고, 컨덕턴스값을 갖추었다. 또한, 40회 이상 기록 펄스를 가하여도 소망하는 컨덕턴스값이 되지 않는 경우에는, 그곳에서 기록 종료로 하였다. 다음에, 150 °C, 1시간의 온도 가속 유지 시험을 행하고, 저항치(도 4의 A, B 및 C의 좌) 및 컨덕턴스값(도 4의 A, B 및 C의 우)의 변화를 측정하였다.

[0069] 또한, 레벨 1(3μs) 및 레벨 2(10μs)의 2치는, 고저항 상태와 저저항 상태 사이의 중간적인 저항치이고, 종래 재료로 구성된 이온원층을 이용한 경우에는, 컨덕턴스값을 갖추는 것도, 그 값을 유지하는 것도 곤란하다. 도 4의 A 내지 C의 좌에 도시한 컨덕턴스값의 변화의 분포도는, 종축은 정규 분포의 표준 편차(σ)로 규격화한 누적도수 분포이고, 데이터 라벨을 확률% 표시로 하고 있다. 횡축은 컨덕턴스값(μs)으로 있고, 검은원은 데이터 세트 후의 판독치, 흰원은 온도 가속시험 후의 컨덕턴스값의 분포를 나타내고 있다.

[0070] 전술한 바와 같이, 메모리는 기억 소자 및 트랜지스터를 미세화함에 의해 대용량화할 수 있지만, 미세화된 트랜지스터는 구동 전류가 작아진다. 이 때문에, 기록 전류치도 저하되어 기록 저항치는 100kΩ 이상이라는 고저항층, 컨덕턴스값으로는 10 μs 이하(레벨 1, 2에 상당)의 값으로의 동작이 요구된다. 샘플 1-1(도 4의 A)에서는, 온도 가속 유지 시험 전후의 저항치의 시프트는 매우 적다. 또한 컨덕턴스값에서는, 샘플 1-1의 초기의 저항치가 0.002 μs이고 2개의 분포 곡선은 각각 3 μs 및 10 μs 부근이기 때문에, 레벨 1 및 레벨 2의 기록이 정상적으로 행하여지고 있음을 확인할 수 있었다. 또한, 레벨 1 및 레벨 2의 양쪽의 값으로 갖추어져 있고, 또한 어느 분포 곡선도 유지 온도 가속에 의한 컨덕턴스값의 시프트가 적었다. 따라서, 샘플 1-1에서는, 양호한 중간

저항치의 제어 및 유지 성능을 구비하고 있다고 간주할 수 있다. 이에 대해, 이온원총(21)을 천이금속 원소 및 칼코겐 원소만으로 구성한 샘플 1-2 및, 이온원총을 형성하지 않고 기억총(20)으로서 산화 지르코늄만으로 이루어지는 층을 형성한 샘플 1-3에서는, 100kΩ 이상의 저항치의 유지가 나쁘고, 컨덕턴스값에서도 레벨 1 및 레벨 2의 기록 분포가 나쁘고, 또한 온도 가속 유지 시험 후에는 크게 변화하였다.

[0071] 또한, 레벨 1($3\text{ }\mu\text{S}$)에서의 컨덕턴스값의 유지는 가장 곤란하고, 소자 성능의 우열이 명확하게 된다. 도 5는, 레벨 1의 데이터를 이용하여 샘플 1-1 내지 1-3의 온도 가속 유지 시험 전후의 분포 곡선이, 이상선(온도 가속 유지 시험 전후에서 컨덕턴스값이 전혀 변화하지 않는 이상 상태)으로부터 어느 정도 괴리되어 있는지를 도시한 특성도이다. 횡축은, 온도 가속 유지 시험 전의 컨덕턴스 분포의 각 값이고, 종축은 온도 가속 유지 시험 후의 컨덕턴스 분포의 각 값을 플롯한 것이다. 도 5로부터, 이온원총(21)으로서 천이금속 원소, Te 및 산소를 사용한 본 발명의 샘플 1-1에서는, 종래 재료를 사용한 기억 소자(샘플 1-2, 1-3)에서는 유지가 곤란하였었던 저(低)컨덕턴스 영역에서의 유지 성능이 개선되어 있음을 알 수 있다. 즉, 이온원총(22)의 재료로서 천이금속 원소, Te 및 산소를 사용함에 의해 다치 메모리에서 요구되는 중간 저항의 제어성과 유지 특성이 향상함을 알 수 있다.

[0072] (실험 2 : 각 천이금속 원소를 사용한 기억 소자의 각종 특성)

[0073] 상기 기억 소자(샘플 1)와 같은 공정을 경유하여, 샘플 2-1 내지 2-19를 제작하였다. 또한, 샘플 2-1 내지 2-19의 하부 전극, 저항 변화층 및 상부 전극은 공통이고, 각각 TiN, Al(2nm)-0x, W(30nm)이다. 각 샘플의 이온원총 조성은 이하에 나타낸다.

[0074] (샘플 2-1) Ti40Te60-0x(45nm)

[0075] (샘플 2-2) Zr40Te60-0x(45nm)

[0076] (샘플 2-3) Hf40Te60-0x(45nm)

[0077] (샘플 2-4) V50Te50-0x(45nm)

[0078] (샘플 2-5) Nb40Te60-0x(45nm)

[0079] (샘플 2-6) Ta40Te60-0x(45nm)

[0080] (샘플 2-7) Cr40Te60-0x(45nm)

[0081] (샘플 2-8) Mo40Te60-0x(45nm)

[0082] (샘플 2-9) W40Te60-0x(45nm)

[0083] (샘플 2-10) Co40Te60-0x(45nm)

[0084] (샘플 2-11) Mn55Te45-0x(45nm)

[0085] (샘플 2-12) Ni40Te60-0x(45nm)

[0086] (샘플 2-13) Pd40Te60-0x(45nm)

[0087] (샘플 2-14) Cu40Te60-0x(45nm)

[0088] (샘플 2-15) Ag50Te50-0x(45nm)

[0089] (샘플 2-16) Zn50Te50-0x(45nm)

[0090] (샘플 2-17) CuZrTeAl(45nm)

[0091] (샘플 2-18) AlZrTeO(45nm)

[0092] (샘플 2-19) CuZrTeO(45nm)

[0093] 상기 조건을 이용하여 샘플 2-1 내지 2-19를 60비트마다 레벨 1($3\text{ }\mu\text{S}$) 및 레벨 2($10\text{ }\mu\text{S}$)의 각각 다른 컨덕턴스로 갖추어서 기록을 행하고, 온도 가속 유지 시험 전후의 컨덕턴스값의 변화를 조사하였다. 도 6의 A 내지 F는 샘플 2-3, 2-12, 2-15, 2-17, 2-18, 2-19에서의 온도 가속 유지 시험 전후의 컨덕턴스값의 분포를 도시한 것이다. 또한, 기억총(20)의 형성 후 및 320°C 어닐 후에 막 벗겨짐 시험을 행하고, 또한 소자 미세 가공 프로세스 시에 막 들뜸 및 막 벗겨짐이 발생을 확인하고, 결과를 표 1에 표시하였다.

표 1

	재료	기억층 형성후	320°C 어닐후	미세가공 프로세스
샘플 2-1	Ti40-Te60-Ox	GOOD	GOOD	GOOD
샘플 2-2	Zr40-Te60-Ox	GOOD	GOOD	GOOD
샘플 2-3	Hf50-Te50-Ox	GOOD	GOOD	GOOD
샘플 2-4	V50-Te50-Ox	GOOD	GOOD	GOOD
샘플 2-5	Nb40-Te60-Ox	GOOD	GOOD	GOOD
샘플 2-6	Ta40-Te60-Ox	GOOD	GOOD	GOOD
샘플 2-7	Cr40-Te60-Ox	GOOD	GOOD	GOOD
샘플 2-8	Mo40-Te60-Ox	GOOD	GOOD	GOOD
샘플 2-9	W40-Te60-Ox	GOOD	GOOD	GOOD
샘플 2-10	Mn55-Te45-Ox	GOOD	GOOD	GOOD
샘플 2-11	Co40-Te60-Ox	GOOD	POOR	POOR
샘플 2-12	Ni40-Te60-Ox	GOOD	GOOD	GOOD
샘플 2-13	Pd55-Te45-Ox	GOOD	AVERAGE	AVERAGE
샘플 2-14	Cu40-Te60-Ox	GOOD		POOR
샘플 2-15	Ag60-Te40-Ox	AVERAGE	AVERAGE	POOR
샘플 2-16	Zn40-Te60-Ox	GOOD	GOOD	POOR
샘플 2-17	Cu-Zr-Te-Al	GOOD	GOOD	GOOD
샘플 2-18	Zr-Al-Te-Ox	GOOD	GOOD	GOOD
샘플 2-19	Cu-Zr-Te-Ox	GOOD	GOOD	GOOD

[0094]

본 실시의 형태에서는 이온원층(21)중의 천이금속 원소로서 주기율표 제4족 Hf를 사용한 샘플 2-3(도 6의 A)에서는, 상기 샘플 1-2, 1-3의 종래 재료와 비교하여, 레벨 1 및 레벨 2의 어느 것에서도 컨덕턴스값의 유지 결과가 양호하였다. 이에 대해, 예를 들면, 천이금속 원소로서 주기율표 제10족의 Ni를 사용한 샘플 2-12(도 6의 B)에서는, 기록 후의 컨덕턴스 분포가 나쁘고, 온도 가속 유지 시험 후의 레벨 1과 2의 컨덕턴스값의 대부분이 0 부근까지 내려가고 있고, 저항치의 유지가 양호하지가 않다. 이것은, 여기서는 나타내고 있지 않지만, 각각 망간(Mn, 제7족), 팔라듐(Pd, 제10족)을 사용한 샘플 2-11 및 샘플 2-13에 대해서도 마찬가지이다. 또한, 도 6의 C에 도시한 바와 같이, 은(Ag, 제11족)을 사용한 샘플 2-15에서는 원래 기록할 수가 없었다. 이것은 코발트(Co)(제 9족)(샘플 2-10), 구리(Cu)(제11족)(샘플 2-14), 아연(Zn)(제12족)(샘플 2-16)에 대해서도 마찬가지였다. 또한, 도 6의 D 내지 F에 도시한 바와 같이, 이온원층에 제4 내지 제6족의 천이금속 원소는 포함하는 기타의 첨가 원소로서 제4 내지 제6족 이외의 천이금속 원소를 포함하는 샘플 2-17(+CuAl), 샘플 2-18(+Al), 샘플 2-19(+Cu)에서는, 샘플 2-12와 마찬가지로, 온도 가속 유지 시험 후의 레벨 1 및 레벨 2에서 컨덕턴스값의 일부 또는 전부가 0 부근까지 내려가고 있고, 충분한 유지 성능을 얻을 수가 없었다. 또한, 여기서는 나타내고 있지 않지만, 샘플 2-3과 마찬가지로 이온원층에 주기율표 제4족 내지 제6족의 천이금속 원소를 사용한 샘플 2-1, 2-2 및 샘플 2-4 내지 2-9에 대해서도 컨덕턴스값의 제어성과 유지 특성은 레벨 1 및 레벨 2의 어느 것에서도 양호하였다.

[0096]

또한, 제4족 내지 제6족 이외의 천이금속 원소, 구체적으로는, Ni, Pd, Ag, Cu, Zn를 포함하는 이온원층(샘플 2-10, 2-13 내지 2-16)에서는, 320°C의 어닐 후 또는 소자 미세 가공 프로세스시에 막 들뜸 또는 막 벗겨짐이 발생하고, 소자 구조를 올바르게 형성하는 것은 곤란하였다. 또한, Mn(샘플 2-11) 및 Ni(샘플 2-12)는, 금회의 조성비에서는 기억층(20)의 형성 후부터 소자 미세 가공 프로세스시에서의 막 들뜸 및 막 벗겨짐은 보여지지 않았지만, 조성에 의해서는 벗겨지기 쉬워진다. 따라서, 본 기술의 이온원층(22)에는 주기율표 제4족 내지 제6족으로부터 선택되는 천이금속 원소를 이온원층에 통하는 것이 바람직함을 알 수 있다.

[0097]

또한, 도 7의 A 및 B는 각각 샘플 2-18, 2-19에서 온도 가속 유지 시험 전후의 저항치의 변화를 도시한 것이다. 이온원층의 첨가 원소로서 주기율표 제4 내지 제6족 이외의 천이금속 원소를 사용한 경우, 상기 샘플 1-2 및 1-3과 마찬가지로, 100kΩ 이상의 저항치의 유지 성능이 낮음을 알 수 있다.

[0098]

또한, 실험 1의 도 5와 마찬가지로, 도 8로서, 이온원층에 제4족 내지 제6족의 천이금속 원소를 포함하는 샘플 2-1 내지 2-9 및 또한 Cu와 Al을 첨가한 샘플 2-17의 레벨 1에서의 온도 가속 유지 시험 전후의 컨덕턴스값의 분포를 도시하는 특성도를 도시하였다. 샘플 2-1 내지 2-9에서는, 3.5 내지 5 μS 부근의 온도 가속 유지 시험

후에 있어서의 분포 곡선은 이상선으로부터의 괴리가 적었다. 이에 대해, 샘플 2-17에서는, 3.5 내지 $5\mu\text{S}$ 부근의 분포 곡선이 온도 가속 유지 시험 후에는 거의 0으로 되어 있고, 이상선으로부터 크게 괴리됨을 알 수 있었다.

[0099] (실험 3 : 제4 내지 제6족의 천이금속 원소를 복수 조합한 기억 소자의 특성)

[0100] 상기 기억 소자(샘플 1, 2)와 같은 공정을 경유하여, 이온원층에 주기율표 제4족 내지 제6족의 천이금속 원소를 복수 조합한 기억 소자(샘플 3-1 내지 3-4)를 제작하고, 150°C, 1시간의 온도 가속 유지 시험을 행하고, 컨덕턴스값의 변화를 측정하였다(도 9의 A 내지 D). 샘플 3-1 내지 3-4의 하부 전극, 저항 변화층 및 상부 전극은 공통이고, 각각 TiN, Al(2nm)-Ox, W(30nm)이다. 각 샘플의 이온원층 조성은 이하에 표시한다.

[0101] (샘플 3-1) TaHfTe-Ox(45nm)

[0102] (샘플 3-2) MoHfTe-Ox(45nm)

[0103] (샘플 3-3) TiHfTe-Ox(45nm)

[0104] (샘플 3-4) NbHfTe-Ox(45nm)

[0105] 도 9의 A 내지 D로부터, 이온원층에 사용하는 천이금속 원소는 주기율표 제4족 내지 제6족의 금속 원소이라면 2종 이상 조합하여 사용하여도, 샘플 1-2, 1-3의 종래 재료와 비교하여, 레벨 1 및 레벨 2의 어느 것에서도 컨덕턴스값의 제어성과 유지 특성이 양호하였다.

[0106] (실험 4 : 천이금속 원소와 칼코겐 원소의 비율)

[0107] 상기 기억 소자(샘플 1 내지 3)와 같은 공정을 경유하여, 이온원층(21)을 구성하는 ZrTe-Ox의 조성비 Zr : Te를 각각 20 : 80(샘플 4-1), 30 : 70(샘플 4-2), 50 : 50(샘플 4-3), 70 : 30(샘플 4-4), 80 : 20(샘플 4-5)으로 한 기억 소자(1)를 제작하였다. 이 샘플 4-1 내지 4-5에 대해 150°C, 1시간의 온도 가속 유지 시험을 행하고, 컨덕턴스값의 변화를 측정하였다. 그 결과를 도 10의 A 내지 E에 도시하였다. 또한, 샘플 4-1 내지 4-5의 하부 전극(10), 저항 변화층(22) 및 상부 전극(30)은 공통이고, 각각 TiN, Al(2nm)-Ox, W(30nm)이다.

[0108] (샘플 4-1) Zr20Te80-Ox(45nm)

[0109] (샘플 4-2) Zr30Te70-Ox(45nm)

[0110] (샘플 4-3) Zr50Te50-Ox(45nm)

[0111] (샘플 4-4) Zr70Te30-Ox(45nm)

[0112] (샘플 4-5) Zr80Te20-Ox(45nm)

[0113] 샘플 4-2 내지 4-5(도 10의 B, C, D)로부터, 천이금속 원소(Zr)와 칼코겐 원소(Te)와의 비율은 30 : 70 내지 70 : 30의 범위의 사이에서 유지 전후에서 컨덕턴스값의 시프트가 적고 유지가 양호함을 알 수 있었다. 상기 범위 밖인 샘플 4-1(도 10의 A)에서는 기록도 소거도 가능하지 않았다. 이것은, 밀착성의 저하에 의해 기억층 형성 후의 소자 미세 가공 프로세스에 막 벗겨짐의 발생에 의한 것이라고 생각된다. 또한, 샘플 4-7(도 10의 E)에서는 기록의 컨덕턴스값의 분포가 매우 나빴다. 이것은, 저저항화하여 소자에 전압이 걸리기 어려웠기 때문이라고 생각된다.

[0114] 따라서, 이온원층(21)중에서 산소를 포함하지 않는 경우의 천이금속 원소와 칼코겐 원소와의 비율은, 3:7 이상 7:3 이하로 함에 의해 양호한 기록의 컨덕턴스 분포 및 유지 성능을 얻을 수 있음을 알 수 있었다. 이온원층(21)중에서 천이금속 원소 및 칼코겐 원소의 조성비를 상기 범위 외로 한 경우에는, 기억층(20)의 밀착성이 현저하게 저하되거나, 이온원층의 저항이 너무 낮아져서 소자에 전압이 걸리기 어려워지는 등의 부적합함이 생기고, 중간 저항치의 제어는 거의 불가능함을 알 수 있었다.

[0115] (실험 5 : 이온원층 내의 산소 함유량)

[0116] 이온원층 내의 산소 함유량을 조사하기 위한 샘플 5-1 내지 5-6을 제작하였다. 우선, 이온원층(21)으로서, 원자 %비로 Zr 50%, Te 50%를 Ar의 프로세스 가스중에 산소를 혼합하여 리액티브 스퍼터링을 행하고, ZrTeOx층을 막 두께 45nm로 형성하였다. 이때, 샘플 5-1 내지 5-6에서는, ZrTeOx의 성막시의 Ar(sccm)과 산소(sccm)의 가스류량의 비율을, 각각 75/0, 75/3, 75/5, 75/7, 75/10, 75/15, 75/20으로 하여 성막하였다. 이때의 산소(sccm)/Ar(sccm)의 값은 0 내지 0.267의 범위로 하였다. 또한, 샘플 5-1 내지 5-6에서의 하부 전극(10), 저항

변화층(22) 및 상부 전극(30)은 공통이고, 각각 TiN, Al(2nm)-0x, W(30nm)이다.

[0117] 상기 샘플 5-1 내지 5-6을 이용하여, 성막시의 산소(sccm)/Ar(sccm) 가스 유량비에 대한 각 이온원층(21) 내의 산소 함유량을 RBS법으로 측정하고, 그 결과를 도 11에 도시하였다. 각 샘플의 이온원층(21)에 관해 RBS법으로 측정한 산소 조성과 산소(sccm)/Ar(sccm) 가스 유량비를 이하에 표시한다. 또한, RBS 측정은 이하의 조건으로 행하였다. MC 분해능 4.0Key/ch, 에너지 분해능 20keV, 검출기 전(前) 애파처 지름 5mm, 입사 이온 4He++, 입사 에너지 2.275MeV, 빔 입사 각도 90°, 빔 전류 (시료 전류) 약 20nA, 입사 빔 지름 2mm, 시료 회전 각도 45°, 빔 조사량 40μC, 시료 챔버 진공도 약 2 내지 6Torr, 통상 검출기 각도 160°의 후방산란각 및 103° 까지의 적절한 글레이징 검출기 각도를 이용하여 측정하였다.

[0118] (샘플 5-1) O₂/Ar=0 ZrTe-0 : 3.1%

[0119] (샘플 5-2) O₂/Ar=0.04 ZrTe-0 : 10%

[0120] (샘플 5-3) O₂/Ar=0.067 ZrTe-0 : 15%

[0121] (샘플 5-4) O₂/Ar=0.093 ZrTe-0 : 28%

[0122] (샘플 5-5) O₂/Ar=0.133 ZrTe-0 : 50%

[0123] (샘플 5-6) O₂/Ar=0.2 ZrTe-0 : 55%

[0124] (샘플 5-7) O₂/Ar=0.267 ZrTe-0 : 60%

[0125] 도 11로부터 이온원층(21)중에 포함되는 산소의 함유량은, 산소(sccm)/Ar(sccm)비가 0 내지 0.2까지 변화함에 따라 3.1% 내지 55%로 변화함을 알 수 있다. 단, 산소(sccm)/Ar(sccm)비가 0일 때의 3.1%는, 측정중의 백그라운드 노이즈의 영향을 포함하기 때문에, 실제의 산소 함유량은 3.1% 이하로 추정된다. 또한, 샘플 5-1 내지 5-7에 표시한 조성을 갖는 메모리 어레이를 제작하여 150°C, 1시간의 온도 가속 유지 시험을 행하고, 컨덕턴스값을 측정(도 12의 A 내지 G)하여 각 샘플의 RBS 측정에서 얻어진 산소 함유량치에 대한 온도 가속 유지 시험의 컨덕턴스값의 변화를 비교하였다.

[0126] 산소 함유량이 3.1% 이하인 샘플 5-1(도 12의 A)에서는, 레벨 1(3μS) 및 레벨 2(10μS) 함께 컨덕턴스값을 갖추는 것은 곤란하였다. 또한, 온도 가속 유지 시험 전후의 컨덕턴스값은 크게 시프트하였다. 이에 대해, 산소 함유량이 10% 이상 50% 이하인 샘플 5-2 내지 5-5(도 12의 B 내지 E)에서는, 레벨 1 및 레벨 2의 어느 것에서도 저항치를 갖출 수 있고, 유지 가속시험 전후에 있어서의 컨덕턴스값의 시프트도 적었다. 특히, 산소 함유량이 28%인 샘플 5-4(도 12의 D)에서는, 레벨 1 및 레벨 2 모두에서, 온도 가속 유지 시험 전후의 컨덕턴스값의 시프트는 거의 보여지지 않고, 양호한 결과를 나타냈다. 이에 대해, 산소 함유량이 55%인 샘플 5-6(도 12의 F)에서는, 산소량의 증가에 의해 소자 저항이 상승하고, 기록 동작은 곤란해지고 있지만, 레벨 1 및 레벨 2에서의 온도 가속 유지 시험 전후의 컨덕턴스값의 시프트가 적고, 다치 기록이 가능함을 알 수 있다. 한편, 산소 함유량이 60%인 샘플 5-7(도 12의 G)에서는, 소자의 초기 저항이 너무 높고, 필요한 컨덕턴스값으로 기록 동작을 행할 수가 없었다. 따라서, 중간 저항치의 제어 및 유지가 가능한 기억 소자(1)의 이온원층(21)중의 산소 함유량은 10% 내지 55%임을 알 수 있다.

[0127] (실험 6 : 저항 변화층의 재료)

[0128] 샘플 1-1과 같은 공정을 경유하여 기억 소자(1)(샘플 6-1 내지 6-4)를 제작하였다. 이 샘플 6-1 내지 6-4는, 이온원층(21)을 Zr50Te50-0x, 저항 변화층(22)을 상기 샘플에서 통한 Al0x 대신에, Hf0x(샘플 6-1), AlN(샘플 6-2), Zr0x(샘플 6-3) 및 Y0x(샘플 6-4)를 사용한 것이다. 이들 샘플 6-1 내지 6-4에서, 상기 실험 1 내지 4와 마찬가지로, 150°C, 1시간의 온도 가속 유지 시험을 행하고, 컨덕턴스값의 변화를 측정하였다(도 13의 A 내지 D). 도 13의 A 내지 D로부터, 샘플 6-1 내지 6-4 함께, 본 실시의 형태에 대응한 상기 샘플 결과와 마찬가지로 레벨 1 및 레벨 2의 어느 것에서도 온도 가속 유지 시험 후 컨덕턴스값의 시프트가 적고, 양호한 유지 성능이 얻어졌다. 따라서, 본 기술의 기억 소자는, 저항 변화층(22)은 금속 원소의 산화막이나 질화막 또는 산질화막이면 좋고, 특히 한정되지 않는다고 말할 수 있다.

[0129] 상기 실험 1 내지 6의 결과로부터, 기억 소자는 기억층을 구성하는 저항 변화층 및 이온원층, 이온원층의 재료로서 칼코겐 원소, 산소 및 천이금속 원소로서 제4족 내지 제6족의 금속 원소를 사용함에 의해, 저항 변화층

의 재료에 의하지 않고, 고저항과 저저항의 중간 상태의 저항치의 유지 성능과 제어성이 향상함을 알 수 있었다. 이에 의해, 저항 변화형 다치 메모리의 성능 향상을 실현할 수 있고, 고용량 저항 변화 메모리(기억 장치)를 제공하는 것이 가능해진다. 또한, 이온원층(21) 내의 산소량을 10% 이상 55% 이하, 천이금속 원소와 칼코겐원층과의 비율을 3:7 이상 7:3 이하로 함으로써, 중간 저항치의 유지 성능을 더욱 향상시키는 것이 가능해지고, 보다 신뢰성이 높은 기억 장치를 제공할 수 있다.

[0130] 이상, 한 실시의 형태 및 실시례를 들어 본 개시를 설명하였지만, 본 개시는, 상기 실시의 형태 등으로 한정되는 것이 아니고, 여러 가지 변형하는 것이 가능하다.

[0131] 예를 들면, 상기 실시의 형태 및 실시례에서는, 기억 소자(1), 기억 장치(2) 및 메모리 셀 어레이의 구성을 구체적으로 들어서 설명하였지만, 모든 층을 구비할 필요는 없고, 또한, 다른층을 또한 구비하고 있어도 좋다. 또한, 상기 실시의 형태 등에서 설명한 각 층의 재료, 또는 성막 방법 및 성막 조건 등은 한정되는 것이 아니고, 다른 재료로 하여도 좋고, 또는 다른 성막 방법으로 하여도 좋다. 예를 들면, 이온원층(21)에는, 상기 조성비율이나 다치 메모리에 대한 요구 특성을 무너뜨리지 않는 범위에서 첨가 원소를 사용하여도 좋다.

[0132] 또한, 상기 실시의 형태 등의 기억 소자(1)는, 이온원층과 저항 변화층의 위치를 상하 교체한 역전 구조로 하여도 좋고, 메모리 용량을 증대시키기 위해, 적절한 다이오드와 조합시킨 크로스-포인트 구조 또는 방식으로 하거나, 메모리 소자를 종방향으로 적층하여도 좋고, 공지의 다양한 타입의 메모리 구조에 적용할 수 있다.

[0133] 또한, 본 기술은 여기서 설명되고 포함된 다양한 실시의 형태 및 변형례의 일부 또는 전부의 가능한 조합을 포함한다.

[0134] 본 기술은 상기 설명한 실시의 형태, 변형례 및 개시된 예로부터 이하와 같은 구성도 취할 수 있다.

[0135] (1) 제1 전극, 이온원층을 구비한 기억층 및 제2 전극을 이 순서로 가지며,

[0136] 상기 이온원층은, 칼코겐 원소, 산소 및 주기율표 제4족, 제5족 및 제6족 원소에서 선택된 1종 또는 2종 이상의 천이금속 원소를 포함하는 기억 소자.

[0137] (2) 상기 이온원층에 포함되는 산소량은 10% 이상 55% 이하인, 상기 (1)에 기재된 기억 소자.

[0138] (3) 상기 이온원층에 포함되는 상기 1종 또는 2종 이상의 천이금속 원소와 칼코겐 원소와의 비는, 3:7 이상 7:3 이하인, 상기 (1) 또는 (2)에 기재된 기억 소자.

[0139] (4) 상기 1종 또는 2종 이상의 천이금속 원소는, 티탄(Ti), 지르코늄(Zr) 및 하프늄중(Hf)중에 선택된, 상기 (1) 내지 (3)의 어느 하나에 기재된 기억 소자.

[0140] (5) 상기 기억층은 저항 변화층을 포함하고, 상기 저항 변화층은 제2 전극측보다 제1 전극측에 가깝게 구비하고, 금속 원소의 산화막, 질화막 또는 산질화막에 의해 구성되어 있는, 상기 (1) 내지 (4)의 어느 하나에 기재된 기억 소자.

[0141] (6) 상기 기억층은 저항 변화층을 포함하고,

[0142] 상기 저항 변화층은, 상기 제1 전극 및 상기 제2 전극에의 전압 인가에 의해 상기 저항 변화층 내에 상기 1종 또는 2종 이상의 천이금속 원소 또는 산소 결합을 포함하는 저저항부가 형성됨에 의해 저항치가 변화하는, 상기 (1) 내지 (5)의 어느 하나에 기재된 기억 소자.

[0143] (7) 상기 이온원층은 구리(Cu) 및 알루미늄(Al)을 포함하지 않는, 상기 (1) 내지 (6)의 어느 하나에 기재된 기억 소자.

[0144] (8) 제1 전극, 이온원층을 구비한 기억층 및 제2 전극을 이 순서로 갖는 복수의 기억 소자와, 상기 복수의 기억 소자에 대해 선택적으로 전압 또는 전류의 펄스를 인가하는 펄스 인가 수단을 구비하고,

[0145] 상기 이온원층은, 칼코겐 원소, 산소 및 주기율표 제4족, 제5족 및 제6족 원소에서 선택된 1종 또는 2종 이상의 천이금속 원소를 포함하는 기억 장치.

[0146] 본 발명은 공개된 일본 특허청에 2012년 3월 30일에 출원되어 우선권 주장된 일본 특허 출원 JP2012-080643과 관계된 주제를 포함하며, 이는 참조로서 전체 내용에 포함된다.

[0147] 다양한 수정, 조합, 하위 조합 및 변경은 관련 기술분야의 기술자의 설계의 요구 및 첨부된 청구항과 그 균등물 범위 내에 있는 다른 요인에 의하여 발생할 수 있음을 이해해야 한다.

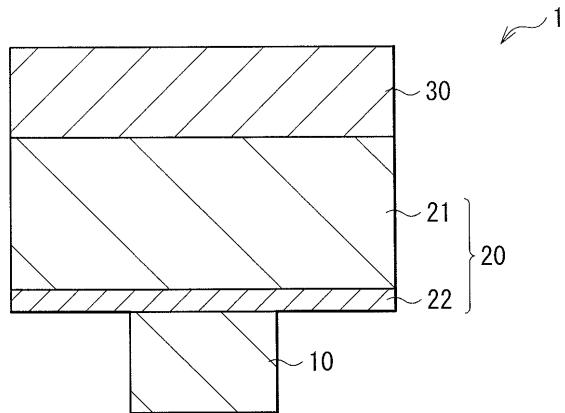
부호의 설명

[0148]

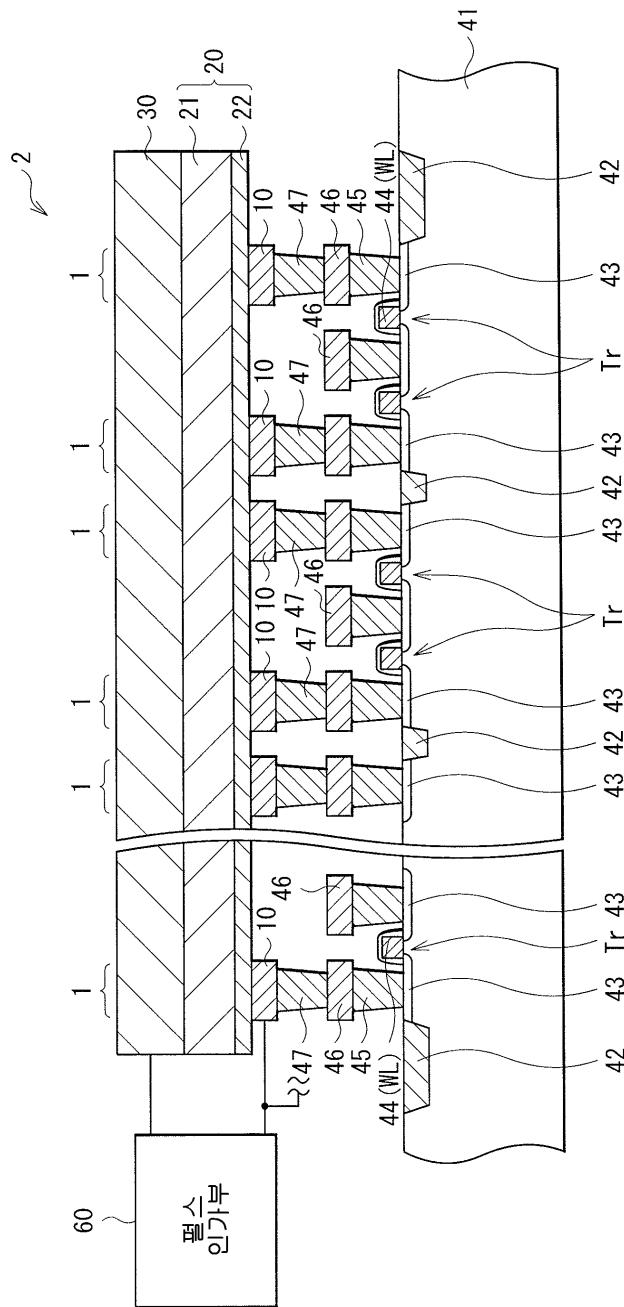
- 1 : 기억 소자
- 2 : 메모리 셀 어레이
- 10 : 하부 전극
- 20 : 기억층
- 21 : 이온원층
- 22 : 저항 변화층
- 30 : 상부 전극
- 41 : 기판
- 42 : 소자 분리층
- 43 : 소스-드레인 영역
- 44 : 게이트 전극
- 45, 47 : 플러그층
- 46 : 금속 배선층
- 48 : 액티브 영역
- 51, 52 : 콘택트부

도면

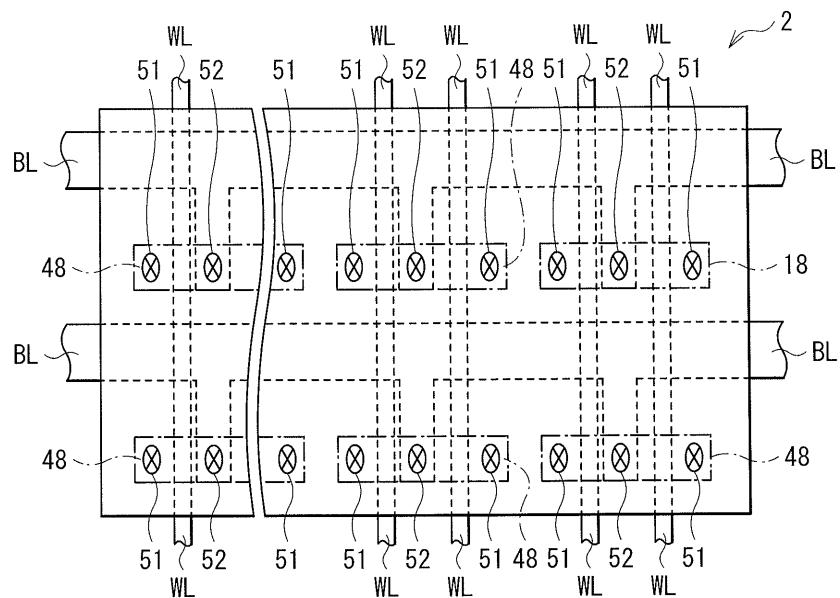
도면1



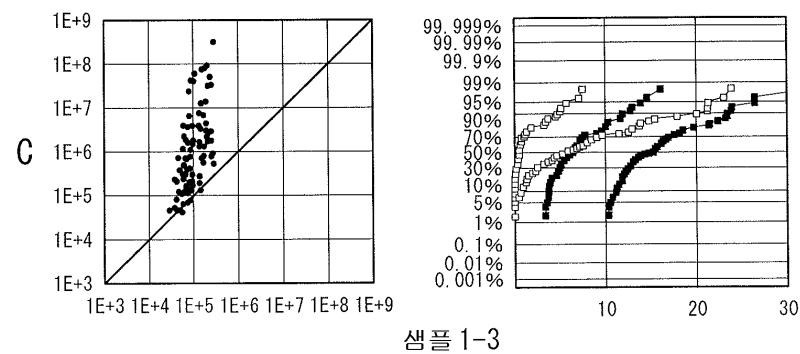
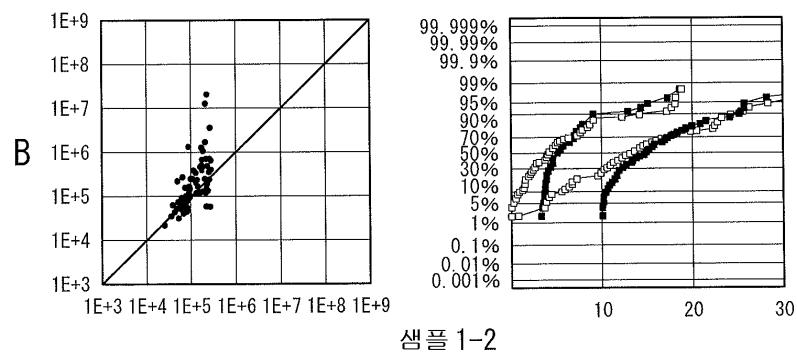
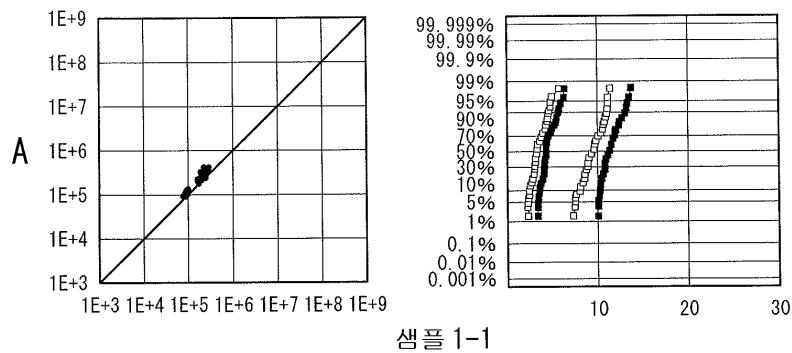
도면2



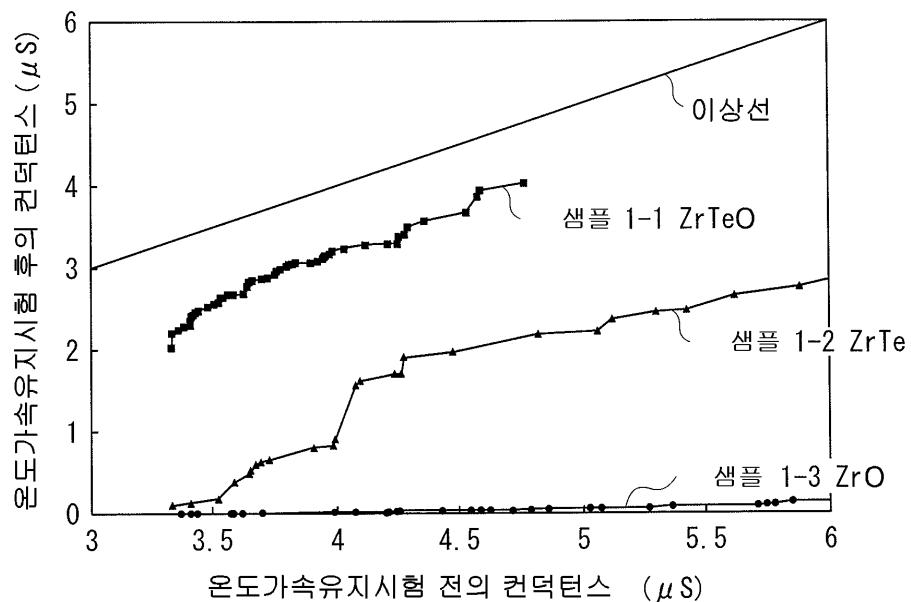
도면3



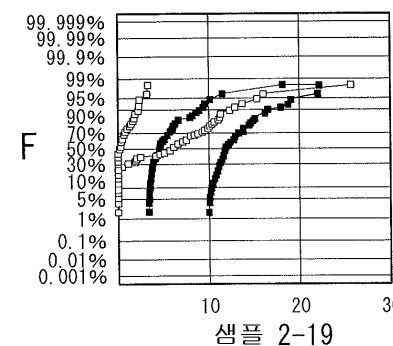
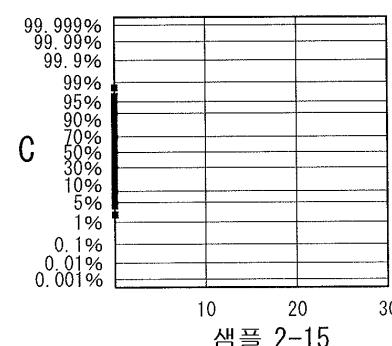
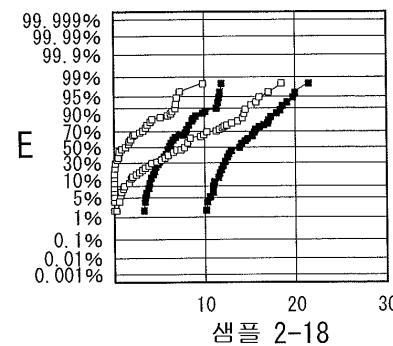
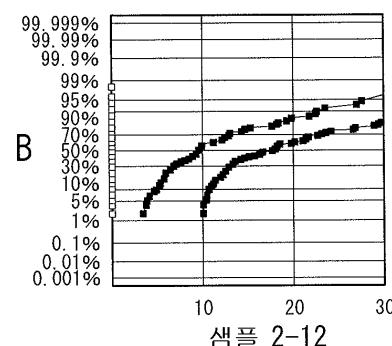
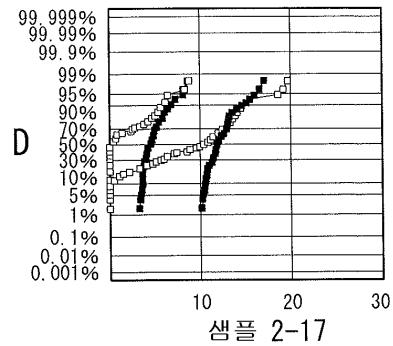
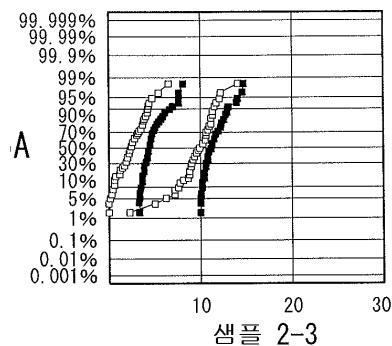
도면4



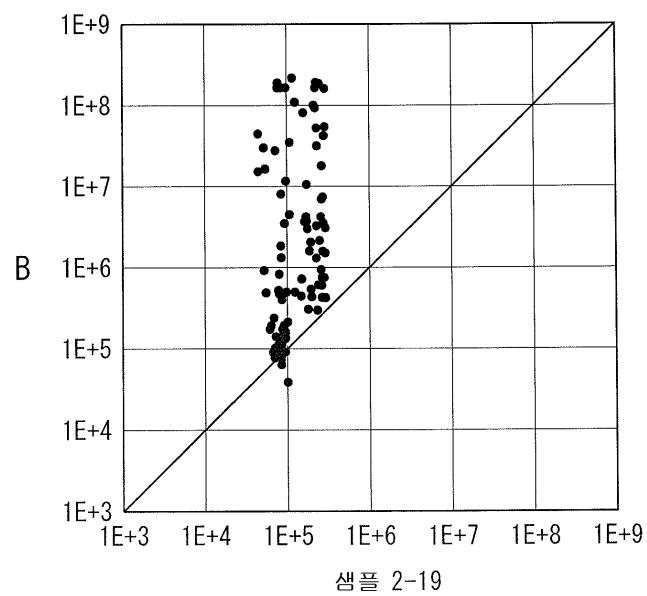
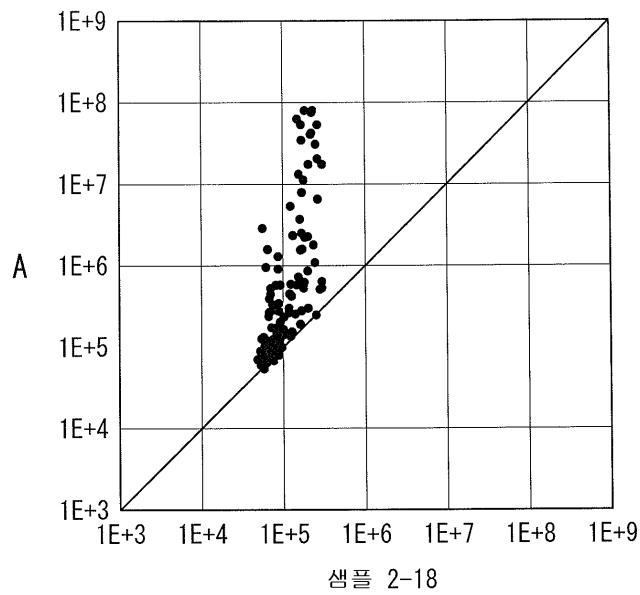
도면5



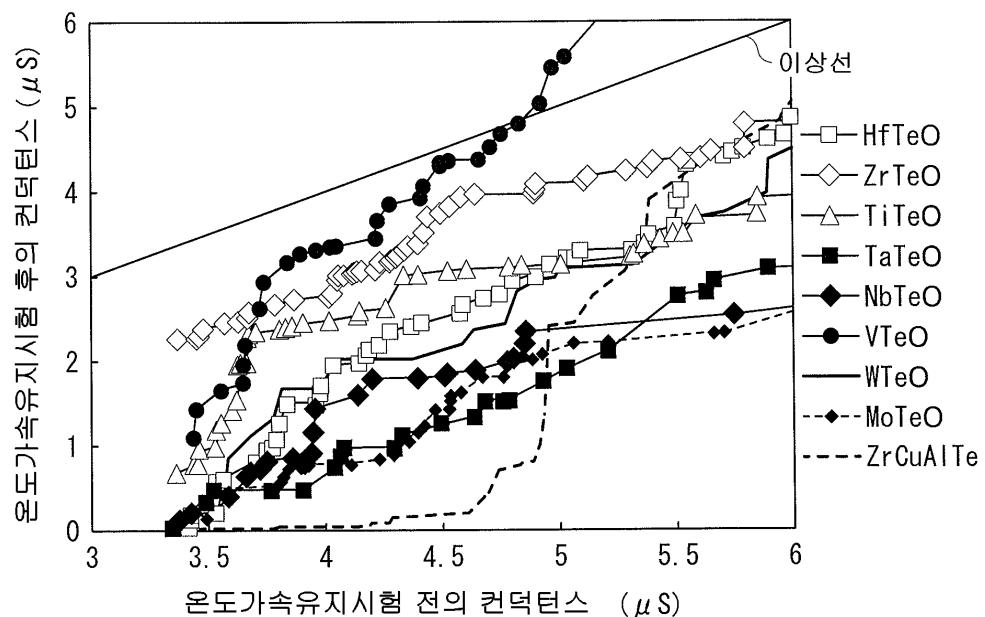
도면6



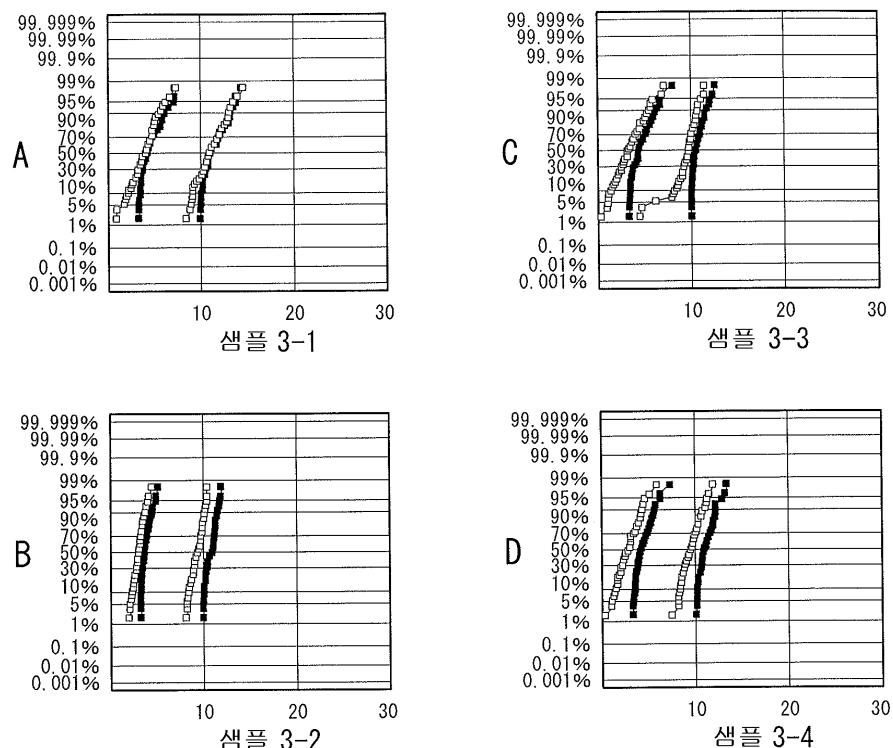
도면7



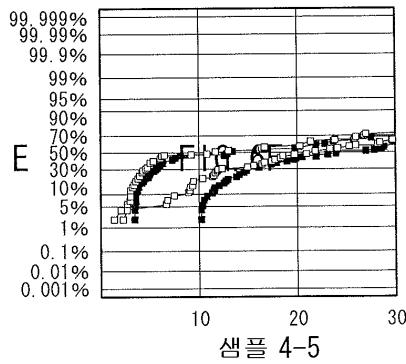
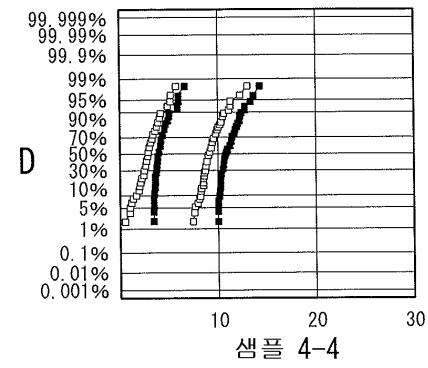
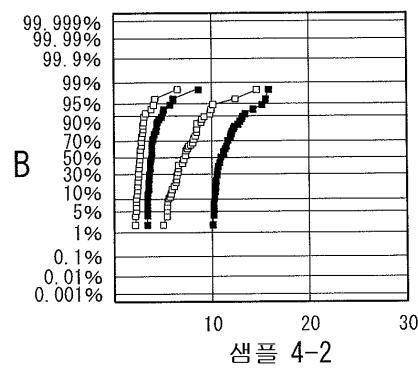
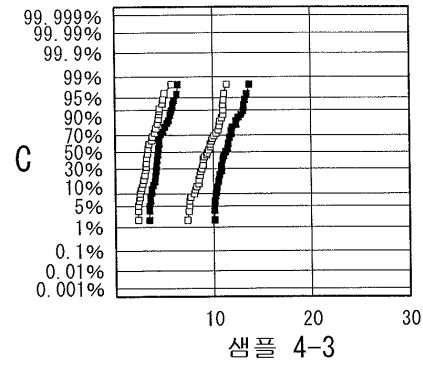
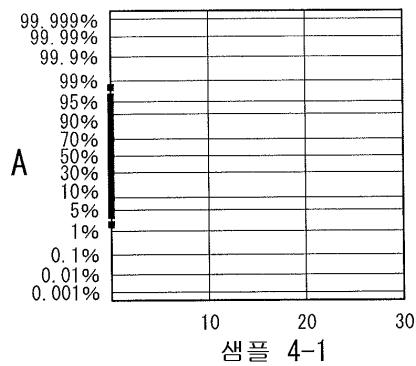
도면8



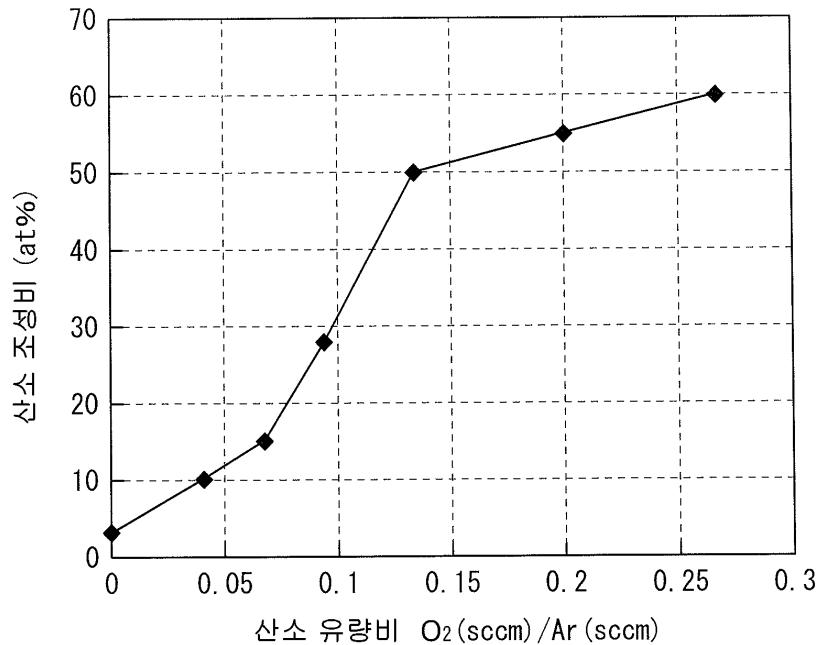
도면9



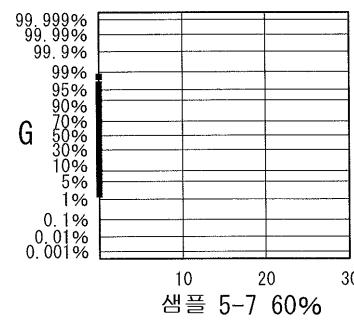
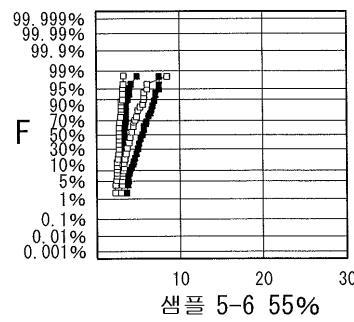
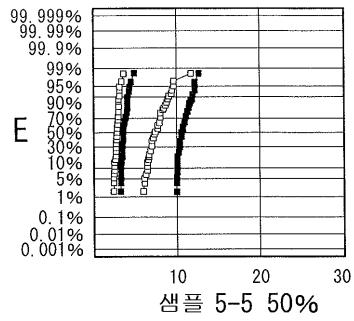
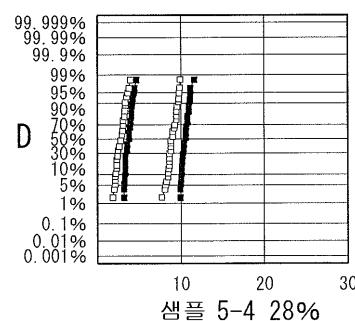
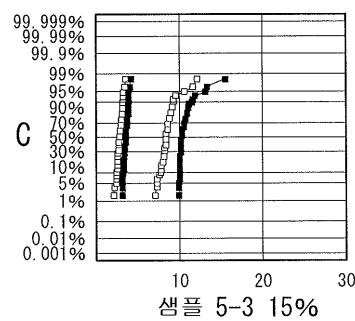
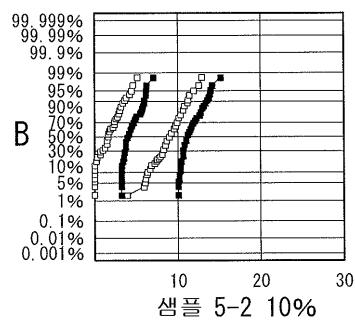
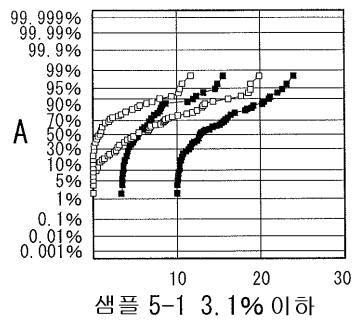
도면10



도면11



도면12



도면13

