



[12] 发明专利说明书

[21] ZL 专利号 96194929.5

[43] 授权公告日 2003 年 7 月 23 日

[11] 授权公告号 CN 1115805C

[22] 申请日 1996.6.18 [21] 申请号 96194929.5

[30] 优先权

[32] 1995.6.20 [33] US [31] 08/492,592

[86] 国际申请 PCT/US96/10575 1996.6.18

[87] 国际公布 WO97/01227 英 1997.1.9

[85] 进入国家阶段日期 1997.12.22

[71] 专利权人 夸尔柯姆股份有限公司

地址 美国加州圣地埃哥

[72] 发明人 肯尼思·D·伊斯顿

审查员 马志远

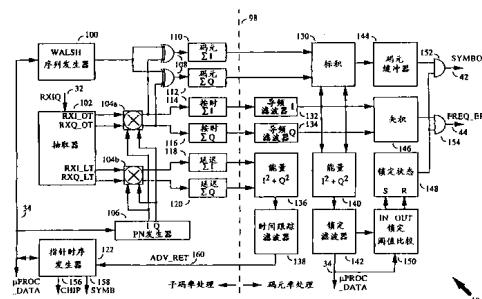
[74] 专利代理机构 上海专利商标事务所
代理人 徐 泰

权利要求书 6 页 说明书 26 页 附图 12 页

[54] 发明名称 码分多址通信系统中移动解调器的
搜索接收机结构

[57] 摘要

本发明包括在扩展频谱多址系统中的信号解调，所述系统在前向链路上使用导频。搜索接收机(10)根据进行处理的时间间隔划分信号处理。码元率处理由单个分时乘法-累加数据路径(34)来完成，该数据路径为多个指针前端(312)和一个搜索器前端(314)提供服务。前端(312)是完成所有子码率处理的专用电路，产生一个数据矢量并确立一个标志，该标志指出可由共享的数据路径对这些结果提供服务。数据路径控制器(308)在构成数据路径的指针前端(312)、搜索器前端(314)和组合功能之间协调数据路径的使用，在先来先服务的基础上对它们提供服务。控制器(308)通过一固定的程序将数据路径排序，它由与正在服务的部件相关的信号处理确定。



1. 一种用于解调多种情形的扩展频谱信号的集成电路，码元以码元率在所述扩展频谱信号上传输，所述码元分成子码，子码率大于所述码元率，其特征在于，包括：

多个解调前端，用于在所述子码率下对多种情形的扩展频谱信号进行解调；和

码元处理系统，用于在所述码元率下以时分方式对扩展频谱信号的每种解调情形进行处理。

2. 如权利要求 1 所述的集成电路，其特征在于，所述码元处理系统是一数字信号处理器。

3. 如权利要求 1 所述的集成电路，其特征在于，所述解调前端进一步用于通过累积与一码元持续时间相关的一组子码来产生一组相应的码元估计，并且

所述码元处理系统进一步用于对所述码元估计组进行相位旋转，并在相位旋转后合并所述码元估计组，所述码元处理系统以时分方式处理所述码元估计组。

4. 如权利要求 1 所述的集成电路，其特征在于，所述多个解调前端中的一个解调前端包括：

Walsh 码解调器，它用 Walsh 码对一种情形的所述扩展频谱信号进行解调；和

扩展码解调器，它用扩展码对经 Walsh 码解调的所述扩展频谱信号进行解调。

5. 如权利要求 1 所述的集成电路，其特征在于，所述多个解调前端包含的解调前端多于所述码元处理系统包含的码元处理系统。

6. 一种用于多址通信系统的扩展谱频解调设备，其特征在于，所述设备包括：

多个指针前端，每个所述前端接收扩展信号并进行与所述扩展频谱解调设备相关的子码率信号处理；

缓冲器，它耦合至多个所述指针前端，用于对每个码元缓冲已累积的数据矢量；

存储装置，用于保持与所述扩展频谱解调设备的码元率信号处理相关的信息；

算术数据路径，它耦合至所述存储装置和所述缓冲器，用于进行与所述扩展

频谱解调设备的信号处理相关的码元率乘法和累加功能，所述算术数据路径具有一个码元输出；以及

数据路径控制电路，它耦合至所述算术数据路径，用于在多个所述指针前端之间协调所述算术数据路径的使用。

7. 如权利要求 6 所述的扩展频谱解调设备，其特征在于，所述算术数据路径包括：

第一多路复用器，它具有耦合至多个所述指针前端的第一输入端和耦合至所述存储装置的第二输入端，所述第一多路复用器从多个所述指针前端的一个指针前端或所述存储装置选择第一信号，所述第一多路复用器在其一个输出端提供经选择的所述第一信号；

第二多路复用器，它具有耦合至多个所述指针前端的第一输入端和耦合至所述存储装置的第二输入端，所述第二多路复用器从多个所述指针前端的一个指针前端或所述存储装置选择第二信号，所述第二多路复用器在其一个输出端提供经选择的所述第二信号；

乘法器，它具有一个耦合至所述第一多路复用器的第一输入端和耦合至所述第二多路复用器的第二输入端，所述乘法器在其一个输出端提供乘积信号；

第三多路复用器，它具有耦合至所述乘法器输出端的第一输入端和耦合至所述第二多路复用器输出端的第二输入端，所述第三多路复用器在其一个输出端提供所述经选择的第二信号或所述乘积信号；

加法器/减法器，它具有耦合至所述第三多路复用的输出端的第一输入端和耦合至所述算术数据路径输出信号的第二输入端，所述加法器/减法器在其一个输出端提供求和信号；

限制器/归一化器电路，它耦合至所述加法器/减法器的输出端，用于有选择地限制所述求和信号在预定范围内，所述限制器/归一化器电路提供归一化的所述求和信号；以及

锁存器，它耦合至所述限制器/归一化器电路，用于存储所述归一化求和信号从而提供所述算术数据路径输出信号。

8. 如权利要求 6 所述的扩展频谱解调设备，其特征在于，它进一步包括：

搜索器前端，它耦合在多个接收到的扩展信号和所述算术数据路径之间，用于计算所述多个接收到的扩展信号的信号能量；以及

码元组合器，它耦合至所述算术数据路径，用于把码元输出组合为解调码元流。

9. 如权利要求 8 所述的扩展频谱解调设备，其特征在于，所述数据路径控制电路进一步在所述指针前端、所述搜索器前端和所述码元组合器之间协调所述算术数据路径的使用。

10. 如权利要求 8 所述的扩展频谱解调设备，其特征在于，所述搜索器前端包括：

伪噪声序列发生器，它用于产生 I 序列和 Q 序列；

抽取器，它耦合至接收到的扩展信号，用于通过有选择地对接收到的所述扩展信号采样，产生 I 按时信号、Q 按时信号、I 延迟信号和 Q 延迟信号；

第一去扩展器，它耦合至来自所述伪噪声序列发生器的所述 I 和 Q 序列和所述 I 和 Q 按时信号，所述第一去扩展器产生第一去扩展 I 信号和第一去扩展 Q 信号；

第二去扩展器，它耦合至来自所述伪噪声信号发生器的所述 I 和 Q 序列和所述 I 和 Q 延迟信号，所述第二去扩展器产生第二去扩展 I 信号和第二去扩展 Q 信号；

多个累加器，第一累加器耦合至所述第一去扩展 I 信号，第二累加器耦合至所述第一去扩展 Q 信号，第三累加器耦合至所述第二去扩展 I 信号，以及第四累加耦合至所述第二去扩展 Q 信号，所述多个累加器将它们各自的 I 或 Q 信号相加；

多个锁存器，把每个所述锁存器耦合至所述多个累加器的一个累加器；以及

时序发生器，用于控制所述第一和第二去扩展器、所述伪噪声序列发生器和所述多个累加器。

11. 如权利要求 6 的扩展频谱解调设备，其特征在于，多个所述指针前端的每个前端包括：

伪噪声序列发生器，它用于产生 I 序列和 Q 序列；

抽取器，它耦合至接收到的扩展信号，用于通过有选择地对接收到的扩展信号采样，产生 I 按时信号、Q 按时信号、I 延迟信号和 Q 延迟信号；

第一去扩展器，它耦合至来自所述伪噪声序列发生器的所述 I 和 Q 序列和所述 I 和 Q 按时信号，所述第一去扩展器产生第一去扩展信号和第一去扩展 Q 信号；

第二去扩展器，它耦合至来自所述伪噪声信号发生器的所述 I 和 Q 序列和所

述 I 和 Q 延迟信号，所述第二去扩展器产生第二去扩展 I 信号和第二去扩展 Q 信号；

Walsh 序列发生器，它用于产生 Walsh 子码序列；

不覆盖电路，它耦合至所述 Walsh 子码序列发生器，用于响应于所述 Walsh 子码序列倒转所述第一去扩展 I 和 Q 信号的正交覆盖；

多个累加器，第一累加器耦合至所述第一去扩展 I 信号，第二累加器耦合至所述第一去扩展 Q 信号，第三累加器耦合至所述第二去扩展 I 信号，第四累加耦合至所述第二去扩展 Q 信号，以及第五和第六累加器耦合至所述不覆盖电路，所述多个累加器将它们各自的 I 或 Q 信号相加；

多个锁存器，把每个所述锁存器耦合至所述多个累加器的一个累加器；以及

时序发生器，用于控制所述第一和第二去扩展器、所述伪噪声序列发生器和所述多个累加器。

12. 一种用于多址通信系统中的扩展频谱解调方法，其特征在于，所述方法包括下述步骤：

由多个指针前端接收扩展信号；

对接收到的所述扩展信号进行与扩展频谱解调器相关的子码率信号处理；

缓冲每个码元累加的所述接收到的扩展信号的数据矢量；

把与所述扩展频谱解调器的码元率信号处理相关的状态信息存储在存储装置中；

进行与所述指针前端的信号处理相关的码元率乘法和累加功能；以及
在多个所述指针前端之间对于码元率的乘法和累加进行协调和排序。

13. 如权利要求 12 所述的方法，其特征在于，所述协调和排序进一步包括：

在多个所述指针前端、组合器和搜索器前端之间协调；

进行与所述搜索器前端的信号处理相关的搜索器积分区间乘法和累加功能；
以及

进行与所述组合器的信号处理相关的码元率累加功率。

14. 如权利要求 12 所述的方法，其特征在于，进行所述码元率乘法和累加的步骤包括下述步骤：

把来自多个所述指针前端的一个指针前端或存储装置的第一信号与来自所述多个指针前端的一个指针前端或存储装置的第二信号相乘，以产生乘积信号；

把所述乘积信号或所述第二信号加至反馈信号以产生求和信号；以及
把所述求和信号限制到预定的范围，以产生经限制的所述求和信号；
把所述经限制的求和信号归一，以产生经归一的信号；以及
锁存所述经归一的信号以产生反馈信号。

15. 如权利要求 14 所述的方法，其特征在于，进一步包括锁存所述第一信号和第二信号的步骤。

16. 如权利要求 12 所述的方法，其特征在于，所述方法包括下述步骤：

进行与所述扩展频谱解调器的信号处理相关的码元率乘法和累加功能，以提供码元输出；

组合所述码元输出以产生经解调的信号。

17. 一种在多址通信系统中用作通信的无线电，其特征在于，所述无线电包括：

控制器，用于控制无线电话；

接收机，用于接收无线电信号；以及

解调器，它耦合至所述控制器和所述接收机，用于解调无线电信号，所述解调器包括：

多个指针前端，每个所述前端接收扩展信号并进行与所述扩展频谱解调器相关的子码率信号处理；

缓冲器，它耦合至多个所述指针前端，用于对每个码元缓冲已累积的数据矢量；

存储装置，用于保持与所述扩展频谱解调器的码元率信号处理相关的信息；

算术数据路径，它耦合至所述存储装置和所述缓冲器，用于进行与所述扩展频谱解调器的信号处理相关的码元率乘法和累加功能，所述算术数据路径具有一个码元输出；以及

数据路径控制电路，它耦合至所述算术数据路径，用于在多个所述指针前端之间协调所述算术数据路径的使用；

搜索器前端，它耦合在所述多个接收到的扩展信号和所述算术数据路径之间，用于计算接收到的扩展信号的信号能量；以及

码元组合器，它耦合至所述算术数据路径，用于把码元输出组合为一个经解

调的码元流。

码分多址通信系统中移动解调器的搜索接收机结构

发明背景

I. 发明领域

本发明一般涉及扩展频谱通信系统，特别涉及蜂窝式电话通信系统中的信号处理。

II. 有关技术的描述

在无线电话通信系统中，许多用户经一个无线信道通信以连至有线电话系统。经无线信道的通信可以是多种多址技术中的一种，该技术允许在一个有限的频谱内有大量的用户。这些多址技术包括时分多址(TDMA)、频分多址(FDMA)、和码分多址(CDMA)。

CDMA 技术具有许多优点。在 1990 年 2 月 13 日颁布并且转让给本发明的受让人的名为“使用卫星或地面中继器的扩展频谱多址通信系统”的第 4,901,307 号美国专利中揭示了一个例示的 CDMA 系统。

在 '307 号专利中，揭示了一种多址技术，其中，大量的移动电话系统的用户(每个用户有一台收发两用机)使用 CDMA 扩展频谱通信信号通过卫星中继器式地面基站进行通信。基站至移动台的信号传输路径称之为前向链路，而移动台至基站的信号传输路径称之为反向链路。

在使用 CDMA 通信中，能够将频谱多次重复使用，因此允许增加系统用户容量。每个基站提供对有限的地理区域的覆盖，并且通过一个蜂窝式系统交换器把在其覆盖区域内的移动台链接至公用电话交换网(PSTN)。当一个移动台移至一个新的基站的覆盖区域时，就将该用户呼叫的路由转移至新的基站。

在 '307 号专利和在 1990 年 6 月 25 日颁布并且转让给本发明的受让人的名为“在 CDMA 蜂窝式电话系统中产生信号波形的系统和方法”的第 5,120,459 号美国专利中讨论的 CDMA 调制技术，缓和了诸如多路径和衰落等地面信道的特殊问题。分离多路径可在移动搜索接收机中分集(diversity)组合，以提高调制解调

器的性能，而不像在窄带系统中那样是一个不利点。在移动无线电信道中，多路径是由信号从周围环境中的障碍物(诸如建筑物、树木、汽车和人)的反射产生的。通常，由于产生多路径的结构的相对运动，因此移动无线电信道是时变多路径信道。例如，如果经时变多路径信道发送理想脉冲，则接收到的脉冲流将作为理想脉冲发射时刻的函数改变时间位置、衰减和相位。

地面信道的多路径性质在接收机处产生了一些信号，这些信号经历了一些有差别的传播路径。多路径信道的一个特征是在经信道发送的信号中引入时间展宽。在 CDMA 系统中使用的扩展频谱伪噪声(PN)调制允许对相同信号的不同的传播路径加以区分和组合，只要路径延迟的差超过 PN 子码(chip)持续时间。如果在 CDMA 系统中采用大约 1Mhz 的 PN 子码率，则可对具有大于 1 微秒的延迟差异的路径使用扩展频谱处理的增益，它等于扩展带宽对系统数据率的比值。一微秒的路径延迟差相当于大约 300 米的路径距离差。市内环境一般提供超过 1 微秒的路径延迟差。

多路径的另一个特征是通过信道的每条路径可以引起不同的衰减系数。例如，如果经一个多路径信道发送一个理想脉冲，则接收到的脉冲流的每个脉冲一般具有与其他接收到的脉冲不同的信号强度。

多路径信道的还有一个特征是通过信道的每条路径对信号产生不同的相位。例如，如果经一个多路径信道发送一个理想脉冲，则接收到的脉冲流的每个脉冲一般具有与其他接收到的脉冲不同的相位。这能够导致信号衰落。

当把多路径矢量不利地相加时会出现衰落，得出的接收到的信号小于任何一个单独的矢量。例如，如果通过一个多路径信道发送一个正弦波，该信道具有两条路径，其中，第一条路径的衰减系数为 X_{dB} ，时间延迟为 d ，相移为 Q 弧度，而第二条路径的衰减系数为 X_{dB} ，时间延迟为 d ，相移为 $Q + p$ 弧度，则在信道的输出端接收不到信号。

如上所述，PN 子码的间隔确定了为进行组合两条路径所必须具有的最小的间隔。在能够对不同的路径解调之前，首先必须在接收信号中确定这些路径的相对到达时间(或偏移)。解调器通过对一偏移的序列的“搜索”并测量在每个偏移处接收到的功率而完成这一功能。如果与一可能的偏移相关的能量超过某个阈值，则可将一个解调元件(或“指针”(finger))分派给该偏移。于是可将在该路径偏移处出现的信号与其他指针在它们各自的偏移处的贡献相加。

在待批的美国专利申请中揭示了一种基于搜索器和指针能量值的方法和设备。这一申请是在 1993 年 10 月 28 日提出申请并转让给本发明的受让人的编号为 08/144,902 的申请，其名称为“在能够接收多个信号的系统中的指针分派”。

图 1 示出来自一个基站到达移动台的一组例示的信号。垂直轴代表以分贝(dB)为尺度的接收到的功率。水平轴代表信号由于多路径延迟而在到达时刻方面的延迟。进入纸面的轴(未示出)代表一段时间。在纸面的公共面内的每个信号脉冲是在一相同的时刻到达的，但它们是在不同的时刻由基站发送的。

在一个公共面中，右面的波峰是在比左面的波峰更早的时刻由基站发送的。例如，最左面的波峰 2 相应于最近发送的信号。信号波峰 2-7 中的每一个经不同的路径传播，因此它们呈现不同的时延和不同的幅值响应。

用脉冲 2 - 7 表示的六个不同的脉冲是一种恶劣环境的代表。一般的市区环境产生很少的有用路径。用具有较小的能量值的波峰和波谷表示系统的噪声底部 (noise floor)。

搜索器的任务是识别当由信号脉冲 2 - 7 的水平轴测量时的延迟，用于可能的指形物分派。指形物的任务是对一个多路径波峰组中的一个波峰进行解调，以组合为单个输出。一旦分派给一个多路径波峰后，指形物还有一个任务是跟踪该波峰，因为它可能随时间移动。

可以将水平轴设想为具有 PN 偏移的单位。在任何给时序刻，移动台从基站接收许多信号，每个信号经历了不同的路径并且可能具有与其他信号不同的延迟。用一个 PN 序列来对基站信号进行调制。在移动站处也生成 PN 序列的本地复制物。每个多路径信号还在移动台处用 PN 序列编码来进行各自的解调，此 PN 序列编码按其接收到的时间偏移排列。可以将水平轴坐标认为与 PN 序列编码偏移相对应，它将用于在该坐标处对信号解调。

注意，每个多路径波峰的幅度作为时间的函数变化，如每个多路径波峰的不平整的脊(ridge)所示。在所示的有限时间内，多路径波峰没有显著的变化。在较为扩展的时间范围内，这些多路径波峰消失并且产生作为时间进程的新的路径。当移动台在基站的覆盖区域内移动时，这些波峰也能够由于路径距离的变化而滑至较早或较迟的偏移。每个指针对分派给它的信号的很小的变化进行跟踪。

在窄带系统中，在无线电信道中存在多路径将导致跨过所用窄频带的急剧衰落。这些系统是容量受制约的，为了克服非常大的衰落，它们需要额外的发射功

率。如上面所指出的，可在解调过程中对 CDMA 信号路径进行鉴别和分集组合。

分集有三种主要类型：时间分集、频率分集、以及空间/路径分集。最好通过重复、时间交织、以及引入冗余度的纠错和检测编码的使用得到时间分集。一个系统可以采用这些技术中的每一项作为时间分集的一种形式。

由于其固有的宽带性质，CDMA 通过把信号能量在一个宽频带内展布而提供了一种频率分集的形式。能够引起跨过窄带系统的频带深衰落的频率选择性衰落通常只对由 CDMA 扩展频谱信号使用的频带的一部分有影响。

搜索接收机通过其组合多路径延迟信号的能力提供路径分集；在经组合的信号变坏之前，所有具有分派给它们的指针的路径必须一起衰落。通过称之为“软切换”(soft hand-off) 的过程得到额外的路径分集，在此过程中，用移动台另外能够建立来自两个或多个基站的多个同时的冗余链路。这在小区的边界区域处在复杂的环境中支持牢固的链路。在 1992 年 3 月 21 日颁布的名为“在 CDMA 蜂窝式电话系统中的软切换”的第 5,101,501 号美国专利和 1992 年 4 月 28 日颁布的名为“在 CDMA 蜂窝式电话系统中的分集接收机”的第 5,109,390 号美国专利(这两项专利都转让给了本发明的受让人)中描述了路径分集的例子。

对于除了零之外的所有的时间偏移，不同 PN 序列之间的互相关和一个 PN 序列的自相关都具有接近于零的平均值。这允许在接收后对不同的用户信号进行鉴别。自相关和互相关要求逻辑“0”呈现值“1”而逻辑“1”呈现值“-1”，或类似的映射，以得到零平均值。

然而，这些 PN 信号是不正交的。虽然对于较短的时间间隔(诸如一个信息比特时间)，互相关在整个序列长度内的平均值大体上为零，但互相关是一个具有二项式分布的随机变量。因此，信号以与下述方式相同的方式互相干扰，即，它们好像在相同功率谱密度处的宽带高斯噪声。

在本领域中公知，能够构造一组 n 个正交的二进制序列，每个序列的长度为 n ，而 n 是 2 的任意次方(参看 S.W.Golomb 等人著的《具有空间应用的数字通信》，Prentice-Hall 出版社，1964 年，第 45-64 页)。事实上，对于是 4 的倍数但小于 200 的大多数长度，其正交的二进制序列组也是公知的。

这些序列中容易生成的一类序列称为沃尔什(Walsh)函数；可以递推地定义 n 阶 Walsh 函数如下：

$$W(n) = \begin{vmatrix} W(n/2), & W(n/2) \\ W(n/2), & W'(n/2) \end{vmatrix} \quad (1)$$

这里 W' 表示 W 的逻辑补，并且 $W(1) = |0|$.

Walsh 序列或编码是 Walsh 函数矩阵的一行。 n 阶 Walsh 函数矩阵包含 n 个序列，每个序列的长度为 n 个 Walsh 子码。 n 阶 Walsh 函数矩阵(以及长度为 n 的其他正交函数)具有这样的性质，即，在 n 个比特的间隔内，组内所有不同的序列之间的互相关是零。在组内的每个序列与每个其他的序列恰好有一半的位不同。还应指出，总是有一个序列所包含的全部是零，而所有其他的序列所包含的一半是 1 而一半是零。

在 '459 号专利描述的系统中，呼叫信号作为一个 9600 比特/秒的信息源开始，然后它由速率为 $1/2$ 的前向纠错编码器变换为每秒 19,200 个码元的输出流。来自一个小区的每个呼叫信号广播用 64 个正交 Walsh 序列之一覆盖，每个序列的间隔是 64 个 Walsh 子码，或一个码元。不管被覆盖的码元，所有 Walsh 序列的正交性确保了下述情形，即，在该小区内来自其他用户信号的干扰在码元积分(symbol integration)时被去除，来自其他小区的非正交干扰限制了前向链路的容量。

所有由基站发送的用户信号都是使用同样的同相(I)信道 PN 序列和正交(Q)信道 PN 序列的四相移相键控(QPSK)扩展的信号。在 CDMA 系统中的每个基站在相同的频带内使用相同的 PN 序列发送，但它们相对于一个未相移的对准世界时(universal time)基准的 PN 序列具有唯一的偏移。PN 扩展率与 Walsh 覆盖率(1.2288MHz，或每个码元 64 个子码)相同。在较佳实施例中，每个基站发送一个导频基准。

导频信道是一个“信标”(beacon)，它发送恒为零的码元并且用与话务方位信号(traffic bearing signal)相同的 I 及 Q 的 PN 序列来扩展。在较佳实施例中，导频信道由全零的 Walsh 序列 0 来覆盖。在起始的系统探测中，移动台搜索所有可能的 PN 序列的偏移，并且一旦它发现基站的导频信号，它能够使自己与系统时间同步。如下面要详细叙述的，导频信号在移动解调器搜索接收机结构中起着远比它在起始同步中的使用来得重要的作用。

图 2 示出用于接收和解调到达天线 18 的前向链路信号 20 的无线电的普通的

搜索接收机解调器 10。模拟发射机和接收机 16 包括一个 QPSK 下变频链，它在基带上输出数字化的 I 和 Q 信道样本 32。从一个电压控制温度补偿的本地振荡器(TCXO)得到用于对接收波形数字化的采样时钟，CHIPX8 40。

微处理器 30 通过数据总线 34 对解调器 10 进行监视。在解调器内，把 I 和 Q 样本提供给多个指针 12a-c 和一个搜索器 14。搜索器 14 搜索出一些偏移的窗口，这些窗口可能包含适于分派指针 12a-c 的多路径信号峰值。对于在搜索窗口中的每个偏移，搜索器 14 向微处理器报告它在偏移处发现的导频能量。然后对指针 12a-c 进行检查，并且由微处理器 30 把那些未被分派的或跟踪较弱的路径分派给由搜索器 14 识别的包含较强路径的偏移。

一旦把指针以其被分派的偏移锁定在多路径信号上时，于是它对该路径进行跟踪直至该路径衰落或直至用其内部时间跟踪回路对其再分派。此指针时间跟踪回路测量在偏移处峰值两侧的能量，在该偏移处指针当前正在进行解调的。这些能量的差值构成了接着要进行滤波和积分的量度。

积分器的输出控制着一个抽取器(decimator)，该抽取器在一个子码间隔内选出一个输入样本以用于解调。如果峰值移动了，则指针调节其抽取器位置以随峰值移动。然后用 PN 序列来解扩展抽取的样本流，该 PN 序列与指针分派到那里的偏移相协调。在一个码元内把经解扩展的 I 和 Q 样本累加，以产生一个导频矢量(P_I, P_Q)。使用 Walsh 编码分派(它对于移动用户是独有的)，这些同样解扩展的 I 和 Q 样本是 Walsh 不覆盖的，并且把这些不覆盖的、经解扩展的 I 和 Q 样本在一个码元内累加，以产生一个码元数据矢量(D_I, D_Q)。标积算符定义为：

$$P(n) \bullet D(n) = P_I(n)D_I(n) + P_Q(n)D_Q(n) \quad (2)$$

这里， $P_I(n)$ 和 $P_Q(n)$ 分别是码元 n 的导频矢量 P 的 I 和 Q 分量，而 $D_I(n)$ 和 $D_Q(n)$ 分别是码元 n 的数据矢量 D 的 I 和 Q 分量。

由于导频信号矢量要比数据信号矢量强得多，可以将导频信号矢量用作相干解调的准确相位基准；标积计算与导频矢量同相的数据矢量分量的大小。如在第 07/981,034 号名为“导频载波标积电路”并转让给本发明的受让人的待审查的美国申请中所描述的，标积对于对有效组合的指针贡献加权，事实上，用由该指针接收到的导频的相对强度对每个指针输出 42a-c 进行定标。于是标积起着在相干

搜索接收机解调器中所需的相位投影和指针码元加权的双重作用。

每个指针具有一个锁定检测器电路，如果它的长时间平均能量不超过一个最小的阈值，则该电路屏蔽输出至组合器 42 的码元。这确保了只有跟踪一条可靠的路径的那些指针才对组合的输出有贡献，于是提高了解调功能。

由于每个指针 12a-c 分派到的路径的到达时间的相对差值，每个指针 12a-c 具有一个去偏离(deskew)缓冲器，该缓冲器调准指针码元流 42a-c，从而码元组合器 22 能够把它们加在一起，以产生“软决定”解调码元。此码元用正确地识别起始发送的码元的置信度(confidence)来加权。把码元送至去交织器/解码器电路 28，从而由第一帧去交织然后使用最大似然维特比算法对码元流作前向纠错解码。然后使经解码的数据可由微处理器 30 或其他部件(诸如话音声码器)获得，以作进一步的处理。

在反向链路上，为使系统容量达到最大，在小区处以相同的信号强度接收来自移动台的所有信号是很重要的。可以采用一种闭环功率控制方法，在 1991 年 10 月 8 日颁布并且转让给本发明的受让人的名为“用于在 CDMA 蜂窝式移动电话系统中控制传输功率的方法和设备”的第 5,056,109 号美国专利中揭示了该方法。

闭环功率控制方法的工作情况是通过小区测量正由移动台接收的信号并且发送一个命令至移动台以增加或减少在前向链路的收缩(punctured)子信道上的功率值。功率控制码元组合器 24 抽取这些在前向链路上的收缩码元，把从指针 42a-c 输出的码元相加，并且作出是否将功率调高或调低的硬决定。把这些决定加以积分，以提供一个发送增益基准值输出 TXGAIN 38 给在模拟发射机和接收机 16 中的发射功率放大器。

为了正确地解调，需要一种机构来将本地振荡器频率对在小区处使用的时钟调准，以调制数据。通过测量在 QPSK I 和 Q 空间中的导频矢量的旋转速率，每个指针使用矢积矢量算符作出频率频率误差的估计：

$$\mathbf{P}(n) \times \mathbf{P}(n-1) = P_I(n)P_Q(n-1) + P_I(n-1)P_Q(n) \quad (3)$$

在频率误差组合器 26 中把来自每个指针 44a-c 的频率误差估计值组合和积分。然后把积分器输出 LO - ADJ 36 馈送至在模拟发射机和接收机 16 中的 TCXO

的电压控制，以调节 CHIPX8 时钟 40 的时钟频率，由此为补偿本地振荡器的频率误差提供了一个闭环机构。

在移动搜索接收机解调器的一种典型的专用电路实现办法中，把每个指针、搜索器、和组合器作为分立的电路单独实现，它们每个与一个集成电路(IC)晶片的某个电路区域直接相关。每个这些部件是独立的，并且对自己的信号处理任务负责，并且，这些部件由具有它们自己的单独的累加器、乘法器、和比较器。这些专用电路，特别是每个指针所需的许多乘法-累加器，需要用大量的晶片区域来实现。

在解调器的典型的数字信号处理器(DSP)实现方法中，把个指针、搜索器、和组合器作为解调器任务的单独编码的子程序来实现在指针和搜索器中，有许多简单的操作必须以 PN 子码率实现。如在较佳实施例中那样，在使用 1.2288MHz 的 PN 子码率的系统中，对于图 2 所示的三个指针和搜索器，一种一般的 DSP 结构可能需要执行高达每秒 75 兆指令(MIPS)，以进行子码率处理。75 MIPS DSP 要消耗相当大的功率。在移动装置(它时常是一个手持式用户装置)中，功率是非常宝贵的。DSP 方法的一个显著优点是通过固件改变实现解调算法改变的灵活性，这比起在传统的专用电路方法的情形中要作出实际电路改变来要灵活得多。

专用电路和一般的 DSP 实现都具有它们各自的晶片区域以及功率关系，即使利用了最新的 IC 制造工艺中的特征尺寸缩小的好处也无法解决。因此需要更为有效的解调器。

发明概述

本发明包含一种用于解调扩展频谱多址通信系统中的信号的方法和设备，该系统在前向链路上采用导频。本发明的解调器构造导致较小区域的芯片，它要比专用电路或通用 DSP 实现之等同物功耗小并且成本低。

从指针和搜索器去除专用码元率电路(即，用传统的专用电路方法来实现指针或搜索器所需的大部分区域)，而将它们的码元率功能并入共享的数据路径处理。所保留的是完成分别与指针或搜索器相关的所有子码率处理的专用电路，即，用以区别初始的指针和搜索器的称之为指针前端或搜索器前端。

本发明根据进行处理的时间间隔把信号处理功能分为两组。具体而言，这种

新的结构使用单个时分乘法-累加(MAC)数据路径, 它服务于多个指针前端和一个搜索器前端. 数据路径完成了与指针和搜索器相关的所有码元率处理.

这同一个数据路径以码元率组合指针的输出. 这样做产生了用于在反向链路上控制发射功率的经过解调的码元流和功率控制子信道决定流, 以及用于调节本地振荡器的频率误差估计值. 一个小型的寄存器文件 RAM 与数据路径一起存储了用于信号处理操作的所有状态信息, 这些信息占用了一个以上码元.

对于指针每个码元一次或对于搜索器每个积分时间间隔一次, 这些前端产生了包括对于导频的 I 和 Q 码元积分结果的一个数据矢量、业务信道码元数据、以及用于时间跟踪的导频解调的偏移当前指针的半个子码偏移, 或者在搜索器的情况下, 对于同时估计的每个偏移产生对于导频的 I 和 Q 积分. 对这些输出加以缓冲, 从而在前端累加器正在为下一个码元累加数据矢量时, 数据路径可在在一个码元期间访问已累加的数据矢量. 与数据矢量一起, 这些前端确立了一个标志, 该标志指出这些前端已经产生了需要由共享的数据路径服务的结果.

数据路径控制电路在多个指针前端、一个搜索器前端和多个组合功能之间按照先来先服务(first-come, first-serve)的办法解决数据路径的使用问题. 一旦排成队, 控制器经一条固定的路线对数据路径排序, 与存储在寄存器文件 RAM 中的状态信息一起, 选出要操作的数据矢量的分量. 然后控制器构造数据路径以进行与正在服务的部件的信号处理相关的所有的累加、乘法、和比较.

附图概述

图 1 表示一种例示的恶劣的多路径信号条件.

图 2 是一种现有技术的移动解调器搜索接收机的方框图.

图 3 是指针功能的方框图.

图 4 是搜索器功能的方框图.

图 5 是组合器部件功能的方框图.

图 6 是按照本发明的共享数据路径结构的移动解调器的方框图.

图 7 是指针前端的方框图.

图 8 是搜索器前端的方框图.

图 9 是与解调器的码元率信号处理相关状态信息的存储图.

图 10 是当共享的数据路径为一个指针服务时，该数据路径的排列时线 (timeline)。

图 11 是当共享的数据路径为一个搜索器服务时，该数据路径的排列时线。

图 12 是当共享的数据路径为一个组合器服务时，该数据路径的排列时线。

较佳实施例的描述

如上所述，图 2 是搜索接收机解调器 10 的顶层功能的略图。模拟前端 16 经天线 18 接收前向链路信号 20，将其下变频至基带，并且将数字化的 I 和 Q 信道样本 32 输出至多指针个 12a-c 和一个搜索器 14。搜索器 14 搜索出偏移的窗口，它们可能包含适合指针 12a-c 分派的多路径信号峰值。对于在搜索窗口中的每个偏移，搜索器 14 向微处理器 30 报告它在该偏移处找到的导频能量。然后对指针 12a-c 进行检查，并且由微处理器 30 把那些未分派的或跟踪较弱的路径分派给包含由搜索器 14 识别的较强路径的偏移。

所有的指针 12a-c 都包含与在图 3 的指针功能方框图中描述的相同的功能。在传统的专用电路实现方案中，图 3 中的每个部件都与一个实际的电路相关；在传统的通用 DSP 实现方案中，这些部件中的每一个在信号处理编码中都有对应的步骤。在较佳实施例中，由子码-码元处理边界 98 指出以子码率和以码元率进行的处理的清楚的轮廓。所有在子码级上工作的部件示于边界 98 的左方，而所有以码元率工作的部件示于边界 98 的右方。

把 I 和 Q 样本 32 输入至抽取器 102，它根据指针分派的偏移每个子码选出八个样本中的一个，用于按时处理，它还选出半个子码延迟的另一个样本，用于时间跟踪。此抽样以及在指针中的所有其他的子码率处理都受控于来自指针时序发生器 122 的子码启动选通脉冲 156。指针时序发生器 122 对正在解调的多路径峰值的时间偏移进行跟踪。

由时间跟踪环路调节或者微处理器发出的移至新的偏移的转换命令而产生的每个超前或滞后具有延缓或加速产生子码启动选通脉冲 156 的速率的作用，而在较佳实施例中，每隔 64 个子码启动选通脉冲就确定一个有关的码元启动选通脉冲 158。指针时序发生器 122 通过递增或递减由微处理器读取的内部指针位置寄存器来反映任何的偏移改变。指针时序发生器 122 还包括由微处理器写入的内

部位置分派寄存器，用于当指针再分派时将指针转至一个新的偏移。当微处理器再分派一个指针时，在指针时序发生器 122 内的内部机构继续使时序超前或滞后，直至它判定指针已到达其分派的偏移。

把按时抽取和延迟抽取的 I 和 Q 子码样本分别提供给 QPSK 去扩展器 104a 和 104b。去扩展器 104 还从 IQ PN 序列发生器 106 接收 PN 序列，这些 PN 序列与在基站处扩展数据所用的那些相同。IQ PN 序列发生器 106 受控于来自指针时序发生器 122 的子码启动输出 156，于是产生指针的被分派的偏移相符的 PN 序列。另一种描述方法是，在基站中，通过从基站至移动装置的多路径传播延迟，把从 PN 发生器 106 输出的序列对于与之相同的序列作延迟。所以，在解调器中的去扩展处理可以用正确的时间调准来倒转在调制器中的扩展处理。

为了恢复原先发送的数据，把去扩展的 I 和 Q 子码分别从按时去扩展器 104a 输出至“异或”(XOR)门 108。Walsh 序列发生器 100 相应于分派给移动装置的 Walsh 编码，向 XOR 门 108 提供 Walsh 子码序列，以倒转在基站处应用的正交覆盖。

通过微处理器数据总线 34 把 Walsh 编码传送至指针。用 I 和 Q 码元累加器 110 和 112 在一个码元时间间隔内把去扩展的和未覆盖的 I 和 Q 子码相加，每个码元一次，为码元 n 产生一个码元数据对 $D_I(n)$ 和 $D_Q(n)$ 。由于导频信道用全零的 Walsh 编码 0 覆盖，因此不需要另外的 Walsh 序列发生器来恢复导频。由按时 I 和 Q 累加器 114 和 116 把按时去扩展器的输出直接相加，为码元 n 产生一个导频对 $P_I(n)$ 和 $P_Q(n)$ 。

由导频强度差(它与当前的指针偏移有半个子码的偏移)驱动时间跟踪环路。所以，由另外一组 I 和 Q 累加器 118 和 120 把由延迟 I 和 Q 去扩展器 104b 提供的去扩展的导频相加，延迟去扩展器所用的样本要比由按时导频和码元累加器所用的样本延迟半个子码。为了对码元 n 产生比按时导频对延迟半个子码延迟的一个导频对 $P_{IL}(n)$ 和 $P_{QL}(n)$ ，延迟去扩展器 104b 采用的 PN 序列与由按时去扩展器 104a 采用的 PN 序列相同。为了对码元 n 产生比按时导频对超前半个子码的一个导频对 $P_{IE}(n)$ 和 $P_{QE}(n)$ ，延迟去扩展器 104b 采用的 PN 序列比由按时去扩展器 104a 采用的 PN 序列延迟一个子码。时间跟踪环路对于变化的码元使用半个子码超前和延迟的导频对。用每个码元启动选通脉冲 158 来对累加器 110、112、114、116、118、120 清零，并开始在下一个码元时间间隔内的相加。上述部

件完成了出现在指针中的所有的子码率处理，在图 3 中，把这些处理画在边界 98 的左方。此子码率处理的净结果是每个码元产生一次的数据矢量：

$$\{ D_I(n), D_Q(n), P_I(n), P_Q(n), P_{IE/L}(n), P_{QE/L}(n) \}$$

然后该数据矢量由画在图 3 的边界 98 右方的部件以码元率进行处理。

一般，码元率处理从对按时 I 和 Q 导频数据 $P_I(n)$, $P_Q(n)$ 的滤波开始，如用图 3 所示的 I 和 Q 导频滤波器 132 和 134。滤波把在导频基准中的码元之间的变化加以平滑，为标积的相位投影和定标操作提供了一个较稳定的基准。

在较佳实施例中，把 I 和 Q 导频滤波器 132 和 134 构造为简单的一阶无限脉冲响应(IIR)滤波器。对于每个码元，把当前滤波值的一部分去掉，并加入新的输入，即，加入导频数据 $P_I(n)$ 、 $P_Q(n)$ ，以产生新的滤波输出 $Pf_I(n)$ 、 $Pf_Q(n)$ 。

每个码元一次，标积电路 130 进行在(2)式中定义的标积操作，取码元矢量 $D_I(n)$ 、 $D_Q(n)$ ，并将它与经滤波的导频矢量 $Pf_I(n)$ 、 $Pf_Q(n)$ 作标积。这样做导致一个标量值，该值指出与导频同相的数据码元的大小，由正在接收的导频的强度定标。

在将标积结果对有关的位作重新归一的截断和限制后(未示出)，把这个码元输出写入码元去偏离缓冲器 144。去偏离缓冲器是一个先进先出(FIFO)缓冲器，它用由码元启动选通脉冲 158 提供的指针自己的特定的码元对准来写入。用相同的组合器码元启动选通脉冲(未示出)读取所有指针中的去偏离缓冲器。这样做抵消了分派给指针的不同的偏移，并允许码元组合器 22 把来自不同的指针的码元流加在一起。

当指针处于失锁(out of lock)状态时，把去偏离缓冲器的码元输出用一个“与”门 152 来屏蔽。锁定状态 148 是一指示器，表示出指针正在跟踪一条可靠的和相当强的路径，而当指针失锁时屏蔽指针码元输出以产生来自组合器 22 的较高质量的组合码元流输出。

判定锁定状态的信号处理始于能量电路 140，对于正在跟踪的峰值，相应于导频中的能量，由该电路 140 使用 I 和 Q 导频滤波输出确定 $[Pf_I(n)^2 + Pf_Q(n)^2]$ 。然后由锁定检测滤波器 142 对此能量进行滤波，以产生长期平均指针能量值。在指针再分派时，微处理器 30 能够读回此指针能量，并将它与搜索器 14 最近找到

的多路径峰值作比较，当多路径环境发生改变并且峰值变化不定时，把指针重新分派给由搜索器发现的较强的路径。

在较佳实施例中，把锁定检测滤波器 142 构造成为一个简单的一阶 IIR 滤波器。对于每个码元，去除保持在滤波器中的一部分指针能量，并加入从能量电路 140 输出的能量结果，以产生新的经滤波的指针能量输出。

阈值比较部件 150 把从锁定检测滤波器 142 输出的指针能量与由微处理器 30 写入阈值比较部件的一个锁住阈值和一个失锁阈值作比较。如果指针能量高于锁定阈值，则迫使锁定状态 148 为锁住状态。如果能量低于失锁阈值，则迫使锁定状态 148 为失锁状态。否则锁定状态保持不变。这对于锁定状态 148 产生了一个滞后效应，即，一旦指针失锁，要回至锁住，其能量必须升高至超过锁住阈值，并且一旦指针被锁住，要失锁，其能量必须下跌至失锁阈值以下。

每个码元一次，矢积电路 146 进行由(3)式定义的矢积操作，把经滤波的导频矢量 $Pf_i(n)$ 、 $Pf_Q(n)$ 与经滤波的前一码元的矢量 $Pf_i(n-1)$ 、 $Pf_Q(n-1)$ 作矢积。这样做导致了一个指出导频在 QPSK I 和 Q 空间旋转速率的标量值，该值提供了本地振荡器时钟与在基站用于发射信号的频率之间的频率误差。在将矢积结果对有关的位作重新归一的截断和限制后(未示出)，当指针处于失锁状态时，把这个频率误差用一个“与”门 154 来屏蔽，从而只有状物正在跟踪一条可靠的和相当强的路径时它才对 LO _ ADJ 信号 36 有贡献。

如上所述，当移动台相对于在其四周的物体改变其位置由此引起反射的多路径时，时间跟踪环路使指针在峰值发生偏移时保持处于所分派的多路径峰值的中心。关于后继的码元，半个子码偏移的导频码元积分对 $P_{IL}(n)$ 、 $P_{QL}(n)$ 以及 $P_{IE}(n)$ 、 $P_{QE}(n)$ 交替地由延迟码元累加器 118 和 120 输出。每个码元一次，能量电路 136 相应于在比正在跟踪的峰值迟或早半个子码偏移的导频中的能量，计算 $[P_{IL}(n)^2 + P_{QL}(n)^2]$ 或 $[P_{IE}(n)^2 + P_{QE}(n)^2]$ 。时间跟踪滤波器 138 计算这两个能量的差，

$$[P_{IL}(n)^2 + P_{QL}(n)^2] - [P_{IE}(n)^2 + P_{QE}(n)^2] \quad (4)$$

这个差值形成了用于驱动二阶低通滤波器的量度。由微处理器 30 规定一阶和二阶贡献的增益。这样做允许在起始搜索时有较大的滤波器带宽，一旦指针被锁定，其后的改变至较窄的带宽能较好地阻止寄生的带外噪声。当相位累加末级

溢出或下溢(under flow)时，时间跟踪滤波器发出超前或推迟。这反馈至指针时序发生器 122，从而由单个 CHIPX8 时钟分别压缩或扩张子码时间间隔。这样做把指针偏移沿重新使它位于正被跟踪的路径中心的方向调节八分之一个子码。

在微处理器 30 规定搜索窗口起始偏移(写至搜索时序发生器 200)和搜索窗口长度(写至搜索控制部件 206)之后，搜索器 14 一步一步通过搜索窗口，在搜索窗口中依次估算每个偏移。对于每个偏移，搜索器在一个规定数目的子码范围内将导频积分(写至搜索器时序部件 200)，计算由此得出的导频能量，并且可选地把几个导频能量在规定个数的间隔范围内相加(写至搜索控制部件 206)。搜索器的输出是在搜索窗口中的多路径环境的迹线，它看起来很像图 1。可使多路径迹线直接回至微处理器，或者，为了减少微处理器需要处理的数据量，搜索器可对结果进行滤波，从而只报告经选拣的在搜索窗口中找到的一些最大的峰值的列表。

在较佳实施例中，正如把指针处理分成子码率和码元率处理那样，把搜索器也分成两个功能组，如图 4 的搜索器功能方框图所示。在一种传统的专用电路实现方案中，在图 4 中的每个部件都对应一个物理的电路；在传统的通用 DSP 实现方案中，这些部件中的每个部件在信号处理编码中都有对应的步骤。所有在子码级上工作的部件示于边界 198 的左方，而所有的每个积分区间工作一次的部件示于边界 198 的右方。

把输入至抽取器 102 的 I 和 Q 样本提供给搜索器 14。不像指针 12a-c(它们能够在八个输入数据的抽取值中选出一个值)，搜索器抽取器 102 在进行搜索时总是以固定的半个子码的偏移采样。由于搜索器只以半个子码的增量估算搜索窗口，因此可以固定抽取器 102，粗扫描对于确保没有遗漏可能的候选路径还是足够精细的。一旦把一个指针分派给由搜索器找到的一条路径，即使峰值落在两个相隔半个子码的搜索结果之间，指针也能迅速把它自己定位在路径中心。采样以及在搜索器中的其他子码率操作服从于来自搜索器时序发生器 200 的子码启动选通脉冲 214。

产生的每个超前和滞后具有减缓或加快产生子码启动选通脉冲的速率，这些超前或滞后的产生，或是由于搜索控制部件 218 在搜索器一步一步通过搜索窗口时产生的搜索滞后，或是来自微处理器 30 的转换，以在不同的起始偏移处开始新的搜索。搜索器时序发生器 200 还输出一个 SUM - DONE 选通脉冲，以指出搜索积分区间已经结束。

搜索器时序发生器 200 在可由微处理器 30 读出的内部搜索器位置寄存器中存储了所有偏移变化的净效应。搜索器时序发生器 200 还包含了一个可由微处理器写入的内部位置分派寄存器，以将搜索器转至新的偏移。当微处理器 30 使搜索器 14 转换时，在搜索器时序发生器 200 中的一个内部机构继续使搜索器时序超前或滞后，直至它判定搜索器 14 已经到达其分派的偏移。一旦它到达其分派的偏移，搜索器 14 就从第一偏移着手开始在搜索窗口中进行规定的搜索。

正如指针 12a-c 的情况那样，在搜索器 14 中，把按时和延迟抽取的 I 和 Q 子码样本分别提供给 QPSK 去扩展器 104a 和 104b。去扩展器 104 还从 IQ PN 序列发生器 106 接收 PN 序列，这些 PN 序列与在基站处扩展数据用的那些 PN 序列相同。IQ PN 序列发生器 106 服从于来自搜索器时序发生器 200 的子码启动输出 214，因而产生与当前正由搜索器估算的偏移相适应的 PN 序列。搜索器只关心在每个偏移处测量导频强度，因此不需要可在指针中找到的 Walsh 序列发生器。

由按时 I 和 Q 累加器 162 和 164 把按时去扩展器 104a 的输出直接相加，而由延迟 I 和 Q 累加器 166 和 168 把延迟去扩展器 104b 的输出直接相加，对于码元 n 产生一个导频对 $P_I(n)$ 和 $P_Q(n)$ ，对每个积分区间产生一次数据矢量：

$$\{ P_I(n), P_Q(n), P_{IL}(n), P_{QL}(n) \}$$

然后该矢量由画在图 4 中的边界 198 右方的部件以积分区间速率进行处理。

应该注意，在较佳实施例中，由搜索器同时估算两个偏移（一个按时和延迟对）。为了确保搜索器对于典型的搜索窗口以快于多路径环境变化的速率产生多路径迹线，需要这种并行处理。对于较佳实施例讨论的信号处理也能不失一般性地用于附加的去扩展器累加器对，如果有需要，可以用这些附加的去扩展器累加器对来获得附加的搜索器性能。

在每个积分区间后，对于搜索器当前正在估算的偏移，能量电路 202 对应于按时导频能量计算 $[P_I(n)^2 + P_Q(n)^2]$ ，而能量电路 204 对应于延迟导频能量 $[P_{IL}(n)^2 + P_{QL}(n)^2]$ 。用非相干累加器 208 在几个积分区间内把按时导频能量可选地相加，而类似地，用非相干累加器 210 把延迟导频能量相加。

在经历了规定个数的积分区间后，把在非相干累加器 208 和 210 中的结果传送至搜索结果处理器 212。然后搜索器控制部件 206 缩小其内部偏移计数并向搜

索器时序发生器 200 发出一个滞后。这样做使得搜索器在搜索窗口中步进至下一个偏移。去扩展开始一个与新的偏移相适应的 PN 序列，把按时和延迟累加器 162、164、166、168 清零，并开始对新的偏移把去扩展导频子码相加。一旦搜索控制部件使搜索器依次通过搜索窗口中的规定个数的子码，该搜索控制部件使搜索器回至空闲状态，直至再次命令搜索器去搜索另一个窗口。

在上面提到的编号为 08/144,902 名为“在能够接收多个信号的系统中解调部件的分派”美国专利申请中，较佳实施例根据在搜索窗口中找到的最佳结果分派指针。在较佳实施例中，在搜索结果处理器 212 中对四个最佳结果进行跟踪。（在其他实施例中，可以存储较少或较多个数的结果。）在结果处理器 212 内部的结果寄存器存储着经选拣的已找到的最大峰值和它们的相应偏移的列表。如果由非相干累加器 208 或 210 提供的最近的搜索结果超过存储在最佳结果列表中的那些结果，则在结果处理器 212 中的控制逻辑丢弃第四个最佳结果，并在列表中其适当位置处插入新的能量和相应的偏移。在本领域中公知有很多种方法能提供这种选拣功能。在本发明的范围内可以使用这些方法中的任何一种方法。

搜索结果处理器 212 还具有局部最大值滤波功能，该功能把当前的能量与在相邻的偏移处得到的能量作比较。如果启动局部最大值滤波器，即使用别的方法鉴定出要包括一个结果，它还是阻止更新最佳结果列表，除非该结果代表一个局部多路径峰值。这样，局部最大值滤波器阻止最佳结果列表中的多个入口被较强的、宽的“模糊”多路径填充，而不给较弱但清楚的多路径留出位置，从而能够为解调作出较好的选择。

局部极大值滤波器的实现是直截了当的。把当前的搜索结果与先前的偏移结果作比较，比较结果指出正在跟踪的峰值的斜率。斜率从正到负的转变指出一个局部最大值，并且启动要被更新的最佳结果列表。可以合适地使斜率锁存器初始化并一直保持，从而也能为了包含的目的考虑边界边缘的偏移。

在搜索结束时，把最佳结果列表提供给微处理器。由于搜索器已对结果进行了滤波，从而只有最大的峰值需要由微处理器 30 考虑，这显著地减少了微处理器花费在其搜索器任务上的处理量。

图 5 是为图 2 的移动解调器中码元组合器 22、功率组合器 24 和频率误差组合器 26 进行处理的功能概观。每个码元一次，码元组合器从三个指针获取去偏离码元序列 42a-c，藉助于加法器 262 把它们相加，并且，在截断和限制(未示出)

后，藉助于图 6 的“异或”门 270 使用与小区中的对应者时间对准的用户特定的长编码对经组合的软决定码元进行反扰频(desramble)。用户长编码 28 对于每个用户是唯一的，并且使用在呼叫建立时尚未经电波广播的参数构成，于是提供了保密性的某种量度。用户 PN 发生器置于组合器时序发生器 264 中，并与之在时间上对准。组合器时序发生器 264 输出与指针码元选通脉冲 158a-c 无关的组合器码元选通脉冲 282，这在前面讲到它启动从指针 12a-c 的码元去偏离缓冲器 144 同时读取的作用时已经提及。

组合器时序发生器 264 具有一个输入 TX-PCG 信号 278，它来自调制解调器(未示出)的调制器部分，它指出，在先前的功率控制组中，移动装置在反向链路上发射。在较佳实施例中，功率控制组是一个 1.25 毫秒的时间间隔，在该间隔内，移动装置可将其发射在反向链路上开启。如果移动装置发射，则 TX-PCG28 告诉组合器等着听在前向链路上的闭环功率控制决定子信道上的功率控制决定。

由用户 PN 序列 280 采样的位决定在功率控制组中的哪个前向链路话务码元被收缩以提供功率控制决定位。在较佳实施例中，根据应用，功率控制决定可以收缩一个或两个码元。在被收缩的码元期间，组合器时序发生器 264 要求 PUNCT 信号 284。这屏蔽了码元数据，从而在提供给去交织器和译码器的码元数据流 46 中放置了一个擦除。给出在较佳实施例中使用的有力的前向纠错码，译码器 28 能够构造被收缩的码元。

功率组合器 24 使用由码元组合器 22 使用的同样的三个去偏离指针码元流。功率组合器 24 实际上是三个单独的加法器 - 累加器对，允许移动装置监视来自三个不同的小区的功率决定。正常情况下这些加法器-累加器对中是有效的，但在双路或三路软切换中，移动装置能够同时获取来自两个或三个小区的功率决定。

小区 0 使用加法器 246 和累加器 252；小区 1 使用加法器 248 和累加器 254；小区 2 使用加法器 250 和累加器 256。每个码元一次，加法器 246、248 和 250 把来自三个指针 12a-c 的码元流相加。如果使用双码元收缩，则累加器 252、254 和 256 经两个相继的码元把得到的经组合的码元相加。当软切换时，由于对于每个小区的多路经环境改变了，因此可以把指针 12a-c 在小区之间自由地重新分派。

为了提供最大的灵活性，“与”门 240a-c、242a-c 和 244a-c 向微处理器 30 提供一种装置，以将指针从一个小区交换至另一个小区。例如，当不在软切换时，

只用小区 0 加法器-累加器对 246 252。所有三个“与”门 240a-c 都被启动，而分别用于小区 1 和 2 的“与”门 242 a-c 和 244 a-c 被禁止，屏蔽 3 至加法器-累加器对 248 254 和 250 256 的指针贡献，有效地将它们断开。

在三路软切换中，把一个指针分派给每个小区，每组“与”门 240a-c、242 a-c 和 244 a-c 中的一个“与”门被启动，而每组其余两个“与”门被禁止，从而所有三个加法器-累加器对都有效。累加器 252、254、256 中的符号位形成硬的“升 = 0”或“降 = 1”决定。

在一个软切换中，如果任何一个小区请求移动装置调低其发射功率，这指出移动装置在该小区处声音响亮而清晰，而应忽略其他小区的决定。此逻辑反映在“诸个降之或”(or-of-the-downs)“或”门 258 中，该“或”门组合了来自有效小区的功率决定。代表最终组合决定的“或”门 258 的输出在 TXGAIN 累加器 268 中累加。

TXGAIN 累加器由 PUNCT 信号 284 启动，确保只响应于功率决定码元调整其发射增益输出。TXGAIN 值通过外部 R-C 滤波脉冲密度调制器(PDM)276 的 TXGAIN 输出而转换成模拟电压电平，脉冲密度调制器输出一脉冲串，该脉冲串在一设定的时间间隔内的密度正比于由 TXGAIN ACCUM268 提供的输入值。

每个码元一次，频率误差组合器 26 从三个指针获取频率误差流 44 a-c，藉助于加法器 260 把它们相加，并且在截断和限制(未示出)后，把经组合的频率误差在 LO-ADJ 累加器 266 中相加，以提供本地振荡器调整基准。通过外部 R-C 滤波 PDM274 的 LO-ADJ 输出 36，把 LO-ADJ 值转换成模拟的电压电平。PDM274 输出一脉冲串，该脉冲串在一设定的时间间隔内的密度正比于由 LO-ADJ ACCUM266 提供的输入值。

在传统的专用电路实现方案中，把在图 3、4 和 5 中描述的每个乘法器、累加器或比较器作为分立的电路单独地实现，每个部件和集成电路(IC)芯片上的某个电路区域直接对应。特别重要的是用于对每个指针重复进行的按时导频滤波能量、提早或推迟导频滤波能量、矢积操作和标积操作的四个乘法器累加器。

要实现这些结构就要用尺寸相当大的芯片区域，而本发明的发明者考虑到用整个码元来完成处理，用共享的数据路径可以更有效地实现功能。得出的混合结构(包含专用电路的和通用 DSP 方法的部件)如图 6 所示。所有示于图 3 的直线 98 左方的指针子码率电路和示于图 4 的直线 198 左方的搜索器子码率电路保留在图

6 所示的剩下的专用电路中，分别作为指针前端 312 和搜索器前端 314。把图 3 的直线 98 右方的所有指针码元率处理、图 4 的直线 198 右方的所有搜索器每个积分区间的处理以及图 5 的组合器功能都合并在一个共享的乘法器-累加器数据路径 300 中。

每个码元一次，指针前端 312 产生一个数据矢量，它包括用于话务信道码元数据的 I 和 Q 码元积分、按时导频以及提前或延迟导频、每个积分区间一次，搜索器前端 314 产生一个数据矢量，它包括对于按时和延迟导频的 I 和 Q 码元积分结果。数据矢量的分量由共享的数据路径通过一个三态总线 174 来纺间，该三态总线由指针前端和搜索器前端共享。

每个码元一次，组合器时序发生器 264 输出一个组合器码元启动信号 282，指针前端输出它们各自的码元启动信号 158a-c，并且每个搜索器积分区间一次，搜索器输出一个 SUM_DONE 信号 216。数据路径控制电路 308 使用这些选通脉冲，在先来先服务的基础上，在指针前端 312、搜索器前端 314 和组合功能之间协调数据路径的使用。一旦排好队，控制器 308 通过存储在微码 ROM306 中的一段微编码指令排出数据路径 300 的顺序。用微码把数据路径 300 的内部部件加以构造，以允许该数据路径完成它正在服务的部件的信号处理所需的累加、乘法和比较。控制器由随机存取存储器（RAM）304 读和写，它用作寄存器文件，存储着跨过码元边界保存的全部解调器状态信息。这些包括诸如用于每个指针 12a-c 的去偏离存储器和各种滤波器值，以及用于搜索器 14 的找到的最大峰值的经选择的列表等项目。

图 7 是指针前端 312 的方框图。它完成与前面详述的图 3 的指针直至子码累加器 110、112、114、116、118 和 120 相同的子码率处理的功能。在指针码元启动选通脉冲 158 上，由半锁存器 350a-f 锁存这些累加器的数据矢量输出，缓冲数据矢量，从而当在半锁存器 350a-f 中锁存的值等待轮到要被共享的数据路径 300 处理时，指针子码累加器可以对下一个码元开始相加数据矢量。半锁存器 350a-f 是三态经缓冲的 352a-f，允许它们在由所有的指针前端和搜索器前端共享的共用总线上输出。三态总线 174 是一个分布的多路复用器；数据路径控制 308 在指针前端或搜索器前端中选择三态驱动器 352a-c 中的一个，以驱动出至总线上。三态总线 174 对所有的各种数据矢量分量以最小的路由开销提供数据路径访问。当数据路径控制 308 更新一个指针的时间跟踪滤波器的值时，该指针前端时

序发生器 122 接受由数据路径控制产生的外部超前或滞后 160.

图 8 是搜索器前端 314 的方框图。它完成与前面详述的图 4 的搜索器直至子码累加器 162、164、166、168 相同的子码率处理功能。在搜索器 SOM_DONE 边界 216 上，由半锁存器 360 a-c 锁存这些累加器的数据矢量输出，缓冲数据矢量，从而当在半锁存器 360 a-c 中锁存的值等待轮到被共享的数据路径 300 处理时，搜索器子码累加器可以对下一个码元开始相加数据矢量。半锁存器 360 a-d 是三态经缓冲的 362 a-d，允许它们在由指针前端共享的共用总线 174 上输出。当数据路径为搜索器服务时，数据路径控制 308 选择三态驱动器 362 a-d 中的一个，以驱动出至总线上。当数据控制 308 结束对一个偏移的处理并移至考虑搜索窗口中的下一个偏移时，搜索器前端时序发生器 200 接受一个由数据路径控制 308 产生的外部搜索器滞后。

回至图 6，数据路径 300 包括两个操作数输入锁存器 322、320。这些操作数锁存器可以容纳来自三态数据矢量总线 174 或来自寄存器文件 RAM304 的值，这些值是通过多路复用器(MUX)320 和 MUX324 独立地被选出的。例如，当对于在时间跟踪中使用的半子码延迟导频能量的计算而对 $P_{ll}(n)$ 取平方时；在此情形下，MUX320 和 324 都从数据矢量输入总线选择输入。当进行标积时，从寄存器文件 RAM 读取经滤波的导频 $Pf_l(n)$ ，它由 MUX324 选出并由锁存器 326 俘获，而把对于正在被服务的指针的 $D_l(n)$ 驱动至数据矢量输入总线上，它由 MUX320 选出并由锁存器 322 俘获。由乘法器 328 把两个操作数锁存器相乘。

乘法器 328 是全并行组合乘法器，它在单个时钟周期内产生两个操作数的乘积。通过 MUX330 选择乘法器输出或存储在锁存器 320 中的操作数，被选出的量要在加法器 334 中与累加器反馈锁存器 342 相加。

在数据路径中的所有算术运算都用 2 的值的互补表示来完成，因此通过用“异或”门 332 作 1 的互补反相并且将对加法器的 LSB 的进位固定为 1，可以将 MUX330 的输出有条件地减去而不是相加。“与”门 336 能够有条件地屏蔽加进加法器 334 的累加器锁存器 342 的反馈，因此可把 MUX330 的输出装入累加器锁存器 342，而不是与其先前的内容相加。

如此把加法器的输出馈至一个可编程的限制级 338，使得与一个可编程的归一化级 340 一道，对于正在进行的操作只选择有关的加法器输出位。通过在每次运算后把结果重新归一化，截断远低于系统的噪声底部的 LSB，并使任何 MSB

(它们很少设置,如果有过的话)饱和,所有作运算的值能够最多在双精度字中保持,而不至发生位溢出。

提供在三态总线 174 上的数据矢量是一个单精度字,在较佳实施例中为 10 位宽。一般,存储在寄存器文件 RAM304 中的指针码元和频率误差是单精度字,而把滤波器值作为双精度字存储,在较佳实施例中为 20 位宽。寄存器文件 RAM304 包括两个存储体(bank),它们能被独立地访问,以访问一个单精度字或一起访问一个双精度字。

在较佳实施例中,寄存器文件 304 的存储图包括 64 个 10 位字的两个 RAM 存储体,如图 9 所示。把在寄存器文件中的存储分成两个指针页,即,一个搜索器页和一个组合器页。在指针页内的字段的组织对于每个指针是相同的,因此正在服务的指针前端的索引(index)形成了页选择,而把从寄存器文件 304 取得的指针状态值规定为进入被选出页内偏移。对于每个指针 12a-c,把码元去偏离缓冲存储器、I 和 Q 导频滤波器值和它们的用于矢积的经延迟的版本、时间跟踪滤波器值、和锁定能量滤波器值都存储在寄存器文件中。

寄存器文件包括微处理器写入寄存器,即锁住和失锁阈值,用于二阶时间跟踪环路并在指针完成了转换后获取的起始指针能量和频率累加器项。寄存器文件还包括微处理器读入寄存器,即,用于二阶时间跟踪环路的指针能量和频率累加器项。把这些值存储在 RAM 中要比存储在分散例示的读写锁存器中更有效;微处理器读/写抽头 344 提供了一个端口,通过该端口微处理器能够读出或写入这些值,当在进行访问时,暂时停止数据路径的排序。微处理器不常访问这些值,因此在数据路径排序中的任何延迟是不重要的。

对于搜索器 14,寄存器文件存储按时和延迟非相干累加器的中间值和用于局部最大值检测的先前的能量值,它还存储由搜索器找到的四个最强峰值和它们相应的偏移的经选拣的列表。对于组合器,寄存器文件存储当两两个依次收缩的码元相加时小区累加器 252、254 和 256 的状态,以及 TXGAIN 累加器 268 和 LO_ADJ 累加器 266 的状态。能够由微处理器 30 规定 TXFGAIN 和 LO_ADJ 累加器 268、266 的起始值,而它们的当前值由微处理器 30 用读/写抽头 344 读回。

回至图 6,由累加器锁存器 342 获得经限制的、归一化的加法器输出。把累加器锁存器 342 的输出反馈至加法器 336,用于再相加,而可把它的内容写回寄存器文件 RAM304。当把被更新的 TXGAIN 或 LO_ADJ 累加器值分别写回寄存

器文件 RAM 时, 由 TXGAIN PDM274 和 LO_ADJ PDM276 在适当的时刻获取锁存器 342 的输出。当服务于组合器功能时, 数据路径在一时刻在累加器锁存器 342 处产生经组合的码元。然后, 如前面对示于图 5 的相同的电路所作的描述那样, 分别用 USER_PN 序列 280 和组合器时序发生器的 PUNCT 信号 284 输出使经组合的码元由“异或”门 270 扰码(scramble)和由“与”门 272 擦除。

由于容易实现, 在较佳实施例中, 把某些影响数据路径排序的状态(诸如指针锁定状态、用于局部最大值滤波器的斜率锁存器、用于指针去偏离缓冲器的读写指示、非相干累加和当前搜索偏移计数)用分立的锁存器和在数据路径控制电路 308 内部的相随的控制逻辑来实现, 而不是通过数据路径排序和在寄存器文件 304 中附加的存储单元分配来实现。通过跟踪读写去偏离缓冲器指示, 由组合器时序发生器 264 或指针时序发生器 122 处理的最大时间间隔是它们各自的码元时间间隔选通脉冲 282 和 158。

数据路径控制 308 用来自加法器 334 的符号位输出作为标志, 以控制对于锁住阈值、失锁阈值、局部最大值滤波器的数据路径排序, 并在对最佳搜索器结果进行选拣时列成表。当计算新的时间跟踪滤波器输出时如果符号位 346 溢出, 这表示由 CHIPX8 使指针超前或滞后。当发生这种情况时, 把超前或滞后命令 160a-c 从数据路径控制 308 反馈至正在由数据路径服务的指针前端 312。通过微处理器数据总线 34, 微处理器 30 对数据路径控制器 308 规定对于每个偏移进行的积分的数目和在搜索窗口中的偏移的数目。微处理器还对数据路径控制规定能进行功率组合的每个小区的指针启动、指针时间跟踪环路增益, 并能直接写入指针的锁定状态, 超越由锁定阈值比较确定的值。

如前面提到的当要求指针前端、组合器功能或搜索器前端各自的码元启动选通脉冲 158a-c、282 或 SUM_DONE 选通脉冲时, 对它们在先来先服务的基础上进行服务。当数据路径 300 完成对前一个提出请求的部件的服务后, 数据路径控制 308 立即把提出请求的部件排成要处理的一队。如果两个或多个部件恰好同时提出服务请求, 则数据路径控制 308 任意指定竞争部件之中的一个为队中的第一个, 而把另一个排在它后面。由于指针前端和搜索器前端输出是被缓冲的, 因此数据路径具有一个完整的码元来对它们服务, 直至下一个码元结果重写在缓冲器中的数据矢量。只要数据路径在每个码元周期有额外的时钟周期, 就能在任何最坏的排队情况下确保在出现下一个码元边界之前对每个指针 12a-c 进行服务。

在超前期间，指针时间跟踪环路把一个不重要的单个时钟从相继的码元选通脉冲 158 之间的间隔中削去。较为重要的是这样的情况，其时多个指针 12a-c 正沿超前方向转换。在此情形下，使指针 12a-c 在逐个子码的基础上超前，从而把相继的码元选通脉冲之间的间隔折半。由于不必设计数据路径排序，因此用 256 个时钟间隔有足够的空间来处理最坏情形下的排队方式。当在超前期间，指针时序发生器 122 只是简单的抑制它们的码元启动选通脉冲输出 158a-c，一当指针完成转换就再启动它们，并到达分派给它们的偏移。

一当排好队后，控制器通过一固定的处理序列来对数据路径排序，对其进行构造以完成与正在服务的部件的信号处理相关的所有的累加、乘法和比较。正在服务的部件的类型形成了在微码 ROM306 内的页选择，而用在排序内的时钟计数作为被选择页内的偏移，以形成微码 ROM 地址。微码 ROM 输出规定驱动至数据矢量三态总线 173 上的分量、对于往来于寄存器文件 RAM 的任何访问、以及标为 C[16:0]的一个控制字，构成共享数据路径 300 的内部部件。信号 C[0]、C[2]、C[4]分别形成对于 MUX324、320、330 的多路复用器选择输入；信号 C[1]、C[3]、C[16]分别启动锁存器 326、322、342；信号 C[5]、C[6]、C[7]控制对于加法器 334 的条件相减和装入功能；而字段 C[11:8]和 C[15:12]对于加法器 334 的输出完全规定了限制和归一化位的位置。

当对一个指针前端 312 服务时，由数据路径在相继的时钟周期上完成的操作的序列示于图 10。它紧跟在结合图 3 讨论的对指针的码元率处理之后。对于每个时钟周期，在图 10 的表中列出了驱动至三态数据矢量总线 174 上的分量（如果有的话）、往来于寄存器文件 RAM304 的存取（如果有的话）、C[16:0]数据路径控制字、以及对于回到前面对参考图 3 中的指针的码元率信号处理的描述有用的简短注释。

首先，在时钟周期 0-6 中，导频滤波器通过减去它们的一部分当前值并加进来自被选出的指针前端的按时 I 和 Q 导频累加器输出。在时钟周期 7-9 期间，使用经滤波的导频和被选出的指针前端的码元累加输出来计算标积。在时钟周期 10-13 期间，使用经滤波的导频和存储在寄存器文件 304 中的先前码元的经滤波的导频值计算矢积。在时钟 14-16 期间，计算导频能量。在时钟周期 17-18 期间，当锁定检测滤波器通过减去其一部分当前值而被首次更新时，将此导频能量写入寄存器文件 304 内的暂时存储单元。

然后，在时钟周期 19-21 期间，把当前码元的导频能量回过来读出并相加，以产生一个新的锁定检测滤波器值，并把该值写回至寄存器文件 304。在时钟周期 20-21 期间，通过与锁住和失锁阈值比较还确定了新的锁定状态。在时钟 22-24 期间，计算延迟导频能量，与对前一码元获得的早先的导频能量相减，并从寄存器文件 RAM304 读回，以产生迟-早能量增量量度(late-early energy delta metric)，来驱动二阶时间跟踪环路。

把时间跟踪量度写入寄存器文件 304，并立即再次读回，以将它作为至数据路径的输入而定位。在时同周期 27 期间，当把它装入累加器输出锁存器 342 时，用微处理器规定的增益常数 K1 对它定标。然后将经过定标的值加至二阶滤波器的时间跟踪频率累加器分量。在时钟周期 32 期间，把经更新的时间跟踪频率累加器写回至寄存器文件 304，并立即再次读回，以作为至数据路径的输入对其定位，在那里把它与由微处理器规定的增益常数 K2 定标的时间跟踪量度相加。在时钟周期 34，把此值与二阶滤波器的时间跟踪相位累加器分量相加，并把新的相位累加器值写回至寄存器文件 304。这样，数据路径需要总共 35 个时钟周期以对每个码元处理一个指针。

当对搜索器前端 314 服务时，由数据路径在相继的时钟周期上完成的操作的序列如图 11 所示。它紧跟在结合图 4 讨论的对搜索器的每个积分区间处理之后。在时钟周期 0-2 期间，计算延迟导频积分的导频能量。在时钟周期 3 上，把此能量与一个非相干累加器中间值相加，并在时钟周期 4 上把经过若干积分区间的新的和写回寄存器文件 304。在时钟周期 4-8 期间，对按时导频积分进行相同的操作。如图 11 中时钟周期 8 后的实线所指出的那样，如果搜索器 14 在同一偏移处仍有积分要完成，则数据路径结束对搜索器的服务。

如果情况不是那样，而此积分区间是当前偏移的最后的积分区间，则处理继续下去。在时钟周期 9-12 期间，作局部最大值滤波处理。数据路径 300 在按时和延迟偏移结果之间以及在延迟偏移结果和先前偏移的按时结果(它已存储在寄存器文件 304 中)之间确定多路径迹线的斜率。如果斜率锁存器从“1”转变至“0”，就检测出一个局部最大值。然后数据路径 300 考虑这个峰值，看是否要将它包括在直到该时刻由搜索找到的最大峰值的经选拣的列表中。

在时钟周期 13 上，从最强的峰值(峰值 0)开始，并在时钟周期 23 上继续至峰值 3，把正在处理的当前偏移的能量与已存储的峰值作比较。如果输入能量大

于正在对其比较的已存储的能量，则用输入能量冲掉已存储的能量，然后，它同时替换在累加器锁存器 342 中的输入能量。通过从较大的峰值到较小的峰值，一旦输入能量超过已存储的峰值，则所有较小的峰值自动降低(demote)一级，正如峰值比较处理所做的那样。但是这只是本领域公知的多种提供这种选拣功能的方法中的一种。这些方法中的任何一种方法可在本发明的范围内使用。在较佳实施例中，最小搜索器积分区间是 32 个子码，而对于每个偏移单个积分区间(最坏情形)，数据路径 300 对于每 32 个子码积分区间需要总共 24 个时钟周期以支持搜索器。

当对组合器功能进行服务时，由数据路径在相继的时钟周期上完成的操作序列如图 12 所示。它紧跟在结合图 5 讨论的对于组合器功能的码元率处理之后。从寄存器文件 304 每个时钟周期读取一个去偏离的指针码元，导致在时钟周期 3 上一个最终的经组合、限制和截断的软决定码元。在时钟周期 4-8、9-13、14-17 期间，分别对小区 0、小区 1 和小区 2 功率控制决定进行类似的对收缩码元的每个指针求和。如果采用双码元收缩，则被组合的收缩码元可以与正在处理的小区先前组合码元(存储在寄存器文件 304 中)相加。“诸个降之或”“或”门 258 是数据路径控制 308 中的分立的门，对于每个小区，当将它们排序时，用加法器符号位输出 346 作为硬升/降决定。在时钟周期 19-20 期间，根据组合的功率决定，把 +1 或 -1 加至从寄存器文件 304 读得的 TXGAIN 值。当把新的 TXGAIN 值写回寄存器文件 304 时，该值被 PDM276 获得。在时钟周期 22-24 期间，从寄存器文件 304 读取每个时钟周期一个指针频率误差，并将它们相加，以产生一个新的频率误差调整，把它加至从寄存器文件 304 读得的 LO_ADJ 值。当把此新的 LO_ADJ 值写回至寄存器文件 304 时，该值由 PDM274 获得。这样，数据路径总共需要 28 个时钟周期以对每个码元处理一个指针。

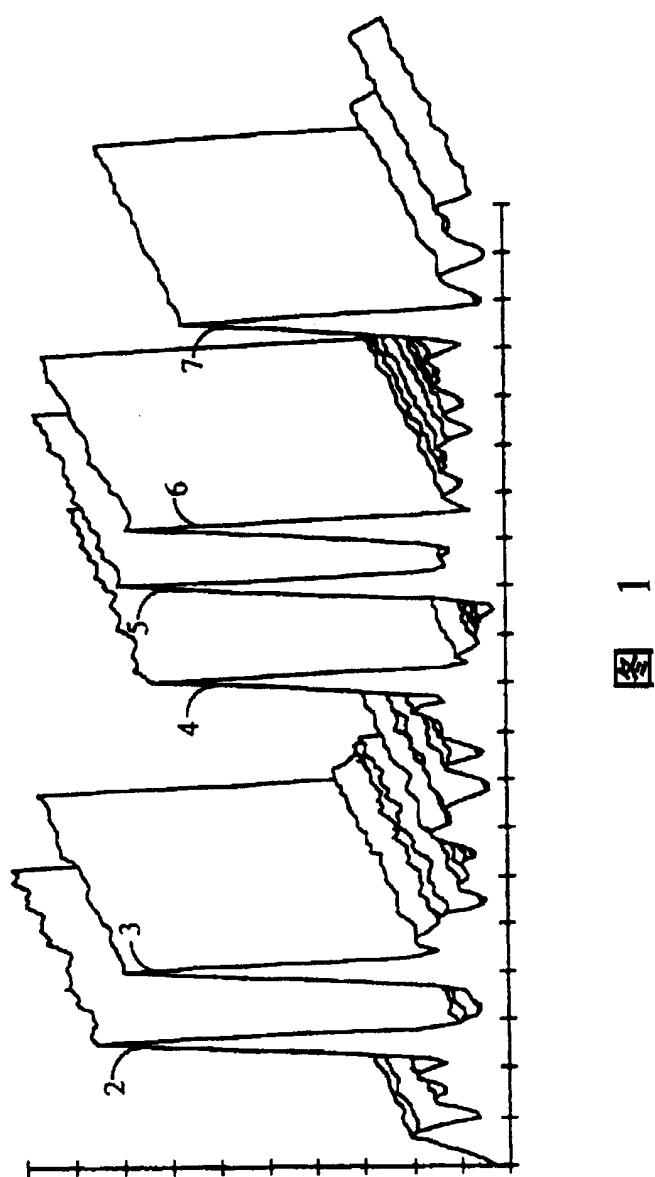
本发明的结构具有若干优点。例如，由于复杂的处理部件由一组指针前端部件共享，通过简单地添加新的指针前端部件即可增加对附加信号路径的解调能力。指针前端部件不需要较大的芯片区域，因此以此种方式扩充解调能力的成本很低。采用每个码元 512 个 CHIPX8 时钟，数据路径具有超过完成分派给它的信号处理任务所需的许多“空间”，或空闲的时钟周期。

如在图 10、11 和 12 的描述中所计算的，在 512 个 CHIPX8 码元间隔期间，对于使用三个指针前端和最小搜索器积分区间为 32 个子码的较佳实施例，数据

路径将用 105 个时钟周期处理指针，用 48 个时钟周期处理搜索器，而用 28 个时钟周期处理组合器，在 512 个可用时钟周期中总共使用了 181 个时钟周期，相应于 35 % 的利用率。叙述此情况的另一种方式是数据路径以 3.5MIPS 的速率工作。这指出了把简单的子码率功能卸给专用搜索器和指针前端的重要性，这样就把信号处理要求从 75MIPS 降至 3.5MIPS。这直接转化为节省功率，而由专用前端消耗的功率只加上此量的一部分。为了显著扩充指针和搜索器处理的数量或类型，或者以它们相应较短的码元周期支持较高数据率的服务，通过简单地增加共享数据路径的时钟频率，可以增加此空间。

本发明中实施的解调器结构是传统的专用电路和通用 DSP 方法的混合。与传统的专用电路方法相比，共享的数据路径消耗较少的功率并且尺寸比示于图 3、4 和 5 的分立的码元率电路小得多。共享的数据路径结构紧凑，并且采用 10 位单精度和 20 位双精度算法可适合手头的处理任务和适当需要。混合方法在固件中而不是在专用电路中的保留了编码算法的灵活性。图 10、11 和 12 的时线(time line)序列形成了小型微码核的基础；把指针、搜索器和组合器功能合在一起，可以用不到 100 条微码来实现。

提供了较佳实施例的上述描述，以使熟悉本领域的人员可以作出或使用本发明。对于那些熟悉本领域的人员而言，对这些实施例的各种变更也是很显然的，而在里确定的一般原理可以用于其他实施例而无需创造才能。这样，不打算把本发明限于这里所示的实施例，而要使最广的范围与在这里揭示的原理和新特征一致。



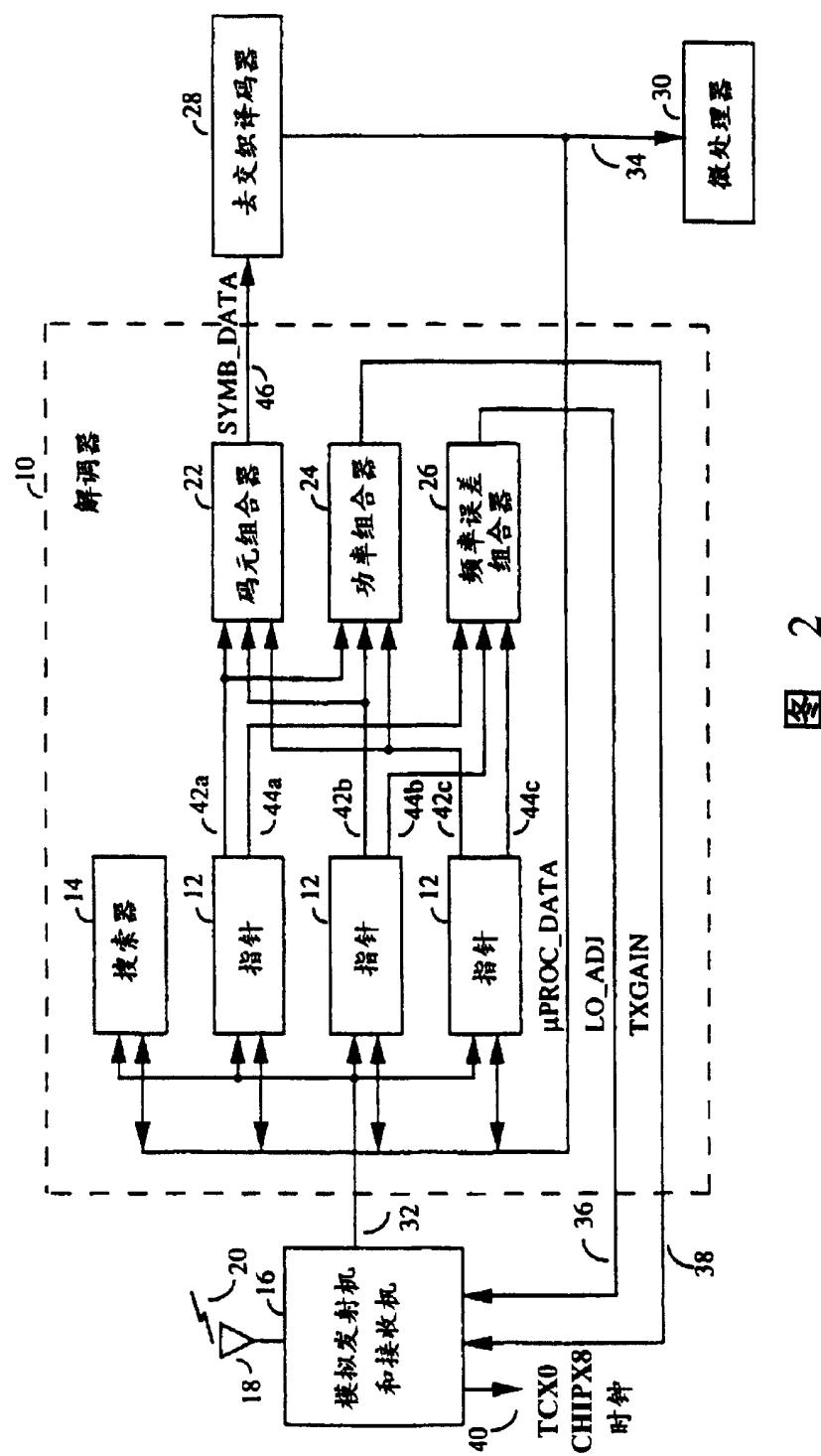


图 2

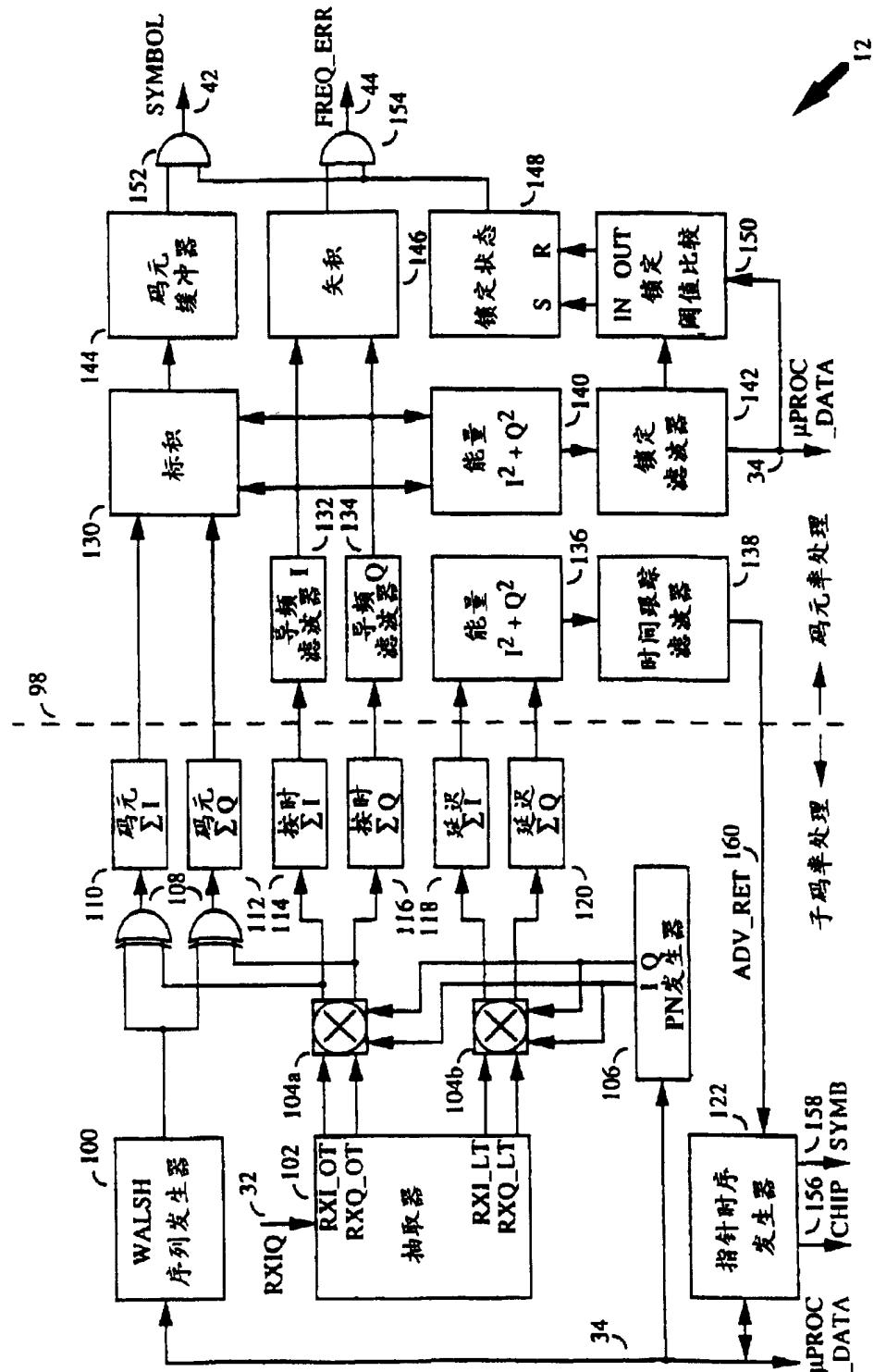


图 3

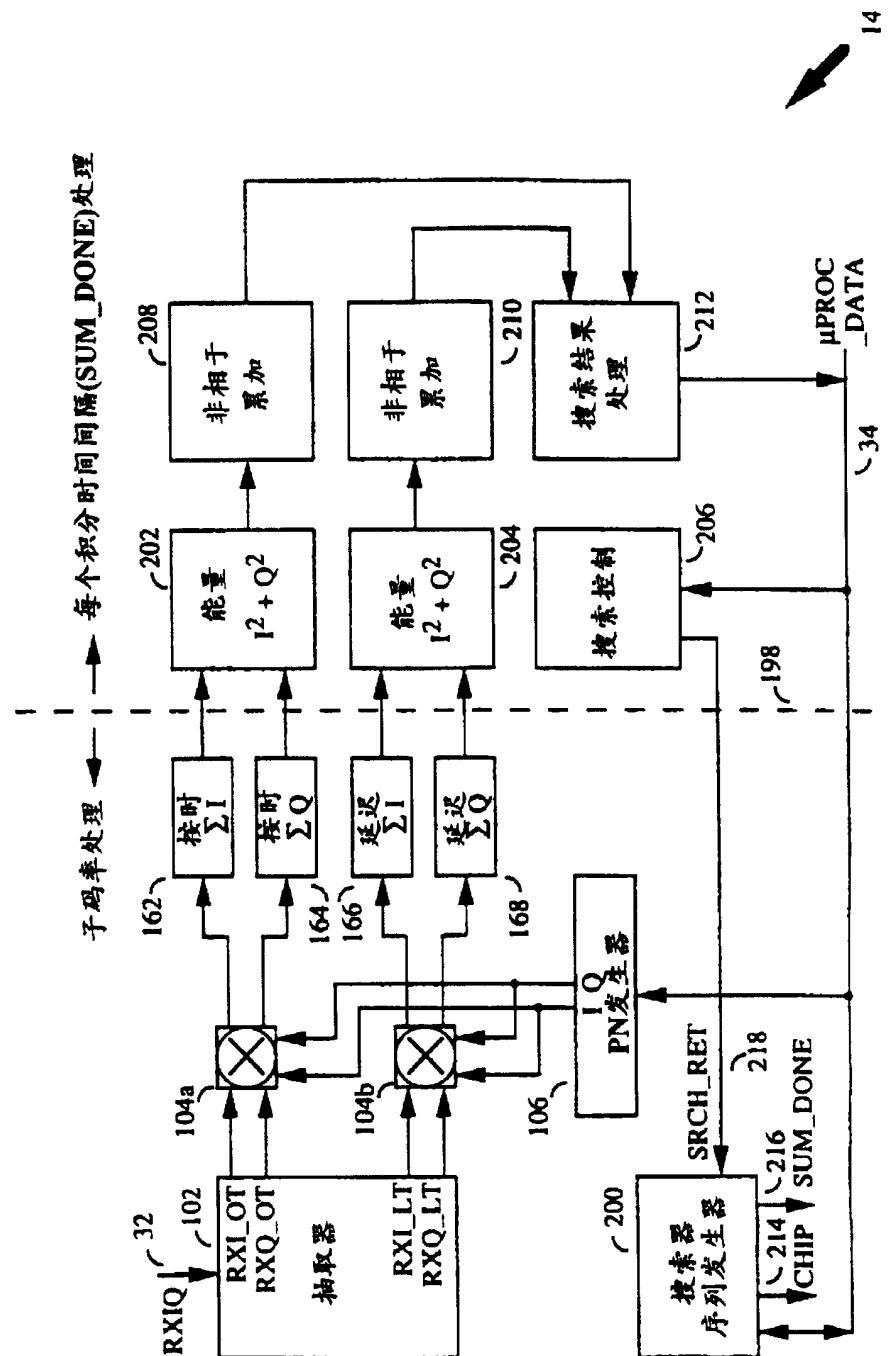


图 4

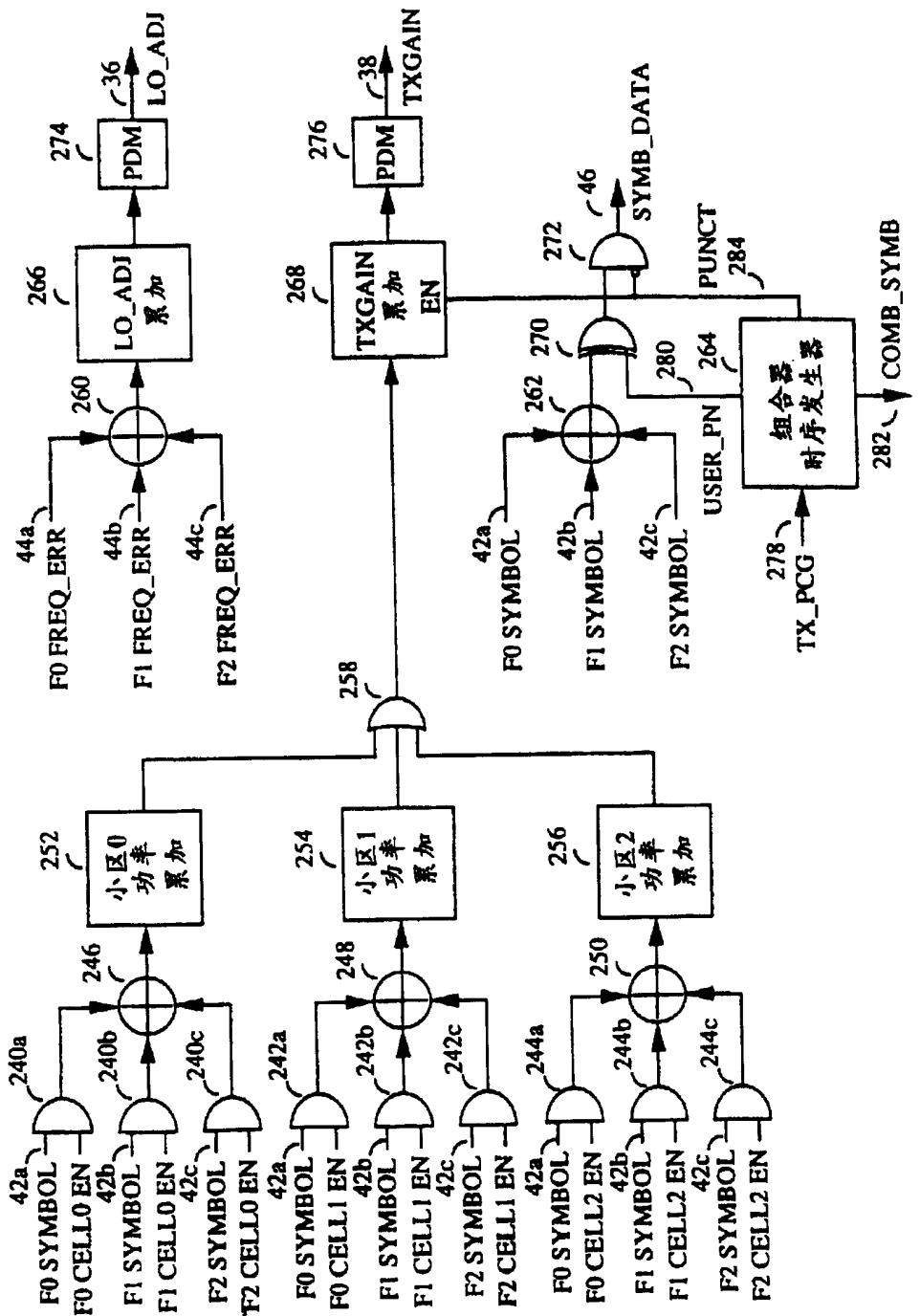


图 5

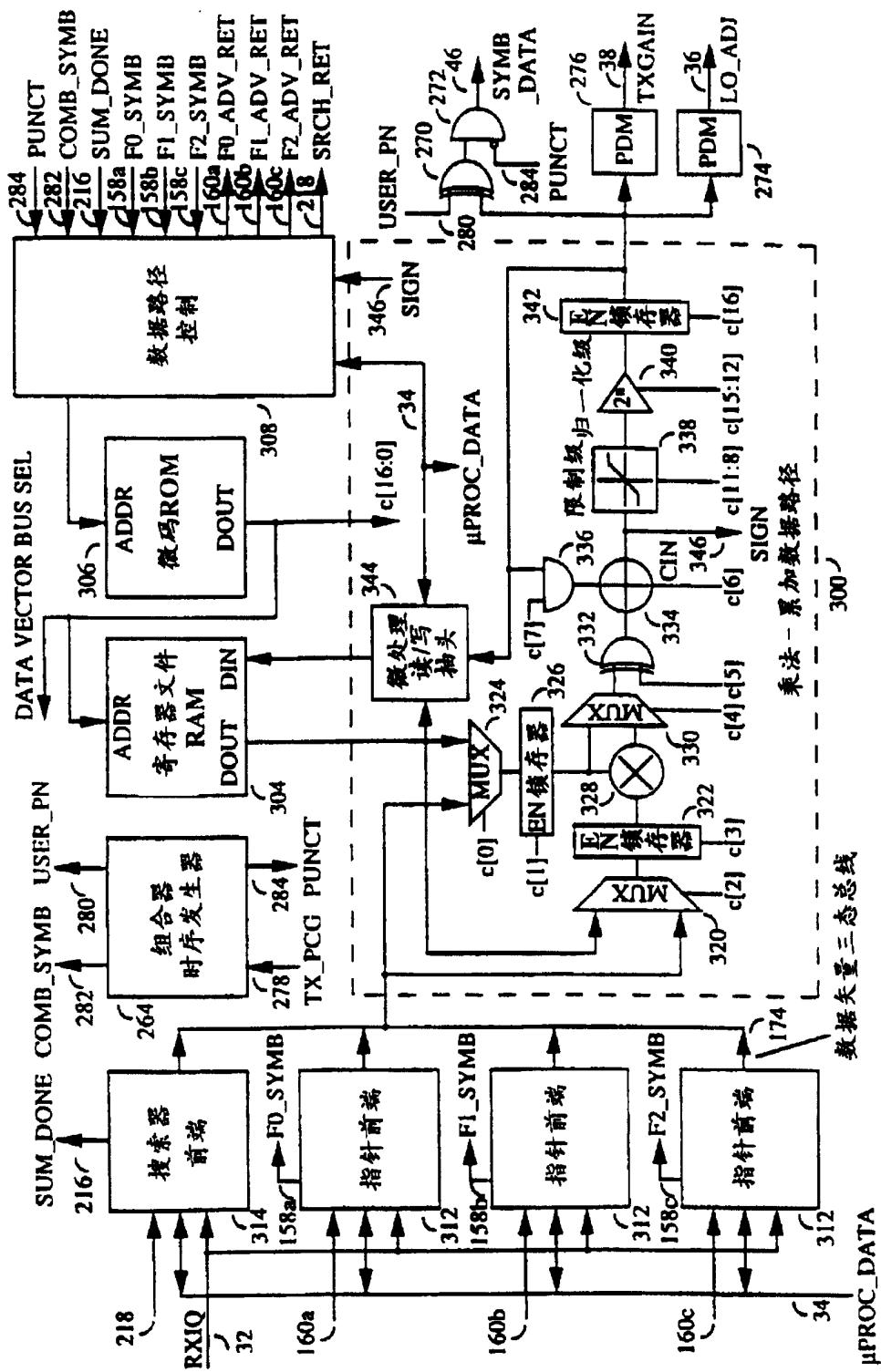


图 6

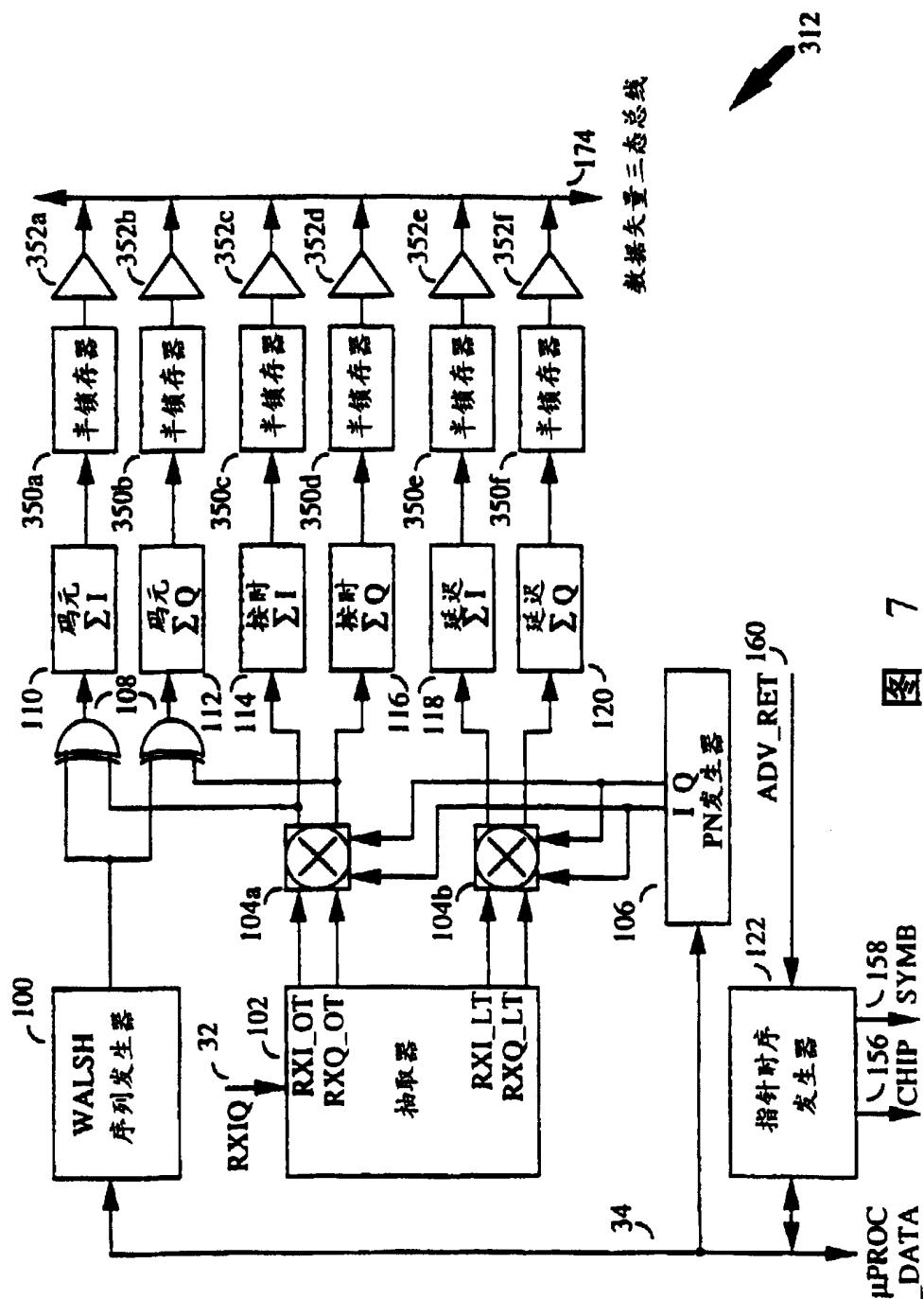


图 7

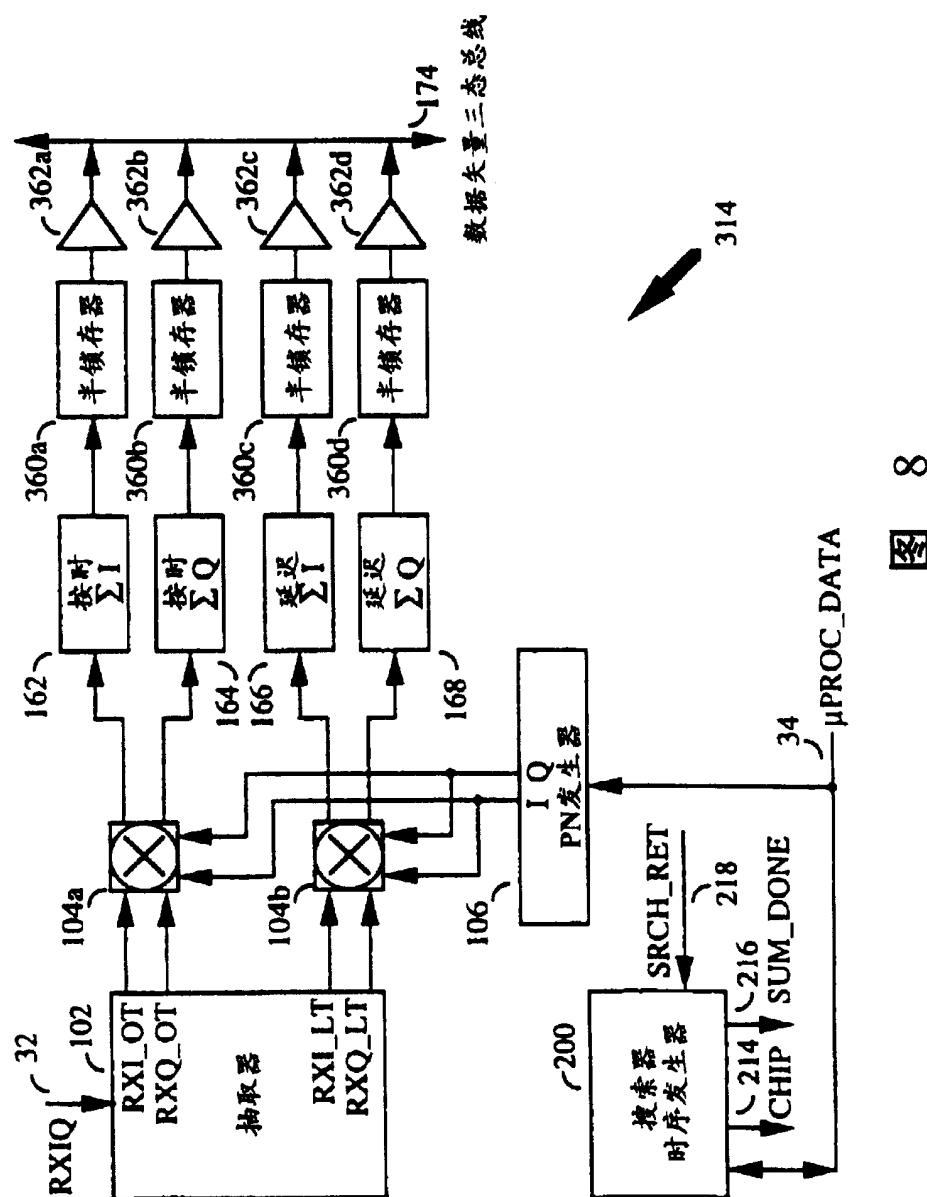


图 8

地址	存储体0	存储体1	地址	存储体0	存储体1
0	F0 SYMBOL 0	F0 SYMBOL 1	32	F2 SYMBOL 0	F2 SYMBOL 1
1	F0 SYMBOL 2	F0 SYMBOL 3	33	F2 SYMBOL 2	F2 SYMBOL 3
2	F0 SYMBOL 4	F0 SYMBOL 5	34	F2 SYMBOL 4	F2 SYMBOL 5
3	F0 SYMBOL 6	F0 SYMBOL 7	35	F2 SYMBOL 6	F2 SYMBOL 7
4	F0 FREQ_ERR	F0 μP-WR INIT ENERGY	36	F2 FREQ_ERR	F2 μP-WR INIT ENERGY
5	F0 PFI_OLD	F0 PFQ_OLD	37	F2 PFI_OLD	F2 PFQ_OLD
6	F0 IN-LOCK THRESH	F0 OUT-LOCK THRESH	38	F2 IN-LOCK THRESH	F2 OUT-LOCK THRESH
7	SCRATCH		39	SCRATCH	
8	F0 PILOT FILTER I		40	F2 PILOT FILTER I	
9	F0 PILOT FILTER Q		41	F2 PILOT FILTER Q	
10	F0 LOCK FILTER ENERGY		42	F2 LOCK FILTER ENERGY	
11	F0 TIME TRACK FREQ ACC		43	F2 TIME TRACK FREQ ACC	
12	F0 TIME TRACK PHASE ACC		44	F2 TIME TRACK PHASE ACC	
13	F0 μP-WR INIT FREQ ACC		45	F2 μP-WR FREQ ACC	
14	F0 μP-RD LOCK FILTER ENERGY		46	F2 μP-RD LOCK FILTER ENERGY	
15	F0 μP-RD FREQ ACC		47	F2 μP-RD FREQ ACC	
16	F1 SYMBOL 0	F1 SYMBOL 1	48	PWR CTL CELL_A SUM	TXGAIN
17	F1 SYMBOL 2	F1 SYMBOL 3	49	PWR CTL CELL_B SUM	μP-WR TXGAIN
18	F1 SYMBOL 4	F1 SYMBOL 5	50	PWR CTL CELL_C SUM	μP-RD TXGAIN
19	F1 SYMBOL 6	F1 SYMBOL 7	51	LO ADJ	
20	F1 FREQ_ERR	F1 μP-WR INIT ENERGY	52	μP-WR LO ADJ	
21	F1 PFI_OLD	F1 PFQ_OLD	53	μP-RD LO ADJ	
22	F1 IN-LOCK THRESH	F1 OUT-LOCK THRESH	54	ONTIME NON-COHERENT ACC	
23	SCRATCH		55	LAT3 NON-COHERENT ACC	
24	F1 PILOT FILTER I		56	PEAK 3 ENERGY	
25	F1 PILOT FILTER Q		57	PEAK 1 ENERGY	
26	F1 LOCK FILTER ENERGY		58	PEAK 2 ENERGY	
27	F1 TIME TRACK FREQ ACC		59	PEAK 3 ENERGY	
28	F1 TIME TRACK PHASE ACC		60	LOCAL MAX FILTER_PRIOR ENERGY	
29	F1 μP-WR INIT FREQ ACC		61	PEAK 0 OFFSET	PEAK 2 OFFSET
30	F1 μP-RD LOCK FILTER ENERGY		62	PEAK 1 OFFSET	PEAK 3 OFFSET
31	F1 μP-RD FREQ ACC		63	" "	" "

时钟	数据矢量	寄存器文件	RD_PFI	c[0]	c[1:8]	c[1:12]	c[15:16]	注释:
0	ONTIME_I	RD_PFI	0	0	0	0	0	PFI
1	WR_PFI	RD_PFI	0	0	0	0	0	PILOT_IIR
2	WR_PFQ	WR_PFI	0	0	0	0	0	PILOT_IIR
3	WR_PFQ	WR_PFI	0	0	0	0	0	PILOT_IIR
4	ONTIME_Q	RD_PFI	0	0	0	0	0	PILOT_IIR
5	SYMBOL_Q	WR_SYMBOL_n	0	0	0	0	0	PILOT_IIR
6	SYMBOL_Q	RD_PFI_OLD	0	0	0	0	0	PILOT_IIR
7	RD_PFI	WR_SYMBOL_n	0	0	0	0	0	PILOT_IIR
8	RD_PFI	RD_PFI_OLD	0	0	0	0	0	PILOT_IIR
9	WR_FREQ_ERR	RD_PFI	0	0	0	0	0	DOT_PROD
10	WR_FREQ_ERR	RD_PFI	0	0	0	0	0	DOT_PROD
11	WR_FREQ_ERR	RD_PFI	0	0	0	0	0	DOT_PROD
12	WR_FREQ_ERR	RD_PFI	0	0	0	0	0	CROSS_PROD
13	WR_FREQ_ERR	RD_PFI	0	0	0	0	0	CROSS_PROD
14	WR_FREQ_ERR	RD_PFI	0	0	0	0	0	ENERGY
15	WR_FREQ_ERR	RD_PFI	0	0	0	0	0	ENERGY
16	WR_ENERGY	RD_LOCK_FILT	0	0	0	0	0	LOCK_FILT_IIR
17	RD_ENERGY	WR_ENERGY	0	0	0	0	0	LOCK_FILT_IIR
18	RD_IN_LOCK	RD_OUT_LOCK	0	0	0	0	0	LOCK_FILT_IIR
19	RD_OUT_LOCK	WR_LOCK_FILT	0	0	0	0	0	LOCK_FILT_IIR
20	WR_LOCK_FILT	RD_IN_LOCK	0	0	0	0	0	LOCK_FILT_IIR
21	LATE_I	RD_TT_METRIC	0	0	0	0	0	LATE_IIR
22	LATE_Q	RD_TT_METRIC	0	0	0	0	0	OUT_LOCK_COMP
23	WR_TT_PHASE	RD_TT_METRIC	0	0	0	0	0	LATE_I^2
24	WR_TT_PHASE	RD_TT_METRIC	0	0	0	0	0	LATE_I^2+Q^2
25	WR_TT_PHASE	RD_TT_METRIC	0	0	0	0	0	TT_METRIC
26	WR_TT_PHASE	RD_TT_METRIC	0	0	0	0	0	TT_METRIC
27	WR_TT_PHASE	RD_TT_METRIC	0	0	0	0	0	TT_FREQ
28	WR_TT_PHASE	RD_TT_PHASE	0	0	0	0	0	TT_FREQ
29	WR_TT_PHASE	RD_TT_PHASE	0	0	0	0	0	TT_FREQ
30	WR_TT_PHASE	RD_TT_PHASE	0	0	0	0	0	TT_FREQ
31	WR_TT_PHASE	RD_TT_PHASE	0	0	0	0	0	TT_FREQ
32	WR_TT_PHASE	RD_TT_PHASE	0	0	0	0	0	TT_FREQ
33	WR_TT_PHASE	RD_TT_PHASE	0	0	0	0	0	TT_PHASE
34	WR_TT_PHASE	RD_TT_PHASE	0	0	0	0	0	TT_PHASE

图 10

时钟	数据矢量	寄存器文件	c[0]	c[1]	c[2]	c[3]	c[4]	c[5]	c[6]	c[7]	c[11:8]	c[15:12]	c[16]	注释:
0	LATE1		0	-	0	0	0	0	0	0	0	0	0	I^2 LATE
1	LATEQ		0	-	0	0	0	0	0	0	0	0	0	ENERGY LATE
2		RD NONCOH LT	0	-1	0	0	0	0	0	0	0	0	0	NONCOHER
3	ONTIME1	WR NONCOH LT	0	0	-1	0	0	0	0	0	0	0	0	I^2 ONTIME
4	ONTIMEQ	RD NONCOH OT	0	-1	0	0	0	0	0	0	0	0	0	ENERGY ONTIME
5		WR NONCOH OT	0	0	-1	0	0	0	0	0	0	0	0	NONCOHER
6			0	0	0	-1	0	0	0	0	0	0	0	I^2 ONTIME
7			0	0	0	0	-1	0	0	0	0	0	0	NONCOHER
8			0	0	0	0	0	-1	0	0	0	0	0	NONCOHER
9			0	0	0	0	0	0	-1	0	0	0	0	I^2 ONTIME
10			0	0	0	0	0	0	0	-1	0	0	0	LOC MAX COMP
11			0	0	0	0	0	0	0	0	-1	0	0	LOC MAX COMP
12			0	0	0	0	0	0	0	0	0	-1	0	SEL INPUT PEAK
13			0	0	0	0	0	0	0	0	0	0	0	PEAK0 COMP
14	RD PEAK0		0	0	-1	0	0	0	0	0	0	0	0	0
15	RD LAST LT		0	0	0	-1	0	0	0	0	0	0	0	0
16	COND WR PEAK0		0	0	0	0	-1	0	0	0	0	0	0	0
17	COND WR PEAK1		0	0	0	0	0	-1	0	0	0	0	0	0
18	RD PEAK1		0	0	0	0	0	0	-1	0	0	0	0	0
19	COND WR PEAK2		0	0	0	0	0	0	0	-1	0	0	0	0
20	RD PEAK2		0	0	0	0	0	0	0	0	-1	0	0	0
21	COND WR PEAK3		0	0	0	0	0	0	0	0	0	-1	0	0
22	RD PEAK3		0	0	0	0	0	0	0	0	0	0	-1	0
23	COND WR PEAK3		0	0	0	0	0	0	0	0	0	0	0	0

图 11

时钟	寄存器文件	c[0]	c[1]	c[2]	c[3]	c[4]	c[5]	c[6]	c[7]	c[8]	c[9]	c[10]	c[11]	c[12]	c[13]	c[14]	c[15]	c[16]
0	RD F0 SYMBOL n	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	RD F1 SYMBOL n	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	RD F2 SYMBOL n	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
3	RD F0 SYMBOL n	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
4	RD F1 SYMBOL n	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
5	RD F2 SYMBOL n	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
6	RD CELL 0 SUM	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
7	RD CELL 1 SUM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
8	RD F0 SYMBOL n	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
9	RD F1 SYMBOL n	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
10	RD F2 SYMBOL n	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
11	RD CELL 2 SUM	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
12	RD "1"	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
13	WR TXGAIN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
14	RD F0 SYMBOL n	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	RD F1 SYMBOL n	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
16	RD F2 SYMBOL n	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
17	RD CELL 2 SUM	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
18	RD TXGAIN	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
19	WR FREQ_ERR n	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
20	RD F0 FREQ_ERR n	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
21	RD F1 FREQ_ERR n	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
22	RD F2 FREQ_ERR n	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
23	RD LO ADJ	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
24	WR LO ADJ	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
25	WR FREQ COMB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
26	WR LO ADJ	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
27	WR FREQ COMB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

图 12